

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2008年12月31日 (31.12.2008)

PCT

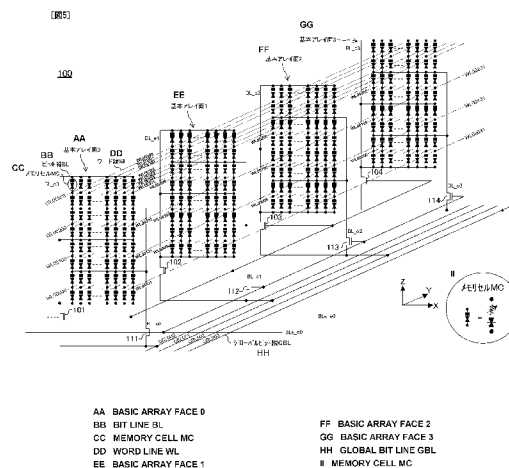
(10) 国際公開番号
WO 2009/001534 A1

- (51) 国際特許分類:
G11C 13/00 (2006.01) *H01L 27/10* (2006.01)
- (21) 国際出願番号: PCT/JP2008/001603
- (22) 国際出願日: 2008年6月20日 (20.06.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2007-164545 2007年6月22日 (22.06.2007) JP
- (71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社 (PANASONIC CORPORATION)
[JP/JP]; 5718501 大阪府門真市大字門真1006番地
Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 東亮太郎 (AZUMA, Ryotaro). 島川一彦 (SHIMAKAWA, Kazuhiko). 藤井覚 (FUJII, Satoru). 神澤好彦 (KAN-ZAWA, Yoshihiko).
- (74) 代理人: 前田弘, 外 (MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町2丁目5番7号 大阪丸紅ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

/ 続葉有 /

(54) Title: RESISTANCE CHANGE TYPE NONVOLATILE STORAGE DEVICE

(54) 発明の名称: 抵抗変化型不揮発性記憶装置



(57) Abstract: A memory cell (MC) is formed at an intersection between a bit line (BL) extending in the X direction and a word line (WL) extending in the Y direction. A plurality of basic array faces having common word lines (WL) formed for each of bit line (BL) groups aligned in the Z direction are arranged in the Y direction. In each of the basic array faces, the even-number layer bit lines and the odd-number bit lines are commonly connected, respectively. Selection switch elements (101 to 104) control switching of connection/disconnection between the even-number layer bit lines commonly connected and the global bit lines (GBL). Selection switch elements (111 to 114) control switching of connection/disconnection between the odd-number layer bit lines commonly connected and the global bit lines (GBL).

(57) 要約: X方向に延びるビット線 (BL) とY方向に延びるワード線 (WL) との交点位置にメモリセル (MC) が形成されている。Z方向に揃ったビット線 (BL) 群毎に構成された、ワード線 (WL) が共通の複数の基本アレイ面が、Y方向に並んで配置されている。各基本アレイ面において、偶数層ビット線および奇数層ビット線がそれぞれ共通に接続されており、選択スイッチ素子 (101 ~ 104) は共通接続された偶数層ビット線とグローバルビット線 (GBL) との接続/非接続を切替制御し、選択スイッチ素子 (111 ~ 114) は共通接続された奇数層ビット線とグローバルビット線 (GBL) との接続/非接続を切替制御する。



WO 2009/001534 A1



SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

明 細 書

抵抗変化型不揮発性記憶装置

技術分野

[0001] 本発明は、いわゆる抵抗変化型素子を用いて構成されたメモリセルを有する不揮発性記憶装置に関するものである。

背景技術

[0002] 近年、いわゆる抵抗変化型素子を用いて構成されたメモリセルを有する不揮発性記憶装置の研究開発が進んでいる。抵抗変化型素子とは、電氣的信号に応じて抵抗値の変化が生じる性質を有し、この抵抗値の変化によって情報を記憶することが可能な素子のことをいう。

[0003] また、抵抗変化型素子を用いたメモリセルについて、その１つにいわゆるクロスポイント構造が用いられる。クロスポイント構造では、直交するように配置されたビット線とワード線との交点の位置に、ビット線とワード線とに挟まれて、各メモリセルが構成される。

[0004] 特許文献１では、双方向性を有する可変抵抗体をメモリセルとして用いた不揮発性記憶装置が示されている。その中で、非選択セルに流れるいわゆる漏れ電流を低減することを目的として、メモリセルのダイオードに双方向非線形素子として例えばバリスタを用いることが開示されている。また、クロスポイント構造についても開示されている。

[0005] 特許文献２では、多層構造を有する３次元クロスポイント型可変抵抗メモリアレイを備えた不揮発性記憶装置が示されている。

[0006] 非特許文献１では、可変抵抗膜と単方向ダイオードとを組み合わせたメモリセル構造が開示されている。また、多層構造についても開示されている。

[0007] 特許文献３では、多結晶シリコンダイオードを有し、単極性の書換え可能可変抵抗メモリ素子（RRAM）を備えるメモリセルを用いた、三次元構造を有する不揮発性メモリが開示されている。

[0008] 特許文献４では、双極性書換え可能可変抵抗メモリ素子とツェナーダイオ

ードとからなるメモリセルを用いた、多層メモリ構造が開示されている。

[0009] 特許文献5では、記憶素子と単方向制御素子で構成されたメモリセルを用いた、多層メモリ構造が開示されている。

特許文献1：特開2006-203098号公報（図2，図5）

特許文献2：特開2005-311322号公報（図4）

特許文献3：特開2007-165873号公報

特許文献4：特表2006-514393号公報

特許文献5：特開2004-31948号公報

非特許文献1：I. G. Baek、外、「Multi-layer Cross-point Binary Oxide Resistive Memory(OxRRAM) for Post-NAND Storage Application」、IEDM2005 (IEEE international ELECTRON DEVICES meeting 2005)、769-772、Session 31 (Fig. 7、Fig. 11)、2005年12月5日

発明の開示

発明が解決しようとする課題

[0010] メモリセルアレイの設計に対して、相矛盾する2つの要求がある。アレイ単位はできるだけ大きくしたいという要求と、アレイ単位はできるだけ小さくしたいという要求である。すなわち、チップ面積を小さくするためには、アレイ単位をなるべく大きくして周辺回路の面積を小さくすることが望まれる。一方、非選択メモリセルの漏れ電流を低減するためには、アレイ単位はなるべく小さくすることが好ましい。また、アレイ単位を小さくすることによって、高速化、低消費電力化や冗長救済の効率化などが可能になる。

[0011] また、クロスポイント構造では、非選択メモリセルの漏れ電流を低減することが、読み出し動作や書き込み動作において重要課題となる。特に、例えば、正電圧印加による高抵抗状態化、負電圧印加による低抵抗状態化のような双方向電圧印加によって抵抗変化が生じる双方向型抵抗変化素子の場合、単方向型抵抗変化素子の場合に通常行われる逆バイアス印加による積極的な漏れ電流の低減方法を採用することができない。このため、特定の動作バイアス条件における双方向ダイオードのON/OFF特性に依存して漏れ電流量が

決まることになり、これに基づいて必然的にアレイサイズが定まることになる。現状予想されるダイオード特性から判断すると、アレイサイズは相当小さくする必要があり、したがって、メモリセルアレイを多分割することが必要となる。ところが、ただ単にメモリセルアレイを多分割すると、レイアウト面積が大幅に増大してしまうことになり、好ましくない。

- [0012] 前記の問題に鑑み、本発明は、抵抗変化型素子を用いた不揮発性記憶装置について、非選択メモリセルの漏れ電流を十分に低減できるよう、アレイサイズが小さく、かつ、レイアウト面積が増大しない構造を実現することを目的とする。

課題を解決するための手段

- [0013] 本発明では、抵抗変化型素子を用いた不揮発性記憶装置について、多層クロスポイント構造を用いるとともに、階層ビット線方式を採用し、かつ、階層ビット線方式を実現するための選択スイッチ素子に起因するレイアウト面積の増加を抑制する。
- [0014] すなわち、本発明は、電氣的信号に基づいて可逆的に抵抗値が変化する抵抗変化型素子を有するメモリセルを備えた抵抗変化型不揮発性記憶装置として、基板と、前記基板の上に形成されており、複数の前記メモリセルが配置されたメモリセルアレイとを備え、前記メモリセルアレイにおいて、前記各メモリセルは、X方向に延び、複数の層に形成されたビット線と、Y方向に延び、ビット線間の各層に形成されたワード線との交点位置に、それぞれ、当該ビット線と当該ワード線とに挟まれて形成されており、層が重なる方向であるZ方向に揃ったビット線群毎に構成された、ワード線が共通の複数の基本アレイ面が、Y方向に並んで配置されており、前記各基本アレイ面において、偶数層のビット線が共通に接続されており、かつ、奇数層のビット線が共通に接続されており、前記抵抗変化型不揮発性記憶装置は、さらに、グローバルビット線と、前記各基本アレイ面毎に設けられた第1および第2の選択スイッチ素子とを備え、前記第1の選択スイッチ素子は、当該基本アレイ面に係るグローバルビット線と、当該基本アレイ面において共通に接続さ

れた偶数層のビット線との電氣的な接続／非接続を、偶数層選択信号に従って切替制御するものであり、前記第2の選択スイッチ素子は、当該基本アレイ面に係るグローバルビット線と、当該基本アレイ面において共通に接続された奇数層のビット線との電氣的な接続／非接続を、奇数層選択信号に従って切替制御するものである。

- [0015] 本発明によると、メモリセルが、X方向に延び複数の層に形成されたビット線と、Y方向に延びビット線間の各層に形成されたワード線との交点位置に、形成されている。そして、Z方向に揃ったビット線群毎に、ワード線が共通の複数の基本アレイ面が、Y方向に並んで配置されている。すなわち、いわゆる多層クロスポイント構造が実現されている。そして、各基本アレイ面において、偶数層のビット線および奇数層のビット線がそれぞれ共通に接続されており、共通に接続された偶数層のビット線は、第1の選択スイッチ素子によって、グローバルビット線との電氣的な接続／非接続を切替制御される一方、共通に接続された奇数層のビット線は、第2の選択スイッチ素子によって、グローバルビット線との電氣的な接続／非接続を切替制御される。すなわち、各基本アレイ面において、2個の選択スイッチ素子によって、階層ビット線方式を実現している。これにより、レイアウト面積の増大を極力招くことなく、アレイサイズを小さくすることができるので、非選択メモリセルの漏れ電流を十分に低減することができる。

発明の効果

- [0016] 本発明によると、メモリセルアレイが多分割された抵抗変化型不揮発性記憶装置を、小さなレイアウト面積で、実現することができる。

図面の簡単な説明

- [0017] [図1]図1において、(a)は本発明の実施形態におけるメモリセルの回路図、(b)は単方向型メモリセルの回路図、(c)はダイオードレスメモリセルの回路図である。

[図2]図2において、(a)は単層クロスポイント構造を示す図、(b)は多層クロスポイント構造を示す図である。

[図3] 図3において、(a)～(d)は本発明の実施形態におけるメモリセルの断面構造の例であり、(e)は図1(c)のダイオードレスメモリセルの断面構造の一例である。

[図4] 図4は本発明の実施形態におけるメモリセルの電流－電圧の関係を示すグラフである。

[図5] 図5は本発明の実施形態に係るメモリセルアレイの構成を示す回路図である。

[図6] 図6は図5における基本アレイを単層構造に展開した等価回路を示す図である。

[図7] 図7は図5のメモリセルアレイとその周辺回路を示す回路図である。

[図8] 図8は図5のメモリセルアレイを複数個用いた抵抗変化型不揮発性記憶装置の主要部を示す回路図である。

[図9] 図9は抵抗変化型不揮発性記憶装置の全体構成を示す回路図である。

[図10] 図10は図5のメモリセルアレイの動作タイミング図である。

[図11] 図11は本発明の実施形態に係るメモリセルアレイの物理的構造を示す図であり、(a)は平面図、(b)は断面図である。

[図12] 図12はメモリセルアレイの物理的構造を各層毎に分解した平面図である。

[図13] 図13はメモリセルアレイの物理的構造を各層毎に分解した平面図である。

[図14] 図14はメモリセル周辺の物理的構造の変形例を示す図である。

[図15] 図15はメモリセル周辺の物理的構造の変形例を示す図である。

[図16] 図16は選択スイッチ素子の配置方法を説明するための図である。

[図17] 図17は大きなメモリアレイにおける電流－電圧特性を示すグラフである。

[図18] 図18は本発明の実施形態の構成を採用した場合のメモリアレイにおける電流－電圧特性を示すグラフである。

[図19] 図19は双方向ダイオード素子の電圧－電流特性の一例を示すグラフ

である。

符号の説明

[0018] MC メモリセル

BL ビット線

WL ワード線

GBL グローバルビット線

BL__e 0～BL__e 3 共通に接続された偶数層のビット線

BL__o 0～BL__o 3 共通に接続された奇数層のビット線

BLs__e 0 偶数層選択信号

BLs__o 0 奇数層選択信号

1 抵抗変化型素子

2 ダイオード素子

3 基板

100 メモリセルアレイ

101～104 第1の選択スイッチ素子

111～114 第2の選択スイッチ素子

発明を実施するための最良の形態

[0019] 以下、本発明の実施形態について、図面を参照して詳細に説明する。

[0020] 図1(a)は本実施形態におけるメモリセル（クロスポイントメモリセル）の回路図である。図1(a)に示すように、本実施形態では、双方向型メモリセルを前提とする。双方向型メモリセルは、抵抗変化が双方向において生じる抵抗変化型素子1と、この抵抗変化型素子1に直列に接続された双方向ダイオード素子2とによって構成されている。抵抗変化型素子1は、低抵抗状態と高抵抗状態とになり得るものであり、電氣的信号に基づいて可逆的に抵抗値が変化することにより情報を記憶することができる。すなわち、低抵抗状態のときに印加電圧が所定の第1の電圧を越えたとき、高抵抗状態に変化し、高抵抗状態のときに第1の電圧印加方向とは反対方向への印加電圧が所定の第2の電圧を越えたとき、低抵抗状態に変化する双方向性を有する

。双方向ダイオード素子2は、印加電圧に対して非線形な電流特性を有し、かつ双方向に電流が流れる双方向性を有する。

[0021] 図19に双方向ダイオード素子の電圧－電流特性の一例を示す。 I_t (> 0)は閾値電圧を決定する所定の電流、 V_1 は第1の閾値電圧、 V_2 は第2の閾値電圧を表す。図19に示すように、この特性は非線形であって、電圧 V が $V_2 < V < V_1$ を満たす領域では、抵抗が大きく実質的に電流が流れない。このとき、 $-I_t < I < I_t$ を満たしている。一方、電圧 V が $V \leq V_2$ または $V_1 \leq V$ を満たす領域では、急激に抵抗値が低下して大きな電流が流れるようになる。このとき、 $V_1 \leq V$ を満たす領域において $I_t \leq I$ となり、 $V \leq V_2$ を満たす領域において $I \leq -I_t$ となっている。

[0022] ここで、閾値電圧は、所定の電流が流れるときの電圧を意味する。ここでの所定の電流とは、閾値電圧を決定するために任意に決めうる値であり、ダイオードが制御する素子の特性や、ダイオードの特性によって決まる。通常は、実質的に電流が流れない状態から大きな電流が流れる状態へ切り替わった時点の電流として、閾値電流を決定する。

[0023] なお、図19では、正電圧時の電流の大きさと負電圧時の電流の大きさが原点对称に記載されているが、これらは必ずしも対称である必要はない。例えば $|V_1| < |V_2|$ であったり、 $|V_2| < |V_1|$ であってもよい。

[0024] また、ビット線とワード線との間に設けられた双方向型メモリセルによって、1ビットの記憶素子が実現される。

[0025] なお、本発明に係る構成は、図1(b)に示すような単方向型メモリセルや、図1(c)に示すような抵抗変化型素子のみで構成したダイオードレスメモリセルを採用することも可能である。

[0026] 図2はメモリセルを含む立体構造を示す概念図である。図2(a)はいわゆる単層クロスポイントメモリセルの立体構造であり、直交するように配置されたビット線とワード線との交点の位置に、ビット線とワード線とに挟まれて、メモリセルMCが構成されている。図2(b)はいわゆる多層クロスポイントメモリセルの立体構造であり、図2(a)の単層クロスポイントメ

メモリセルが積み重ねられた構造になっている。

[0027] 図3(a)は本実施形態におけるメモリセルの断面構造の一例である。図3(a)において、下部配線11および上部配線12は、一方がビット線であり、他方がワード線である。そして、下部配線11と上部配線12との間に、下部電極13、ダイオード素子14（双方向ダイオード素子2に相当）、内部電極15、TaO膜16（抵抗変化型素子1に相当）、および上部電極17が、順に形成されている。なお、TaO膜16に関しては、タantal酸化物を TaO_x と表した場合に、 $0 < x < 2.5$ であることが少なくとも必要である。特に、本実施形態におけるTaO_x膜は、 $0.8 \leq x \leq 1.9$ であることが望ましい。

[0028] 図3(b)は本実施形態におけるメモリセルの断面構造の他の例であり、TaO膜が2層構造になったものである。すなわち、TaO膜16に代えて、第1のTaO酸化物層(TaO_x)16aと第2のTaO酸化物層(TaO_y)16bが形成されている。ここで、 $0 < x < 2.5$ 、および $x < y$ を満足することが好ましい。より好適には、第2のTaO酸化物層(TaO_y)16bが上部電極17に接しており、膜厚が1nm以上8nm以下であり、かつ、 $0.8 \leq x \leq 1.9$ および $2.1 \leq y < 2.5$ を満足することが好ましい。

[0029] 図3(c)および(d)は本実施形態におけるメモリセルの断面構造の他の例である。図3(c)では、内部電極15が省かれており、図3(d)では、さらに下部電極13および上部電極17が省かれ、下部配線11、上部配線12が各々下部電極、上部電極も兼用している。また、図3(e)は図1(c)のダイオードレスメモリセルの断面構造の一例である。なお、図3(c)、(d)および(e)においても、図3(b)と同様に、TaO膜16を2層構造にすることも可能である。なお、図3は、ダイオード素子の上に抵抗変化型素子を配置する構造で示しているが、抵抗変化型素子の上にダイオード素子を配置する構成にしてもよい。

[0030] 図4は本実施形態におけるメモリセルの電流－電圧の関係を示すグラフで

ある。図4のグラフは図1(a)の回路図に対応する。図4において、横軸はビット線ーワード線間にかかる電圧、縦軸はメモリセルに流れる電流である。また、「LRセル」はメモリセルが低抵抗状態である場合、「HRセル」はメモリセルが高抵抗状態である場合を表す。図4に示すように、いまメモリセルが低抵抗状態である(LRセル)ものとする、電圧が上昇して「2V」程度を超えたとき、電流が大きく増加する。電圧がさらに上昇して「4V」に近くなったとき、メモリセルの抵抗値が変化して高抵抗状態になり(HRセル)、電流が大きく減少する。一方、電圧が低下して「-4V」程度を下回ったとき、メモリセルの抵抗値が変化して低抵抗状態になり(LRセル)、電流が大きく増加する。このように、抵抗変化が双方向において生じる。

[0031] 図5は本実施形態に係る抵抗変化型不揮発性記憶装置におけるメモリセルアレイの構成を示す回路図である。図5において、ビット線が延びる方向をX方向、ワード線が延びる方向をY方向、ビット線やワード線の層が重なる方向をZ方向としている。

[0032] 図5において、ビット線BLはX方向に延び、複数の層(図5では5層)に形成されており、ワード線WLはY方向に延び、ビット線の間の各層(図5では4層)に形成されている。そして、メモリセルアレイ100において、ビット線BLとワード線WLとの交点位置に、各メモリセルMCが当該ビット線BLと当該ワード線WLとに挟まれて形成されている。なお、図の簡略化のために、メモリセルMCの一部およびワード線の一部については図示を省略している。

[0033] そして、Z方向に揃った各層のビット線BL群毎に、ワード線WLとの間に形成されたメモリセルMCによって、基本アレイ面0~3がそれぞれ構成されている。各基本アレイ面0~3において、ワード線WLは共通である。図5の例では、各基本アレイ面0~3において、メモリセルMCがX方向に32個、Z方向に8個、配置されている。またメモリセルアレイ100は、Y方向に並ぶ4個の基本アレイ面0~3によって構成されている。ただし、

基本アレイ面におけるメモリセルの個数や、Y方向に並ぶ基本アレイ面の個数は、これに限定されるものではない。

[0034] そして、各基本アレイ面0～3において、偶数層のビット線BLが共通に接続されており（BL__e 0～BL__e 3）、また、奇数層のビット線BLが共通に接続されている（BL__o 0～BL__o 3）。

[0035] さらに、グローバルビット線GBL 000～GBL 003がY方向に延びて形成されている。また、各基本アレイ面0～3毎に、第1の選択スイッチ素子101～104および第2の選択スイッチ素子111～114がそれぞれ設けられている。図5では、第1の選択スイッチ素子101～104および第2の選択スイッチ素子111～114は、n型MOSトランジスタによって構成されているものとしている。

[0036] 第1の選択スイッチ素子101～104は、当該基本アレイ面に係るグローバルビット線GBL 000～GBL 003と、当該基本アレイ面において共通に接続された偶数層のビット線BL__e 0～BL__e 3との電氣的な接続／非接続を、偶数層選択信号BL s__e 0に従って切替制御する。第2の選択スイッチ素子111～114は、当該基本アレイ面に係るグローバルビット線GBL 000～GBL 003と、当該基本アレイ面において共通に接続された奇数層のビット線BL__o 0～BL__o 3との電氣的な接続／非接続を、奇数層選択信号BL s__o 0に従って切替制御する。

[0037] この構成により、上述した多層クロスポイント構造が実現されている。加えて、ビット線BLとグローバルビット線GBLを用いた階層ビット線方式が実現されている。さらに、各基本アレイ面0～3において、偶数層のビット線BLおよび奇数層のビット線BLをそれぞれ共通に接続することによって、階層ビット線方式を実現するための選択スイッチ素子の数を2個に減らすことができる。これにより、アレイサイズの小さなメモリセルアレイを、レイアウト面積を増大させることなく、実現することができる。

[0038] 図6は1個の基本アレイ面を単層構造に展開した等価回路を示す図である。図6に示すように、メモリセルMCが32個ずつ8層分並んだ基本アレイ

面は、メモリセルMCが128個ずつ2層分並んだアレイと等価となり、偶数層のビット線BLおよび奇数層のビット線BLをそれぞれ共通接続してもよいことが理解できる。

[0039] 図7は図5のメモリセルアレイ100とその周辺回路を示す回路図である。図7において、グローバルビット線デコーダ／ドライバー122はグローバルビット線GBLを駆動制御する。サブビット線選択回路123はアドレス信号A0～Axに応じて、偶数層選択信号BLs__e0および奇数層選択信号BLs__o0を制御する。ワード線デコーダ／ドライバー121は各ワード線WLを駆動制御する。

[0040] 図8は抵抗変化型不揮発性記憶装置の主要部を示す回路図である。図8に示すように、実際の装置では、図5に示すメモリセルアレイ100が複数個配置されることによって、メモリアレイ200が構成される。図8の例では、メモリセルアレイ100が $(n+1) \times 16$ 個、配置されている。ワード線デコーダ／ドライバー201は各ワード線WLを駆動制御し、グローバルビット線デコーダ／ドライバー202は各グローバルビット線GBLを駆動制御する。サブビット線選択回路203はアドレス信号A0～Axに応じて、各メモリセルアレイ100に対する偶数層選択信号BLs__e0～BLs__enおよび奇数層選択信号BLs__o0～BLs__onを制御する。

[0041] 図9は抵抗変化型不揮発性記憶装置の全体構成を示す回路図である。図9において、主要部300が図8に示す構成に相当している。

[0042] 図9において、アドレス入力回路211は、消去サイクル、書込みサイクルまたは読出しサイクルの間、外部からのアドレス信号を一時的にラッチし、ラッチしたアドレス信号をサブビット線選択回路203、グローバルビット線デコーダ／ドライバー202、およびワード線デコーダ／ドライバー201へ出力する。制御回路212は、複数の入力信号を受けて、消去サイクル、書込みサイクル、読出しサイクル、およびスタンバイ時の状態を表す信号を、サブビット線選択回路203、グローバルビット線デコーダ／ドライバー202、ワード線デコーダ／ドライバー201、書込み回路214、お

よびデータ入出力回路215へそれぞれに対応した信号として出力する。また制御回路212は、消去サイクル、書込みサイクル、および読出しサイクル時の消去、書込み、または読出しパルス発生トリガー信号を書込みパルス発生回路213へ出力する。書込みパルス発生回路213は、消去サイクル、書込みサイクル、および読出しサイクル内の各消去、書込み、または読出し時間パルスを任意の期間 (t_{p_E} , t_{p_P} , t_{p_R}) 発生し、グローバルビット線デコーダ/ドライバー202およびワード線デコーダ/ドライバー201へ出力する。

[0043] 図10は図5等を示すメモリセルアレイの動作タイミング図である。メモリセルアレイの動作は、図10に示すように、消去サイクル、書込みサイクル、読み出しサイクルおよびスタンバイの4つに大きく分けられる。

[0044] まず書込みサイクルについて説明する。書込みサイクルでは、選択されたメモリセルの抵抗変化型素子が、高抵抗状態から低抵抗状態に、あるいは低抵抗状態から高抵抗状態に変化する。まず、選択されたグローバルビット線（図10ではGBL000）に、書込み電圧 V_w が印加される。これ以外の方非選択グローバルビット線には書込み電圧 V_w は印加されない。また、ビット線選択信号（偶数層選択信号および奇数層選択信号）のうち、選択されたビット線選択信号（図10ではBLse0）が、電圧 V_{sel} に変化する。これ以外の方非選択のビット線選択信号は変化しない。

[0045] 図5において、偶数層選択信号BLse0が電圧 V_{sel} に変化したことによって、n型トランジスタである第1の選択スイッチ素子101~104がオンする。そして、グローバルビット線GBL000に書込み電圧 V_w が印加されているので、基本アレイ面0における共通に接続された偶数層ビット線BLse0に電圧 V_w が加わる。すなわち、ビット線BLse0が選択ビット線となる。これ以外の方非選択ビット線には電圧 V_w は加わらない。

[0046] そして、選択ワード線（図10ではWL00000）の電圧を V_0 から0Vに変化させる。これ以外の方非選択ワード線は電圧 V_0 のままとする。これにより、選択ビット線BLse0と選択ワード線WL00000との間に挟

まれたメモリセルMCに電圧 V_w が加わり、これにより、このメモリセルMCの抵抗値が変化する。

[0047] 消去サイクルでは、基本的な動作は書込みサイクルと同様であるが、選択されたメモリセルMCに逆方向の電圧 V_e が加わる点異なる。すなわち、選択グローバルビット線GBL000の電圧は0Vのままなので、ビット線選択信号BLs__e0が電圧 V_{se1} に変化したとき、選択ビット線BL__e0の電圧は0Vになる。一方、選択ワード線WL000000の電圧は V_0 から消去電圧 V_e に変化する。この結果、選択ビット線BL__e0と選択ワード線WL000000との間に挟まれたメモリセルMCに、書込みサイクルとは逆方向の電圧 V_e が加わり、これによって、このメモリセルMCの抵抗値が変化する。

[0048] 読出しサイクルでは、基本的な動作は書込みサイクルと同様であるが、選択されたメモリセルMCに、書込み電圧 V_w よりも小さい読み出し電圧（ $V_r - V_{r0}$ ）が加わる点異なる。すなわち、選択グローバルビット線GBL000の電圧は電圧 V_r に変化するので、ビット線選択信号BLs__e0が電圧 V_{se1} に変化したとき、選択ビット線BL__e0の電圧は V_r になる。一方、選択ワード線WL000000の電圧は V_0 から V_{r0} に変化する。この結果、選択ビット線BL__e0と選択ワード線WL000000との間に挟まれたメモリセルMCに電圧（ $V_r - V_{r0}$ ）が加わり、これによって、このメモリセルMCの抵抗変化型素子が高抵抗状態か低抵抗状態かの読み出しを行うことができる。

[0049] <メモリセルアレイの物理的構造>

図11は本実施形態に係るメモリセルアレイの物理的構造を示す図である。図11(a)は平面図であり、図11(b)は断面図である。図11(a)において、左右方向がビット線BLの延びるX方向、上下方向がワード線WLの延びるY方向であり、紙面に直交する方向がZ方向である。図11(b)において、左右方向がビット線BLの延びるX方向、上下方向がZ方向、紙面に直交する方向がワード線WLの延びるY方向である。

[0050] 図 1 1 に示す物理的構造では、基板 3 の上に、複数のメモリセル MC が配置されたメモリセルアレイが形成されている。そして、グローバルビット線 GBL0～GBL3 は、最下層のビット線 BL のさらに下層（第 1 配線層）において、Y 方向に延びて形成されている。また、第 1 および第 2 の選択スイッチ素子は MOSFET によって構成されており、グローバルビット線 GBL0～GBL3 のさらに下の、基板 3 に形成された拡散層 105 およびゲート 106 によって、構成されている。グローバルビット線 GBL0～GBL3 と拡散層 105 とは、第 1 コンタクトを介して、接続されている。

[0051] また、各基本アレイ面 0～3 において、偶数層の各ビット線 BL は、ワード線層とビット線層との間にそれぞれ設けられたコンタクト 107 を介して、共通に接続されている（BL__e0～BL__e3）。同様に、奇数層の各ビット線 BL は、ワード線層とビット線層との間にそれぞれ設けられたコンタクト 108 を介して、共通に接続されている（BL__o0～BL__o3）。そして、共通に接続された偶数層のビット線 BL__e0～BL__e3 は、それぞれ、第 3 コンタクト（コンタクト 131）を介して第 2 配線に接続されており、共通に接続された奇数層のビット線 BL__o0～BL__o3 は、それぞれ、第 3 コンタクト（コンタクト 132）を介して第 2 配線に接続されている。

[0052] 第 1 および第 2 の選択スイッチ素子を構成する拡散層 105 は、第 1 コンタクト、第 1 配線および第 2 コンタクトを介して、第 2 配線に接続されている。そして第 2 配線によって、共通に接続された偶数層のビット線 BL__e0～BL__e3、および共通に接続された奇数層のビット線 BL__o0～BL__o3 と、拡散層 105 とが電氣的に接続されている。

[0053] 図 1 2 および図 1 3 は図 1 1 に示す物理的構造を各層毎に分解した平面図である。図 1 2 および図 1 3 を用いて、本実施形態に係るメモリセルアレイの物理的構造をさらに詳細に説明する。

[0054] 図 1 2 (a) は第 1 および第 2 の選択スイッチ素子を構成する拡散層およびゲートから第 1 コンタクトまでが形成された状態を示す図である。図 1 2

(a) に示すように、図5に示した第1の選択スイッチ素子101～104および第2の選択スイッチ素子111～114が、拡散層105およびゲート106からなるMOSFETによって構成されている。また、基本アレイ面0に係る第1および第2の選択スイッチ素子101, 111を構成するMOSFETは、ソースまたはドレインとなる拡散領域の一方を共有し、MOSFETペアを構成している。同様に、基本アレイ面1に係る第1および第2の選択スイッチ素子102, 112、基本アレイ面2に係る第1および第2の選択スイッチ素子103, 113、および基本アレイ面3に係る第1および第2の選択スイッチ素子104, 114もそれぞれ、拡散領域を共有し、MOSFETペアを構成している。

[0055] 4個のMOSFETペアは、ゲート長方向がY方向に一致するように配置されており、かつ、X方向に並べられている。なお、MOSFETペアの個数は基本アレイ面の数に相当しており、基本アレイ面がn（nは2以上の整数）個のとき、MOSFETペアはn個並べられることになる。

[0056] また、4個のMOSFETペアは、第1の選択スイッチ素子101～104を構成するMOSFETのゲートが互いに接続されているとともに、第2の選択スイッチ素子111～114のゲートが互いに接続されており、偶数層選択ゲート106aと奇数層選択ゲート106bとが形成されている。偶数層選択ゲート106aには偶数層選択信号BL_s__e0が与えられ、奇数層選択ゲート106bには奇数層選択信号BL_s__o0が与えられる。

[0057] また、各MOSFETペアにおいて共有された拡散領域には、グローバルビット線GBL0～GBL3と接続するための第1コンタクト（コンタクト141等）がそれぞれ形成されている。また、第1の選択スイッチ素子101～104の他方の拡散領域には、共通に接続された偶数層のビット線BL__e0～BL__e3と接続するための第1コンタクト（コンタクト142等）がそれぞれ形成されており、第2の選択スイッチ素子111～114の他方の拡散領域には、共通に接続された奇数層のビット線BL__o0～BL__o3と接続するための第1コンタクト（コンタクト143等）がそれぞれ形

成されている。

[0058] 図 1 2 (b) は図 1 2 (a) の構造上に、グローバルビット線を含む第 1 配線と第 2 コンタクトが形成された状態を示す図である。図 1 2 (b) に示すように、グローバルビット線 G B L 0 ~ G B L 3 はそれぞれ、Y 方向に延びており、各 M O S F E T ペアの共有化された拡散領域と第 1 コンタクト（コンタクト 1 4 1 等）によって接続されている。また、第 1 の選択スイッチ素子 1 0 1 ~ 1 0 4 の他方の拡散領域と第 1 コンタクトを介して接続された配線（配線 1 4 4 等）が、設けられている。そしてこの配線に、共通に接続された偶数層のビット線 B L _ e 0 ~ B L _ e 3 と接続するための第 2 コンタクト（コンタクト 1 4 5 等）が形成されている。さらに、第 2 の選択スイッチ素子 1 1 1 ~ 1 1 4 の他方の拡散領域と第 1 コンタクトを介して接続された配線（配線 1 4 6 等）が設けられている。そしてこの配線に、共通に接続された奇数層のビット線 B L _ o 0 ~ B L _ o 3 と接続するための第 2 コンタクト（コンタクト 1 4 7 等）が形成されている。

[0059] 図 1 2 (c) は図 1 2 (b) の構造上に、第 2 配線と第 3 コンタクトが形成された状態を示す図である。この第 2 配線は、グローバルビット線 G B L とメモリセルアレイとの間に設けられた配線層に形成されている。図 1 2 (c) に示すように、4 個のコンタクト 1 3 1 が左端に Y 方向に並んで配置されており、また、別の 4 個のコンタクト 1 3 2 が右端に Y 方向に並んで配置されている。すなわち、各基本アレイ面 0 ~ 3 において共通に接続された偶数層のビット線 B L _ e 0 ~ B L _ e 3 のコンタクト領域が Y 方向に並んで配置されているとともに、各基本アレイ面 0 ~ 3 において共通に接続された奇数層のビット線 B L _ o 0 ~ B L _ o 3 のコンタクト領域が Y 方向に並んで配置されている。また、図 1 1 (b) の断面図から分かるように、共通に接続されたビット線 B L のコンタクトビアは、この配線層におけるコンタクト領域から、基板 3 に対して垂直方向に延びている。

[0060] そして、コンタクト 1 3 1 と、第 1 の選択スイッチ素子 1 0 1 ~ 1 0 4 の他方の拡散領域に接続されている第 2 コンタクト（コンタクト 1 4 5 等）と

を接続するように、配線（配線 1 4 8 等）が設けられている。また、コンタクト 1 3 2 と、第 2 の選択スイッチ素子 1 1 1 ～ 1 1 4 の他方の拡散領域に接続されている第 2 コンタクト（コンタクト 1 4 7 等）とを接続するように、配線（配線 1 4 9 等）が設けられている。これにより、コンタクト 1 3 1 はそれぞれ、第 1 の選択スイッチ素子 1 0 1 ～ 1 0 4 の共有されていない方の拡散領域に接続されたことになり、コンタクト 1 3 2 はそれぞれ、第 2 の選択スイッチ素子 1 1 1 ～ 1 1 4 の共有されていない方の拡散領域に接続されたことになる。

[0061] このように、グローバルビット線とメモリセルアレイとの間に配線層を設けて、共通接続されたビット線と選択スイッチ素子との電氣的接続に、この配線層の配線を介在させることによって、選択スイッチ素子の配置がビット線コンタクト領域の配置に律束されることがなく、よって、自由度の高い配置やサイズ構成が可能になる。

[0062] 図 1 3（a）は図 1 2（c）の構造上に形成された偶数層のビット線を示す図である。図 1 3（a）に示すように、偶数層のビット線 BL は、ワード線層とビット線層との間にそれぞれ設けられたコンタクト 1 0 7 を介して共通に接続されており（BL__e 0 ～ BL__e 3）、さらに図 1 2（c）に示したコンタクト 1 3 1 に接続されている。なお、図 1 3（a）や他の平面図において、メモリセル MC は矩形で表されているが、実際の仕上がり寸法では円形状になる。

[0063] 図 1 3（b）は図 1 2（c）の構造上に形成されたワード線を示す図である。また、図 1 3（b）では、メモリセル MC 1 ビットのサイズ（ピッチ）を破線の矩形で示している。ここでは、X 方向（ビット線方向）のピッチと Y 方向（ワード線方向）のピッチとが等しくなっている。

[0064] 図 1 3（c）は図 1 2（c）の構造上に形成された奇数層のビット線を示す図である。図 1 3（c）に示すように、奇数層のビット線 BL は、ワード線層とビット線層との間にそれぞれ設けられたコンタクト 1 0 8 を介して共通に接続されており（BL__o 0 ～ BL__o 3）、さらに図 1 2（c）に示

したコンタクト１３２に接続されている。

[0065] なお、上述した物理的構造を採用した場合、偶数層のビット線を接続するためのコンタクト１０７，１３１を設けるための領域、および、奇数層のビット線を接続するためのコンタクト１０８，１３２を設けるための領域の分だけ、レイアウト面積が増加する。いま、Ｘ方向におけるメモリセルピッチおよびビアピッチ（コンタクト領域の長さ）をともに $0.48\mu\text{m}$ とする。この場合、例えばＸ方向におけるメモリセルの個数が３２であるとき、コンタクト領域が占める割合は、

$$(0.48 \times 2) / (0.48 \times 32 + 0.48 \times 2) = 5.9\%$$

となる。すなわち、Ｘ方向におけるメモリセルの個数が十分多い場合、レイアウト面積はさほど増加しない。

[0066] 図１４はメモリセル周辺の物理的構造の変形例を示す図であり、図１３（ｂ）の平面図をベースにして変更を加えたものである。

[0067] 図１４（ａ）の変形例では、ワード線ＷＬの幅を図１３（ｂ）よりも広げており、ワード線ＷＬの幅がビット線ＢＬの幅よりも広くなっている。あるいは、ビット線ＷＬの幅を図１３（ｂ）よりも狭くしてもよい。ただし、ワード線ＷＬおよびビット線ＢＬのピッチは図１３（ｂ）から変わっておらず、よってメモリセルＭＣのサイズＸ，Ｙは変わっていない。

[0068] ワード線の幅を広くする理由は、ワード線の方がビット線よりも長いので、書込みや読出し時における電位降下をなるべく回避できるように、ワード線の抵抗値を下げるためである。一方、ビット線はワード線に比べて短いので、電位降下は生じにくい。このため、ビット線を細くし、セパレーションをできるだけ広げることによって、製造時におけるパーティクルなどによる短絡欠陥による歩留り低下を防止することができる。

[0069] 図１４（ａ）の構成を実現する手段としては、まず、ワード線とビット線のマスク寸法を異なる値に設定する方法がある。または、製造プロセスにおいて、ワード線形成工程とビット線形成工程とでリソグラフィ条件を各々最適化する方法がある。リソグラフィ条件の最適化としては例えば、露光時間

の長短を調整する、ワード線形成工程ではより高感度の露光装置を適用する、といった方法が考えられる。

[0070] 図14(b)の変形例では、図14(a)と同様に、ワード線WLの幅をビット線BLよりも広くしている。加えて、ワード線WLのピッチを拡げている。このため、メモリセルMCのサイズが横長になっており、X方向のピッチがY方向のピッチよりも長くなっている。図14(b)の構成の目的および実現手段は、図14(a)と同様である。

[0071] 図14(c)の変形例では、図14(b)に加えてさらに、メモリセルMC自体の形状を横長にしている。すなわち、メモリセルMCの形状が、X方向のサイズがY方向のサイズよりも大きい長方形になっている。ただし、実際の仕上がり形状は長円形になる。このように、メモリセルの面積を大きくすることによって、読み出し電流（特に抵抗変化型素子が低抵抗状態のときの読み出し電流）を大きくすることができるので、読み出し動作マージンを大きくとることができる。

[0072] 図15もメモリセル周辺の物理的構造の変形例を示す図であり、図11(b)の断面図に変更を加えたものである。図15の変形例では、ビット線BLの厚さがワード線WLに比べて薄くなっている。図15の変形例は、上述したように、ビット線の抵抗はワード線に比べて高くすることが可能である点を踏まえたものである。これにより、メモリセルアレイ全体の高さを低く抑えることが可能になる。特に、多層化した場合の平坦性を確保しやすくなり、リソグラフィ工程などの微細加工が容易になる。また、ビット線の寄生容量を低減することもできる。

[0073] 図15の構成を実現する手段としては、ビット線層の膜厚をワード線層に比べ単純に薄く形成する手段以外に、例えば、ビット線の方法をワード線の方法と異なる物にすることが考えられる。例えば、ワード線はアルミ、銅などで形成し、ビット線はタングステン、TaやTa₂Nなどの薄膜導電材料で形成すればよい。なお、図14や図15に示す変形例は、本実施形態の多層の階層ビット線を採用したクロスポイント構造のメモリセルに限らず、単層

構造の階層ビット線や、通常のクロスポイント型メモリセルにも適用してもよく、同様の効果が期待できる。

[0074] 本実施形態におけるメモリセルアレイの物理的構造では、第1および第2の選択スイッチ素子となるMOSFETが、ビット線およびワード線のさらに下層に形成されている。このとき、形成されたMOSFETの領域は、Z方向に見たとき（XY平面で見たとき）、ビット線とワード線とが交差しメモリセルが配置される領域からはみ出していないことが好ましい。すなわち、階層ビット線方式を実現するための第1および第2の選択スイッチ素子が、メモリセルアレイの面積を律速しないようにする。しかも、このようなMOSFETのレイアウトを、メモリセルのピッチ（配線ピッチ）を拡げることなく、実現することが好ましい。この方法について、図16を用いて説明する。

[0075] 図16（a）に示すように、まず、第1の選択スイッチ素子を構成する偶数層選択用トランジスタと第2の選択スイッチ素子を構成する奇数層選択用トランジスタとをペアにし、ソース・ドレインの一方を共有させることを前提にする（図12（a）に示すMOSFETペアに相当）。ペアになったトランジスタのY方向の寸法を Y_{tr} とする。寸法 Y_{tr} は、デザインルールやトランジスタの耐圧仕様等に基づいて定まる。また、ビット線BLの配線ピッチ（メモリセルのY方向ピッチ）を Y_m とする。 $Y_m = L$ （配線幅）+ S （配線間隔）である。また、ワード線WLの配線ピッチを X_k とする。

[0076] ここで、 $Y_{tr} \leq 4 \times Y_m$ が成り立つとき、ビット線を4本配置するものとする。すなわち、基本アレイ面を4個設ける。このとき、奇数層選択用トランジスタと偶数層選択用トランジスタは、それぞれ4個ずつ必要になる。奇数層選択用トランジスタと偶数層選択用トランジスタのペアをX方向に4組並べたときの寸法を X_{tr} とする。寸法 X_{tr} は、デザインルールやトランジスタの電流仕様等に基づいて定まる。そして、ワード線が占めるX方向の範囲を X_m とすると、 $X_m > X_{tr}$ となるようにワード線の本数を定める。図11の物理的構造では、XY平面で見たときのワード線WLの本数は3

2としている。

[0077] また、図16(b)は、 $4 \times Y_m < Y_{tr} \leq 8 \times Y_m$ が成り立つ場合を示している。図16(b)の例では、ビット線を8本配置し、基本アレイ面を8個設けるものとしている。また、奇数層選択用トランジスタと偶数層選択用トランジスタのペアをX方向に8組並べて、このときの寸法 X_{tr} よりも X_m が大きくなるように、ワード線の本数を定める。

[0078] なお、図16の場合以外でも、例えば、 $Y_{tr} \leq 6 \times Y_m$ が成り立つ場合には、ビット線を6本配置し、基本アレイ面を6個設けて、奇数層選択用トランジスタと偶数層選択用トランジスタのペアをX方向に6組配置すればよい。また、 $8 \times Y_m < Y_{tr} \leq 16 \times Y_m$ が成り立つ場合には、上と同様の考え方で、ビット線を16本配置し、基本アレイ面を16個設けて、奇数層選択用トランジスタと偶数層選択用トランジスタのペアをX方向に16組配置すればよい。

[0079] 一般的には、XY平面で見たとき、ビット線の本数（基本アレイ面の数に相当）を n 、ワード線の本数を k とすると、

$$Y_{tr} \leq n \times Y_m, X_{tr} \leq X_m = k \times X_k$$

を満たすことが好ましい。この場合、第1および第2の選択スイッチ素子を構成するトランジスタの領域が、メモリセルが配置される領域からはみ出ることがない。したがって、階層ビット線方式を実現するための第1および第2の選択スイッチ素子を、メモリセルアレイのレイアウト面積を増大させることなく配置することができる。

[0080] 本願発明者らは、多層型の階層ビット線の構造を考えるに当たって、以下の点に注目した。

[0081] 第1点目として、ワード線またはビット線の上下層（Z方向）の両側にメモリセルを配置する構成が、製造工程削減の観点から望ましいと考えた。つまり、交互に積み重ねられたワード線とビット線の全ての交差点にメモリセルを配した場合は、Z方向のメモリセル数に対して、ワード線やビット線の本数を最小にできるというメリットがある。ただし、このような多層構造に

において各層全てのビット線を共通接続した場合、１本のワード線選択に対して、２個のメモリセルが選択されることになる。

[0082] 本発明では、１本のワード線選択に対して１個のメモリセルを選択できるように、ビット線を偶数層と奇数層とに分けて共通接続し、さらに、選択スイッチ素子をそれぞれに設けて、偶数層と奇数層の何れかが選択できるようにした。すなわち、図６の左側に示したような構成を基本アレイ面の構成としている。また、複数の基本アレイ面を束ねたレイアウトのＸＹ形状を、その下層に配置した選択スイッチ素子を含めて矩形としている。このようなレイアウトを単純に配列することにより、メモリを容易に構成することができる。

[0083] 第２点目として、偶数層と奇数層に対する選択スイッチ素子のレイアウト配置方法を検討した。すなわち、１つの基本アレイ面に対して２個の選択スイッチ素子が必要になるが、メモリセルアレイのレイアウトサイズは、選択スイッチ素子の配置サイズで定まるのではなく、基本アレイ面自体の配置サイズで決まるようにすることが望ましい。したがって、複数の基本アレイ面をＹ方向に配置し、これらの基本アレイ面に対応する複数の選択スイッチ素子を、その下の領域に全て収まる様に配置する、という方法が極めて有効である。

[0084] 第３点目として、さらに、複数の基本アレイ面の下の領域にこれらに対応する複数の選択スイッチ素子を全て配置する場合の、配置構成について検討した。

[0085] 図５に示す構成において、第１の選択スイッチ素子１０１～１０４と第２の選択スイッチ素子１１１～１１４を、関連する複数の基本アレイ面０～３の下に配置し、なおかつ少ない配線層でビット線との接続を実現することを考える。図８から分かるように、複数の基本アレイ面（図５では４つ）をまとめたブロック１００に対して、Ｘ方向の偶/奇数層選択信号は、Ｘ方向に並んだブロック１００で共通接続されている。ここで、偶/奇数層選択信号は選択スイッチ素子のゲートに接続されるので、ゲートのポリシリコン配線をＸ

方向に配線し、ブロック内外のトランジスタのゲートをポリシリコン配線のみで接続する構成が、配線層数を減らすのに効果的である。

[0086] この考えに従い、図 12 (a) に示すように、第 1 の選択スイッチ素子 101 ~ 104 を構成する MOSFET のゲート幅方向を X 方向に揃え、ポリシリコンゲートの位置を合わせて互いに接続し、偶数層選択ゲート 106 a を形成している。同様に、第 2 の選択スイッチ素子 111 ~ 114 を構成する MOSFET のゲート幅方向を X 方向に揃え、ポリシリコンゲートの位置を合わせて互いに接続し、奇数層選択ゲート 106 b を形成している。そして、第 1 の選択スイッチ素子 101 ~ 104 を構成する MOSFET と第 2 の選択スイッチ素子 111 ~ 114 を構成する MOSFET とで、それぞれ、ゲート長方向が Y 方向である MOSFET ペアを構成し、各 MOSFET ペアは拡散領域を共有するようにしている。

[0087] また、このレイアウト構成の場合、選択スイッチ素子を構成する MOSFET のゲート幅方向は、メモリセルアレイのビット線と同一方向である。このため、基本アレイ面の同一ビット線上のビット数を増やすことによって、各選択スイッチ素子のゲート幅をメモリセルアレイからはみ出すことなく拡大することができる。すなわち、選択スイッチ素子のゲート幅の自由度は高い。

[0088] 一方、図 16 を用いて説明したように、ペアになった選択スイッチ素子の Y 方向（ゲート長方向）の寸法 Y_{tr} は、選択スイッチ素子を構成する MOSFET のデザインルールや耐圧仕様等に基づいて定まる。すなわち、メモリセルアレイの Y 方向の寸法が Y_{tr} 以上となるように基本アレイ面の数を調整することによって、選択スイッチ素子が Y 方向においてメモリセルアレイからはみ出さないようにすることが可能である。

[0089] このように、メモリセルアレイ下の選択スイッチ素子の X 方向（ゲート幅方向）のサイズは自由に設定することが可能であり、かつ、Y 方向（ゲート長方向）の自由度も持ち合わせている。これにより、選択スイッチ素子のトランジスタの種類やゲート幅サイズの変更にも対応可能であり、あらゆるプ

ロセスへの柔軟な対応が可能になるとともに、選択スイッチ素子として必要なトランジスタ能力を確実に得ることができる。

[0090] 次に、本発明のメモリアレイ構成について、特にグローバルビット線の向きに注目して、その効果を説明する。

[0091] 本発明のメモリアレイの構成例は、図5および図8に示すように、グローバルビット線GBLの向きがビット線BLの向きと直交（ワード線WLの向きと同じ）することを特徴の1つとしている。この理由は、複数のメモリセルを同時に選択したときに、グローバルビット線GBLまたはワード線WLに電流が集中しないように配慮したことによる。

[0092] つまり、図8の構成において、16ビットアクセス（各ブロック1ビット）を行う場合、1本のビット線選択信号（偶数／奇数区別も含めて）を選択したとき、このビット線選択信号と関係するブロック0～ブロック15の16ブロックが選択される。各ブロックでは、選択された1本のワード線と1本のグローバルビット線とによって1つのメモリセルが選択される。したがって、ブロック毎に1ビット、計16ビットが、独立したワード線とグローバルビット線とによってアクセスされる。

[0093] 本メモリセルは抵抗変化型素子にて構成されるため、アクセスされる間は電流が流れ続け、特に消去や書込み時はその性質上、多くの電流が流れる。本発明の構成では、グローバルビット線デコーダ／ドライバー202からワード線デコーダ／ドライバー201までの電流経路上で選択メモリセルは1つである。このため、選択線を駆動するドライバーの能力は1つのメモリセルを考慮して設計すれば良く、また、配線の電圧降下を最小限に抑えられるという効果がある。また、図8では16ビット同時アクセスを想定してブロックをY方向に16列配置したが、本発明の構成によると、例えば32ビット同時アクセスの場合はブロックをY方向に32列配置し、64ビット同時アクセスの場合はブロックをY方向に64列配置し、というように、ブロック列を増やすことによって、各ビットの特性を損ねること無く、同時アクセスビット数を容易に増やすことができる。

- [0094] 一方、もし、グローバルビット線がビット線と同一方向であった場合、同時アクセスするビット数に比例して、選択した1本のビット線に流れる電流が増加する。このため、ビット線ドライバーの能力不足や、ビット線ドライバーに近いビットと遠いビットとでメモリセルに掛かる電圧が大きく異なることによりメモリセル特性が大きく異なる、といった弊害が起こる。特に、書き込み時の影響が大きい。
- [0095] したがって、本発明の構成は、多ビット同時アクセスを容易にし、各選択ドライバーは1ビットのメモリセルのみを担うので、常に安定的なメモリセル特性が得られる、という効果が得られる。
- [0096] さらに、選択スイッチ素子のレイアウト配置に関しても、グローバルビット線GBLの向きがビット線BLの向きと直交することによって、接続が容易になる。すなわち、図12(b)に示すように、ビット線選択信号線をゲート配線としてX方向に形成され、各グローバルビット線GBLは各選択スイッチ素子の上面Y方向に形成され、拡散層にコンタクト141によって接続することで、配線接続が容易に実現できる。
- [0097] 図17および図18は本実施形態の効果を示すための図であり、本実施形態によってビット線の漏れ電流が低減されることを示すグラフである。図17は本実施形態の構成を採用しない場合の大きなメモリアレイ(4k×4kビット)における電流-電圧特性、図18は本実施形態の構成を採用した場合の小さなメモリアレイ(32×4kビット)における電流-電圧特性である。また図17および図18において、選択したメモリセルから流れる電流値を破線で示している。
- [0098] 図17に示すように、大きなメモリアレイの場合、非選択メモリセルからの漏れ電流が選択メモリセルの電流を上回ってしまう。これに対して図18に示すように、本実施形態の構成によってアレイサイズを小さくした場合、非選択メモリセルからの漏れ電流が格段に小さくなる。これにより、選択メモリセルの電流を確実に検出することができる。

産業上の利用可能性

[0099] 以上説明したように、本発明では、メモリセルアレイが多分割された抵抗変化型不揮発性記憶装置を、小さなレイアウト面積で実現することができるので、例えば、高集積かつ小面積のメモリを実現するのに有用である。

請求の範囲

- [1] 電氣的信号に基づいて可逆的に抵抗値が変化する抵抗変化型素子を有するメモリセルを備えた抵抗変化型不揮発性記憶装置であって、
- 基板と、
- 前記基板の上に形成されており、複数の前記メモリセルが配置されたメモリセルアレイとを備え、
- 前記メモリセルアレイにおいて、
- 前記各メモリセルは、X方向に延び、複数の層に形成されたビット線と、Y方向に延び、ビット線間の各層に形成されたワード線との交点位置に、それぞれ、当該ビット線と当該ワード線とに挟まれて形成されており、
- 層が重なる方向であるZ方向に揃ったビット線群毎に構成された、ワード線が共通の複数の基本アレイ面が、前記Y方向に並んで配置されており、
- 前記各基本アレイ面において、偶数層のビット線が共通に接続されており、かつ、奇数層のビット線が共通に接続されており、
- 前記抵抗変化型不揮発性記憶装置は、さらに、
- グローバルビット線と、
- 前記各基本アレイ面毎に設けられた第1および第2の選択スイッチ素子とを備え、
- 前記第1の選択スイッチ素子は、当該基本アレイ面に係るグローバルビット線と、当該基本アレイ面において共通に接続された偶数層のビット線との電氣的な接続／非接続を、偶数層選択信号に従って切替制御するものであり、
- 、
- 前記第2の選択スイッチ素子は、当該基本アレイ面に係るグローバルビット線と、当該基本アレイ面において共通に接続された奇数層のビット線との電氣的な接続／非接続を、奇数層選択信号に従って切替制御するものであることを特徴とする抵抗変化型不揮発性記憶装置。
- [2] 前記第1および第2の選択スイッチ素子は、前記基板に形成されたMOSFETによって、構成されている

ことを特徴とする請求項 1 に記載の抵抗変化型不揮発性記憶装置。

- [3] 前記第 1 の選択スイッチ素子を構成する MOS F E T と、前記第 2 の選択スイッチ素子を構成する MOS F E T とは、ソースまたはドレインとなる拡散領域の一方を共有する MOS F E T ペアを構成しており、この共有している拡散領域が前記グローバルビット線と接続されている

ことを特徴とする請求項 2 に記載の抵抗変化型不揮発性記憶装置

- [4] 前記基本アレイ面の数を n (n は 2 以上の整数) としたとき、
前記 MOS F E T ペアは、ゲート長方向が Y 方向に一致するように配置されており、かつ、X 方向に n 個、並べて配置されており、

前記第 1 の選択スイッチ素子を構成する各 MOS F E T のゲートは互いに接続されているとともに、前記第 2 の選択スイッチ素子を構成する各 MOS F E T のゲートは互いに接続されている

ことを特徴とする請求項 3 に記載の抵抗変化型不揮発性記憶装置。

- [5] 前記 X 方向と前記 Y 方向から形成される X Y 平面で見たとき、前記 MOS F E T ペアのゲート長方向のサイズを Y_{tr} 、 n 個並んだ前記 MOS F E T ペア全体の X 方向のサイズを X_{tr} 、ビット線の配線ピッチを Y_m 、ワード線の本数を k 、ワード線の配線ピッチを X_k とすると、

$$Y_{tr} \leq n \times Y_m, X_{tr} \leq k \times X_k$$

を満たす

ことを特徴とする請求項 4 に記載の抵抗変化型不揮発性記憶装置。

- [6] 前記 MOS F E T ペアは、それぞれ、
前記第 1 の選択スイッチ素子を構成する MOS F E T が有する、共有されていない拡散領域が、当該基本アレイ面において共通に接続された偶数層のビット線と電氣的に接続されており、

前記第 2 の選択スイッチ素子を構成する MOS F E T が有する、共有されていない拡散領域が、当該基本アレイ面において共通に接続された奇数層のビット線と電氣的に接続されている

ことを特徴とする請求項 4 に記載の抵抗変化型不揮発性記憶装置。

- [7] 前記グローバルビット線と前記メモリセルアレイとの間に、配線層が設けられており、

前記配線層において、各基本アレイ面において共通に接続された偶数層のビット線のコンタクト領域がY方向に並んで配置されているとともに、各基本アレイ面において共通に接続された奇数層のビット線のコンタクト領域がY方向に並んで配置されており、

前記各MOSFETペアにおける前記第1の選択スイッチ素子を構成するMOSFETが有する、共有されていない拡散領域と、当該基本アレイ面において共通に接続された偶数層のビット線のコンタクトとを接続する配線、および、前記各MOSFETペアにおける前記第2の選択スイッチ素子を構成するMOSFETが有する、共有されていない拡散領域と、当該基本アレイ面において共通に接続された奇数層のビット線のコンタクトとを接続する配線が、前記配線層に形成されている

ことを特徴とする請求項6に記載の抵抗変化型不揮発性記憶装置。

- [8] 共通に接続されたビット線のコンタクトビアは、前記配線層におけるコンタクト領域から、基板に対して垂直方向に延びている

ことを特徴とする請求項7に記載の抵抗変化型不揮発性記憶装置。

- [9] 前記グローバルビット線は、前記メモリセルアレイの下層において、Y方向に延びるように形成されている

ことを特徴とする請求項1～8のいずれかに記載の抵抗変化型不揮発性記憶装置。

- [10] 前記メモリセルが有する抵抗変化型素子は、低抵抗状態と高抵抗状態とになり得るものであり、低抵抗状態のときに印加電圧が第1の電圧を越えたときに高抵抗状態に変化し、高抵抗状態のときに前記第1の電圧印加方向とは反対方向への印加電圧が第2の電圧を越えたときに低抵抗状態に変化する双方向性を有するものである

ことを特徴とする請求項1～9のいずれかに記載の抵抗変化型不揮発性記憶装置。

[11] 前記メモリセルは、前記抵抗変化型素子と直列に接続されたダイオード素子を有し、

前記ダイオード素子は、印加電圧に対して非線形な電流特性を有し、かつ、前記印加電圧の方向に応じ、双方向に電流が流れる双方向性を有するものであり、

前記ダイオード素子に印加される電圧を V 、前記ダイオード素子を流れる電流を I 、閾値電圧を決定する所定の電流を I_t 、第1の閾値電圧を V_1 、第2の閾値電圧を V_2 と表すとき、

$V_2 < 0 < V_1$ 、 $I_t > 0$ を満たし、

$V_1 \leq V$ を満たす領域において、 $I_t \leq I$ となり、

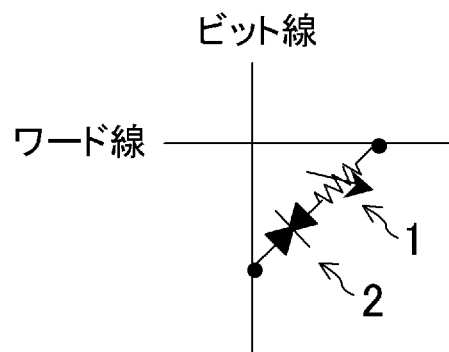
$V \leq V_2$ を満たす領域において、 $I \leq -I_t$ となり、

$V_2 < V < V_1$ を満たす領域において、 $-I_t < I < I_t$ となる

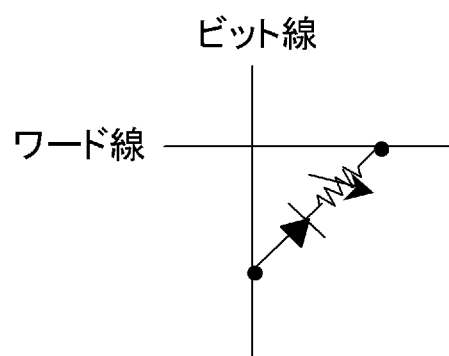
ことを特徴とする請求項1～10のいずれかに記載の抵抗変化型不揮発性記憶装置。

[図1]

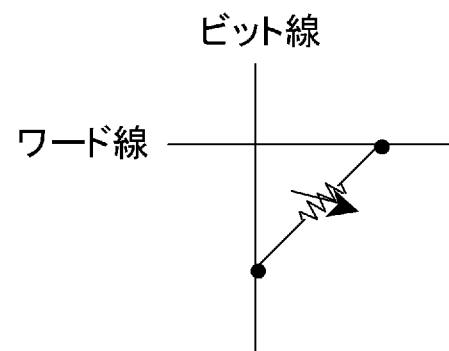
(a) 双方向型メモリセル



(b) 単方向型メモリセル



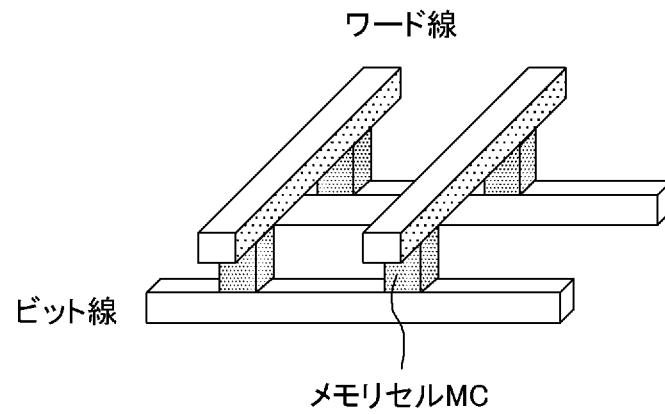
(c) ダイオードレスメモリセル



[図2]

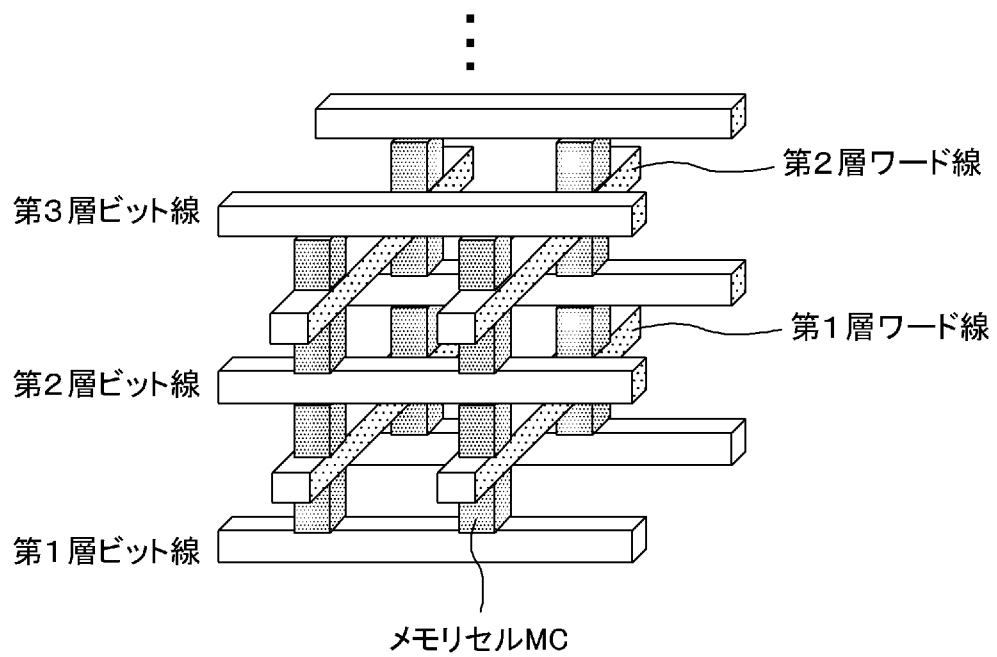
(a)

単層クロスポイントメモリセル



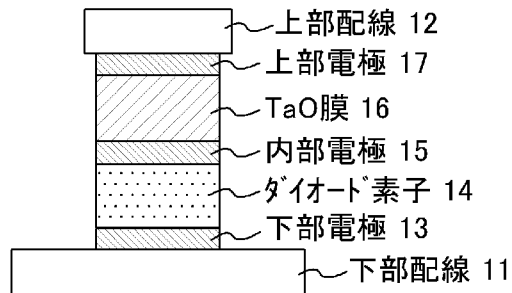
(b)

多層クロスポイントメモリセル

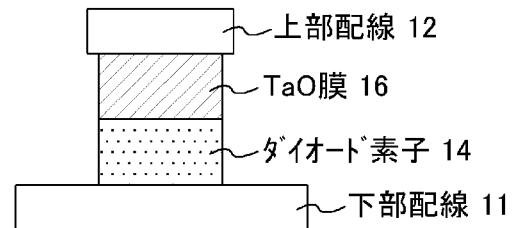


[図3]

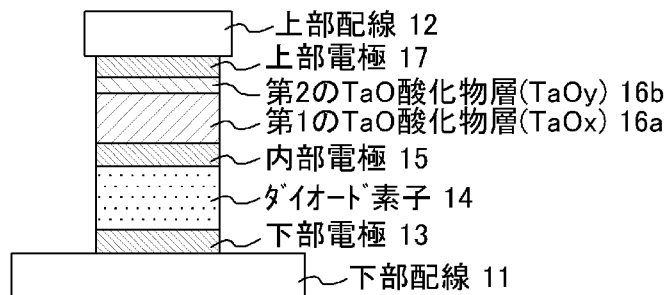
(a)



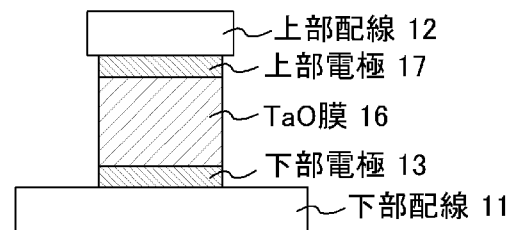
(d)



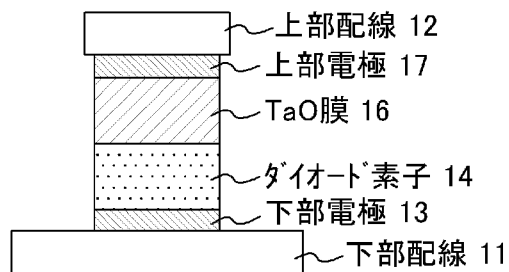
(b)



(e)

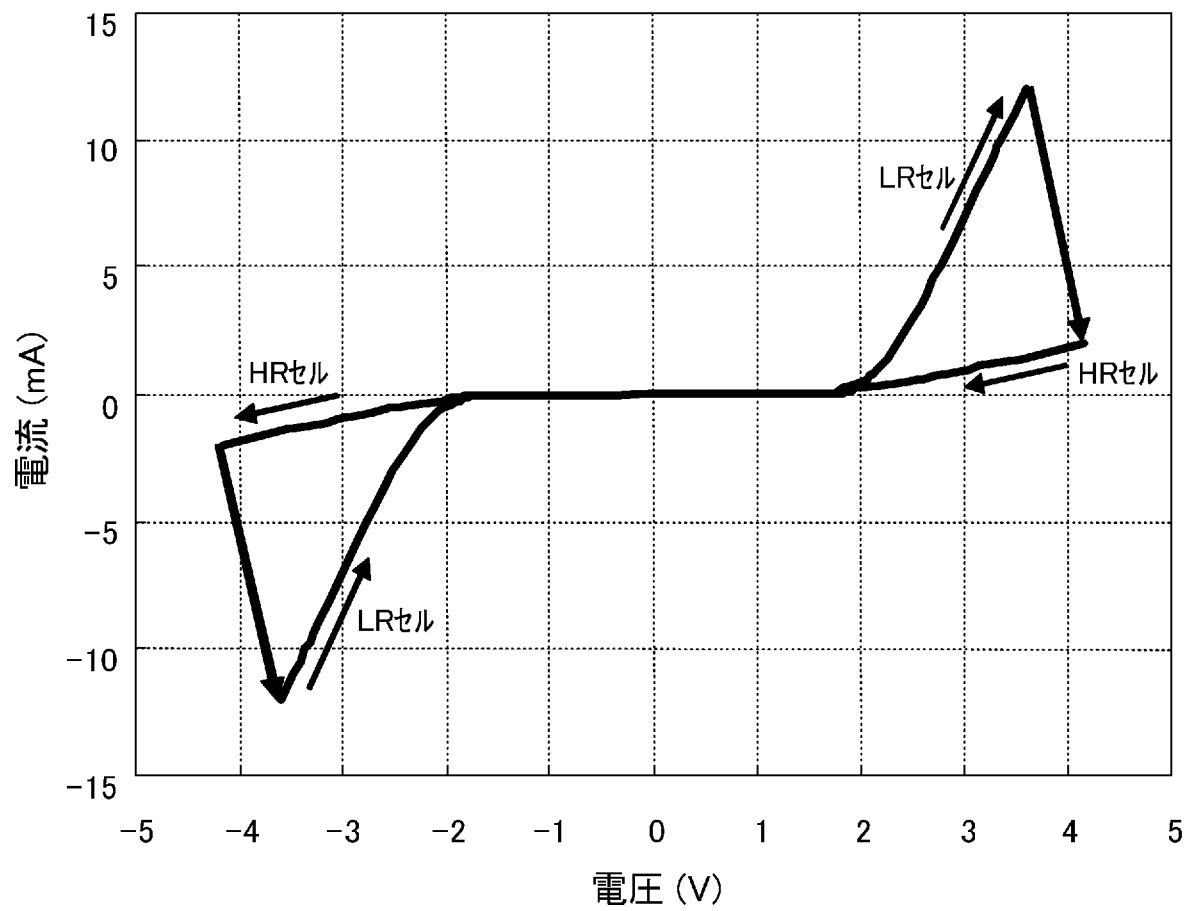


(c)

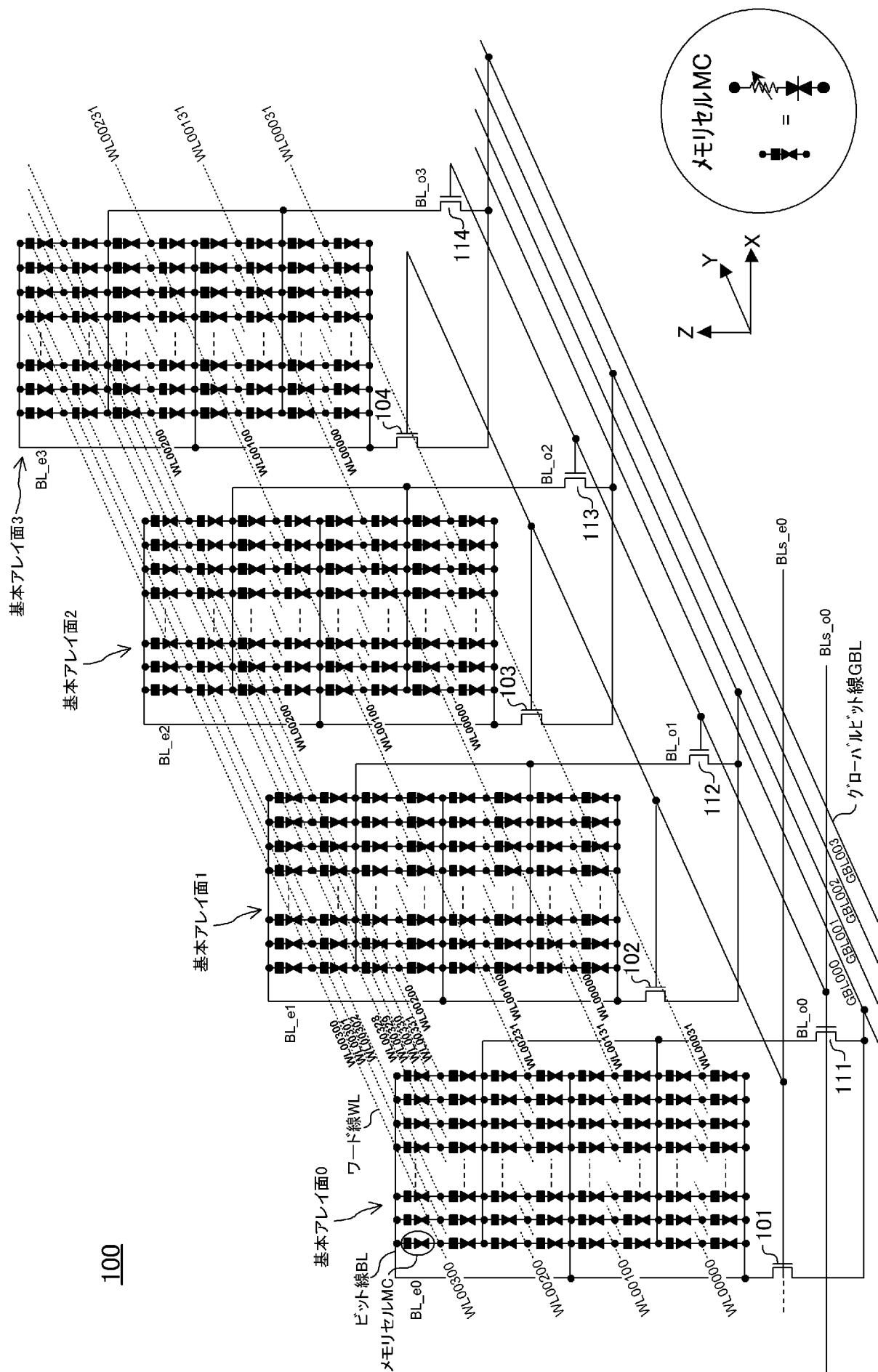


[図4]

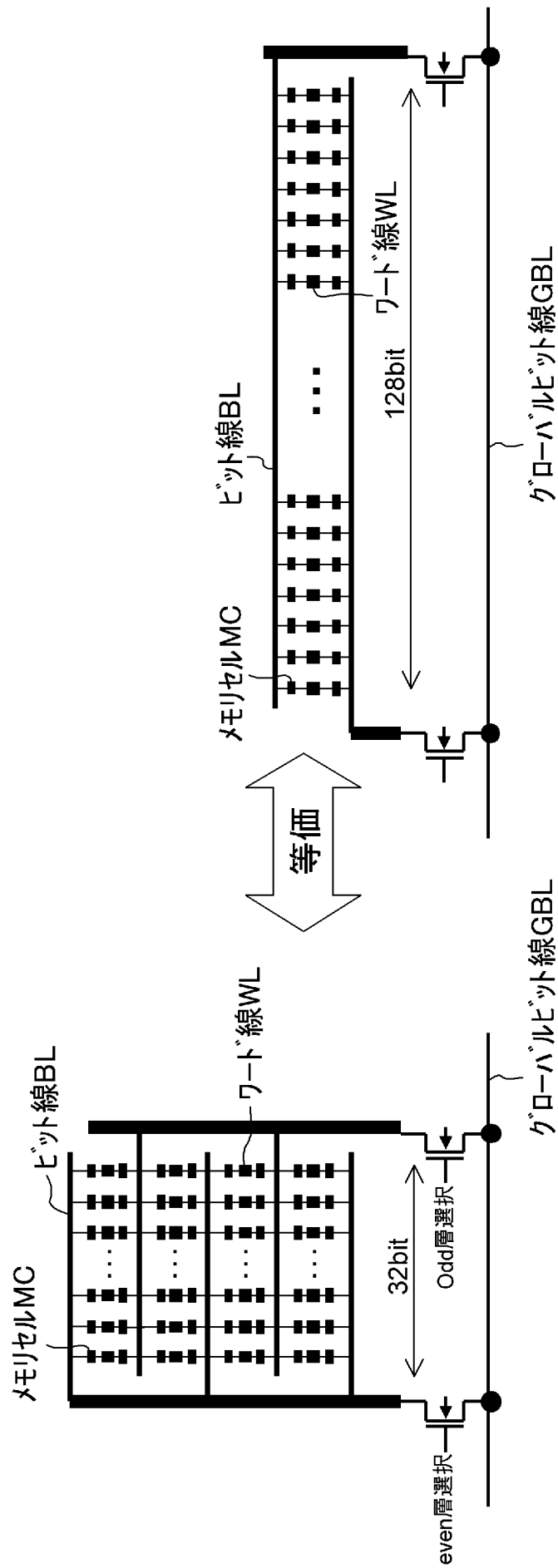
メモリセル電流特性



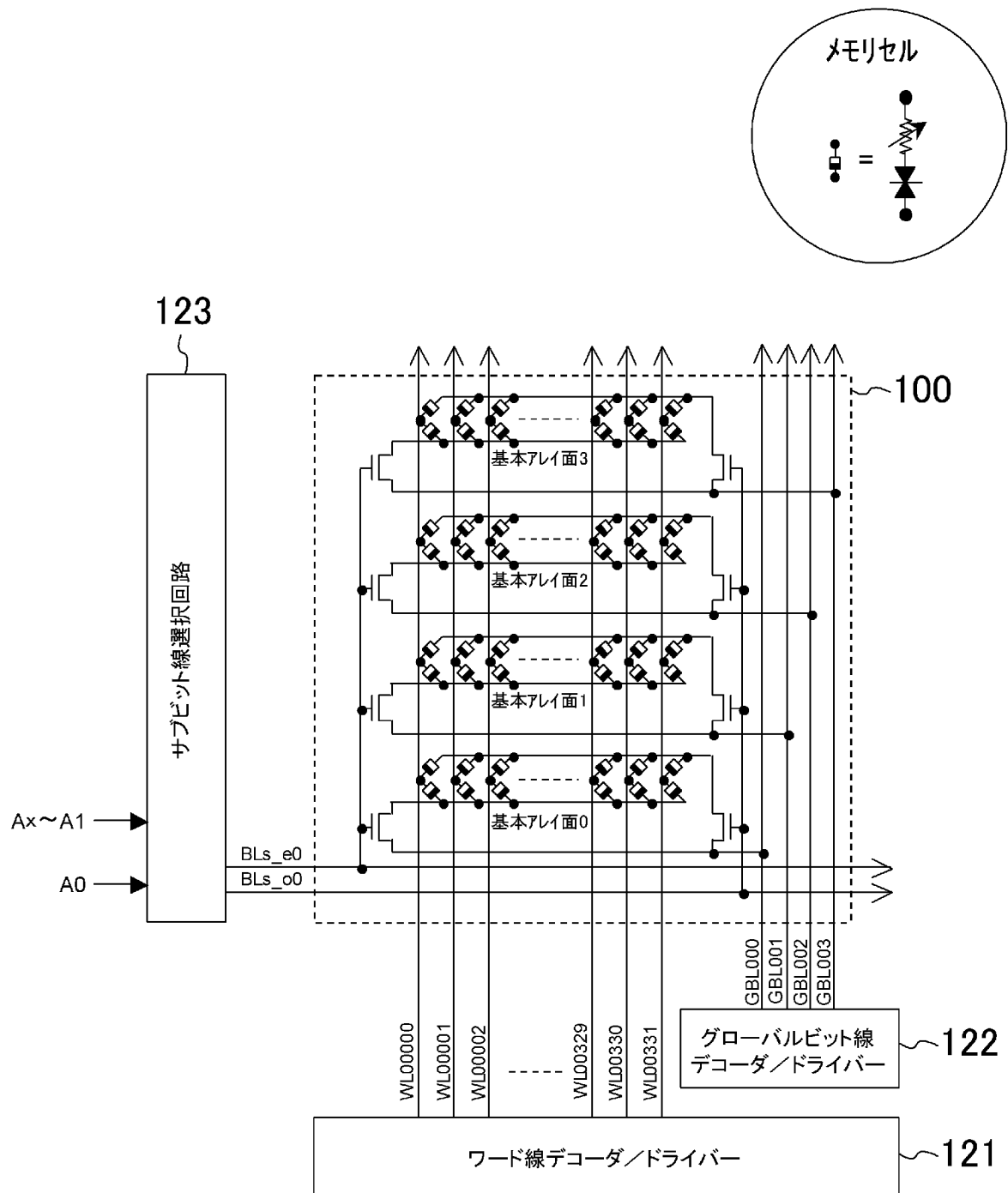
[図5]



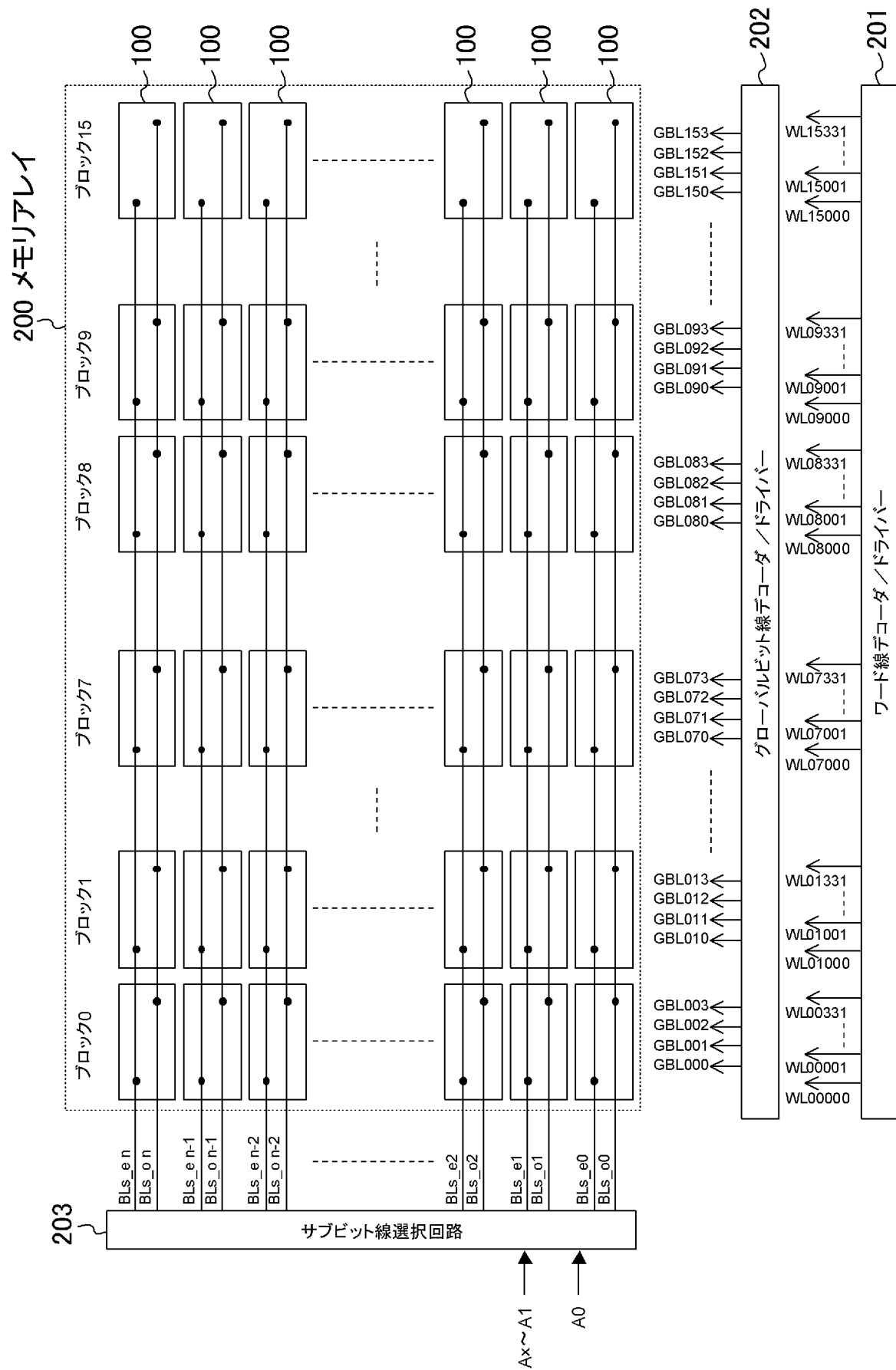
[図6]



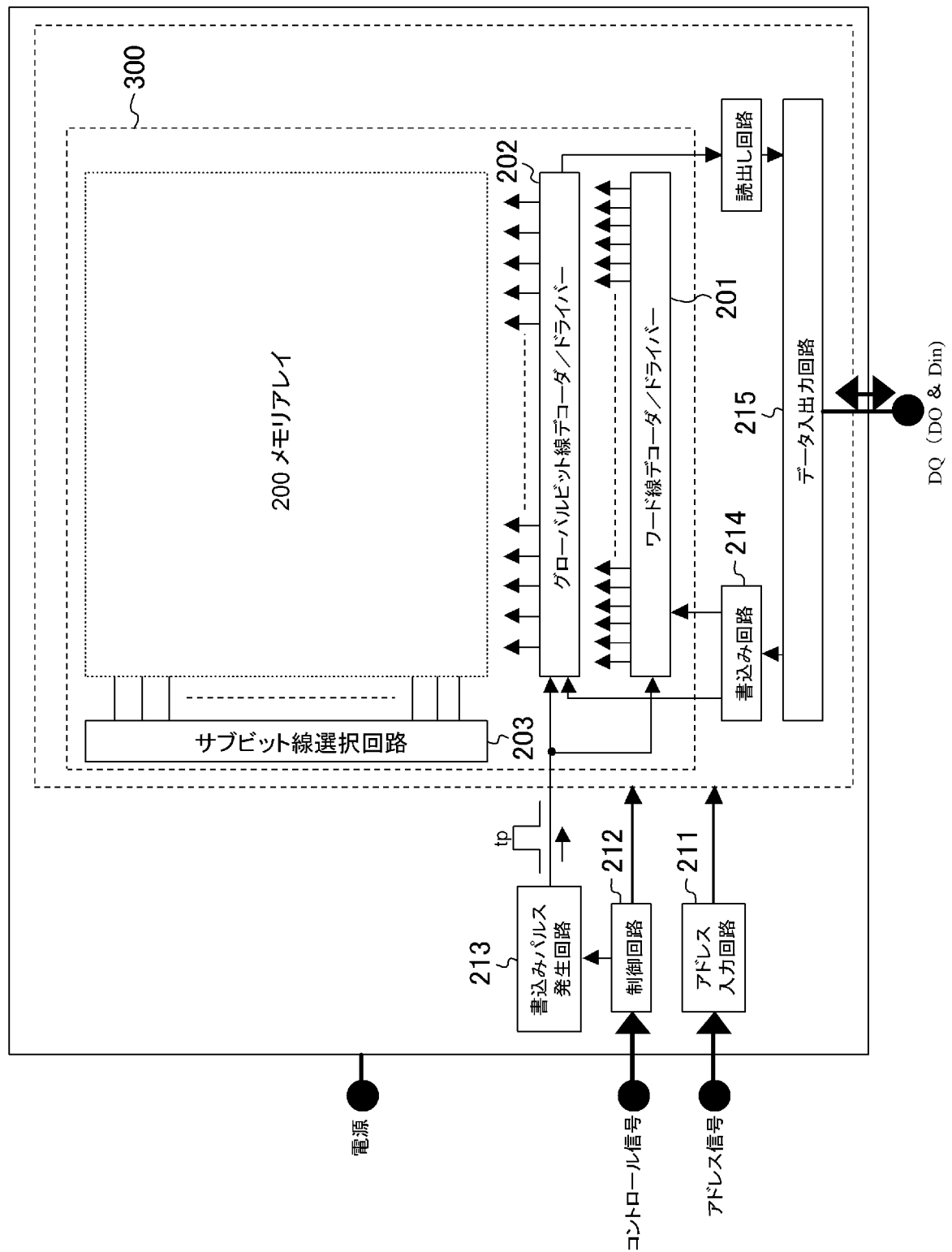
[図7]



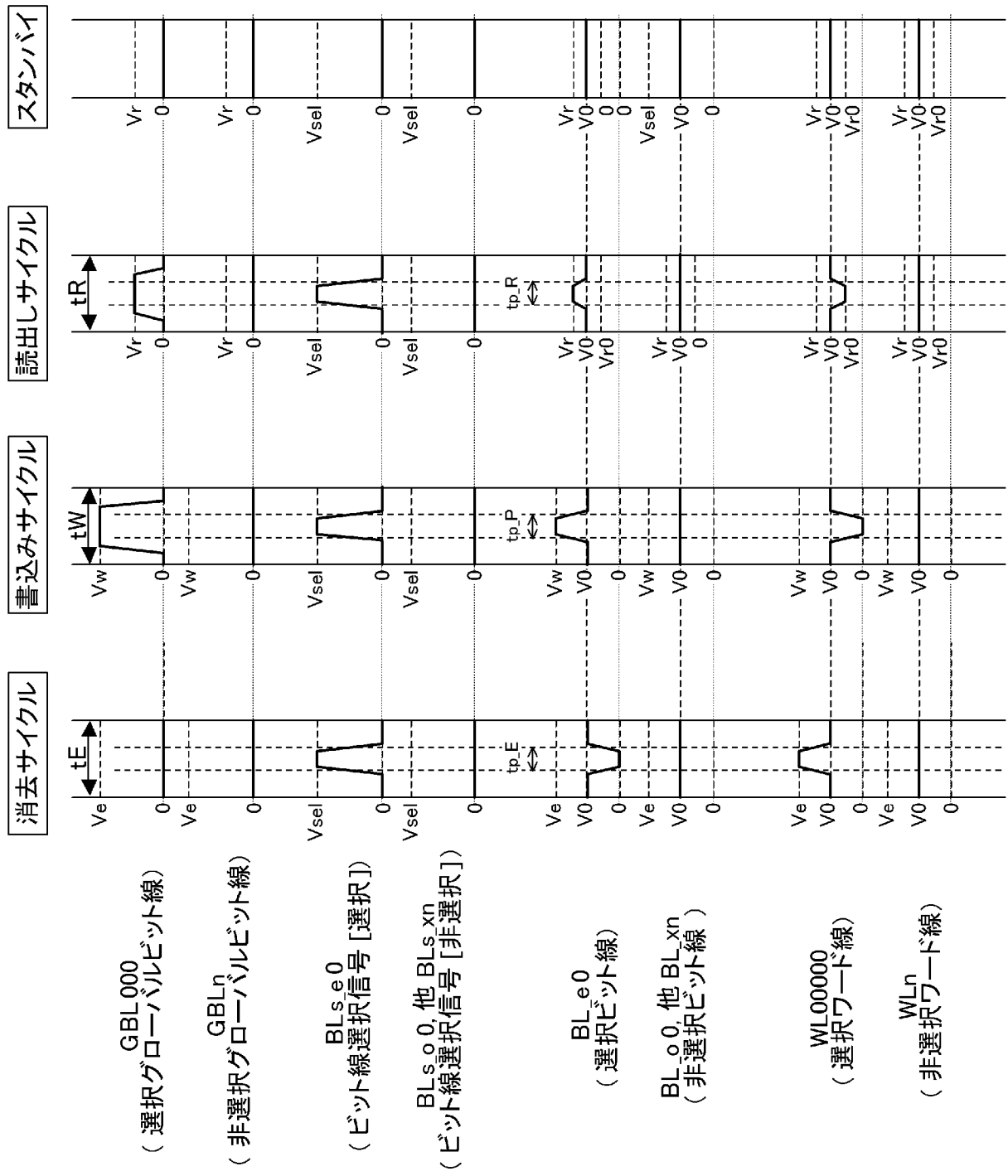
[図8]



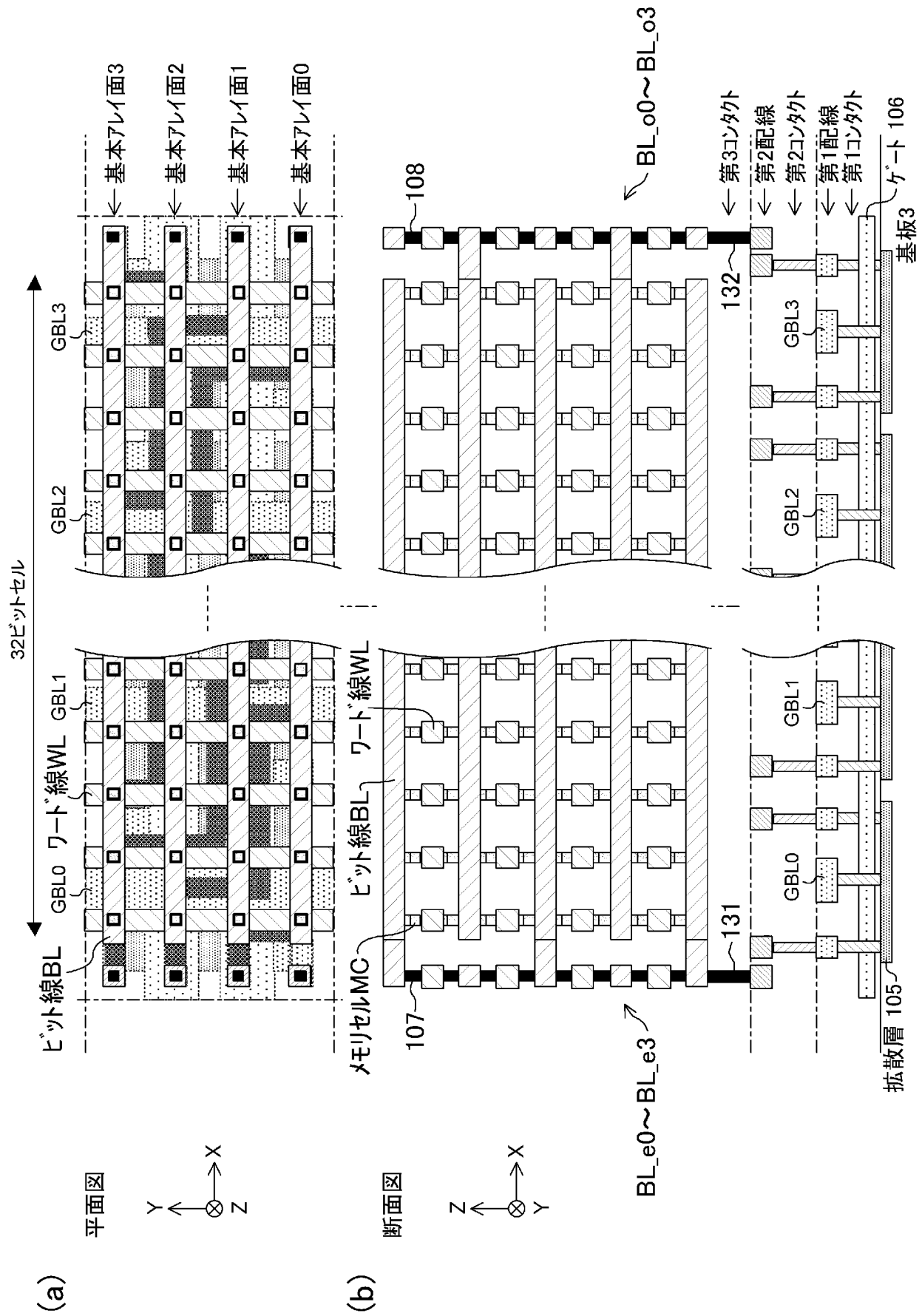
[図9]



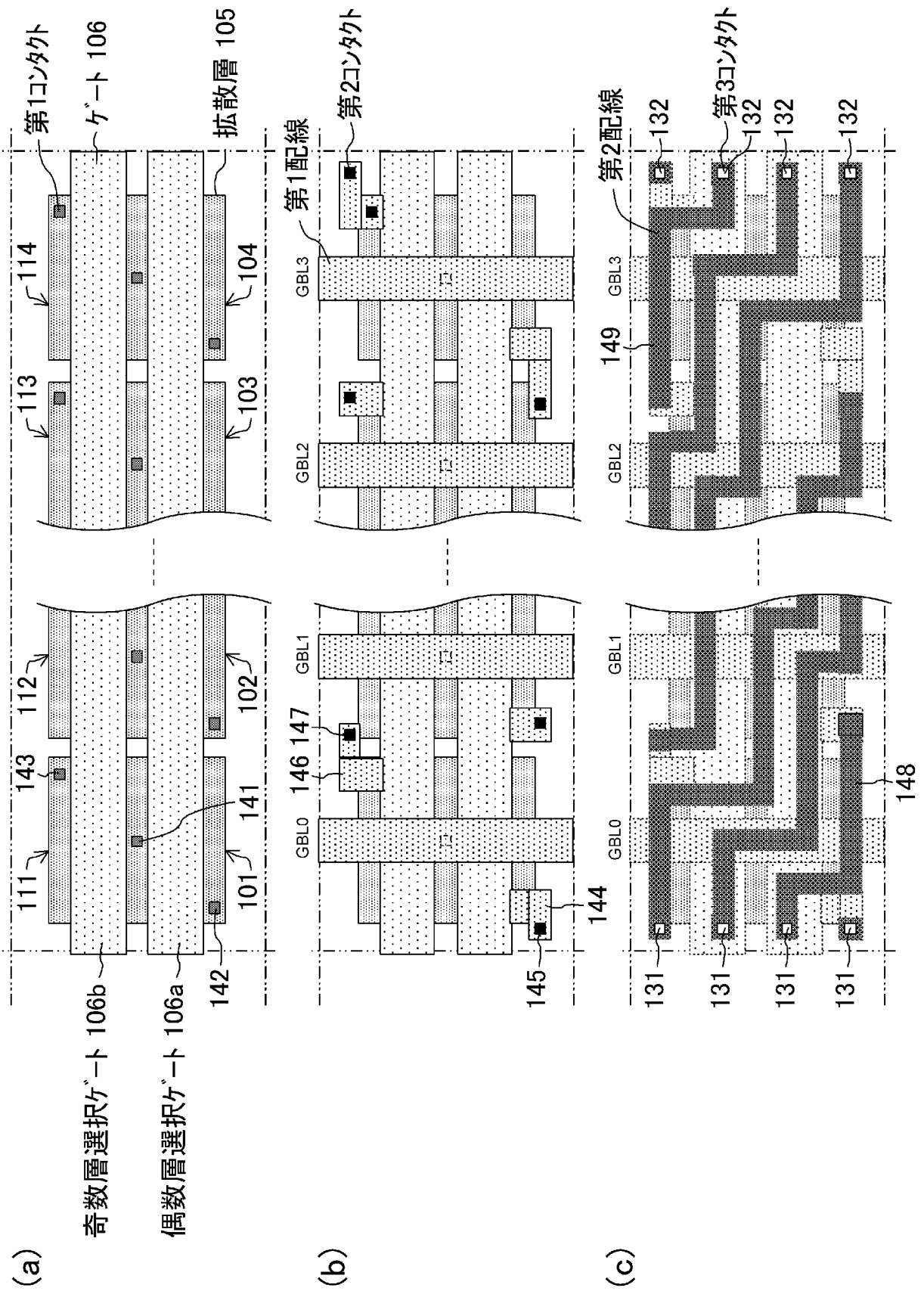
[図10]



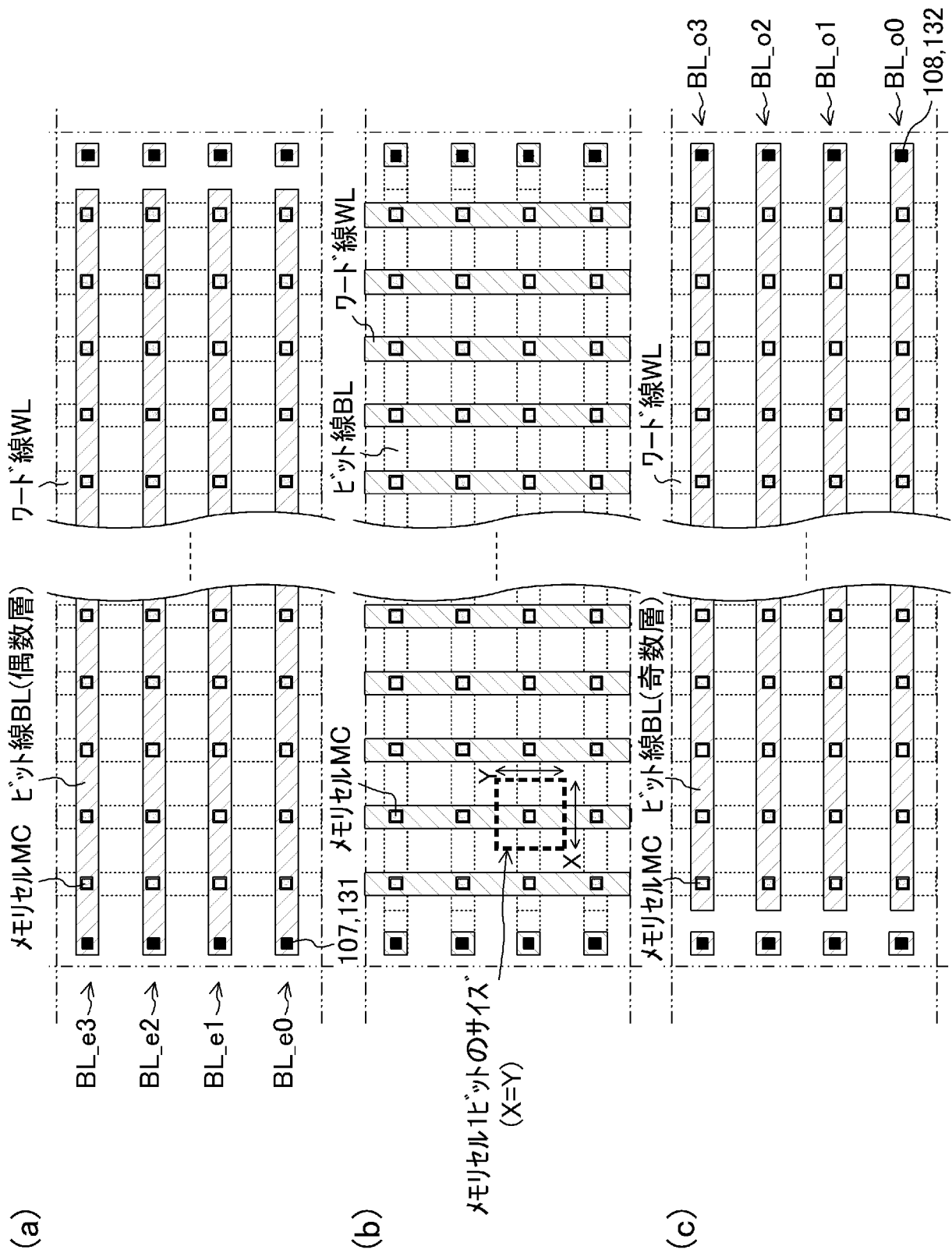
[図11]



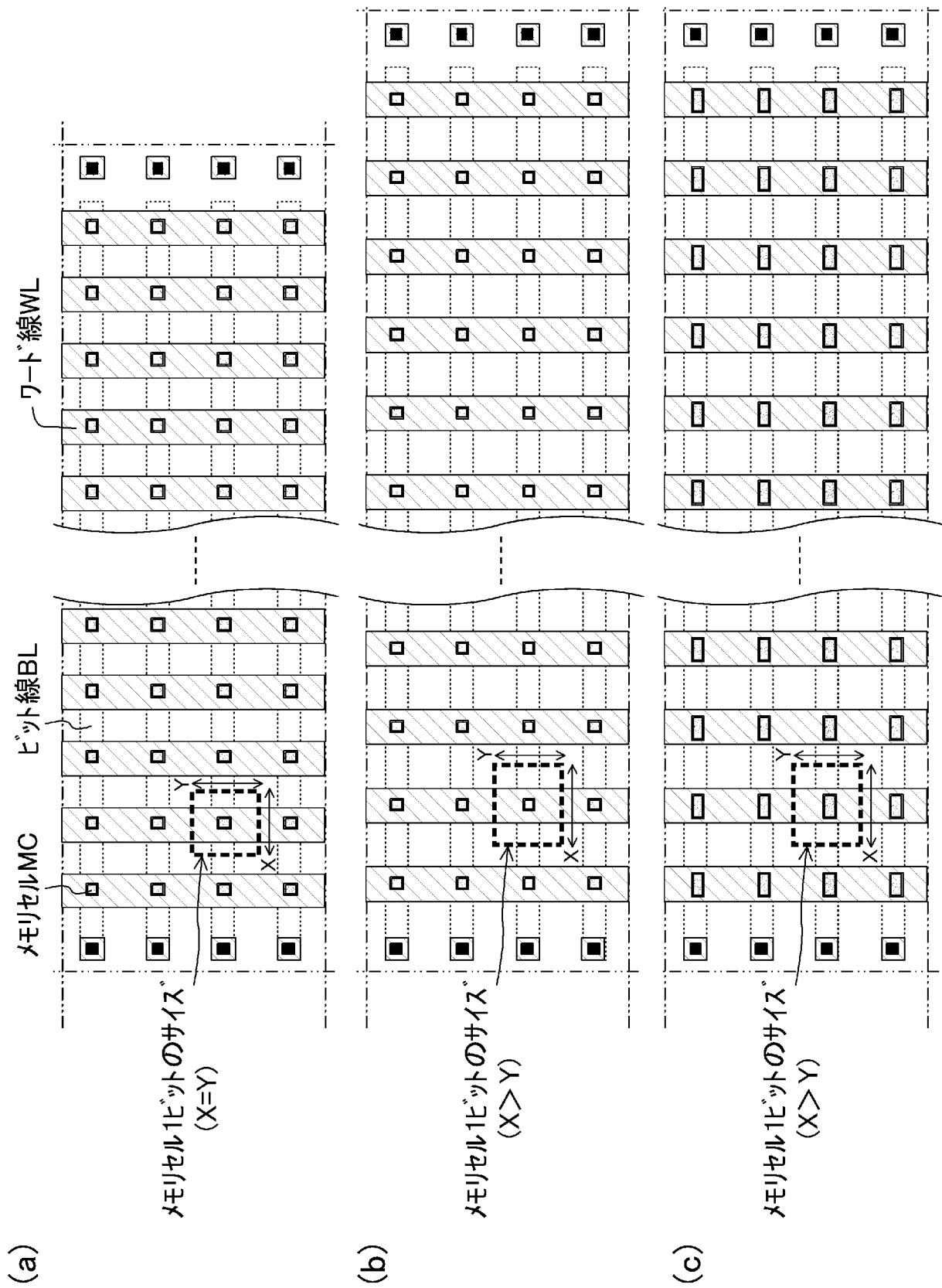
[図12]



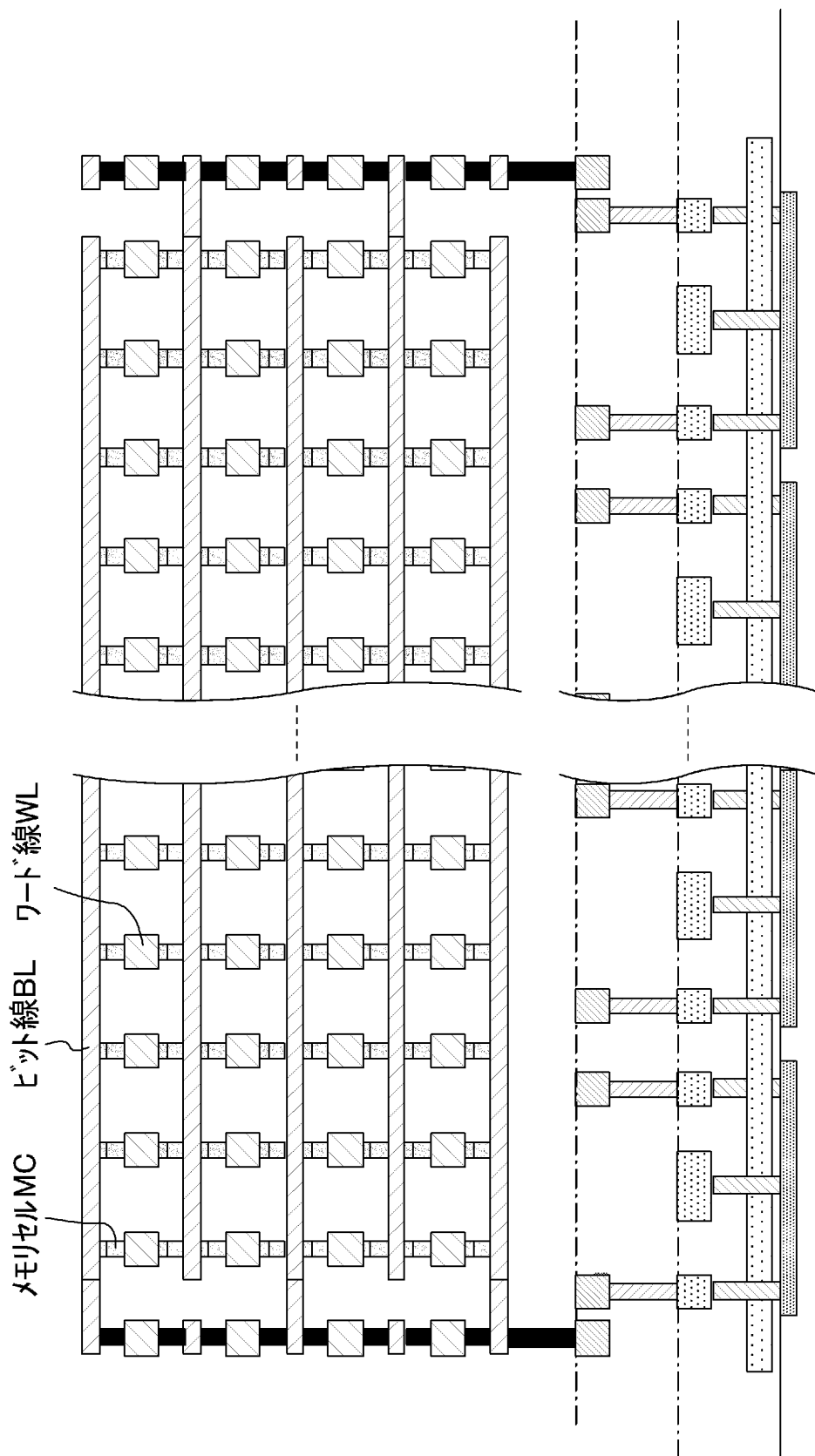
[図13]



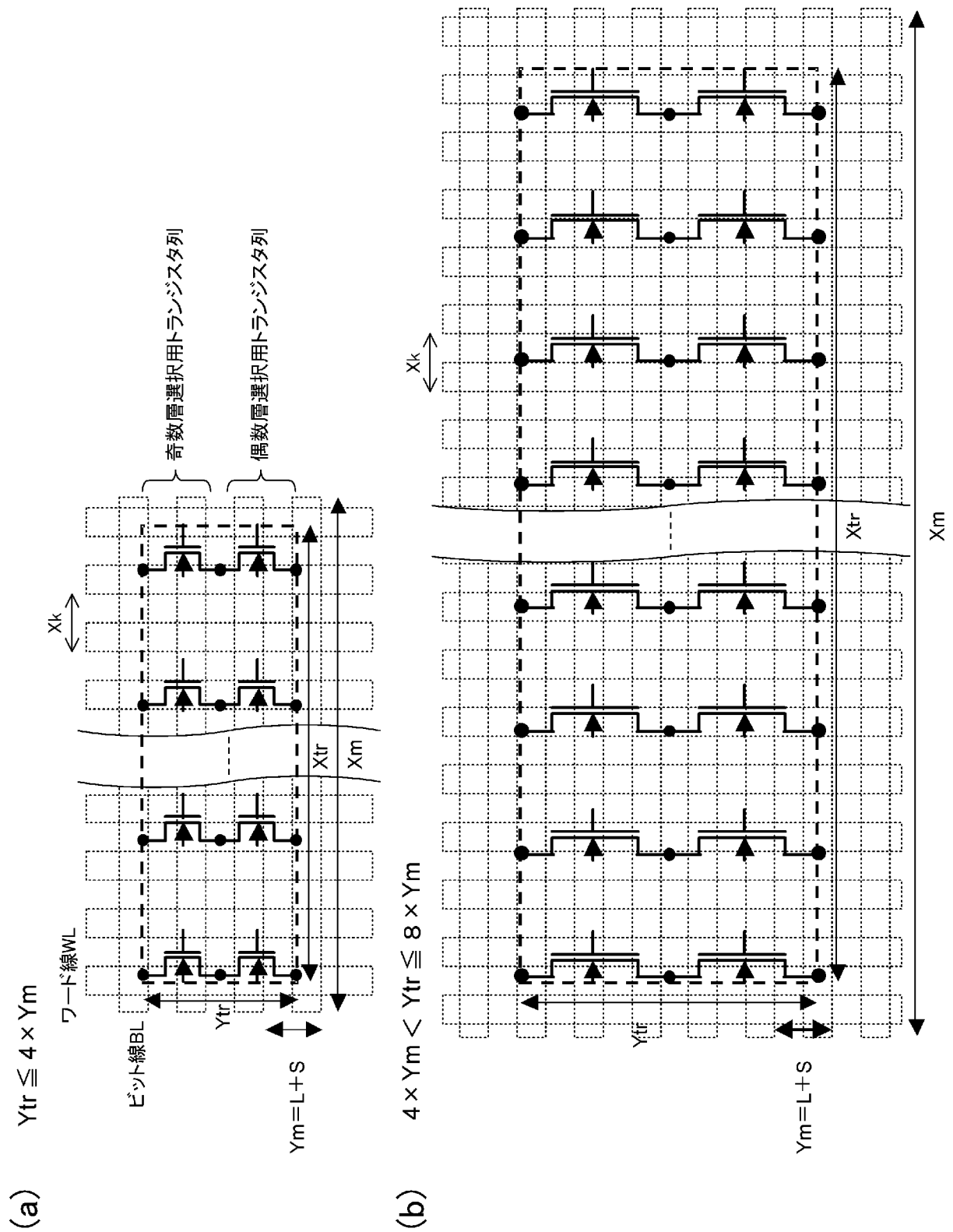
[図14]



[図15]

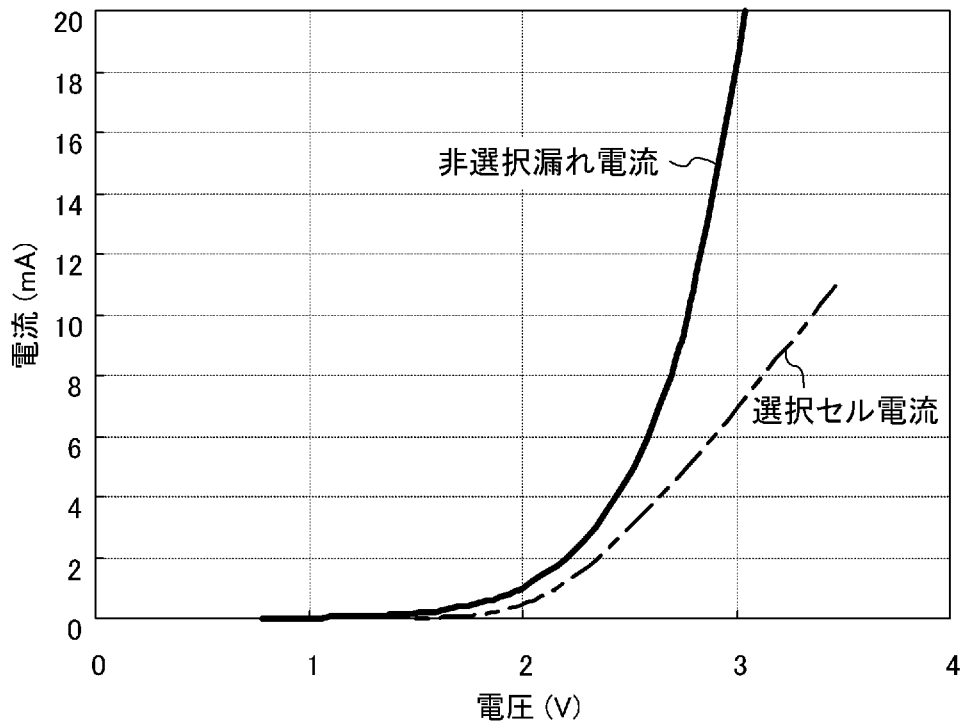


[図16]



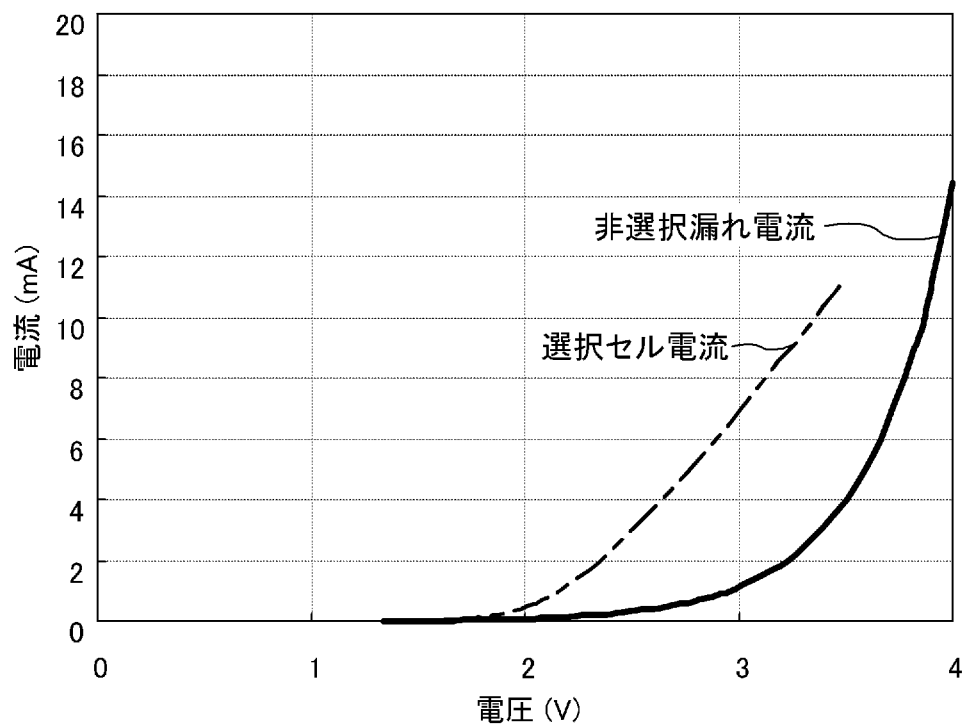
[図17]

4k × 4kbitメモリアレイのI-V特性

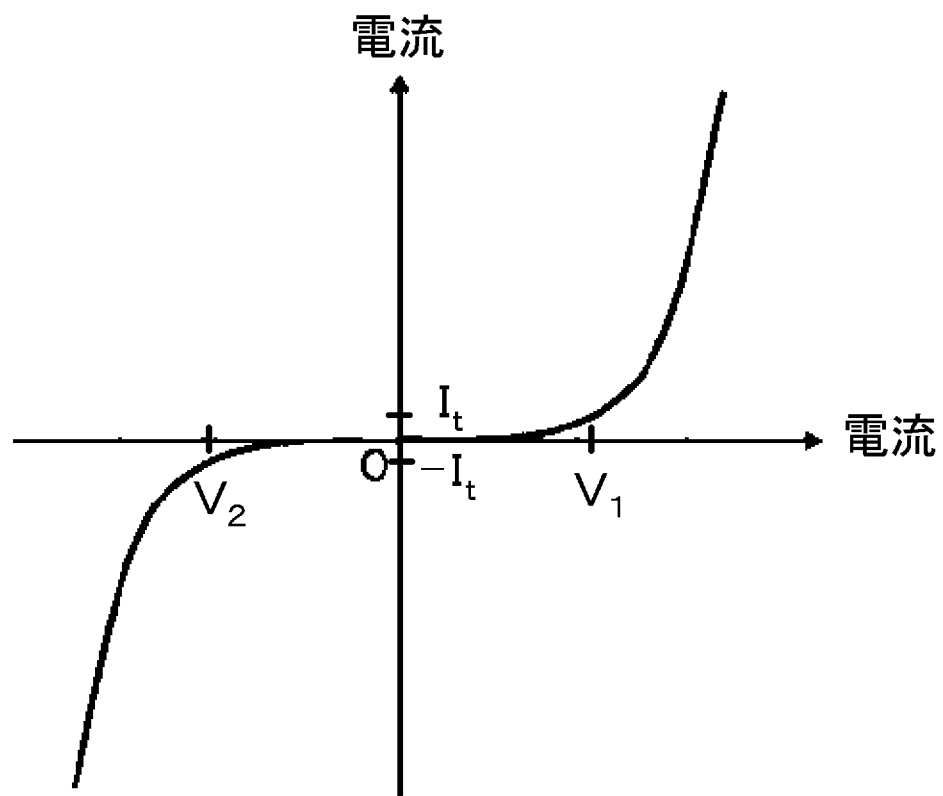


[図18]

32 × 4kbitメモリアレイのI-V特性



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/001603

A. CLASSIFICATION OF SUBJECT MATTER

G11C13/00(2006.01) i, H01L27/10(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C13/00, H01L27/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008

Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2005/117021 A1 (UNITY SEMICONDUCTOR CORP.), 08 December, 2005 (08.12.05), Par. Nos. [0007] to [0069], [00202] to [00214]; Figs. 1 to 27, 46 to 52 & JP 2007-536680 A & US 2005/0243595 A1 & EP 1743340 A1	1-11
A	JP 2006-514392 A (Toshiba Corp.), 27 April, 2006 (27.04.06), Full text; all drawings & US 2006/0203541 A1 & EP 1609154 A1 & WO 2004/084228 A1	1-11

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 September, 2008 (30.09.08)

Date of mailing of the international search report
07 October, 2008 (07.10.08)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G11C13/00(2006.01)i, H01L27/10(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G11C13/00, H01L27/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 8 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 8 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 8 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	WO 2005/117021 A1 (UNITY SEMICONDUCTOR CORPORATION) 2005. 12. 08, 第 0007-0069, 00202-00214 段落, FIG. 1-27, 46-52 & JP 2007-536680 A & US 2005/0243595 A1 & EP 1743340 A1	1-11
A	JP 2006-514392 A (株式会社東芝) 2006. 04. 27, 全文, 全図 & US 2006/0203541 A1 & EP 1609154 A1 & WO 2004/084228 A1	1-11

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリ

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

3 0 . 0 9 . 2 0 0 8

国際調査報告の発送日

0 7 . 1 0 . 2 0 0 8

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

高野 芳徳

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 8 6

5 N

3 5 6 1