



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I556406 B

(45)公告日：中華民國 105 (2016) 年 11 月 01 日

(21)申請案號：104100274

(22)申請日：中華民國 100 (2011) 年 02 月 16 日

(51)Int. Cl. : H01L27/085 (2006.01)

H01L23/52 (2006.01)

H01L27/12 (2006.01)

(30)優先權：2010/02/19 日本

2010-035435

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：齋藤利彥 SAITO, TOSHIHIKO (JP)

(74)代理人：林志剛

(56)參考文獻：

US 5963412A

US 6028324A

US 6117714A

US 6154081A

US 6627555B2

審查人員：李景松

申請專利範圍項數：27 項 圖式數：15 共 79 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

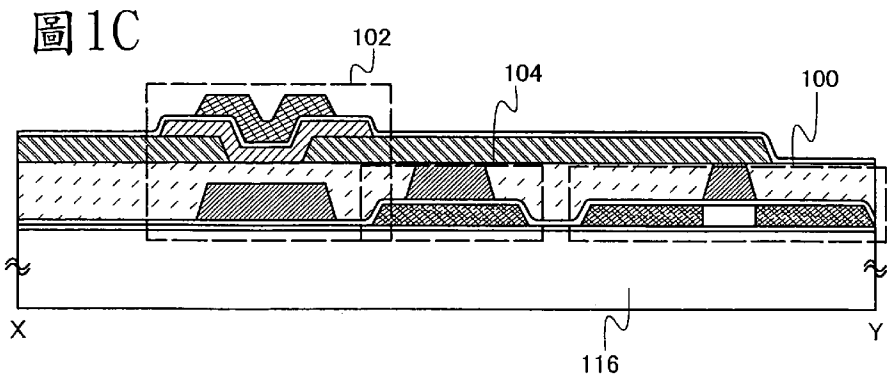
(57)摘要

多個高度集積於一元件中的電晶體中的至少一個電晶體在無需增加製造步驟數目下被設置一背閘極。在一包括多個縱向堆疊的電晶體的元件中，在上部中的至少一電晶體包括一具有半導體特性的金屬氧化物，一與在下部中的電晶體的閘極電極同一層被設置來與在上部中的該電晶體的通道形成區重疊，且該與該閘極電極同一層的一部分係如在上部中的該電晶體的背閘極般地作用。在下部中被一絕緣層覆蓋的該電晶體接受平坦化處理，藉此該閘極電極被外露且被連接至一如在上部中的該電晶體的源極及汲極電極般地作用的層。

At least one of a plurality of transistors which are highly integrated in an element is provided with a back gate without increasing the number of manufacturing steps. In an element including a plurality of transistors which are longitudinally stacked, at least a transistor in an upper portion includes a metal oxide having semiconductor characteristics, a same layer as a gate electrode of a transistor in a lower portion is provided to overlap with a channel formation region of the transistor in an upper portion, and part of the same layer as the gate electrode functions as a back gate of the transistor in an upper portion. The transistor in a lower portion which is covered with an insulating layer is subjected to planarization treatment, whereby the gate electrode is exposed and connected to a layer functioning as source and drain electrodes of the transistor in an upper portion.

指定代表圖：

- 符號簡單說明：
- 100 . . . 電晶體
 - 102 . . . 電晶體
 - 104 . . . 電容器
 - 116 . . . 基材



發明摘要

※申請案號：104100274(由100/05/01分割)

※申請日：100年02月16日

※IPC分類：H01L 27/085 (2006.01)

H01L 23/52 (2006.01)

H01L 27/12 (2006.01)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【中文】

多個高度集積於一元件中的電晶體中的至少一個電晶體在無需增加製造步驟數目下被設置一背閘極。在一包括多個縱向堆疊的電晶體的元件中，在上部中的至少一電晶體包括一具有半導體特性的金屬氧化物，一與在下部中的電晶體的閘極電極同一層被設置來與在上部中的該電晶體的通道形成區重疊，且該與該閘極電極同一層的一部分係如在上部中的該電晶體的背閘極般地作用。在下部中被一絕緣層覆蓋的該電晶體接受平坦化處理，藉此該閘極電極被外露且被連接至一如在上部中的該電晶體的源極及汲極電極般地作用的層。

【 英文 】

At least one of a plurality of transistors which are highly integrated in an element is provided with a back gate without increasing the number of manufacturing steps. In an element including a plurality of transistors which are longitudinally stacked, at least a transistor in an upper portion includes a metal oxide having semiconductor characteristics, a same layer as a gate electrode of a transistor in a lower portion is provided to overlap with a channel formation region of the transistor in an upper portion, and part of the same layer as the gate electrode functions as a back gate of the transistor in an upper portion. The transistor in a lower portion which is covered with an insulating layer is subjected to planarization treatment, whereby the gate electrode is exposed and connected to a layer functioning as source and drain electrodes of the transistor in an upper portion.

【代表圖】

【本案指定代表圖】：第(1C)圖。

【本代表圖之符號簡單說明】：

100：電晶體

102：電晶體

104：電容器

116：基材

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【技術領域】

本發明的一實施例係有關於一種半導體裝置，特別是一種包括記憶體元件及一反向元件 (inversion element) 的半導體裝置。

【先前技術】

最近幾年，具有半導體特性的金屬氧化物（下文中，其被稱為氧化物半導體）受人注目。具有半導體特性的金屬氧化物可被應用至電晶體上（專利文獻 1 及專利文獻 2）。

〔專利文獻 1〕日本公開專利申請案第 2007-123861 號

〔專利文獻 2〕日本公開專利申請案第 2007-096055 號

【發明內容】

本發明的一個實施例的目的是控制多個高度集積於一元件中的電晶體中的至少一個電晶體的低界電壓

(threshold voltage)。又，本發明的一個實施例的目的是在無需將製程複雜化之下提供一種可控制一電晶體的低界電壓的結構。

本發明的一個實施例是一種有多個電晶體被縱向地堆疊於其內的元件。在上部中的至少一電晶體包括具有半導體特性的金屬氧化物。一與在下部分的一電晶體的閘極電極同一層的一部分被設置來與在上部中的該電晶體的一通道形成區重疊，使得該與該閘極電極同一層的該部分係如在上部中的該電晶體的背閘極般地作用。

在此處，在下部中的該電晶體在被一絕緣層覆蓋的情況下接受平坦化處理，藉此在下部中的該電晶體的閘極電極被外露且被連接至一如在上部中的該電晶體的源極及汲極電極般地作用的層。

應指出的是，該如背閘極般地作用的部分並未與在下部中的一半導體層重疊；因此該絕緣層被留在該如背閘極般地作用的部分上，且該與在下部中的該電晶體的該閘極電極同一層的該部分與在上部中的該電晶體的一半導體層在該絕緣層被設置於它們之間的情形下彼此重疊。

高度集積於一元件中的多個電晶體中的至少一個電晶體的低界電壓可被控制。又，該電晶體的低界電壓的此一控制可在不將製程複雜化之下達成。

【圖式簡單說明】

圖 1A 至 1C 例示依據實施例 1 的一記憶體元件。

圖 2 為包括一依據實施例 1 的記憶體元件的記憶體裝置的圖式。

圖 3 為時序圖表，其顯示圖 2 的記憶體裝置的操作。

圖 4A 及 4B 的圖式顯示在依據實施例 1 的記憶體裝置中的讀取電路。

圖 5A 至 5H 例示依據實施例 1 的記憶體元件的製造方法。

圖 6A 至 6G 例示依據實施例 1 的記憶體元件的製造方法。

圖 7A 至 7D 例示依據實施例 1 的記憶體元件的製造方法。

圖 8A 至 8C 例示一依據實施例 2 的記憶體元件。

圖 9A 至 9C 例示一依據實施例 3 的記憶體元件。

圖 10A 至 10C 例示一依據實施例 4 的記憶體元件。

圖 11A 至 11C 例示一依據實施例 5 的記憶體元件。

圖 12A 至 12C 例示一依據實施例 6 的記憶體元件。

圖 13A 至 13C 例示一依據實施例 7 的記憶體元件。

圖 14A 至 14C 例示一依據實施例 8 的記憶體元件。

圖 15A 至 15F 例示一依據實施例 9 的記憶體元件。

【實施方式】

本發明的實施例將參考圖式予以詳下描述。然而，本發明並不侷限於下面的描述，且熟習此技藝者將可瞭解的是，描述於本文中的模式及細節可在不偏離本發明的精神

與範圍下以不同的方式予以修改。因此，本發明不應被解讀為受限於該等實施例的描述。

(實施例 1)

在此實施例中，本發明的一個實施例的一半導體裝置將被描述。一記憶體裝置被明確地描述於此實例中作為該半導體裝置。

圖 1A 為一包括在此實施例的記憶體裝置中的記憶體元件的電路圖的例子。

例示於圖 1A 中的記憶體元件包括一電晶體 100，一電晶體 102，及一電容器 104。在圖 1A 中，電晶體 100 的源極與汲極電極中的一者被電連接至一第一配線 (wiring) 111，及電晶體 100 的源極與汲極電極中的另一者被電連接至一第二配線 112。電晶體 102 的源極與汲極電極中的一者被電連接至一第三配線 113，及電晶體 102 的閘極電極被電連接至一第四配線 114。然後，電晶體 100 的閘極電極與電晶體 102 的源極與汲極電極中的另一者被電連接至該電容器 104 的諸電極中的一電極。該電容器 104 的其它電極被電連接至一第五配線 115。電晶體 102 進一步設置有一如另一閘極電極般地作用的背閘極 BG。

在此處，一在通道形成區中包括氧化物半導體的電晶體被用作為電晶體 102。該包括氧化物半導體的電晶體藉由去除氫及水而被高度淨化，藉此，該關閉狀態電流

(off-state current) 可被顯著地減小。因此，給送至電晶體 100 的閘極電極的電荷可藉由關閉電晶體 102 而被保持一段極長的時間。又，提供電容器 104 有助於保持被給送電晶體 100 的閘極電極的電荷並讀取該被保持的資料。

寫入資料、保持資料及讀取在例示於圖 1A 中的該記憶體元件中的資料的操作在下中予以描述。

首先，藉由提供該第四配線 114 的電位開啓電晶體 102，然後從該第三配線 113 被供應的電荷被提供至電晶體 100 的閘極電極及該電容器 104 的諸電極中的一者。換言之，電荷被供應至一浮動閘極部分（圖 1A 的 FG 部分），電晶體 102 的源極與汲極中的另一者、該電容器 104 的該電極、及電晶體 100 的該閘極電極在該 FG 部分被電連接（寫入操作）。具有不同電位位準的兩種電荷的任一種被供應至此處。具有低電位位準的電荷被稱為“低位準電荷”，及具有高電位位準的電荷被稱為“高位準電荷”。

之後，藉由提供第四配線 114 的電位來關閉該電晶體 102，使得在圖 1A 的 FG 部分的電荷被保持（保持操作）。電晶體 102 的關閉狀態電流可被顯著地減低；因此，儲存在該 FG 部分中的電荷可被保持一段很長的時間。

接下來，將描述資料的讀取。在一預定的電位（固定電位）被提供至第一配線 111 的同時，藉由供應一適當的電位（讀取電位）至該第五配線 115，該第二配線 112 的

電位會根據被保持在該 FG 部分中的電荷的數量（電晶體 100 的閘極電極的電位）而改變。這是因為，大體上當電晶體 100 是一 n 型通道電晶體時，在一高位準電荷被提供至電晶體 100 的閘極電極的情況中—“適當的低限電壓 V_{th_H} ”係低於在一低位準電荷被提供至電晶體 100 的閘極電極的情況中—“適當的低限電壓 V_{th_L} ”。在此處，“適當的低限電壓”係指第五配線 115 的電位，當第一配線 111 具有一固定電位時即需要此電位來開啓該電晶體 100。因此，當第五配線 115 的電位被設定為介於 V_{th_H} 與 V_{th_L} 的中間的電位 V_0 時，被給送電晶體 100 的閘極電極的電荷即決定。例如，在一高位準電荷被給送的情形中，當第五配線 115 的電位被設定為 V_0 ($>V_{th_H}$) 時，電晶體 100 可被開啓。在一低位準電荷被給送的情形中，當第五配線 115 的電位被設定為 V_0 ($<V_{th_L}$) 時，電晶體 100 即保持在關閉狀態。因此，該被保持的資料可藉由參考第二配線 112 的電位來予以判斷及讀取。

應指出的是，在記憶體元件被配置成矩陣的情形中，只有所想要的記憶體的資料被讀取。爲了要只讀取所想要的記憶體元件的資料且不讀取其它記憶體元件的資料，在該電晶體 100 係並聯地連接在該等記憶體元件之間的情形中，不論該閘極電極的狀態，一可讓電晶體 100 被關閉的電位（比 V_{th_H} 低的電位）可被供應至資料將不被讀取的該等記憶體元件中的第五配線 115。在另一方面，在該電晶體 100 係串聯地連接在該等記憶體元件之間的情形中，

不論該閘極電極的狀態，一可讓電晶體 100 被開啓的電位（比 V_{th_L} 高的電位）可被供應至資料將不被讀取的該等記憶體元件中的第五配線 115。

接下來，將描述資料的重新寫入。資料的重新寫入係以類似於資料寫入及保持的方式來實施。亦即，電晶體 102 係被第四配線 114 的電位開啓。因此，第三配線 113 的電位（一與新的資料有關的電位）被供應至該 FG 部分。之後，電晶體 102 被第四配線 114 的電位關閉；因此，具有與新的資料相關的電位位準的電荷被給送至該 FG 部分。

在圖 1A 所例示的記憶體元件中，資料可如上文所述地藉由覆寫資料而被直接重新寫入。因此之故，不再需要用高電壓從一快閃記憶體或類此者中的浮動閘極抽取電荷，且因為注入電荷至浮動閘極及從浮動閘極移走電荷所造成之操作速度的降低亦可被抑制。

應指出的是，電晶體 102 的源極與汲極電極中的另一者及電晶體 100 的該閘極電極被電連接，藉此，圖 1A 中的 FG 部分具有一與一快閃記憶體的浮動閘極的功能相同的功能。當電晶體 102 關閉時，該 FG 部分可被視為被埋設在一絕緣體內電荷可被儲存在該 FG 部分中。設置在圖 1A 所例示的記憶體元件內的該電晶體 102 包括一使用氧化物半導體形成的通道形成區，且該電晶體 102 的關閉狀態電流比包括矽或類此者的傳統電晶體的關閉狀態電流低 100000 倍。因此，可假設不會發生從該 FG 部分經由該電

晶體 102 的電荷漏電。因此，藉由使用例示於圖 1A 中的記憶體元件，可提供一非揮發性記憶體裝置，其可在沒有供應電力下保持資料。

例如，當電晶體 102 的關閉狀態電流在室溫下是 $10\text{zA}/\mu\text{m}$ 或更小且該電容器 104 的電容值為大約 10fF 時，資料可被保持至少 10^4 秒或更久。應指出的是，此資料保持時間依電晶體 102 的特性及電容器 104 的電容值而定。

又，在圖 1A 所例示的記憶體元件中，穿隧電流並不流動於一介於該通道形成區與該 FG 部分之間的絕緣層中，因此該絕緣層不會退化（deteriorate），這與快閃記憶體不同。因此，在寫入操作的次數上沒有限制。又，在傳統浮動閘極電晶體中寫入或抹除所需的高電壓已不再需要。

當電晶體 102 的閘極漏電夠低時，電荷保持期（亦被稱為資料保持期）主要係根據電晶體 102 的關閉狀態電流來決定，在此一情況中， R_1 高於 R_{0s} 且 R_2 高於 R_{0s} ，其中 R_{0s} 表示當電晶體 102 是關閉時介於源極電極與汲極電極之間的電阻值（亦被稱為有效電阻）， R_1 表示包括在該電容器 104 中之絕緣層的電阻值，及 R_2 表示該電晶體 100 的閘極絕緣層的電阻值。

在另一方面，當該等條件沒有被滿足時，即使是電晶體 102 的關閉狀態電流降的夠低了都很難充分地確保該保持期。這是因為電晶體 102 的關閉狀態電流以外的漏電電

流（如，產生在該源極電極與該汲極電極之間的漏電電流）很大。因此，在圖 1A 至 1C 所例示的記憶體元件中，較佳的電阻關係是 R_1 高於 R_{Os} 且 R_2 高於 R_{Os} 。

又，電容器 104 的電容值 C_1 等於或高於電晶體 100 的電容值 C_2 。當 C_1 較高時，第五配線 115 在該 FG 部分的電位被第五配線 115 控制（即，在讀取的時候）時的電位變動可被抑制。

應指出的是，電阻值 R_1 及 R_2 及電容值 C_1 及 C_2 係根據設置在電晶體 100 與電晶體 102 內的閘極絕緣層及該電容器 104 的絕緣層及類此者的材料及厚度來決定的。

例示於圖 1A 中的記憶體元件的 FG 部分具有一與快閃記憶體的浮動閘極功能類似的功能。然而，該 FG 部分的一個特徵與快閃記憶體的浮動閘極的特徵係實質地不同。在快閃記憶體的例子中，因為提供至控制閘極的電壓是高，所以比需在記憶體元件之間保持一適當的距離以防止該電位影響到相鄰單元的記憶體元件的浮動閘極。如所述地在記憶體元件之間提供一適當的距離會妨礙記憶體裝置的高集積度。

再者，在快閃記憶體中，絕緣層會因為穿隧電流而退化，且重新寫入操作的次數會受限。

例示於圖 1A 中的記憶體元件係用電晶體的切換來操作，且用穿隧電流注入電荷則沒有被實施，這與快閃記憶體是不相同的。因此，並沒有控制閘極的高的電場對於相鄰單元的記憶體元件的影響這方面的顧慮，且與傳統的快

閃記憶體比較起來，一更高的集積度可被達成。又，因為高的電場是不必要的，所以至少對於該記憶體元件而言一助力電路（booster circuit）是不必要的。因此，大尺寸的週邊電路是不必要的，且一記憶體裝置的框架可被變窄。

在該快閃記憶體中，在寫入操作期間電荷移動於閘極絕緣層（一通道絕緣膜）中，使得該閘極絕緣層的退化無法避免。相反地，例示於圖 1A 中的該記憶體元件，資料係藉由一寫入電晶體的切換操作而被寫入，所以不會造成該閘極絕緣層的退化。這表示寫入的次數原則上是沒有限制的且寫入耐用性是很高的。亦即，例示於圖 1A 中的該記憶體元件具有比快閃記憶體更高的耐用性及可靠性。例如，在例示於圖 1A 中的該記憶體元件中，寫入操作可被實施 1×10^9 次（十億次）或更多，更佳地， 1×10^{11} （千億次）。

在電容器 104 內的絕緣層的相對電容率 ϵ_{r1} 大於或等於在電晶體 100 內的絕緣層的相對電容率 ϵ_{r2} ，下面的條件被滿足是較佳的： S_1 小於或等於兩倍的 S_2 （ $2S_2 \geq S_1$ ），更佳地， S_1 小於或等於 S_2 ，其中 S_1 表示電容器 104 的面積及 S_2 表示在電晶體 100 內的電容器的面積；及電容值 C_2 低於電容值 C_1 。這是因為更高的集積度可被實現。例如，一由高 k 材料，譬如二氧化鋁，形成的薄膜與一由氧化物半導體形成的薄膜的堆疊被用於該電容器 104 中的絕緣層使得 ϵ_{r1} 可以是 10 或更高，較佳地 15 或更高；二氧化矽被用於電晶體 100 內的電容器的絕緣層使得

ϵ_{r2} 可以是 3 至 4。

應指出的是，雖然本文中的描述係針對使用電子為主要載體之 n 型通道電晶體的例子，但電洞為主要載體的 p 型通道電晶體亦可被使用。

圖 1B 為一頂視圖其顯示圖 1A 的記憶體元件的特定結構的例子。圖 1C 為沿著圖 1B 的 X-Y 軸所取的剖面圖。

在圖 1C 中，電晶體 100 與電容器 104 被設置在一基材 116 上。電晶體 100 與電容器 104 被覆絕緣層，且該絕緣層用化學機械研磨（CMP）處理或類此者予以平坦化，使得電晶體 100 的閘極電極與電容器 104 的諸電極中的一者被外露。電晶體 102 的源極與汲極電極的另一者被設置在該外露的電晶體 100 的閘極電極與電容器 104 的電極上。應指出的是，在此處的電晶體 100 是 p 型通道電晶體，但其並不侷限於此。

如圖 1C 所例示的，該與電晶體 100 的閘極電極同一層的部分（即，如該電晶體 102 的背閘極般地作用的部分）與如電晶體 102 的半導體層內的通道形成區般地作用的至少一部分重疊。該如電晶體 102 的背閘極般地作用的部分及該電晶體 102 的半導體層被設置使得設置在電晶體 100 上的絕緣層被夾在它們之間。因為電晶體 100 的半導體層欠缺厚度，所以此絕緣層是已被設置在電晶體 100 上且在平坦化處理之後被留下來的絕緣層的一部分。如上文所述，在上部中的電晶體與背閘極被設置該絕緣層（其在

平坦化處理之後被留下來且被夾設在它們之間）且該背閘極是由與在下部中的電晶體的閘極電極同一層的部分所形成，其為本發明的一個實施例的記憶體元件的諸特徵之一。以此方式，在上部中的電晶體的背閘極是由與在下部中的電晶體的閘極電極同一層所形成，藉此，在上部中的電晶體的背閘極電極可在不增加製造步驟數量下被提供。應指出的是，在此說明書及類此者中，“與 A 同一層”係指一在與 A 相同的步驟中用與 A 相同的材料形成的層。

在使用溫度（如， 25°C ）下每微米的通道寬度的電晶體 102 關閉狀態電流是 100zA 或更小，較佳的是 10zA 或更小，更佳的是 1zA 或更小，再更佳的是 100yA 或更小。此低關閉狀態電流係藉由使用氧化物半導體於該電晶體 102 上來達成的。應指出的是，該關閉狀態電流了低於該測量極限值。

此外，藉由使用氧化物半導體於電晶體 102 的通道形成區中，次低限擺盪（S 值）被降低，使得切換率可以夠高，在通道形成區是用氧化物半導體來形成的電晶體 102 中，給送至 FG 部分的寫入脈衝的上升可以是極為陡峭。

如上文所述，因為電晶體 102 的關閉狀態電流被降低，所以儲存在 FG 部分中的電荷量可被減少。再者，寫入資料及抹除資料的操作速度可被提高，重新寫入資料可在高速下予以實施。

關於電晶體 100，使用在高速下操作的電晶體是較佳的，用以提高讀取率。例如，使用切換率為 1 奈秒或更快

的電晶體作為電晶體 100 是較佳的。

寫入資料係如下所述地被實施：電晶體 102 被開啓；在電晶體 102 的源極與汲極電極的另一者、電容器 104 的諸電極中的一者及電晶體 100 的閘極電極被電連接時，電位被供應至 FG 部分；然後電晶體 102 被關閉，使得預定數量的電荷被保持在該 FG 部分中。在此處，電晶體 102 的關閉狀態電被大幅降低；因此，被提供至該 FG 部分的電荷可被保持一段很長的時間例如，當該關閉狀態電流低到足以被認為實質為零時，即不再需要重清（refresh）操作，或甚至當該重清操作被實施時，重清操作的頻率可以是非常低（如，約一個月或一年一次），使得該記憶體元件所消耗的電力可被顯著地減少。

應指出的是，在圖 1A 至 1C 的記憶體元件中，藉由覆寫資料、資料可被直接重新寫入。因此，該記憶體元件不需要在快閃記憶體或類此者中是必要的抹除操作，因而可避免掉因為抹除操作所造成之操作速度上的降低。

在二狀態（一個位元）資料被寫入的例子中，提供至圖 1A 至 1C 的記憶體元件的電壓的最大值（在同一時間介於供應至該記憶體元件的個別端子的最高電位與最低電位之間的差值）在一個記憶體元件中是 5V 或更低，較佳地為 3V 或更低。

又，用於電晶體 102 的氧化物半導體具有一 3.0eV 至 3.5eV 的能隙，其被視為電晶體 102 的低關閉狀態電流的主要因素之一。

用在電晶體 102 中的氧化物半導體具有極少熱激勵的載體；因此，即使是在 150°C 的高溫環境下，該記憶體元件的電流-電壓特性亦沒有惡化。

對於電晶體 102 而言，使用本質性（i 型）或實質本質型（intrinsic）氧化物半導體（其藉由去除雜質而被高度淨化）是較佳的，使得除了該氧化物半導體的主要成分之外作為載體提供者的雜質含量被儘可能地減少。

如上文所述，一高度淨化的氧化物半導體包括極少的載體（接近於零），且其載體濃度低於 $1 \times 10^{14}/\text{cm}^3$ ，較佳地低於 $1 \times 10^{12}/\text{cm}^3$ ，更佳地低於 $1 \times 10^{11}/\text{cm}^3$ 。這被視為電晶體 102 的低關閉狀態電流的主要因素之一。

此一高度淨化的氧化物半導體對於界面位準及界面電荷極為敏感；因此，該氧化物半導體與該閘極絕緣層之間的界面很重要。因此，與該高度淨化的氧化物半導體接觸的該閘極絕緣層需要高品質。

用微波（例如， 2.45GHz 的頻率）的高密度電 CVD 形成的該閘極絕緣層可以是一具有高承受電壓的緻密層，這是較佳的。該高度淨化的氧化物半導體與該高品質的閘極絕緣層被設置成彼此緊密接觸，使得界面狀態密度可被降低且可獲得有利的界面特性。

不待贅言的是，另一種薄膜形成方法，譬如濺鍍方法或電漿 CVD 方法，可被使用，只要可形成一高品質的絕緣層作為閘極絕緣層即可。

下面的金屬氧化物可被作為用於電晶體 102 中的氧化

物半導體：四成分的金屬氧化物，譬如 In-Sn-Ga-Zn-O 基的氧化物半導體；三成分的金屬氧化物，譬如 In-Ga-Zn-O 基的氧化物半導體、In-Sn-Zn-O 基的氧化物半導體、In-Al-Zn-O 基的氧化物半導體、Sn-Ga-Zn-O 基的氧化物半導體、Al-Ga-Zn-O 基的氧化物半導體、或 Sn-Al-Zn-O 基的氧化物半導體；二成分的金屬氧化物，譬如 In-Zn-O 基的氧化物半導體、Sn-Zn-O 基的氧化物半導體、Al-Zn-O 基的氧化物半導體、Zn-Mg-O 基的氧化物半導體、Sn-Mg-O 基的氧化物半導體、In-Mg-O 基的氧化物半導體、或 In-Ga-O 基的氧化物半導體；及單一成分的金屬氧化物，譬如 In-O 基的氧化物半導體、Sn-O 基的氧化物半導體、或 Zn-O 基的氧化物半導體；或類此者。又，二氧化矽可被包含在上述的氧化物半導體中。在此處，例如，In-Ga-Zn-O 基的氧化物半導體係指一包含銦（In）、鎵（Ga）及鋅（Zn）的氧化物薄膜，且對於其成分比例並沒有特別的限
制。又，該 In-Ga-Zn-O 基的氧化物半導體可包含除了 In、Ga、及 Zn 之外的元素。

對於在電晶體 102 中的該氧化物半導體薄膜而言，可使用以化學式 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 代表的氧化物半導體的薄膜。在此處，M 代表一或多個選自於 Ga、Al、Mn 及 Co 的金屬元素。例如，M 可以是 Ga、Ga 及 Al、Ga 及 Mn、Ga 及 Co，或類此者。此外，上述的氧化半導體薄膜可包含二氧化矽。

該氧化物薄膜可用濺鍍方法來形成。在此處，藉由使

用 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ 的成分比〔莫耳比〕的氧化物靶材，可形成一 In-Ga-Zn-O 薄膜。或者，可使用 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ 的成分比〔莫耳比〕的氧化物靶材。

應指出的是，例如，一 In-Ga-Zn-O 薄膜係指一包含 In 、 Ga 、及 Zn 的氧化物薄膜，且對於其成分比例沒有特別的限制。

在 In-Zn-O 基的材料被使用作為氧化物半導體的例子中，一靶材因而具有 $\text{In} : \text{Zn} = 50 : 1$ 至 $1 : 2$ 原子比（ $\text{In}_2\text{O}_3 : \text{ZnO} = 25 : 1$ 至 $1 : 4$ 莫耳比）的成分比，較佳地 $\text{In} : \text{Zn} = 20 : 1$ 至 $1 : 1$ 原子比（ $\text{In}_2\text{O}_3 : \text{ZnO} = 10 : 1$ 至 $1 : 2$ 莫耳比）的成分比，更佳地 $\text{In} : \text{Zn} = 15 : 1$ 至 $1.5 : 1$ 原子比（ $\text{In}_2\text{O}_3 : \text{ZnO} = 15 : 2$ 至 $3 : 4$ 莫耳比）的成分比。例如，在一具有 $\text{In} : \text{Zn} : \text{O} = X : Y : Z$ 的原子比的用來形成 In-Zn-O 基的氧化物半導體的靶材中， $Z > 1.5X + Y$ 的關係式被滿足。

該氧化物靶材的填充因子（filling factor）大於或等於 90% 且小於或等於 100%，較佳地大於或等於 95% 且小於或等於 99.9%。藉由使用具有高填充因子的氧化物靶材，可形成一緻密薄膜的氧化物半導體薄膜。

再者，該氧化物半導體薄膜較佳地是在一稀有氣體氛圍、氧氣氛圍、或稀有氣體與氧氣的混合氛圍中用濺鍍方法來形成。又，一雜質，譬如氫、水、氫氧根、或氫氧化物，已被去除的高純淨氣體較佳地被用作為形成該氧化物

半導體薄膜時使用的濺鍍氣體。

圖 2 例示一記憶體裝置的結構例，圖 1A 至 1C 的記憶體元件在該記憶體裝置中被設置成矩陣，其為本發明的一個實施例的記憶體裝置。雖然圖 2 為了簡化例示了一個記憶體元件被配置成 2（列）（在水平方向上） $\times$ 2（行）（在垂直方向上）的矩陣的結構，但在下文中描述的是記憶體元件被配置成 m （列）（在水平方向上） $\times n$ （行）（在垂直方向上）（ m 及 n 為自然數）的矩陣的記憶體裝置。

在圖 2 例示的記憶體裝置中，多個記憶體元件 120 被配置成 m （列）（在水平方向上） $\times n$ （行）（在垂直方向上）（ m 及 n 為自然數）的矩陣，且在其周邊上設置了第一驅動電路 121、第二驅動電路 122、第三驅動電路 123 及第四驅動電路 124。這些驅動電路與記憶體元件 120 係用 m 條字元線 WL、 m 條第二訊號線 S2、 m 條背閘極線 BW、 n 條位元線 BL、 n 條源極線 SL、及 n 條第一訊號線 S1 來予以連接。在此處，記憶體元件 120 為例示於圖 1A 中的記憶體元件，其包括電晶體 100、電晶體 102 及電容器 104。

該位元線 BL 對應於例示於圖 1A 中的記憶體元件的第二配線 112，該源極線 SL 對應於例示於圖 1A 中的記憶體元件的第一配線 111，該第一訊號線 S1 對應於例示於圖 1A 中的記憶體元件的第三配線 113，第二訊號線 S2 對應於例示於圖 1A 中的記憶體元件的第四配線 114，及字

元線 WL 對應於例示於圖 1A 中的記憶體元件的第五配線 115。

換言之，在記憶體元件 120 中，電晶體 100 的源極與汲極電極中的一者被電連接至該源極線 SL，電晶體 100 的源極與汲極電極中的另一者則被電連接至該位元線 BL。電晶體 102 的源極與汲極電極中的一者被電連接至第一訊號線 S1，及該電晶體 102 的閘極電極被電連接至第二訊號線 S2。電晶體 100 的閘極電極與電晶體 102 的源極與汲極電極中的另一者被電連接至電容器 104 的諸電極中的一者。該電容器 104 的另一電極被電連接至字元線 WL。一設置在電晶體 102 中的背閘極 BG 被電連接至背閘極線 BW。

記憶體元件 120 被並聯地連接在源極線 SL 與位元線 BL 之間。例如，第 i 列與第 j 行 (i, j) (i 為大於或等於 1 且小於或等於 m 的整數，及 j 為大於或等於 1 且小於或等於 n 的整數) 的記憶體元件 120 被連接至源極線 SL (j)、位元線 BL (j)、第一訊號線 S1 (j)、字元線 WL (i)、第二訊號線 S2 (i)、及背閘極線 BW (i)。

源極線 SL 與位元線 BL 被連接至第一驅動電路 121、第二訊號線 S2 與背閘極線 BW 被連接至第二驅動電路 122、第一訊號線 S1 被連接至第三驅動電路 123、及字元線 WL 被連接至第四驅動電路 124。

應指出的是，第一驅動電路 121、第二驅動電路 122、第三驅動電路 123、及第四驅動電路 124 在此處係

被獨立地設置；然而，該周邊電路結構並不侷限於此，一具有一或多項功能的偵測器亦可被使用。

接下來，例示於圖 2 中的記憶體裝置的寫入操作及讀取操作將參考圖 3 的時序圖來予以描述。

雖然爲了簡化，將描述兩列乘兩行的記憶體裝置的操作但本發明並不侷限於此。

在圖 3 中， $S1(1)$ 及 $S1(2)$ 爲第一訊號線 $S1$ 的電位； $S2(1)$ 及 $S2(2)$ 爲第二訊號線 $S2$ 的電位； $BL(1)$ 及 $BL(2)$ 爲位元線 BL 的電位； $WL(1)$ 及 $WL(2)$ 爲字元線 WL 的電位；及 $SL(1)$ 及 $SL(2)$ 爲源極線 SL 的電位。

下文描述的是資料被寫入至第一列的記憶體元件 $120(1,1)$ 及記憶體元件 $120(1,2)$ 及資料從第一列的記憶體元件 $120(1,1)$ 及記憶體元件 $120(1,2)$ 被讀取的例子。應指出的是，下文描述的是，被寫入到記憶體元件 $120(1,1)$ 的資料是“1”（其可提供一高位準電荷至 FG 部分）及被寫入到記憶體元件 $120(1,2)$ 的資料是“0”（其可提供一低位準電荷至 FG 部分）的例子。

首先，將描述寫入。在第一列的寫入期間，電位 V_H 被提供至第一列的第二訊號線 $S2(1)$ ，使得第一列的第二電晶體 102 被開啓。再來， $0V$ 的電位被提供至第二列的第二訊號線 $S2(2)$ ，使得第一列以外的其它列的第二電晶體 102 被關閉。

接下來，電位 V_2 及電位 $0V$ 分別被提供至第一行的第

一訊號線 $S1(1)$ 及第二行的第一訊號線 $S1(2)$ 。

結果是，記憶體元件 $(1, 1)$ 的 FG 部分被提供電位 V_2 且記憶體元件 $(1, 2)$ 的 FG 部分被提供 $0V$ 。在此處，電位 V_2 高於電晶體的低限電壓。然後，第一列的第二訊號線 $S2(1)$ 的電位被設定為電位 $0V$ ，使得第一列的電晶體 102 被關閉。因此，寫入即完成。

應指出的是，字元線 $WL(1)$ 及 $WL(2)$ 是在 $0V$ 的電位。又，在第一行的第一訊號線 $S1(1)$ 的電位被改變之前，第一列的第二訊號線 $S2(1)$ 的電位被設定為 $0V$ 。在寫入之後，在資料“0”已被寫入的例子中記憶體元件的低限電壓是 V_{w0} 及在資料“1”已被寫入的例子中是 V_{w1} ，假設在該記憶體元件中，被電連接至該字元線 WL 的端子是一控制閘極電極，電晶體 100 的源極電極是一源極電極，及電晶體 102 的汲極電極是一汲極電極。在此處，該記憶體元件的低限電壓係指一連接至該字元線 WL 的端子的電壓，其改變介於該電晶體 100 的源極電極與汲極電極之間的電阻。應指出的是， $V_{w0} > 0 > V_{w1}$ 被滿足。

然後，將描述讀取。在第一列的讀取期間，電位 $0V$ 及電位 V_L 分別被提供至第一列的字元線 $WL(1)$ 及第二列的字元線 $WL(2)$ 。電位 V_L 低於該低限電壓 V_{w1} 。當字元線 $WL(1)$ 被設定為 $0V$ 時，在第一列中，其內保持著資料“0”的記憶體元件 120 的電晶體 100 被關閉，及其內保持著資料“1”的記憶體元件 120 的電晶體 100 被

開啓。當字元線 $WL(2)$ 是在電位 V_L 時，在第二列中，其內保持著資料“0”或資料“1”的記憶體元件 120 的電晶體 100 被關閉。

接下來， $0V$ 的電位被提供至第一行的源極線 $SL(1)$ 及第二行的源極線 $SL(2)$ 。

結果是，介於位元線 $BL(1)$ 與源極線 $SL(1)$ 之間的電阻因為在記憶體元件 120(1, 1) 中的第一電晶體 100 是開啓的所以是低，且介於位元線 $BL(2)$ 與源極線 $SL(2)$ 之間的電阻因為在記憶體元件 120(1, 2) 中的第一電晶體 100 是關閉的所以是高。一連接至該位元線 $BL(1)$ 及位元線 $BL(2)$ 的讀取電路可因為在位元線 BL 之間的電阻差異而讀取資料。

又， $0V$ 的的電位及 V_L 的電位分別被提供至第二訊號線 $S2(1)$ 及第二訊號線 $S2(2)$ ，使得所有電晶體 102 都是關閉的。第一列的 FG 部分的電位是 $0V$ 或 V_2 ；因此，所有電晶體 102 可藉由將第二訊號線 $S2(1)$ 的電位設定為 $0V$ 而被關閉。在另一方面，如果電位 V_L 被供應至字元線 $WL(2)$ 的話，則第二列的 FG 部分的電位低於緊接在資料寫入之後的時間點的電位。因此，爲了要防止電晶體 102 被開啓，第訊號線 $S2(2)$ 的電位被設定至低，類似於字元線 $WL(2)$ 的電位。因此，所有電晶體 102 可被關閉。

在上述的操作期間，背閘極線 $BW(1)$ 與背閘極線 $BW(2)$ 可具有高電位。

一讀取電路被用來讀取資料。圖 4A 例示一讀取電路的例子。例示於圖 4A 中的讀取電路包括一電晶體及一感測放大器。電位 V_{dd} 被提供至一電晶體的源極與汲極中的一者，及該電晶體的源極與汲極中的另一者被連接至該感測放大器的加法端子及一位元線。偏壓電位 V_{bias} 被提供至該電晶體的閘極。該偏壓電位 V_{bias} 大於 0 且小於 V_{dd} 。又，參考電位 V_{ref} 被輸入至該感測放大器的減法端子。

在該記憶體元件具有低電阻的例子中，輸入至該感測放大器的加法端子的電位低於參考電位 V_{ref} 且該感測放大器輸出資料“1”。在另一方面，在該記憶體元件具有高電阻的例子中，輸入至該感測放大器的加法端子的電位高於參考電位 V_{ref} 且該感測放大器輸出資料“0”。當記憶體元件（1，1）的電晶體 100 是開啓時，介於位元線 BL（1）與源極線 SL（1）之間的電阻是低的，該感測放大器的輸入是低電位且輸出 D（1）變成高（High）。同時，當記憶體元件（1，2）的電晶體 100 是關閉時，介於位元線 BL（2）與源極線 SL（2）之間的電阻是高的；因此該感測放大器的輸入是高電位且輸出 D（2）變成低（Low）。

圖 4B 例示讀取電路的另一個例子。例示於圖 4B 中的讀取電路包括一電晶體及一時脈反向器（clocked inverter）。電位 V_{dd} 被提供至該電晶體的源極與汲極中的一者，及該電晶體的源極與汲極中的另一者被電連接至該時脈反向器的輸入及一位元線。電位 V_{dd} 亦被施加至該電

晶體的閘極。

使用例示於圖 4B 中的讀取電路的例子的輸出電位被描述。當記憶體元件 (1, 1) 的電晶體 100 是開啓時，介於位元線 BL (1) 與源極線 SL (1) 之間的電阻是低的。因此，該時脈反向器的輸入具有低電位及輸出 D (1) 變成高 (High)。同時，當記憶體元件 (1, 2) 的電晶體 100 是關閉時，介於位元線 BL (2) 與源極線 SL (2) 之間的電阻是高的；因此該時脈反向器的輸入是高電位且輸出 D (2) 變成低 (Low)。

該讀出電路的結構並不侷限於圖 4A 及 4B 所示者。例如，該讀取電路可包括一預充電電路或一用於參考的位元線可被連接，而不是施加該參考電位 V_{ref} 。

該記憶體裝置並不侷限於例示於圖 2 中者，而是可具有包含例示於圖 1A 至 1C 中的記憶體元件之不同於圖 2 所示者的結構。

下文中，一種用來製造該記憶體元件 120 的方法將參考圖 5A 至 5H、圖 6A 至 6G、及圖 7A 至 7D 來描述。首先，製造一設有該電晶體 100 的 SOI 基材的方法的例子係參考圖 5A 至 5H 來描述。

首先，一基礎基材 150 被製備（參見圖 5A）。一由絕緣體製成的基材可被用作為該基礎基材 150。詳言之，玻璃基材、石英基材、陶瓷基材及藍寶石基材可被提供來作為基礎基材的例子。

或者，一半導體基材，譬如單晶矽基材或單晶鍺基材

可被用作爲該基礎基材 150。與使用玻璃基材或類此者的例子比較起來，在使用半導體基材作爲該基礎基材 150 的例子中，用於熱處理的溫度限制被緩解；因此，可輕易獲得高品質 SOI 基材。在此處，一太陽能等級矽（SOG-Si）基材或類此者可被用作爲半導體基材。或者，可使用多晶矽半導體基材。與使用單晶矽基材或類此者的例子比較起來，使用 SOG-Si 基材、多晶矽半導體基材或類此者可降低製造成本。

在此實施例中，玻璃基材被用於該基礎基材 150。使用玻璃基材作爲該基礎基材 150 可降低成本。

接下來，一含氮層 152（如，一包括含氮的絕緣薄膜，譬如氮化矽薄膜，的層）被形成在該基礎基材 150 的表面上（圖 5B）。該含氮層 152 如一用來黏合單晶半導體層的層（一黏合層）般地作用。該含氮層 152 亦如一用來防止包含在該基礎基材中的雜質，譬如鈉（Na），擴散至該單晶半導體層中的阻障層般地作用。

在此處，該含氮層 152 具有一定程度的平坦度是較佳的，因爲該含氮層 152 被用來如一黏合層般地作用。詳言之，該含氮層 152 被形成爲具有 0.5nm 或更小的平均表面粗糙度（算術平均差值）及 0.60nm 或更小的均方根表面粗糙度，較佳地爲 0.35nm 或更小的平均表面粗糙度或 0.45nm 或更小的均方根表面粗糙度。應指出的是，平均表面粗糙度與均方根表面粗糙度可在例如 10 平方微米的範圍內被測量。

接下來，一黏合基材 160 被製備。一單晶半導體基材（如，單晶矽基材）被用作為該黏合基材 160（圖 5C）。然而，該黏合基材 160 並不侷限於此。

一氧化物薄膜 162 被形成在該黏合基材 160 的表面上（圖 5D）。關於污染物的去除，在形成該氧化物薄膜 162 之前，該黏合基材 160 的表面用氫氟酸/雙氧水混合物（HPM）或類此者來清潔是較佳的。該氧化物薄膜 162 可用，例如，單層的氧化矽薄膜、氮氧化矽薄膜、或類此者或上述薄膜任一者的堆疊來形成。該氧化物薄膜 162 較佳地係使用有機矽，譬如四乙氧基矽烷（縮寫：TEOS，化學式： $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）來形成。

接下來，該單晶半導體基材的黏合基材 160 用被一電場加速的離子來加以照射，使得該等離子被添加至該黏合基材 160，藉此一被脆化區 164 被形成在該單晶半導體基材的黏合基材 160 的一預定的深度（圖 5E）。該離子照射處理係用一離子摻雜設備或一離子佈植設備來實施。在該處理中，一含氫氣體被用作為來源氣體。關於被用於該照射的離子， H_3^+ 的比例被設的高是較佳的。這是因為可改善離子照射的效率。

應指出的是，該被添加的離子不侷限於氫離子，氮離子及類此者亦可被添加。又，該被添加的離子並不侷限於一種離子，亦可添加多種離子。例如，與在分開的步驟中實施氫及氮的照射的情形比較起來，在使用一離子摻雜設備同時用氫及氮來實施照射的情形中可減少步驟數，且可

進一步抑制稍後將被形成的單晶半導體層的表面粗糙度的增加。

形成該被脆化區 164 的深度是由離子的動能、質量、電荷量、或入射角度，或類此者來決定，其與離子的平均穿透深度幾乎相同。因此，該將與該黏合基材 160（其為單晶半導體基材）分離的單晶半導體層的厚度可用離子被添加的深度來加以控制。

接下來，該基礎基材 150 及黏合基材 160 的表面被設置成面向彼，且該含氮層 152 的表面與該氧化物薄膜 162 的表面被設置成彼此緊密接觸。以此方式，該基礎基材 150 與該黏合基材 160 彼此黏合在一起（圖 5F）。

當該基礎基材 150 與該黏合基材 160 彼此黏合時，一大於或等於 0.001N/cm^2 且小於或等於 100N/cm^2 的壓力被施加至該基礎基材 150 或該黏合基材 160 的一部分。藉由以此方式施加一壓力，該含氮層 152 與該氧化物薄膜 162 在它們彼此接觸的部分被黏合，且該黏合自發性地擴散至整個面積。此黏合是在凡德瓦（Van der Waals）力或氫黏合的作用下被實施且可在室溫下實施。

在該基礎基材 150 與該黏合基材 160 黏合之後，熱處理可被實施以進一步強化該黏合。此熱處理是在該被脆化的區域 164 的分離不會發生的溫度（例如，高於或等於室溫且低於 400°C ）實施的。或者，該含氮層 152 與該氧化物薄膜 162 可在被加熱至此範圍內的溫度的時候彼此黏合。

接下來，該黏合基材 160 沿著該被脆化區 164 用熱處理來加以分割，使得一單晶半導體層 166 被形成在該基礎基材 150 上且該含氮層 152 與該氧化物薄膜 162 係設置在它們之間（圖 5G）。

該用於分離的熱處理的溫度較佳地是低的溫度以抑制粗糙度產生在該單晶半導體層 166 的表面上。該用於分離的熱處理的溫度例如可以高於或等於 300°C 且低於或等於 600°C，且該溫度低於或等於 500°C（高於或等於 400°C）是更有效的。

應指出的是，在黏合基材 160 被分離之後，該單晶半導體層 166 可在 500°C 或更高溫接受熱處理，使得留在該單晶半導體層 166 內的氫的濃度被降低。

接下來，該單晶半導體層 166 的表面用雷射光照射，藉以形成表面平坦度被改善且瑕疵數量被減少的半導體層 168。應指出的是，可實施熱處理來取代該雷射光照射處理。

雖然所描述之用雷射光的照射處理在此處是在用於分離的熱處理之後緊接著實施，但該用雷射光的照射處理可在一個在該單晶半導體層 166 的表面上具有許多瑕疵的區域已用蝕刻或類此者予以去除之後才加以實施。或者，該用雷射光的照射處理可在該單晶半導體層 166 的表面的平坦度的程度改善之後才予以實施。

經過上述的步驟，可獲得包括該半導體層 168 的 SOI 基材（圖 5H）。

接下來，一種用來製造具有上述 SOI 基材的電晶體的方法將參考圖 6A-6G 加以描述。

首先，例示於圖 6A 中的半導體層 168 被處理以具有島形，使得一半導體層 170 被形成（圖 6B）。

應指出的是，在將該半導體層 168 處理成島形層之前或之後，一施加 n 型導電性的雜質元素或一施加 p 型導電性的雜質元素可被添加至該半導體層 168 或半導體層 170 以控制該電晶體的低限電壓。在該半導體層 168 的材料是矽的例子中，例如 P、As 或類此者可被用作為施加 n 型導電性的雜質元素，或者 B、Al、Ga 或類此者可被用作為施加 p 型導電性的雜質元素。

接下來，一絕緣層 172 被形成在該半導體層 170 上（圖 6C）。該絕緣層 172 稍後如一閘極絕緣層般地作用。

接下來，一導電層被形成在絕緣層 172 上；然後，該導電層被選擇性地蝕刻使得一閘極電極 174 被形成來與該半導體層 170 重疊（圖 6D）。在此步驟中，可形成該電容器 104 的諸電極中的一個電極與該電晶體 102 的背閘極 BG 以及該閘極電極 174。

接下來，藉由使用該閘極電極 174 作為罩幕，一施加一種導電類型的雜質元素被添加至該半導體層 170，使得一雜質區 176 及一通道形成區 178 被形成（圖 6E）。應指出的是，爲了要形成一 p 型通道電晶體於此實施例中，一像是 B 或 Al 的雜質元素被添加；然而，在形成 n 型通

道電晶體的例子中，可添加 P 或 As。該雜質區 176 如一流極區或一汲極區般地作用。

雖然未於本文中例示，但一側壁絕緣層可被形成在該閘極電極 174 的側表面上。

然後，一夾層絕緣層 180 被形成，用以覆蓋上述步驟所形成的構件（圖 6F）。該夾層絕緣層 180 可用包括無機絕緣材料譬如氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鉛、氧化鋁、或氧化鉭；或有機絕緣材料譬如聚醯亞胺或丙烯酸在內的材料來形成。該夾層絕緣層 180 可具有一堆疊式結構。

接下來，該夾層絕緣層 180 用 CMP 處理、蝕刻處理或類此者予以平坦化（圖 6G）。藉由 CMP 處理或蝕刻處理，該閘極電極 174 被露出來。

經由上述的步驟可形成使用該 SOI 基材的電晶體 100。因為此電晶體 100 可以高速來操作，所以可用此電晶體 100 來建構一邏輯電路（亦被稱為算術電路）或類此者。換言之，電晶體 100 可被用於記憶體裝置的驅動電路或類此者。

應指出的是，該電晶體 100 的結構並不侷限於圖 6G 所示的結構，且一電極、一配線、一絕緣層及類此者可被額外地形成在該電晶體中。

接下來，一種將該電晶體 102 形成在電晶體 100 上的方法將參考圖 7A 至 7D 來加以描述。

首先，一導電層被形成在如圖 6G 所示之已接受平坦

化處理的該夾層絕緣層 180 上，且該導電層被處理成爲一導電層 182（圖 7A）。對於該導電層 182 的材料及形成方法並沒有特別的限制。該導電層 182 至少被設置在一必要的區域中，用以與該閘極電極 174 之外露的部分接觸。

接下來，一半導體薄膜被形成在該導電層 182 上，且該半導體薄膜被處理成爲一半導體層 184（圖 7B）。在此處，該半導體層 184 係使用氧化物半導體來形成。

在形成該半導體薄膜之前可藉由實施預加熱來實施脫水或脫氫。

殘留在一沉積室中的水氣及氫在該半導體薄膜被形成之前被充分地去除是較佳的。亦即，在形成該半導體薄膜之前，較佳地係用截留真空泵譬如低溫泵、離子泵、或鈦昇華泵來實施抽空。

接下來，在該氧化物半導體層上實施第一熱處理。在此處，實施該第一熱處理是要將該氧化物半導體層脫水或脫氫。該第一熱處理的溫度係高於或等於 400°C 且低於或等於 750°C，較佳地高於或等於 400°C 且低於該基材的應變點。例如，該氧化物半導體層在氮氣氛圍中在 450°C 接受熱處理一個小時，然後可防止水或氫進入到該氧化物半導體層中，使得一已被脫水或脫氫的氧化物半導體層被形成。應指出的是，該第一熱處理並不侷限於此，且該第一熱處理可在稍後的步驟中實施。

然後，一絕緣層 186 被形成來覆蓋該半導體層 184（圖 7C）。該絕緣層 186 如一閘極絕緣層般地作用。

接下來，第二熱處理係在鈍氣（包括氮在內）氛圍或氧氣氛圍（較佳地，在包含性的（inclusive） 200°C 至 400°C ，如，包含性的 250°C 至 350°C ）中實施。在此實施例中，該第二熱處理是在 300°C 的氮氛圍中實施一個小時。在該第二熱處理中，該氧化物半導體層的一部分（通道形成區）在於該絕緣層 186 接觸的狀態下被加熱。在氧被供應至該氧化物半導體層的例子中，該絕緣層 186 較佳地使用含氧材料來形成。

應指出的是，該氧化物半導體層可具有非晶形結構或結晶性結構。在該氧化物半導體層具有結構性的例子中，該氧化物半導體層可用兩個沉積步驟來形成且該熱處理隨著該兩次沉積被實施兩次。

然後，一導電層 188 被形成在該絕緣層 186 上，用以與如該半導體層 184 的通道形成區般地作用的至少一部分重疊。

透過上述的步驟可形成電晶體 102。

應指出的是，電晶體 102 的結構並不侷限於例示於圖 7D 中的結構，且一電極、一配線、一絕緣層及類此者可被額外地形成在該電晶體中。

（實施例 2）

在此實施例中，本發明的一個實施例且不同於實施例 1 的一記憶體元件將被描述。詳言之，一在下部中的電晶體具有一類似於在上部中的電晶體的結構（這是與實施例

1 的不同點) 的實施例將參考圖 8A 至 8C 來加以描述。

例示於圖 8A 中的記憶體元件包括一電晶體 200，一電晶體 202，及一電容器 204。在圖 8A 中，電晶體 200 的源極與汲極電極中的一者被電連接至一第一配線 (wiring) 211，及電晶體 200 的源極與汲極電極中的另一者被電連接至一第二配線 212。電晶體 202 的源極與汲極電極中的一者被電連接至一第三配線 213，及電晶體 202 的閘極電極被電連接至一第四配線 214。電晶體 200 的閘極電極與電晶體 202 的源極與汲極電極中的另一者被電連接至該電容器 204 的諸電極中的一電極。該電容器 204 的其它電極被電連接至一第五配線 215。電晶體 200 設有一如另一閘極電極般作用的背閘極 BG1。電晶體 202 進一步設置有一如另一閘極電極般地作用的背閘極 BG2。

圖 8B 為一頂視圖其例示出圖 8A 的記憶體元件的特定結構的例子。圖 8C 為沿著圖 8B 的 X-Y 線所取的剖面圖。

如圖 8B 所示，電晶體 202 可以與圖 1A 至 1C 的電晶體 102 相同。

然而，電晶體 200 則是不同於電晶體 100 且是類似於電晶體 202 地被形成。換言之，對於電晶體 200 而言，包括一被用於通道形成區域的氧化半導體層是較佳的。

電容器 204 包括與電晶體 200 的源極及汲極電極層同一層的一部分及與電晶體 200 的閘極電極同層的一部分。

又，該電容器 204 可藉由包括與設置在該基材側上的

閘極電極同一層的部分（一將會是該電晶體 200 的背閘極的層）來構成。

在圖 8C 中，電晶體 200 及電容器 204 被設置在一基材 216 上。電晶體 200 及電容器 204 被一絕緣層覆蓋，且該絕緣層接受 CMP 或類此者的平坦化處理，使得電晶體 200 的閘極電極與電容器 204 的諸電極中的一個電極被露出來。該電晶體 202 的源極及汲極電極的另一者被設置在被外露的該電晶體 200 之閘極電極與電容器 204 的該電極上。

如圖 8C 所示，與該電晶體 200 的閘極電極同一層的部分（如電晶體 202 的背閘極般地作用的部分）與如該電晶體 202 的半導體層的通道形成區般地作用的至少一區域重疊。該如電晶體 202 的背閘極般地作用的部分及電晶體 202 的該半導體層被設置成使得一在該電晶體 200 上的一絕緣層被夾在它們之間。因為該電晶體 200 的半導體層欠缺厚度，所以此絕緣層是已被設置在該電晶體 200 上且在該平坦化處理之後仍留著的該絕緣層的一部分。如上文所述，在上部中的該電晶體與該背閘極設置有平坦化處理後仍被留著且插置（interpose）在它們之間的該絕緣層，且該背閘極是由與在下部中的電晶體的閘極電極同一層的一部分所形成，這是本發明的一個實施例的該記憶體元件的特徵之一。以此方式，在上部中的該電晶體的背閘極是由與在下部中的該電晶體的閘極電極同一層的一部分形成的，藉此，在上部中的該電晶體的背閘極可在不增加製造

步驟數之下被設置。

雖然圖 8C 例示了電晶體 200 及電晶體 202 兩者都被設置背閘極的結構，但記憶體元件的結構並不侷限於此。電晶體 200 沒有設置背閘極的結構亦可被使用。

（實施例 3）

在此實施例中，一為本發明的一實施例且不同於實施例 1 及實施例 2 的元件將被描述。詳言之，一可用類似於實施例 1 的方式被製造的反向元件（inversion element）將參考圖 9A 至 9C 加以描述。

例示於圖 9A 中的反向元件包括一電晶體 300 及一電晶體 302。在圖 9A 中，電晶體 302 的源極與汲極電極中的一者被電連接至在地極電位 V_{ss} 的第四配線 314，及電晶體 302 的源極與汲極電極中的另一者被電連接至電晶體 300 的源極與汲極電極中的一者及一第二配線 312。電晶體 300 的源極與汲極電極中的另一者被電連接至在電力供應電位 V_{dd} 的第三配線 313。電晶體 302 的閘極電極被連接至電晶體 300 的閘極電極及一第一配線 311。電晶體 302 設置有一如另一閘極電極般地作用的背閘極 BG。

圖 9B 為一頂視圖其例示圖 9A 的反向器元件的一特定的結構。圖 9C 為沿著圖 9B 的 X-Y 線所取的剖面圖。

如圖 9B 所示，電晶體 300 可以與圖 1A 至 1C 的電晶體 100 相同的電晶體。電晶體 302 可以與圖 1A 至 1C 的電晶體 102 相同的電晶體。

在圖 9C 中，電晶體 300 被設置在一基材 316 上。電晶體 300 被一絕緣層覆蓋，且該絕緣層接受 CMP 或類此者的平坦化處理，使得電晶體 300 的閘極電極被露出來。與電晶體 302 的源極與汲極電極同一層的部分被設置在電晶體 300 的該外露的閘極電極上且透過配線 311（未示於圖 9C 中）被電連接至電晶體 302 的閘極電極。在此處，電晶體 300 是一 p 型通道電晶體但並不侷限於此。

如圖 9C 所示，與該電晶體 300 的閘極電極同一層的部分（如電晶體 302 的背閘極般地作用的部分）與如該電晶體 302 的半導體層中的通道形成區般地作用的至少一部分重疊。該如電晶體 302 的背閘極般地作用的部分及電晶體 302 的該半導體層被設置成使得一在該電晶體 300 上的一絕緣層被夾在它們之間。因為該電晶體 300 的半導體層欠缺厚度（lack of thickness），所以此絕緣層是已被設置在該電晶體 300 上且在該平坦化處理之後仍留著的該絕緣層的一部分。如上文所述，在上部中的該電晶體與該背閘極設置有在平坦化處理後仍被留著且被插置在它們之間的該絕緣層，且該背閘極是由與在下部中的電晶體的閘極電極同一層的一部分所形成的，這是本發明的一個實施例的該反向元件的特徵之一。以此方式，在上部中的該電晶體的背閘極是由與在下部中的該電晶體的閘極電極同一層的一部分形成的，藉此，在上部中的該電晶體的背閘極可在不增加製造步驟數之下被設置。

(實施例 4)

在此實施例中，一為本發明的一個實施例且不同於實施例 1 至實施例 3 的元件將被描述。詳言之，一可用類似於實施例 2 的方式加以製造的反向元件將參考圖 10A 至 10C 加以描述。

例示於圖 10A 中的反向元件包括一電晶體 400 及一電晶體 402。在圖 10A 中，電晶體 402 的源極與汲極電極中的一者被電連接至在地極電位 V_{ss} 的第四配線 414，及電晶體 402 的源極與汲極電極中的另一者被電連接至電晶體 400 的源極與汲極電極中的一者及一第二配線 412。電晶體 400 的源極與汲極電極中的另一者被電連接至在電力供應電位 V_{dd} 的第三配線 413。電晶體 400 的閘極電極被連接至電晶體 400 的源極與汲極電極中的該另一者。電晶體 402 的閘極電極被電連接至第一配線 411。電晶體 400 設置有一如另一閘極電極般地作用的背閘極 BG1。電晶體 402 設置有一如另一閘極電極般地作用的背閘極 BG2。

圖 10B 為一頂視圖其例示圖 10A 的反向器元件的一特定的結構。圖 10C 為沿著圖 10B 的 X-Y 線所取的剖面圖。

如圖 10B 所示，電晶體 402 可以是與圖 9A 至 9C 的電晶體 302 相同的電晶體。

然而，電晶體 400 不同於電晶體 300 且是一被形成為類似於電晶體 402 的電晶體。換言之，對電晶體 402 而言較佳的是包括一被用於通道形成區的氧化物半導體層。

又，電晶體 402 的通道寬度較佳地比電晶體 400 的通道寬度大許多，更佳地是電晶體 400 的通道寬度的 3 倍或更多，更佳地是電晶體 400 的通道寬度的 5 倍或更多。

在圖 10C 中，電晶體 400 被設置在基材 416 上。電晶體 400 被一絕緣層覆蓋且該絕緣層接受 CMP 或類此者的平坦化處理，使得電晶體 400 的閘極電極被露出來。與電晶體 402 的源極與汲極電極同一層的部分被設置在電晶體 400 的該外露的閘極電極上且透過第三配線 413（未示於圖 10C 中）被電連接至電晶體 400 的閘極電極。

如圖 10C 所示，與該電晶體 400 的閘極電極同一層的部分（如電晶體 402 的背閘極般地作用的部分）與如該電晶體 402 的半導體層中的通道形成區般地作用的至少一部分重疊。該如電晶體 402 的背閘極般地作用的部分及電晶體 402 的該半導體層被設置成使得一在該電晶體 400 上的一絕緣層被夾在它們之間。因為該電晶體 400 的半導體層欠缺厚度，所以此絕緣層是已被設置在該電晶體 400 上且在該平坦化處理之後仍留著的該絕緣層的一部分。如上文所述，在上部中的該電晶體與該背閘極設置有在平坦化處理後仍被留著且被插置在它們之間的該絕緣層，且該背閘極是由與在下部中的電晶體的閘極電極同一層的一部分所形成的，這是本發明的一個實施例的該反向元件的特徵之一。以此方式，在上部中的該電晶體的背閘極是由與在下部中的該電晶體的閘極電極同一層的一部分形成的，藉此，在上部中的該電晶體的背閘極可在不增加製造步驟數

之下被設置。

(實施例 5)

在此實施例中，一為本發明的一個實施例且不同於實施例 1 至實施例 4 的元件將被描述。詳言之，一為一種邏輯閘且可用類似於實施例 1 的方式加以製造的 NAND 閘將參考圖 11A 至 11C 加以描述。

例示於圖 11A 中的記憶體元件包括一電晶體 500，一電晶體 502，一電晶體 504 及一電晶體 506。在圖 11A 中，電晶體 500 的源極與汲極電極中的一者被電連接至在電力供應電位 V_{dd} 的第五配線 515 及電晶體 502 的源極與汲極電極中的一者。電晶體 500 的源極與汲極電極中的另一者被電連接至第三配線 513、電晶體 502 的源極與汲極電極中的另一者、及電晶體 504 的源極與汲極電極中的一者。電晶體 504 的源極與汲極電極中的另一者被電連接至電晶體 506 的源極與汲極電極中的一者。電晶體 506 的源極與汲極電極中的另一者被電連接至在地極電位 V_{ss} 的第四配線 514。電晶體 502 的閘極電極及電晶體 504 的閘極電極被電連接至第一配線 511。電晶體 500 的閘極電極及電晶體 506 的閘極電極被電連接至第二配線 512。電晶體 504 設置有一如另一閘極電極般地作用的背閘極 BG1，及電晶體 506 設置有一如另一閘極電極般地作用的背閘極 BG2。

圖 11B 為一頂視圖其例示圖 11A 的記憶體元件的一

特定的結構。圖 11C 為沿著圖 11B 的 X-Y 線所取的剖面圖。

如圖 11B 所示，電晶體 500 及電晶體 502 的每一者可以是與例示於圖 1A 至 1C 中的電晶體 100 相同的電晶體。電晶體 504 及電晶體 506 的每一者可以是與例示於圖 1A 至 1C 中的電晶體 102 相同的電晶體。

在圖 11C 中，電晶體 502 被設置在基材 516 上。電晶體 502 被一絕緣層覆蓋且該絕緣層接受 CMP 或類此者的平坦化處理，使得電晶體 502 的閘極電極被露出來。與電晶體 504 及電晶體 506 的源極與汲極電極層同一層的一部分被設置在電晶體 502 的該外露的閘極電極上，藉此，電晶體 502 的閘極電極與第一配線 511 透過該同一層（未示於圖 11C 中）彼此電連接。雖然未被例示出，但電晶體 500 以相同的方式被電連接至該第二配線 512。應指出的是，電晶體 500 與電晶體 502 在此處為 p 型通道電晶體，但並不侷限於此。

與該電晶體 500 及電晶體 502 的閘極電極同一層的部分（如電晶體 504 及電晶體 506 的背閘極般地作用的部分）與如該電晶體 504 及電晶體 506 的半導體層中的通道形成區般地作用的至少一部分重疊。該如電晶體 504 及電晶體 506 的背閘極般地作用的部分及電晶體 504 及電晶體 506 的該半導體層被設置成使得一設置在該電晶體 500 及電晶體 502 上的一絕緣層被夾在它們之間。因為該電晶體 500 及電晶體 502 的半導體層厚度的關係，所以此絕緣層

是已被設置在該電晶體 500 及電晶體 502 上且在該平坦化處理之後仍留著的該絕緣層的一部分。如上文所述，在上部中的該電晶體與該背閘極設置有在平坦化處理後仍被留著且被插置在它們之間的該絕緣層，且該等背閘極是由與在下部中的電晶體的閘極電極同一層的一部分所形成的，這是本發明的一個實施例的該記憶體元件的特徵之一。以此方式，在上部中的該電晶體的背閘極是由與在下部中的該電晶體的閘極電極同一層的一部分形成的，藉此，在上部中的該電晶體的背閘極可在不增加製造步驟數之下被設置。

（實施例 6）

在此實施例中，一為本發明的一個實施例且不同於實施例 1 至實施例 5 的元件將被描述。詳言之，一為一種邏輯閘且可用類似於實施例 2 的方式加以製造的 NAND 閘將參考圖 12A 至 12C 加以描述。

例示於圖 12A 中的記憶體元件包括一電晶體 600、一電晶體 602 及一電晶體 604。在圖 12A 中，電晶體 600 的源極與汲極電極中的一者被電連接至在電力供應電位 V_{dd} 的第四配線 614，及電晶體 600 的源極與汲極電極中的另一者被電連接至電晶體 602 的源極與汲極電極中的一者及一第三配線 613。電晶體 602 的源極與汲極電極中的另一者被電連接至電晶體 604 的源極與汲極電極中的一者，及電晶體 604 的源極與汲極電極中的另一者被連接至在地極

電位 V_{ss} 的第五配線 615。電晶體 600 的閘極電極被連接至第四配線 614。電晶體 602 的閘極電極被電連接至第一配線 611。電晶體 604 的閘極電極被電連接至第二配線 612。電晶體 600 設置有一如另一閘極電極般地作用的背閘極 BG1。電晶體 602 設置有一如另一閘極電極般地作用的背閘極 BG2。電晶體 604 設置有一如另一閘極電極般地作用的背閘極 BG3。

圖 12B 為一頂視圖其例示圖 12A 的記憶體元件的一特定的結構。圖 12C 為沿著圖 12B 的 X-Y 線所取的剖面圖。

如圖 12B 所示，電晶體 602 及電晶體 604 可以是與圖 11A 至 11C 的電晶體 504 及電晶體 506 相同的電晶體。

然而，電晶體 600 不同於電晶體 500 且是一種被形成為類似於電晶體 602 的電晶體。換言之，對電晶體 600 而言較佳的是包括一被用於通道形成區的氧化物半導體層。此外，電晶體 602 及電晶體 604 的通道寬度較佳地比電晶體 600 的通道寬度大許多，更佳地是電晶體 600 的通道寬度的 3 倍或更多，更佳地是電晶體 600 的通道寬度的 5 倍或更多。

在圖 12C 中，電晶體 600 被設置在基材 616 上。電晶體 600 被一絕緣層覆蓋且該絕緣層接受 CMP 或類此者的平坦化處理，使得電晶體 600 的閘極電極被露出來。與電晶體 602 及電晶體 604 的源極與汲極電極同一層的部分被設置在電晶體 600 的該外露的閘極電極上，該電晶體 600

的閘極電極與該第四配線 614 藉此透過該同一層（未示於圖 12C 中）被電連接。

如圖 12C 所示，與該電晶體 600 的閘極電極同一層的部分（如電晶體 602 及電晶體 604 的背閘極般地作用的部分）與如該電晶體 602 及電晶體 604 的半導體層中的通道形成區般地作用的至少一部分重疊。該如電晶體 602 及電晶體 604 的背閘極般地作用的部分及電晶體 602 及電晶體 604 的該半導體層被設置成使得一設置在該電晶體 600 上的絕緣層被夾在它們之間。因為該電晶體 600 的半導體層欠缺厚度，所以此絕緣層是已被設置在該電晶體 600 上且在該平坦化處理之後仍留著的該絕緣層的一部分。如上文所述，在上部中的該電晶體與該背閘極設置有在平坦化處理後仍被留著且被插置在它們之間的該絕緣層，且該背閘極是由與在下部中的電晶體的閘極電極同一層的一部分所形成的，這是本發明的一個實施例的該記憶體元件的特徵之一。以此方式，在上部中的該電晶體的背閘極是由與在下部中的該電晶體的閘極電極同一層的一部分形成的，藉此，在上部中的該電晶體的背閘極可在不增加製造步驟數之下被設置。

（實施例 7）

在此實施例中，一為本發明的一個實施例且不同於實施例 1 至實施例 6 的元件將被描述。詳言之，一為一種邏輯閘且可用類似於實施例 1 的方式加以製造的 NOR 閘將

參考圖 13A 至 13C 加以描述。

例示於圖 13A 中的記憶體元件包括一電晶體 700，一電晶體 702，一電晶體 704 及一電晶體 706。在圖 13A 中，電晶體 700 的源極與汲極電極中的一者被電連接至在電力供應電位 V_{dd} 的第五配線 715。電晶體 700 的源極與汲極電極中的另一者被電連接至電晶體 702 的源極與汲極電極中的一者。電晶體 702 的源極與汲極電極中的另一者被電連接至電晶體 704 的源極與汲極電極中的一者、電晶體 706 的源極與汲極電極中的一者及第三配線 713。電晶體 704 的源極與汲極電極中的另一者及電晶體 706 的源極與汲極電極中的另一者被連接至在地極電位 V_{ss} 的第四配線 714。電晶體 700 的閘極電極及電晶體 706 的閘極電極被連接至第一配線 711。電晶體 702 的閘極電極及電晶體 704 的閘極電極被連接至第二配線 712。電晶體 704 設置有一如另一閘極電極般地作用的背閘極 BG1，及電晶體 706 設置有一如另一閘極電極般地作用的背閘極 BG2。

圖 13B 為一頂視圖其例示圖 13A 的記憶體元件的一特定的結構。圖 13C 為沿著圖 13B 的 X-Y 線所取的剖面圖。

如圖 13B 所示，電晶體 700 及電晶體 702 的每一者可以是與例示於圖 1A 至 1C 中的電晶體 100 相同的電晶體。電晶體 704 及電晶體 706 的每一者可以是與例示於圖 1A 至 1C 中的電晶體 102 相同的電晶體。

在圖 13C 中，電晶體 700（未示於圖 13C 中）及電晶

體 702 被設置在基材 716 上。電晶體 700 及電晶體 702 被一絕緣層覆蓋且該絕緣層接受 CMP 或類此者的平坦化處理，使得電晶體 700 及電晶體 702 的閘極電極被露出來。與電晶體 704 及電晶體 706 的源極與汲極電極層同一層的一部分被設置在電晶體 700 及電晶體 702 的該外露的閘極電極上，藉此，電晶體 700 的閘極電極及電晶體 702 的閘極電極與同層（未示於圖 13C 中）分別電連接至第一配線 711 及第二配線 712。應指出的是，電晶體 700 與電晶體 702 在此處為 p 型通道電晶體，但並不侷限於此。

如圖 13C 所示，電晶體 700（未示於圖 13C 中）及電晶體 702 的閘極電極的部分（如電晶體 704 及電晶體 706 的背閘極般地作用的部分）與如該電晶體 704 及電晶體 706 的半導體層中的通道形成區般地作用的至少一部分重疊。該如電晶體 704 及電晶體 706 的背閘極般地作用的部分及電晶體 704 及電晶體 706 的半導體層被設置成使得一設置在該電晶體 700 及電晶體 702 上的一絕緣層被夾在它們之間。因為該電晶體 700 及電晶體 702 的半導體層欠缺厚度的關係，所以此絕緣層是已被設置在該電晶體 700 及電晶體 702 上且在該平坦化處理之後仍留著的該絕緣層的一部分。如上文所述，在上部中的電晶體與該背閘極設置有在平坦化處理後仍被留著且被插置在它們之間的該絕緣層，且該等背閘極是由與在下部中的電晶體的閘極電極同一層的一部分所形成的，這些是本發明的一個實施例的該記憶體元件的特徵之一。以此方式，在上部中的該電晶體

的背閘極是由與在下部中的該電晶體的閘極電極同一層的一部分形成的，藉此，在上部中的該電晶體的背閘極可在不增加製造步驟數之下被設置。

（實施例 8）

在此實施例中，一為本發明的一個實施例且不同於實施例 1 至實施例 7 的元件將被描述。詳言之，一為一種邏輯閘且可用類似於實施例 2 的方式加以製造的 NOR 閘將參考圖 14A 至 14C 加以描述。

例示於圖 14A 中的記憶體元件包括一電晶體 800、一電晶體 802 及一電晶體 804。在圖 14A 中，電晶體 800 的源極與汲極電極中的一者及電晶體 802 的源極與汲極電極中的一者被電連接至在地極電位 V_{ss} 的第五配線 815。電晶體 800 的源極與汲極電極中的另一者、電晶體 802 的源極與汲極電極中的另一者、電晶體 804 的源極與汲極電極中的一者被電連接至第三配線 813。電晶體 804 的源極與汲極電極中的另一者被連接至在電力供應電位 V_{dd} 的第四配線 814。電晶體 800 的閘極電極被連接至第一配線 811。電晶體 802 的閘極電極被連接至第二配線 812。電晶體 804 的閘極電極被連接至電晶體 804 的源極與汲極電極中的另一者。電晶體 800 設置有一如另一閘極電極般地作用的背閘極 BG1。電晶體 802 設置有一如另一閘極電極般地作用的背閘極 BG2。電晶體 804 設置有一如另一閘極電極般地作用的背閘極 BG3。

圖 14B 爲一頂視圖其例示圖 14A 的記憶體元件的一特定的結構。圖 14C 爲沿著圖 14B 的 X-Y 線所取的剖面圖。

如圖 14B 所示，電晶體 800 及電晶體 802 可以是與圖 13A 至 13C 的電晶體 704 及電晶體 706 相同的電晶體。

然而，電晶體 804 不同於電晶體 700 及電晶體 702 且是一種被形成爲類似於電晶體 802 的電晶體。換言之，對電晶體 804 而言較佳的是包括一被用於通道形成區的氧化物半導體層。此外，電晶體 800 及電晶體 802 的通道寬度較佳地比電晶體 804 的通道寬度大許多，更佳地是電晶體 804 的通道寬度的 3 倍或更多，更佳地是電晶體 804 的通道寬度的 5 倍或更多。

在圖 14C 中，電晶體 804 被設置在基材 816 上。電晶體 804 被一絕緣層覆蓋且該絕緣層接受 CMP 或類此者的平坦化處理，使得電晶體 804 的閘極電極被露出來。與電晶體 800 及電晶體 802 的源極與汲極電極同一層的部分被設置在電晶體 804 的該外露的閘極電極上，該電晶體 804 的閘極電極與該第四配線 814 藉此透過該同一層（未示於圖 14C 中）被電連接。

如圖 14C 所示，與該電晶體 804 的閘極電極同一層的部分（如電晶體 800 及電晶體 802 的背閘極般地作用的部分）與如該電晶體 800 及電晶體 802 的半導體層中的通道形成區般地作用的至少一些部分重疊。該如電晶體 800 及電晶體 802 的背閘極般地作用的部分及電晶體 800 及電晶

體 802 的半導體層被設置成使得一設置在該電晶體 804 上的絕緣層被夾在它們之間。因為該電晶體 804 的半導體層的厚度的關係，所以此絕緣層是已被設置在該電晶體 804 上且在該平坦化處理之後仍留著的該絕緣層的一部分。如上文所述，在上部中的該電晶體與該背閘極設置有在平坦化處理後仍被留著且被插置在它們之間的該絕緣層，且該背閘極是由與在下部中的電晶體的閘極電極同一層的一部分所形成的，這是本發明的一個實施例的該記憶體元件的特徵之一。以此方式，在上部中的該電晶體的背閘極是由與在下部中的該電晶體的閘極電極同一層的一部分形成的，藉此，在上部中的該電晶體的背閘極可在不增加製造步驟數之下被設置。

（實施例 9）

在此實施例中，將描述本發明的一個實施例的電子裝置。在此實施例的電子裝置中，安裝了描述於實施例 1 至實施例 8 中的元件的至少一個元件。本發明的電子裝置的例子包括電腦、行動電話（亦被稱為手機或行動電話裝置）、可攜式資訊終端機（包括可攜式遊戲機、音訊再生裝置、及類此者）、數位相機、數位攝影機、電子紙、及電視裝置（亦被稱為電視或電視接收機）。

圖 15A 例示一膝上型電腦，其包括外殼 901、外殼 902、顯示部分 903、鍵盤 904 及類此者。描述於實施例 1 至實施例 8 的任一者中的元件被設置在外殼 901 及外殼

902 中。描述於實施例 1 至實施例 8 的任一者中的記憶體被安裝在例示於圖 15A 中的膝上型電腦上，藉此減少該元件所消耗的電力及所佔的面積。

圖 15B 例示一種個人數位助理（PDA），其主體 911 內設置有顯示部分 913、外部界面 915、操作按鈕 914、及類此者。又，一用來操作該可攜式資訊終端機或類此者的尖筆（stylus）912 被提供。描述於實施例 1 至實施例 8 的任一者中的元件被設置在該主體 911 內。該描述於實施例 1 至實施例 8 的任一者中的記憶體被安裝在圖 15B 所示的 PDA 上，藉以減少該元件所消耗的電力及所佔的面積。

圖 15C 例示一種安裝電子紙的電子書閱讀器 920。電子書閱讀器 920 具有外殼 921 及外殼 923 兩個外殼。外殼 921 及外殼 923 分別設置有顯示部分 925 及顯示部分 927。外殼 921 及外殼 923 藉由鉸鏈 937 相連接並以鉸鏈 937 為軸來打開與關閉。又，外殼 921 設有一電源開關 931、操作鍵 933、揚聲器 935、及類此者。外殼 921 及外殼 923 中的至少一者設有描述於實施例 1 至實施例 8 的任一者中的元件。該描述於實施例 1 至實施例 8 的任一者中的記憶體被安裝在示於圖 15C 中的電子書閱讀器上，藉以減少該元件所消耗的電力及所佔的面積。

圖 15D 例示一種包括外殼 940 及外殼 941 兩個外殼的行動電話。又，外殼 940 及外殼 941 可藉由滑移而處在如圖 15D 所示之被打開的狀態，使得一個外殼部分疊置在另

一外殼上；因此，該行動電話的尺寸可被縮小，這讓該行動電話更適合攜帶。該外殼 941 設有顯示面板 942、揚聲器 943、麥克風 944、操作鍵 945、指向裝置 946、相機鏡頭 947、外部連接端子 948、及類此者。外殼 940 設有太陽能電池 949 其可對該行動電話充電、一外部記憶體插槽 950 及類此者。應指出的是，一天線被包含在該外殼 941 中。外殼 940 及外殼 941 中的至少一者設有描述於實施例 1 至實施例 8 的任一者中的元件。該描述於實施例 1 至實施例 8 的任一者中的記憶體被安裝在示於圖 15D 中的行動電話上，藉以減少該元件所消耗的電力及所佔的面積。

圖 15E 例示一種數位相機其包括一主體 961、一顯示部分 967、一目鏡組 963、一操作開關 964、一顯示部分 965、一電池組 966、及類此者。描述於實施例 1 至實施例 8 的任一者中的記憶體被設置在該主體 961 內。該描述於實施例 1 至實施例 8 的任一者中的記憶體被安裝在示於圖 15E 中的數位相機上，藉以減少該元件所消耗的電力及所佔的面積。

圖 15F 為一電視裝置 970 其包括一外殼 971、一顯示部分 973、一底座 975、及類此者。該電視裝置 970 可用該外殼 971 的一操作開關或一分離的遙控器 980 來操作。外殼 971 與該遙控器 980 設有描述於實施例 1 至實施例 8 的任一者中的記憶體。該描述於實施例 1 至實施例 8 的任一者中的記憶體被安裝在示於圖 15F 中的電視裝置上，藉以減少該元件所消耗的電力及所佔的面積。

本申請案係根據 2010 年 2 月 19 日向日本專利局提申的日本專利申請案第 2010-035435 號，該申請案的全部內容藉此參照被併於本文中。

【符號說明】

100：電晶體
102：電晶體
104：電容器
111：第一配線
112：第二配線
113：第三配線
114：第四配線
115：第五配線
116：基材
120：記憶體元件
121：驅動電路
122：驅動電路
123：驅動電路
124：驅動電路
150：基礎基材
152：含氮層
160：黏合基材
162：氧化物薄膜
164：被脆化區

166：單晶半導體層

168：半導體層

170：半導體層

172：絕緣層

174：閘極電極

176：雜質區

178：通道形成區

180：夾層絕緣層

182：導電層

184：半導體層

186：絕緣層

188：導電層

200：電晶體

202：電晶體

204：電容器

211：第一配線

212：第二配線

213：第三配線

214：第四配線

215：第五配線

216：基材

300：電晶體

302：電晶體

311：第一配線

312：第二配線

313：第三配線

314：第四配線

316：基材

400：電晶體

402：電晶體

411：第一配線

412：第二配線

413：第三配線

414：第四配線

416：基材

500：電晶體

502：電晶體

504：電晶體

506：電晶體

511：第一配線

512：第二配線

513：第三配線

514：第四配線

515：第五配線

516：基材

600：電晶體

602：電晶體

604：電晶體

611：第一配線

612：第二配線

613：第三配線

614：第四配線

615：第五配線

616：基材

700：電晶體

702：電晶體

704：電晶體

706：電晶體

711：第一配線

712：第二配線

713：第三配線

714：第四配線

715：第五配線

716：基材

800：電晶體

802：電晶體

804：電晶體

811：第一配線

812：第二配線

813：第三配線

814：第四配線

815：第五配線

816：基 材
901：外 殼
902：外 殼
903：顯 示 部 分
904：鍵 盤
911：主 體
912：尖 筆
913：顯 示 部 分
914：操 作 按 鈕
915：外 部 介 面
920：電 子 書 閱 讀 器
921：外 殼
923：外 殼
925：顯 示 部 分
927：顯 示 部 分
931：電 源 開 關
933：操 作 鍵
935：揚 聲 器
937：鉸 鏈
940：外 殼
941：外 殼
942：顯 示 面 板
943：揚 聲 器
944：麥 克 風

945：操作鍵

946：指向裝置

947：相機鏡頭

948：外部連接端子

949：太陽能電池

950：外部記憶體插槽

961：主體

● 963：目鏡組

964：操作開關

965：顯示部分

966：電池組

967：顯示部分

970：電視裝置

971：外殼

973：顯示部分

● 975：底座

980：遙控器

申請專利範圍

1. 一種包含一電路的半導體裝置，該電路包含：
 - 一第一電晶體，其包含一第一半導體層及一第一閘極電極；
 - 一在該第一半導體層上的絕緣層；及
 - 一第二電晶體，其包含：
 - 一背閘極電極；
 - 一在該背閘極電極及該絕緣層上的第二半導體層；及
 - 一在該第二半導體層上的第二閘極電極，其中該電路是一反向元件，
 - 其中該第一閘極電極被電連接至該第二閘極電極，
 - 其中該第一電晶體的源極和汲極的一者被電連接至該第二電晶體的源極和汲極的一者，
 - 其中該背閘極電極被建構來控制該第二電晶體的低界電壓，
 - 其中該第二半導體層包括氧化物半導體層，
 - 其中該第一半導體層包括一矽層，
 - 其中該背閘極電極在該第二電晶體的一通道寬度方向上延伸超出該第二半導體層的側緣，及
 - 其中該第二閘極電極在該第二電晶體的該通道寬度方向上延伸超出該第二半導體層的側緣。
2. 如申請專利範圍第 1 項的半導體裝置，
 - 其中該第一電晶體被一 SOI 基材支撐。

3. 如申請專利範圍第 1 項的半導體裝置，
其中該第一電晶體被一矽基材支撐。
4. 如申請專利範圍第 1 項的半導體裝置，
其中該絕緣層具有一平坦的上表面。
5. 如申請專利範圍第 1 項的半導體裝置，
其中該第一閘極電極的頂面沒有被該絕緣層覆蓋。
6. 如申請專利範圍第 1 項的半導體裝置，
其中一介於該背閘極電極與該第二半導體層的一通道
形成區之間的距離等於該第一半導體層的厚度。
7. 一種包含一電路的半導體裝置，該電路包含：
一第一電晶體，其包含一第一半導體層及一第一閘極
電極；
一在該第一半導體層上的絕緣層；及
一第二電晶體，其包含：
一背閘極電極；
一在該背閘極電極和該絕緣層上的第二半導體
層；及
一在該第二半導體層上的第二閘極電極，
其中該電路是一反向元件，
其中該第一閘極電極被電連接至該第二閘極電極，
其中該第一電晶體的源極和汲極的一者被電連接至該
第二電晶體的源極和汲極的一者，
其中該背閘極電極被建構來控制該第二電晶體的低界
電壓，

其中該絕緣層被插置在該第二半導體層和該背閘極電極之間，

其中該第二半導體層包括氧化物半導體層，

其中該背閘極電極是由與該第一閘極電極同一層形成，

其中該第一半導體層包括一矽層，

其中該背閘極電極在該第二電晶體的一通道寬度方向上延伸超出該第二半導體層的側緣，及

其中該第二閘極電極在該第二電晶體的該通道寬度方向上延伸超出該第二半導體層的側緣。

8. 如申請專利範圍第 7 項的半導體裝置，

其中該第一電晶體被一 SOI 基材支撐。

9. 如申請專利範圍第 7 項的半導體裝置，

其中該第一電晶體被一矽基材支撐。

10. 如申請專利範圍第 7 項的半導體裝置，

其中該絕緣層具有一平坦的上表面。

11. 如申請專利範圍第 7 項的半導體裝置，

其中該第一閘極電極的頂面沒有被該絕緣層覆蓋。

12. 如申請專利範圍第 7 項的半導體裝置，

其中一介於該背閘極電極與該第二半導體層的一通道形成區之間的距離等於該第一半導體層的厚度。

13. 一種包含一電路的半導體裝置，該電路包含：

一第一電晶體，其包含一第一半導體層、一第一閘極電極及一第一背閘極電極；

一在該第一電晶體的至少一部分上的絕緣層；及

一第二電晶體，其包含一第二背閘極電極、一在該第二背閘極電極上的第二半導體層及一在該第二半導體層上的第二閘極電極，

其中該第二背閘極電極被建構來控制該第二電晶體的低界電壓，

其中該絕緣層被插置在該第二半導體層和該第二背閘極電極之間，

其中該第二半導體層包括氧化物半導體層，

其中該第二背閘極電極是由與該第一閘極電極同一層形成，及

其中該第一半導體層包括一矽層。

14. 如申請專利範圍第 13 項的半導體裝置，
其中該第一電晶體被一 SOI 基材支撐。

15. 如申請專利範圍第 13 項的半導體裝置，
其中該第一電晶體被一矽基材支撐。

16. 如申請專利範圍第 13 項的半導體裝置，
其中該絕緣層具有一平坦的上表面。

17. 如申請專利範圍第 13 項的半導體裝置，
其中該第一閘極電極的頂面沒有被該絕緣層覆蓋。

18. 如申請專利範圍第 13 項的半導體裝置，
其中一介於該第二背閘極電極與該第二半導體層的一通道形成區之間的距離等於該第一半導體層的厚度。

19. 如申請專利範圍第 13 項的半導體裝置，

其中該電路是一記憶體元件。

20. 如申請專利範圍第 13 項的半導體裝置，

其中該電路是一反向元件。

21. 如申請專利範圍第 1、7 或 13 項的半導體裝置，

其中該第二電晶體進一步包含：

一在該第二半導體層底下的源極電極；及

一在該第二半導體層底下的汲極電極。

22. 一種包含一電路的半導體裝置，該電路包含：

一第一電晶體，其包含一第一半導體層及一第一閘極電極；

一在該第一半導體層上的絕緣層；及

一第二電晶體，其包含：

一背閘極電極；

一在該背閘極電極及該絕緣層上的第二半導體層；及

一在該第二半導體層上的第二閘極電極，

其中該電路是一記憶體元件，

其中該第一閘極電極被電連接至該第二電晶體的源及和汲極的一者，

其中該背閘極電極被建構來控制該第二電晶體的低界電壓，

其中該第二半導體層包括氧化物半導體層，

其中該第一半導體層包括一矽層，

其中該背閘極電極在該第二電晶體的一通道寬度方向

上延伸超出該第二半導體層的側緣，及

其中該第二閘極電極在該第二電晶體的該通道寬度方向上延伸超出該第二半導體層的側緣。

23. 如申請專利範圍第 22 項的半導體裝置，

其中該第一電晶體被一 SOI 基材支撐。

24. 如申請專利範圍第 22 項的半導體裝置，

其中該第一電晶體被一矽基材支撐。

25. 如申請專利範圍第 22 項的半導體裝置，

其中該絕緣層具有一平坦的上表面。

26. 如申請專利範圍第 22 項的半導體裝置，

其中該第一閘極電極的頂面沒有被該絕緣層覆蓋。

27. 如申請專利範圍第 22 項的半導體裝置，

其中一介於該背閘極電極與該第二半導體層的一通道形成區之間的距離等於該第一半導體層的厚度。

圖式

圖 1A

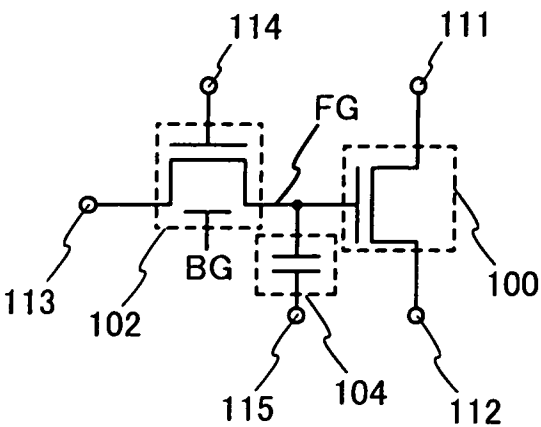


圖 1B

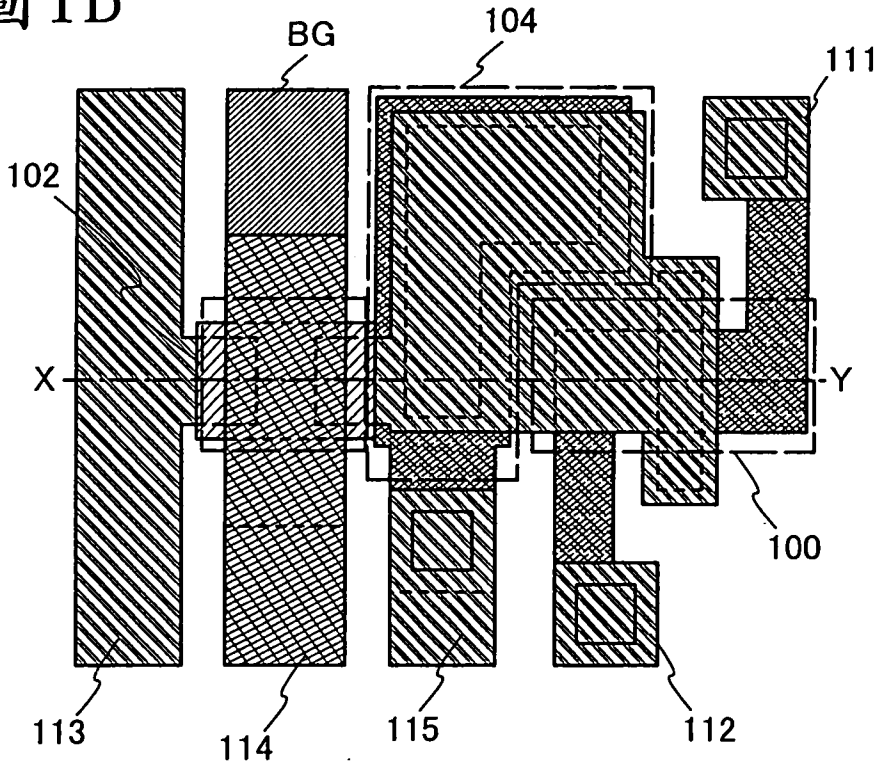


圖 1C

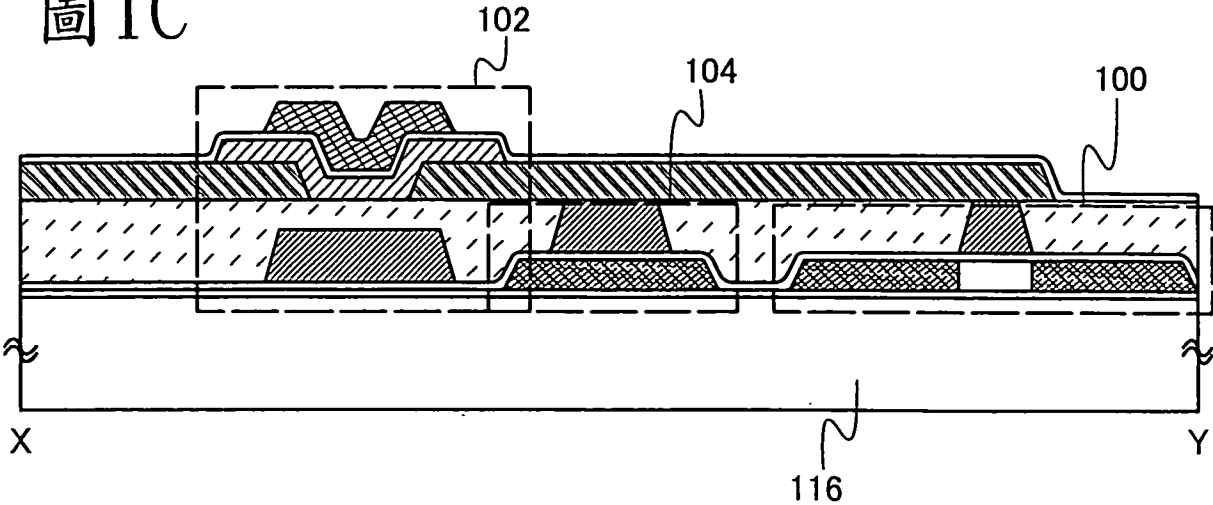


圖2

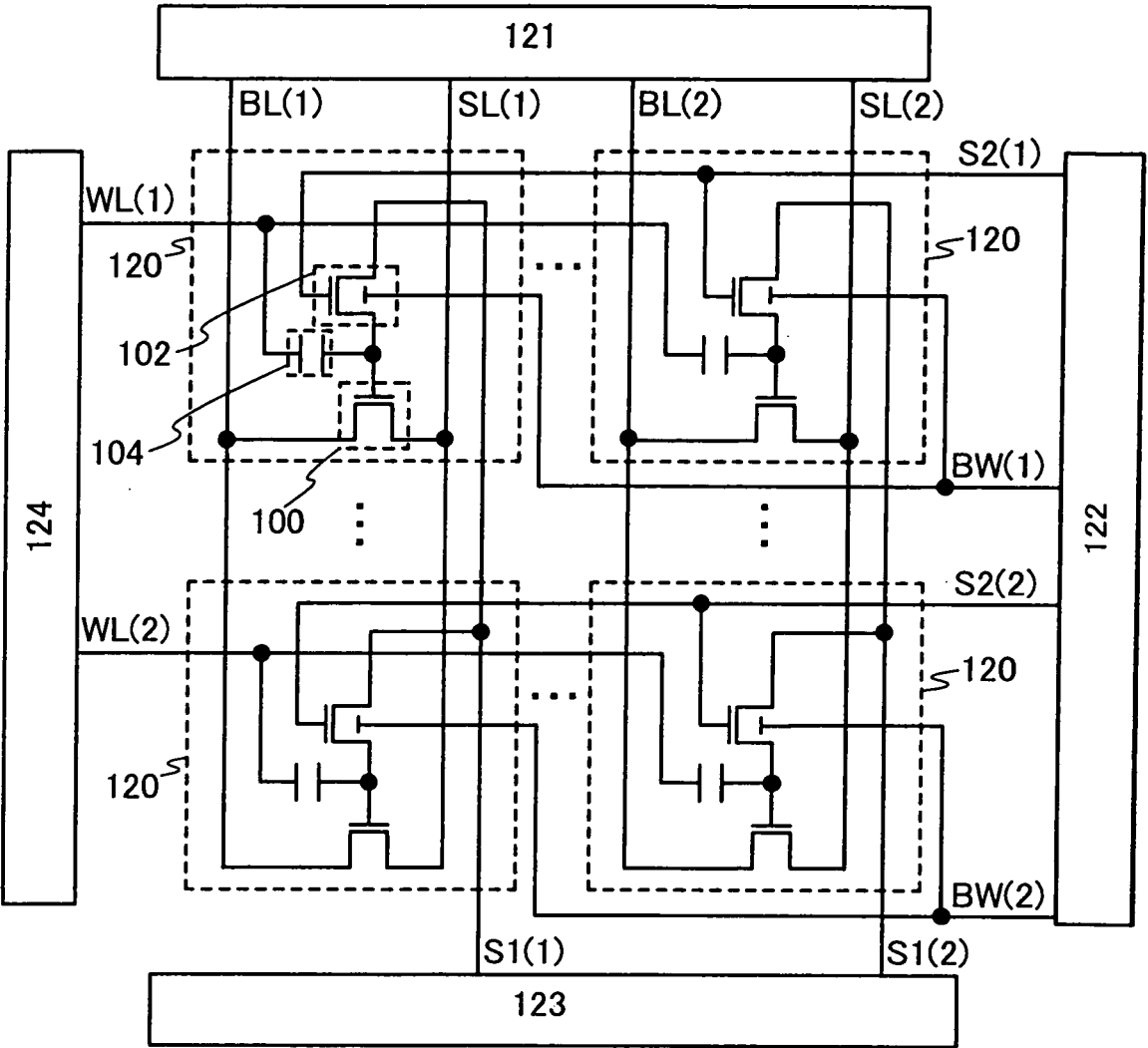


圖 3

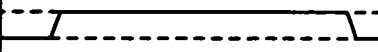
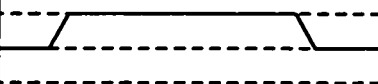
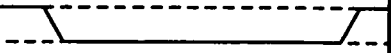
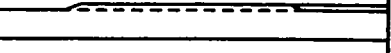
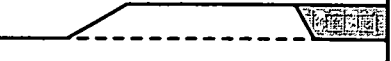
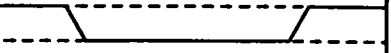
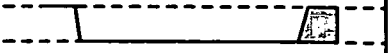
		寫入 元件 (1,1) = "1" 元件 (1,2) = "0"	讀取 元件 (1,1) = "1" 元件 (1,2) = "0"
S1_(1)	V2 0V		
S1_(2)	V1 0V		
S2_(1)	VH 0V VL		
S2_(2)	VH 0V VL		
BL(1)	V1 0V		
BL(2)	V1 0V		
WL(1)	VH 0V VL		
WL(2)	VH 0V VL		
SL(1),SL(2)	V1 0V		
D(1)	V1 0V	高阻抗	
D(2)	V1 0V	高阻抗	
BW(1)	VH 0V VL		
BW(2)	VH 0V VL		

圖 4A

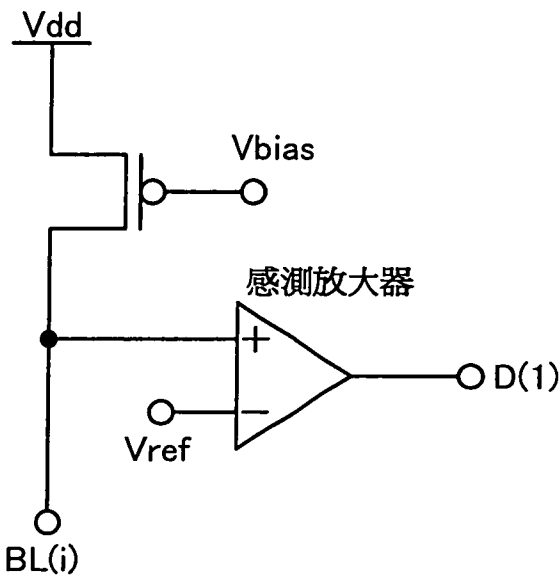


圖 4B

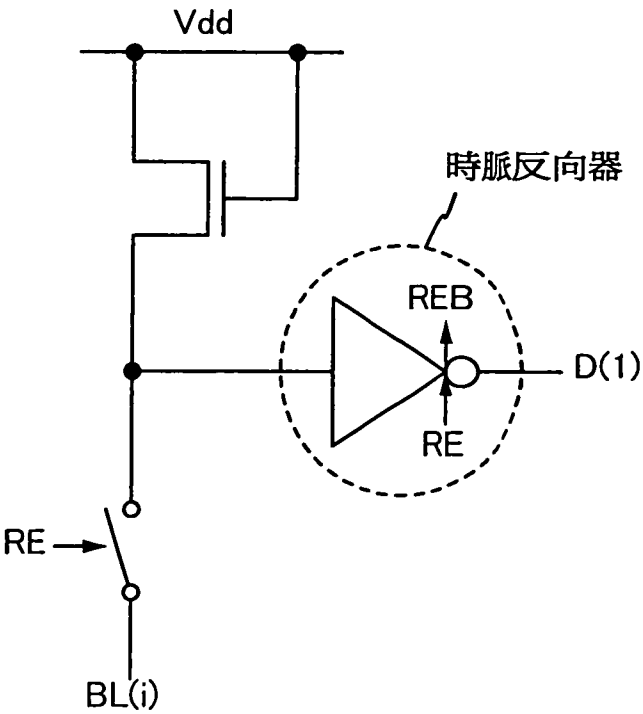


圖 5A

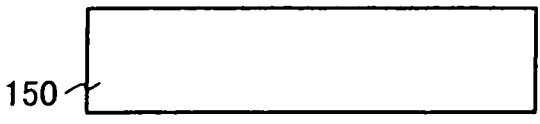


圖 5C

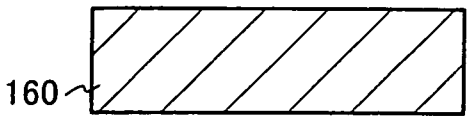


圖 5B

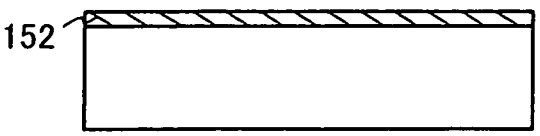


圖 5D

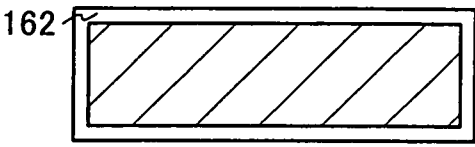


圖 5E

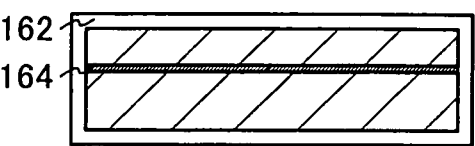


圖 5F

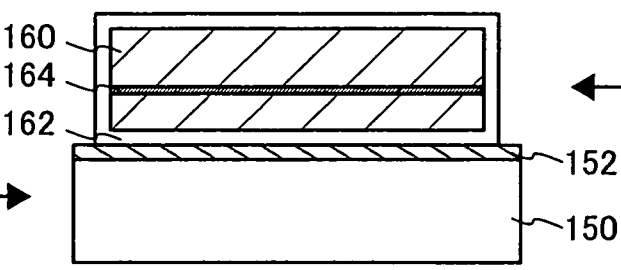


圖 5G

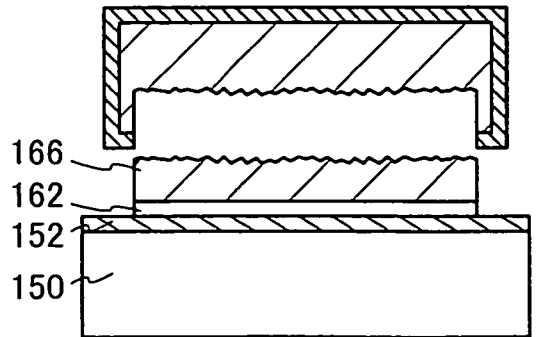


圖 5H

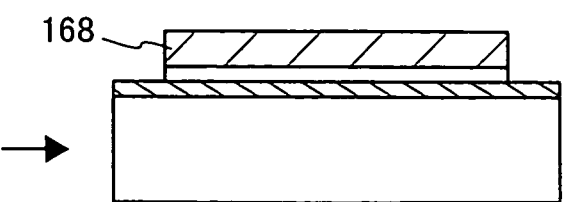


圖 6A

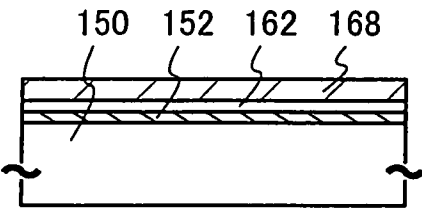


圖 6E

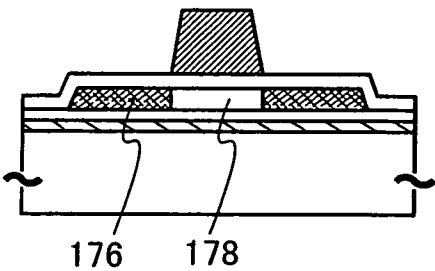


圖 6B

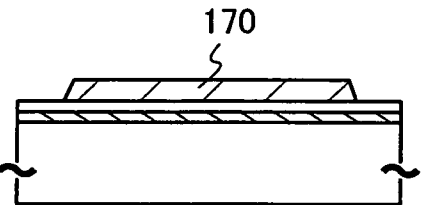


圖 6F

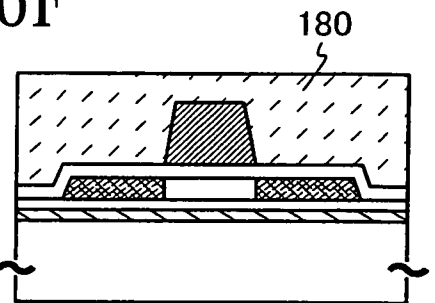


圖 6C

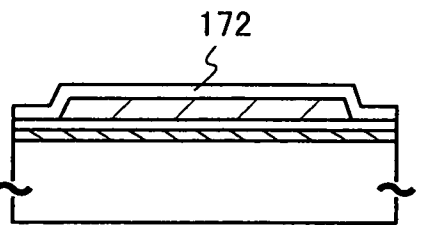


圖 6G

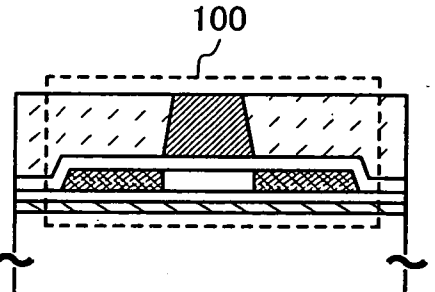


圖 6D

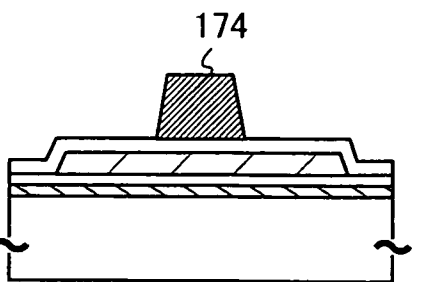


圖 7A

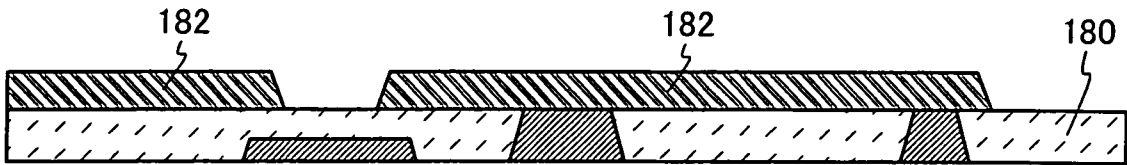


圖 7B

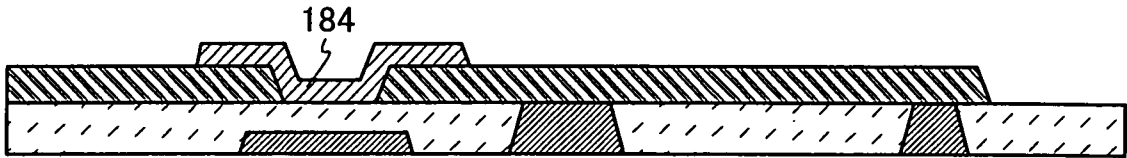


圖 7C

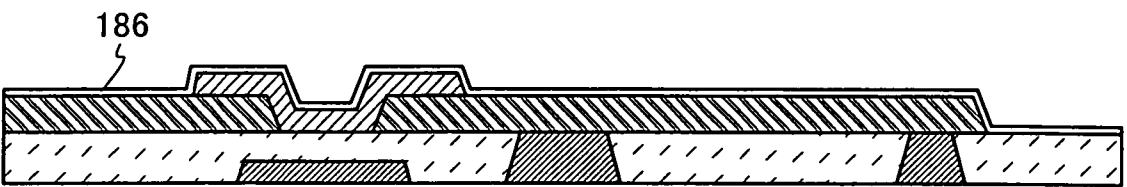


圖 7D

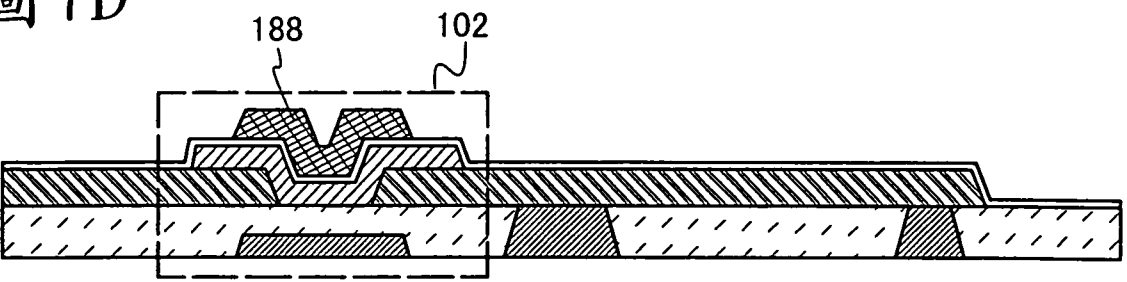


圖 8A

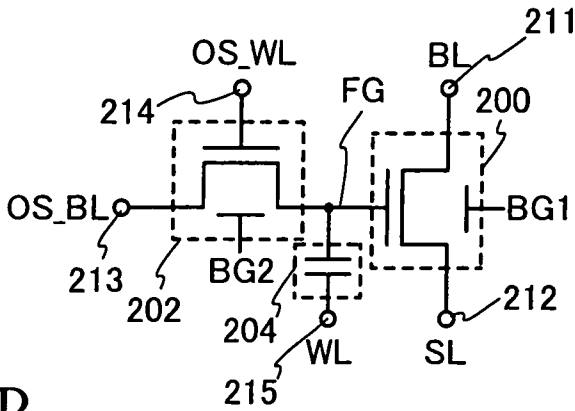


圖 8B

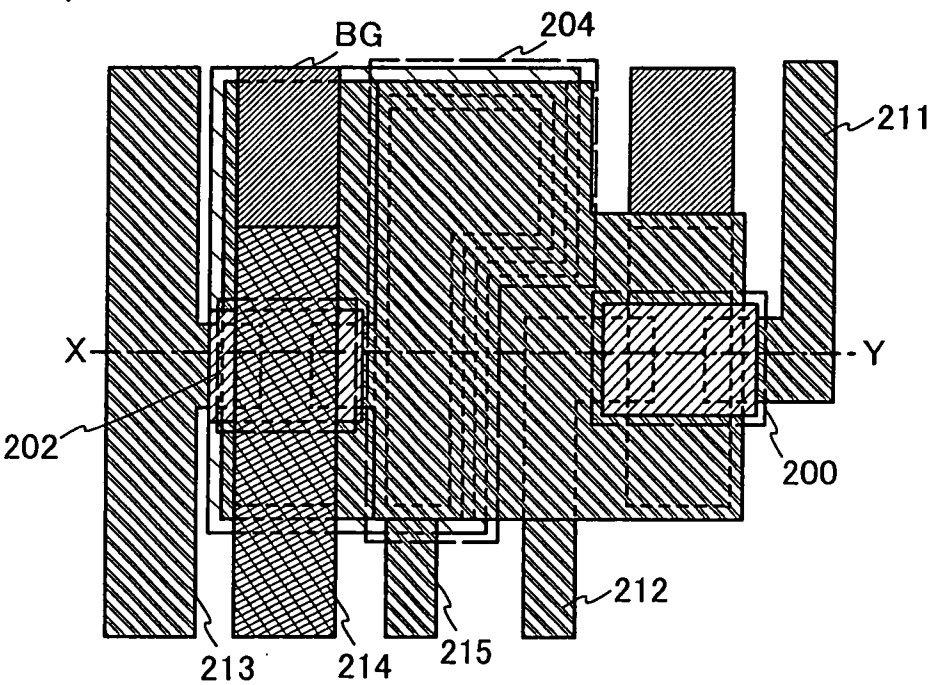
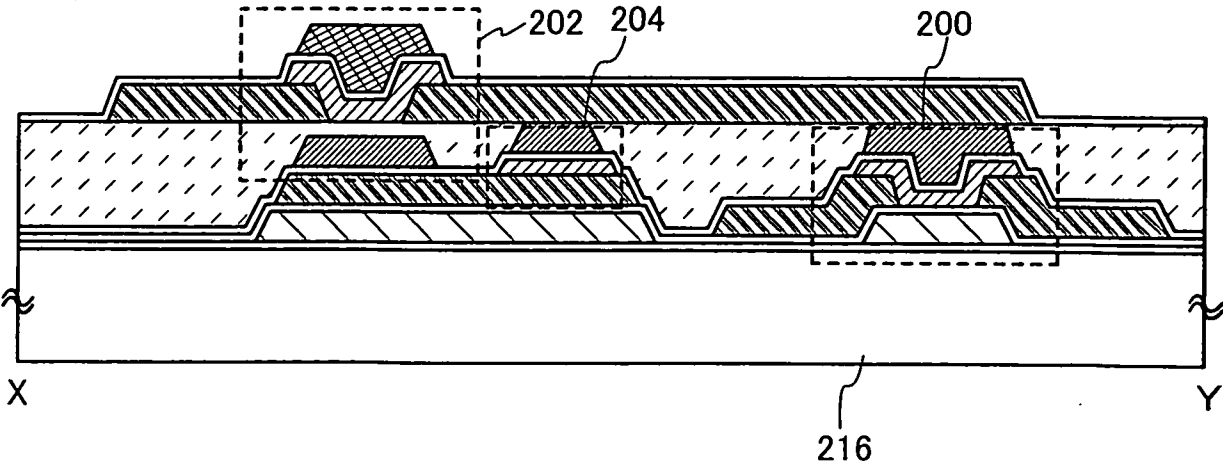


圖 8C



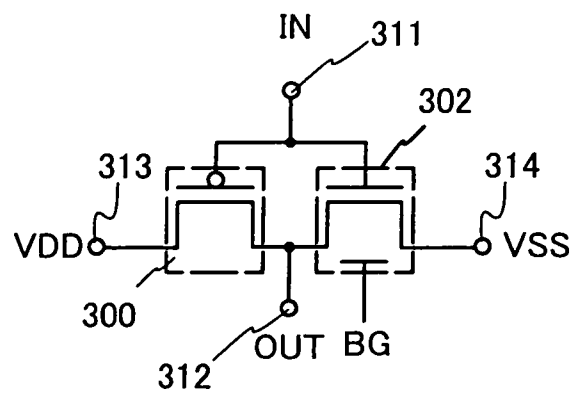


圖 9B

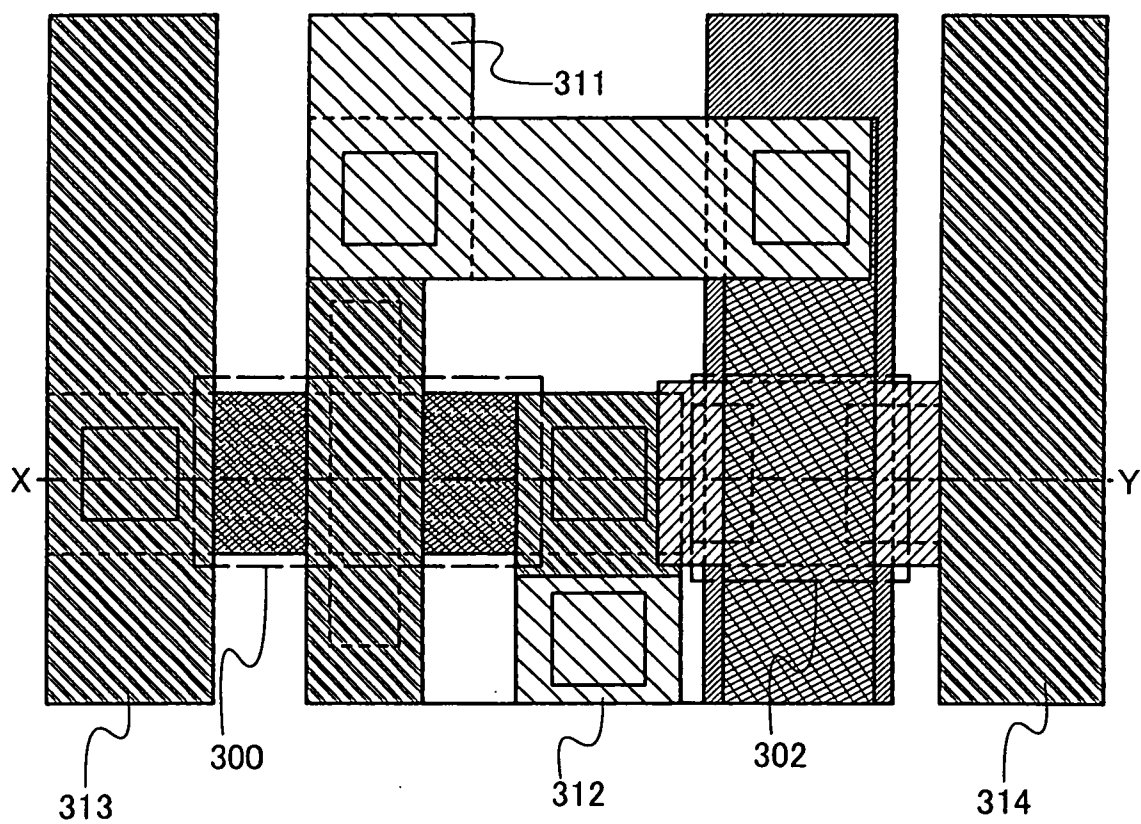


圖 9C

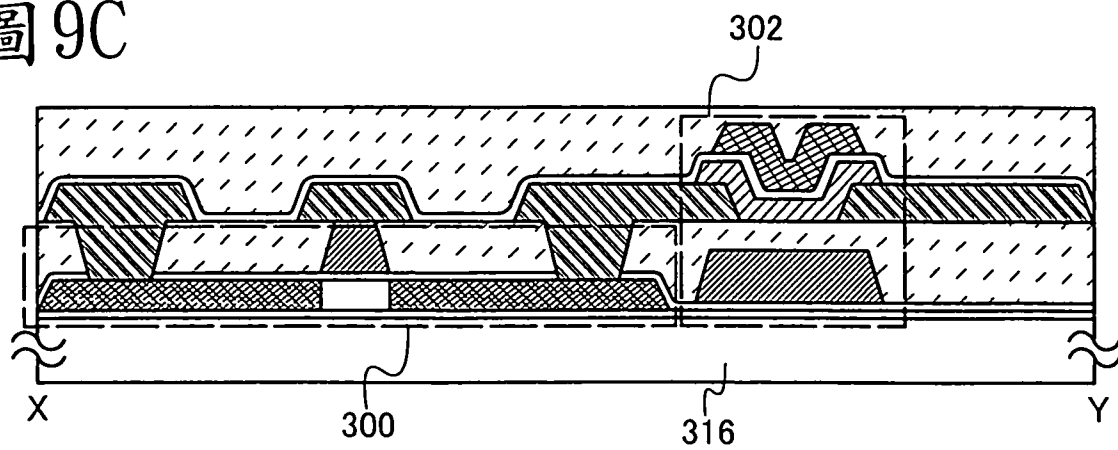


圖 10A

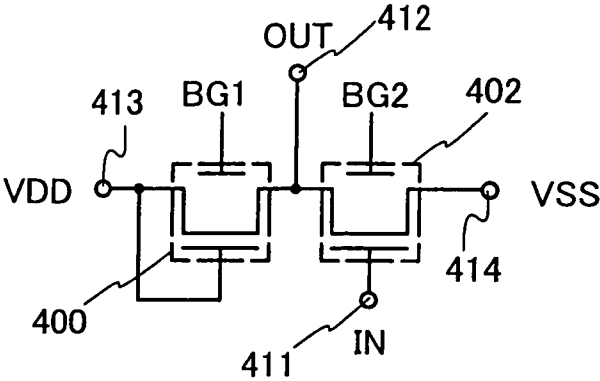


圖 10B

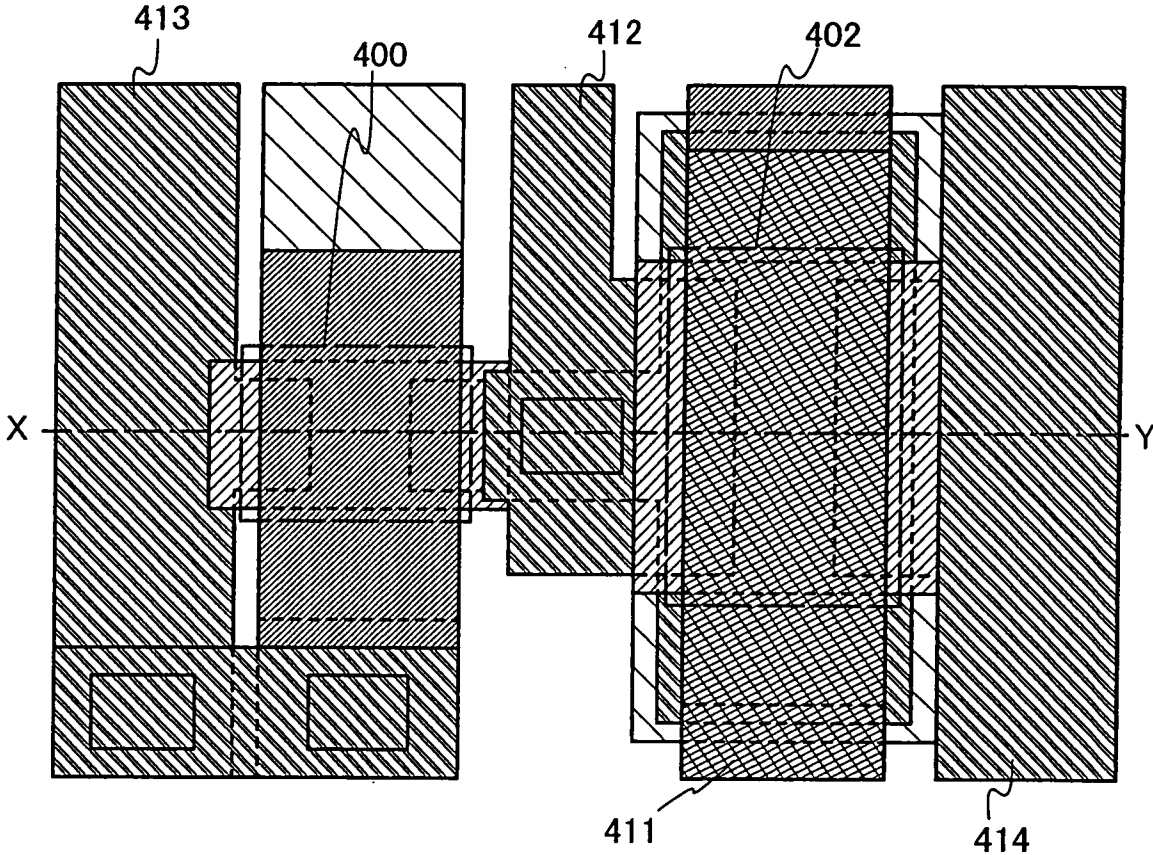
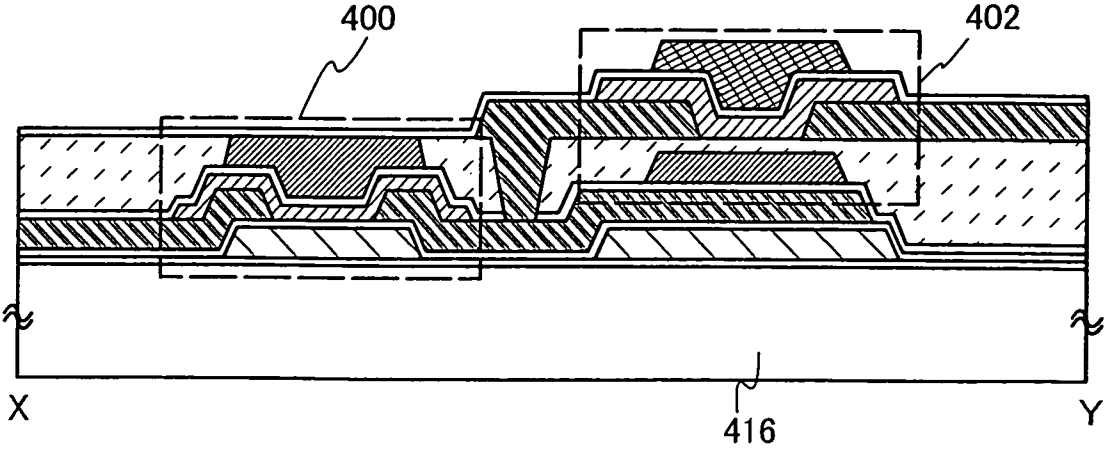


圖 10C



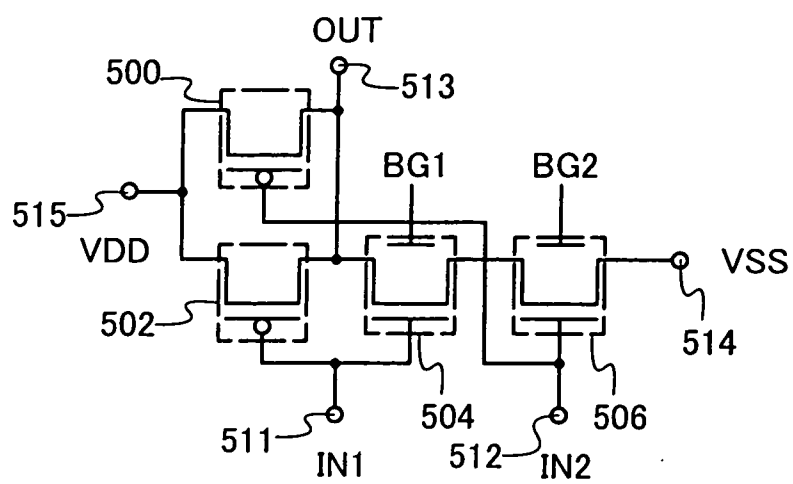


圖 11B

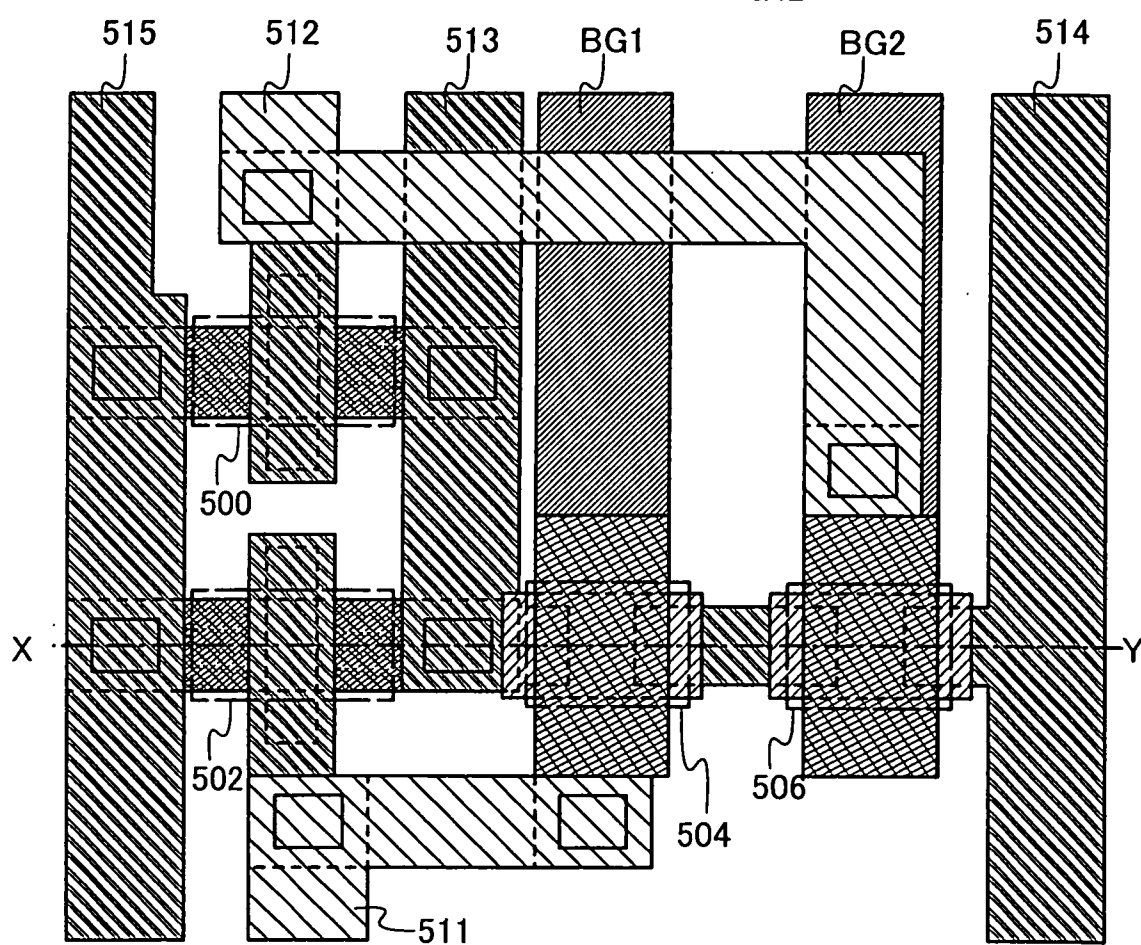


圖 11C

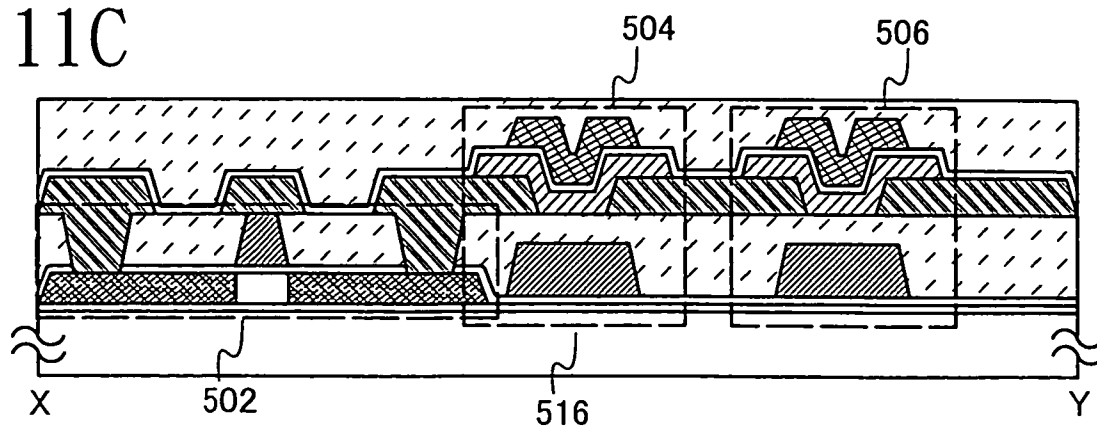


圖12A

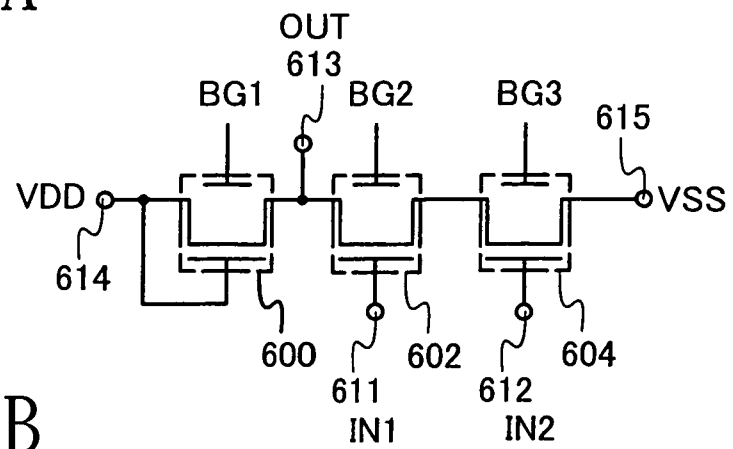


圖12B

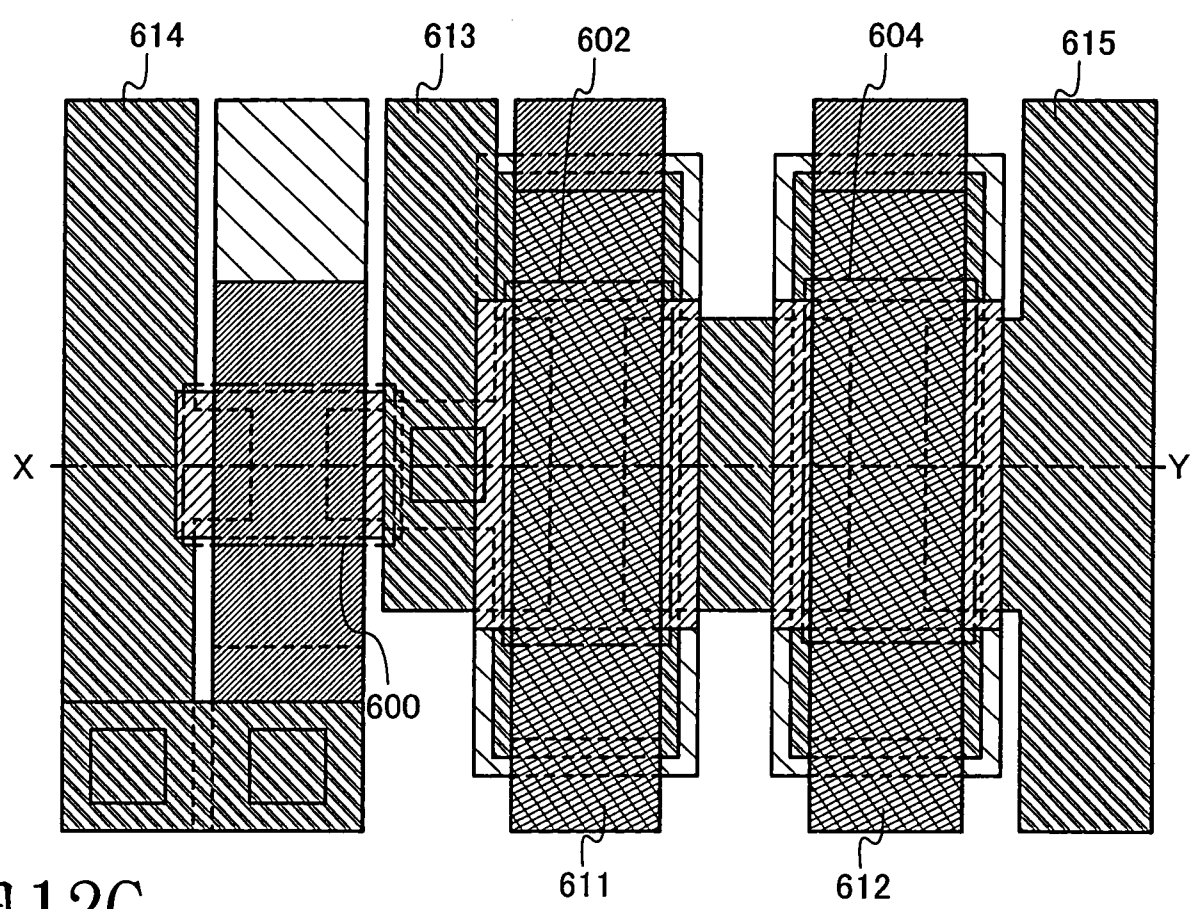


圖12C

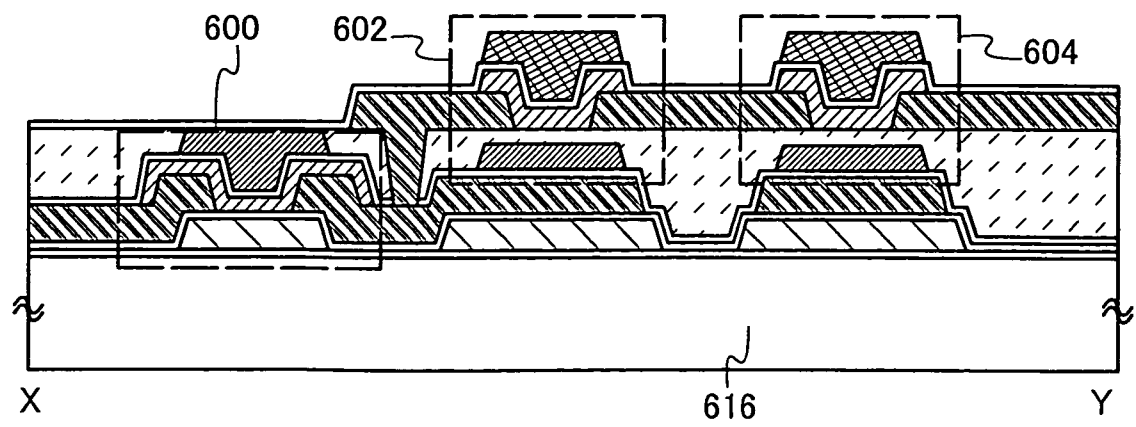


圖 13A

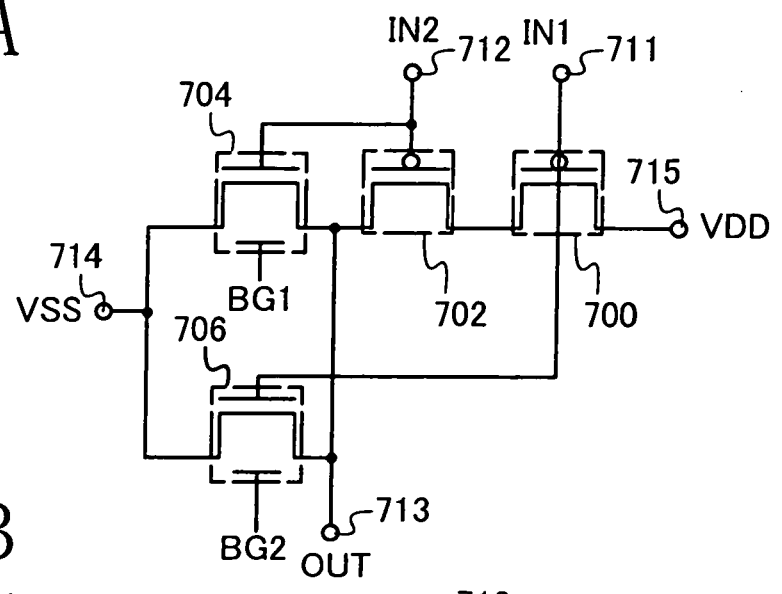


圖 13B

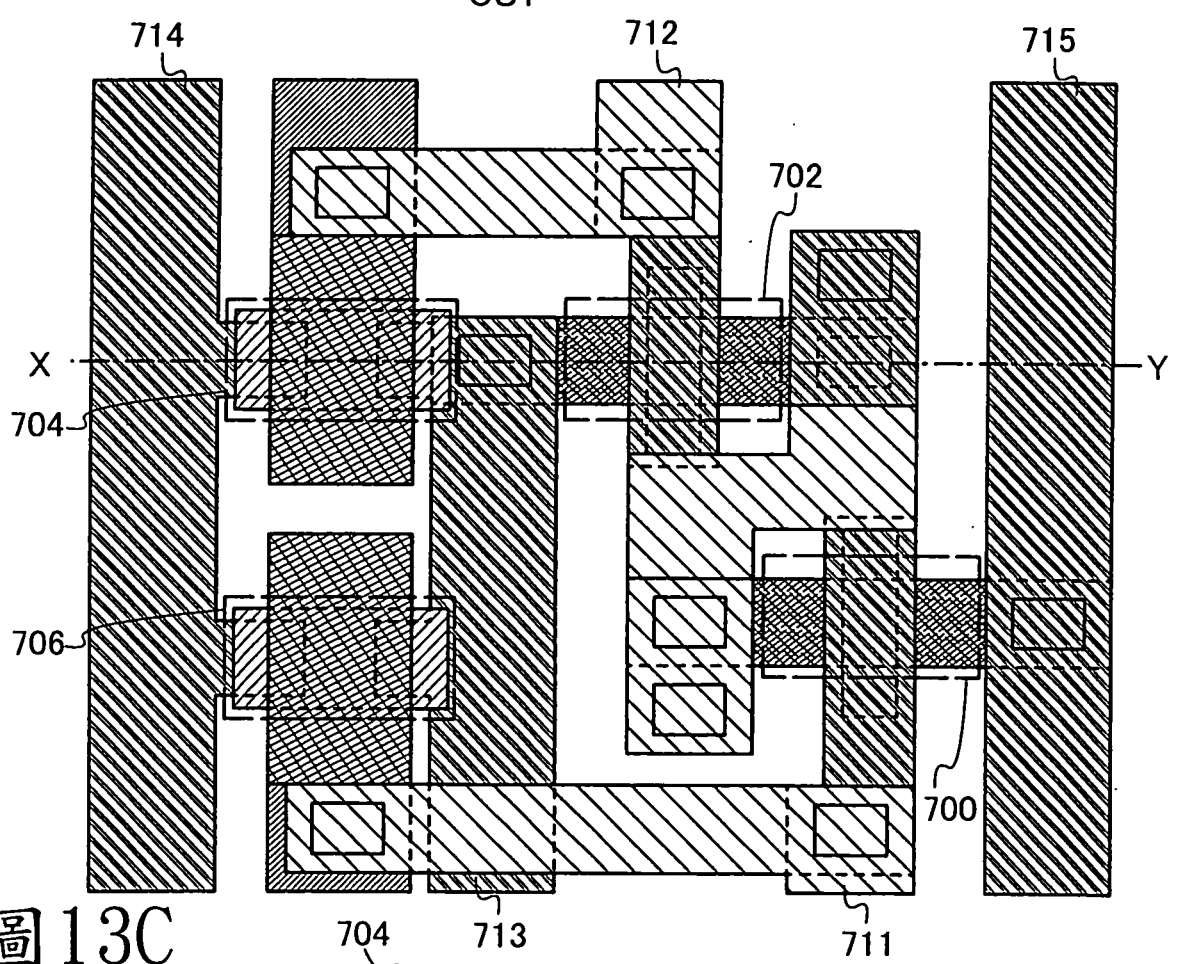


圖 13C

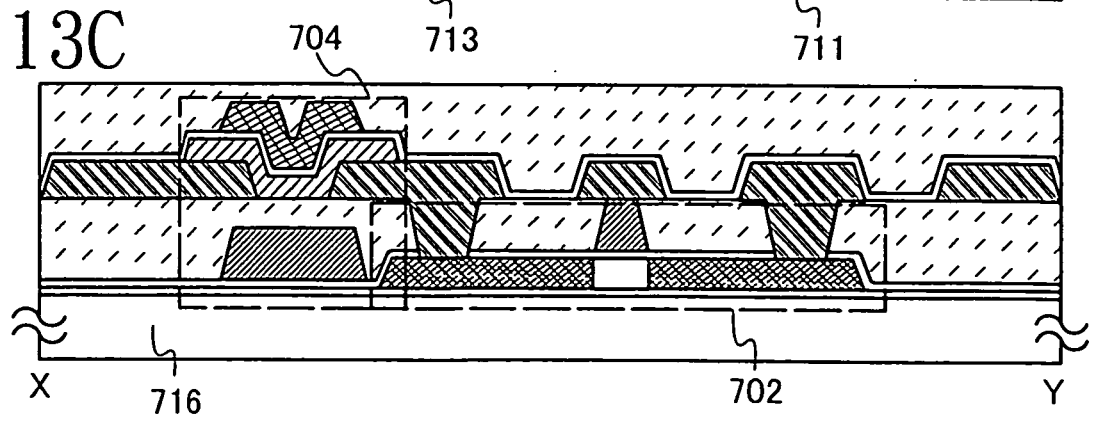


圖 14A

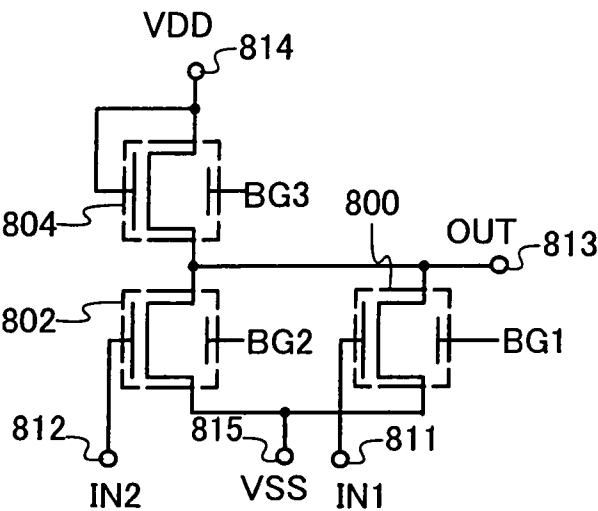


圖 14B

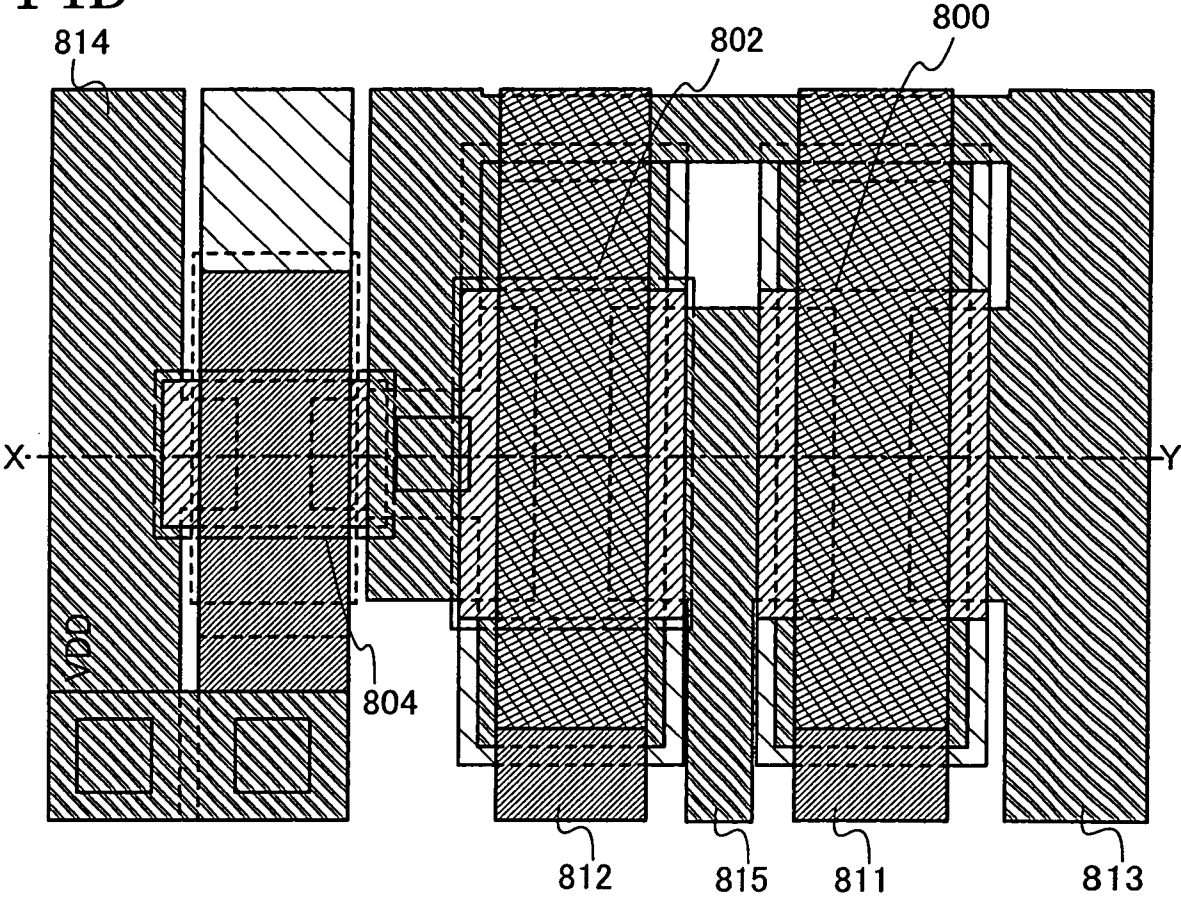


圖 14C

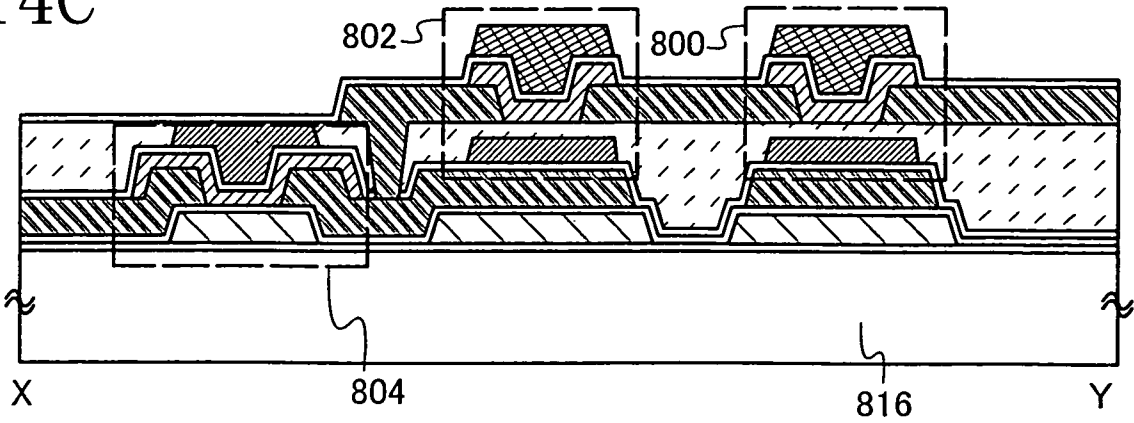


圖 15A

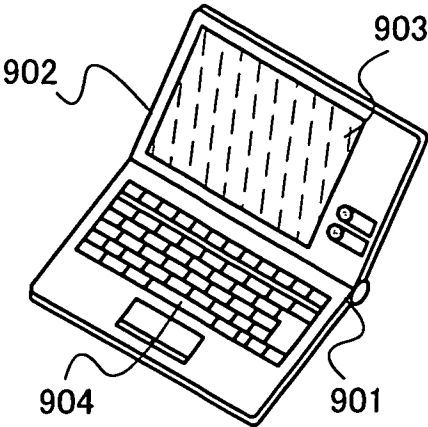


圖 15D

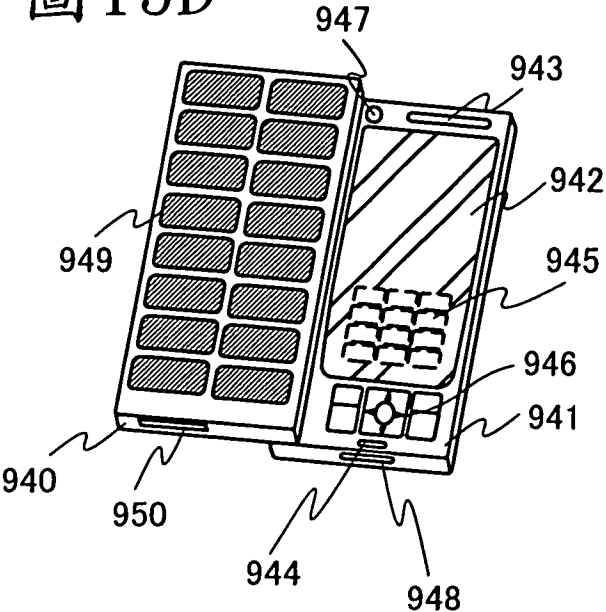


圖 15B

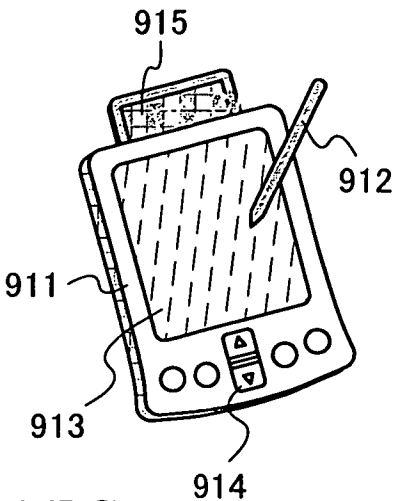


圖 15E

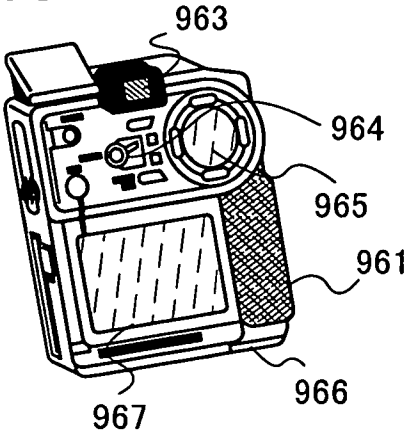


圖 15C

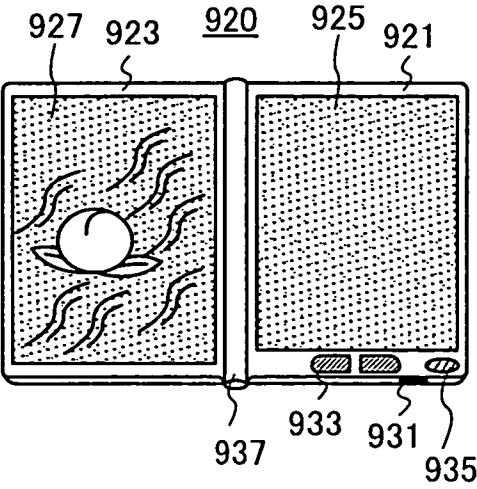


圖 15F

