(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 16/06

(45) 공고일자 2001년01월15일
(11) 등록번호 10-0276536
(24) 등록일자 2000년09월29일

(21) 출원번호	10-1997-0705525	(65) 공개번호	특1998-0702130
(22) 출원일자	1997년08월11일	(43) 공개일자	1998년07월15일
번역문제출일자	1997년08월11일		
(86) 국제출원번호	PCT/US 96/01786	(87) 국제공개번호	WO 96/24936
(86) 국제출원일자	1996년02월07일	(87) 국제공개일자	1996년08월15일
(81) 지정국	EP 유럽특허 : 오스트리아 벨기에 스위스 독일 덴마크 스페인 프랑스 영국 그리스 이탈리아 룩셈부르크 모나코 네덜란드 포르투칼 국내특허 : 아일랜드 일본		
(30) 우선권주장	8/387,017 1995년02월10일 미국(US)		

(73) 특허권자 마이크론 테크놀로지, 인크. 로데릭 더블류 루이스
미국 83716-9632 아이다호주 보이스 피.오. 박스 6 사우쓰 페드럴 웨이 8000
(72) 발명자 브리너, 마이클, 에스.
미국 95124 캘리포니아주 산 호세 라 메사 레인 4051
(74) 대리인 장수길, 주성민

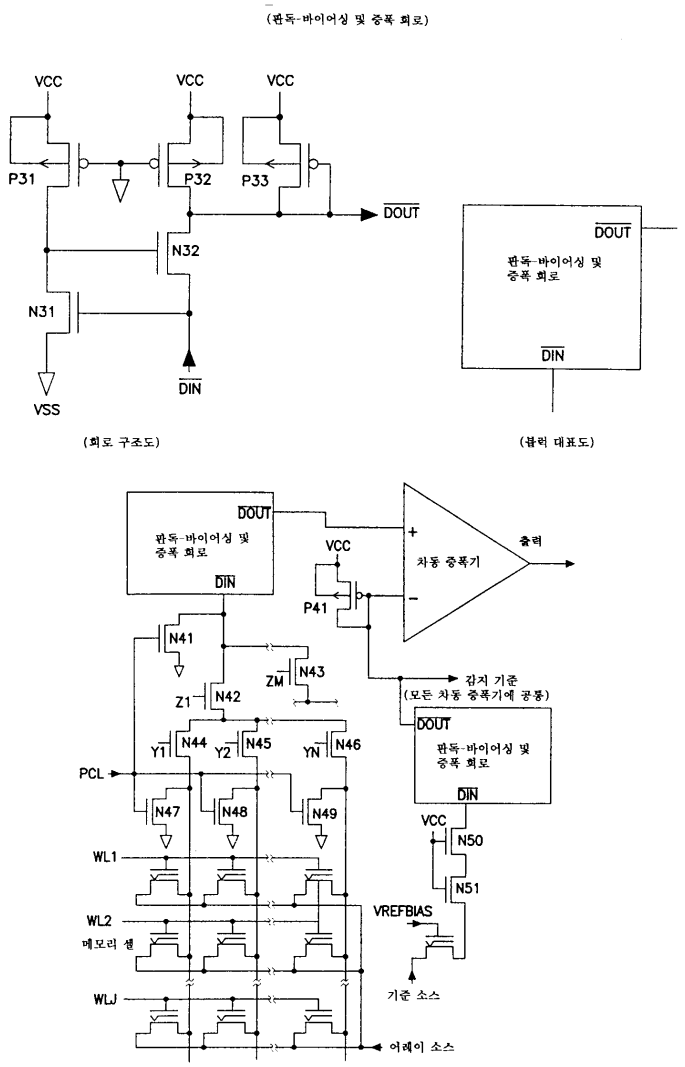
심사관 : 이철희

(54) 판독바이어싱회로,고속감지회로및감지방법

요약

다수의 부동 게이트 메모리 장치로 구성되며 이 장치에 선택적으로 결합된 컬럼 라인을 갖는 플래시 메모리의 고속 감지 증폭기에 대해 개시되어 있다. 컬럼 라인이 급속히 접지로 방전된 후 판독-바이어싱 회로 및 증폭 회로는 컬럼 라인을 특정 메모리 장치의 판독 바이어스 전위로 급속히 증가시킨다. 이 전위는 고속 감지 증폭기 내의 차동 증폭기에 의해 감지 기준 전위와 비교된다. 특정 메모리 장치의 2진 상태가 고속 감지 증폭기의 출력으로서 제공된다.

대표도



명세서

기술분야

본 발명은 일반적으로 전기적으로 프로그램가능하며 전기적으로 소거가능한 판독 전용 메모리 분야에 관한 것으로, 특히 플래시 메모리 장치용 고속 감지 증폭기에 관한 것이다.

배경기술

최근에는, 거의 모든 사회 분야에서 개인용 컴퓨터의 사용이 크게 증가되었다. 개인용 컴퓨터는 통상 마이크로프로세서 칩, 랜덤 액세스 메모리 및 비휘발성 메모리를 포함한다. 비휘발성 메모리는 칩에 전원이 더이상 공급되지 않을 때에도 저장된 정보를 보유하고 있는 메모리이다. 비휘발성 메모리의 한 종류로는 전기적으로 소거 및 프로그램될 수 있는 플래시 메모리가 있다.

부동 게이트 메모리 장치를 사용하는 비휘발성 상보형 금속 산화물 반도체(CMOS) 판독 전용 플래시 메모리에 있어서, 다수의 장치로 구성되는 메모리 어레이는 메모리 회로를 포함하도록 개별 메모리 장치의 드레인을 접속하는 컬럼 라인 및 어레이 내의 장치의 게이트를 접속하는 워드 라인을 통해 공통 감지 회로에 통상 결합된다. 통상, 충전된 컬럼 라인은 그것에 결합된 메모리 장치가 비도전성인 경우 충전 상태를 유지한다. 도전성 메모리 장치에 결합되는 경우, 컬럼 라인은 방전된다. 감지 회로 또는 증폭기는 컬럼 라인이 충전되었는지의 여부에 기초하여 메모리 장치의 2진 상태(도전성인지 비도전성인지)를 판정한다.

부동 게이트 메모리 장치는 통상적으로 판독 또는 감지 동작 중에 워드 라인에 인가된 전압보다 상당히 작은 전위로 컬럼 라인의 최대 전위를 한정할 필요가 있다. 이것은 판독 동작 중에 장치의 부동 게이트

에 저장된 데이타를 방해하는 것을 최소화한다. 통상 비휘발성 플래시 메모리 장치에서, 하이 2진 상태와 로우 2진 상태 사이에서 컬럼 라인의 전압 스윙은 매우 작다. 메모리 어레이의 컬럼 라인 상의 용량성 부하에 대한 전압 스윙의 이러한 감소는 장치의 2진 상태를 판정하는데 필요한 액세스 시간을 감소시키지만, 로우 2진 상태와 하이 2진 상태 사이의 스윙을 좀더 분리시키기 위한 증폭기 회로의 필요성을 발생시킨다. 증폭기 회로는 또한 판독 동작 중에 컬럼 라인의 최대 전압을 한정한다. 증폭기 회로 자체를 사용하면 액세스 시간을 증가시키는 증폭 단계를 추가하더라도, 증폭기가 없지만 대용량의 메모리 컬럼 라인에서 진동되는 큰 전압을 갖는 메모리 회로에 비해 액세스 시간을 감소시키기 위한 네트 효과가 여전히 작용한다. 이것은 하이 2진 상태와 로우 2진 상태 사이에서의 전압 스윙을 최소화시키면 액세스 시간을 증가시키는 증폭 단계를 포함하는 것보다 판독 액세스 시간을 통상적으로 감소시키기 때문이다.

도 1A는 CMOS 고속 감지를 위한 종래 기술의 시스템 레벨이다. 감지 회로 또는 증폭기는 차동 증폭기에 결합된 2개의 판독-바이어싱 및 증폭 회로로 구성된다. 일반적으로, 메모리 어레이 내의 소정의 메모리 장치의 컬럼 라인이 선택된 후, 차동 증폭기는 선택된 장치의 전하 또는 전압과 감지 기준 전하 또는 전압을 비교한다. 차동 증폭기는 선택된 메모리 장치의 전압과 감지 기준 전압 사이의 전압 차를 증폭한다. 이러한 전압 차는 장치의 2진 상태에 대응한다.

통상적 판독 또는 감지 동작시, 메모리 어레이의 컬럼 라인은 도전성 메모리 장치에 결합될 때 실질적으로 방전된다. 또 다른 판독 사이클이 발생되기 전에 라인은 재충전되어야 한다. 재충전 주기는 라인과 일반적으로 관련된 상당한 기생 용량으로 인해 메모리 회로 내에서 액세스 시간을 지연시킨다. 대용량의 보다 긴 라인은 보다 큰 메모리 회로에 있어서 이러한 문제점을 더욱 악화시킨다. 종래 기술의 단점은 기준 컬럼 용량이 재충전될 필요가 있는 용량을 두배로 한다는 것이다. 몇몇 예에서, 이것은 선택된 메모리 장치의 컬럼 라인을 단지 재충전할 필요가 있는 시간 이상으로 액세스 시간을 지연시킨다.

도 1B는 도 1A에서 판독-바이어싱 및 증폭 회로를 실현하기 위한 종래 기술의 상세도를 도시한다. 트랜지스터 P1, P2, P3, N1, N2 및 N3는 감지 중에 선택된 컬럼 라인을 안정 전압으로 유지하기 위해 피드백 바이어싱을 갖는 통상 증폭기를 구성한다. 판독 동작 이전에, 하이의 클럭 펄스 CP는 선택된 컬럼 라인을 접지로 방전시킨다. 그 동안, 트랜지스터 N2는 선택된 메모리 장치의 컬럼 라인을 바이어싱 회로로부터 분리시킨다. CP가 로우가 되면, 메모리 장치는 바이어싱 회로에 재접속하며 트랜지스터 N2는 컬럼 라인을 감지 기준 레벨 근처로 급속히 충전시킨다. 그 후, 피드백 경로는 N2를 턴오프시키며 전류 부하 트랜지스터 P3가 최종 충전 전류를 제공한다.

종래 기술의 또 다른 단점은 판독-바이어싱 및 증폭 회로의 복잡성에 있다. 증폭 회로 내의 다수의 트랜지스터는 트랜지스터 N1, N2, N3, P1, P2 및 P3를 포함하며, 트랜지스터 자체의 기생 용량으로 인해 메모리 판독 액세스 시간을 증가시켜 지연을 발생시킨다. 또 다른 단점은 트랜지스터 N12를 통해 판독 동작이 판독 액세스 시간을 더욱 지연시키기 전에 바이어싱 회로로부터 메모리 어레이를 분리한다는 점이다. 더우기, N12는 부가적 용량을 갖는 회로를 로드하여 액세스 시간을 증가시킨다.

디. 시오카(D. Cioca) 등에 의해 1987년 10월에 출간된 IEEE에 의한 고체 상태 회로 SC-22의 5호의 'A Million-Cycle 256K EEPROM'에는 비트 라인을 기준 전위로 충전하기 위한 충전 트랜지스터, 부하 트랜지스터 및 피드백 회로를 포함하는 부동 게이트 메모리 장치의 저장 상태를 감지하기 위한 회로가 개시되어 있다. 피드백 회로는 충전 트랜지스터가 비트 라인을 충전시킬 때 비트 라인의 전압이 기준 전위 이상이 되는 것을 방지하기 위해 제공된다.

<발명의 요약>

본 발명은 독립 청구항 1, 7, 11 및 13항에 나타나 있다. 본 발명은 장치에 선택적으로 결합된 칼럼 라인을 갖는 부동 게이트 메모리 어레이 내의 부동 게이트 메모리 장치의 2진 상태를 감지하는 고속의 효율적인 MOS 감지 증폭기를 제공한다. 감지 이전에, 컬럼 라인은 금속히 접지로 방전된다. 감지 동작 중에, 판독-바이어싱 및 증폭 회로는 컬럼 라인을 선택된 메모리 장치의 감지 전위로 급속히 끌어올린다. 차동 증폭기는 감지된 전위와 감지 기준 전위를 비교하여, 선택된 메모리 장치의 2진 상태를 출력으로서 제공한다.

상술된 본 발명의 요약은 본 발명의 각 실시예 또는 모든 특징을 제시하려는 의미는 아니다. 본 발명의 요약은 첨부된 도면 및 다음의 관련 설명을 위한 것이다.

도면의 간단한 설명

도 1A는 플래시 메모리용의 종래 기술의 감지 수단의 시스템 레벨의 전기적 개략도이다.

도 1B는 도 1A의 종래 기술의 감지 수단을 보다 상세히 도시한 전기적 개략도이다.

도 2는 본 발명과 호환가능한 차동 증폭기 회로를 도시한 전기적 개략도이다.

도 3은 본 발명과 호환가능한 판독-바이어싱 및 증폭 회로를 도시한 전기적 개략도이다.

도 4는 본 발명과 호환가능한 고속 감지 회로를 도시한 전기적 개략도이다.

도 5는 본 발명과 호환가능한 p-채널 고속 충전 트랜지스터를 사용하는 대안적 실시예의 판독-바이어싱 및 증폭 회로를 도시한 전기적 개략도이다.

도 6은 도 3 및 도 4에 도시된 고속 감지 회로의 동작을 도시한 파형도이다.

도 7은 본 발명과 호환가능한 n-채널 고속 충전 트랜지스터를 사용하는 대안적 실시예의 판독-바이어싱 및 증폭 회로를 도시한 전기적 개략도이다.

도 8은 본 발명과 결합될 수도 있는 통상적 컴퓨터의 블럭도이다.

실시예

본 발명이 실현된 특정한 실시예들을 도시한 첨부 도면을 참조로, 양호한 실시예들이 아래에 상세히 설명될 것이다. 다른 실시예들이 이용될 수 있고 본 발명의 영역으로부터 벗어나지 않고 구조적인 변경이 가해질 수 있다는 것이 이해될 것이다. 예를 들어, 본 발명은 자외선에 의해 소거 가능한 비휘발성 판독 전용 메모리 및 전기적으로 프로그램 가능한 판독 전용 메모리(EPROM), 또한 전기적으로 소거 가능하고 프로그램 가능한 판독 전용 메모리(EEPROM) 칩에 관련하여 응용된다. 게다가, 대상 메모리 셀과 기준 메모리 셀 사이의 차이를 감지하기 위한 차동 증폭 회로들이 다양한 형태의 능동 혹은 수동 회로들을 사용하여 실현될 수 있고, 입력 및 출력 신호들을 제공하는 각각의 회로들이 변경된 형태의 수만큼 구현될 수 있다. 도 4에 도시된 양호한 회로들은 예시적인 배열을 도시하며 본 발명에 따른 고속 감지 수단을 사용하지만, 보편성을 잃지 않고 본 발명의 범위 내에서 다른 회로들이 실현될 수 있다는 것이 인식될 것이다.

도 2는 본 발명에 사용될 수 있는 보편적인 차동 증폭 회로를 도시한다. 차동 증폭기는 제1 입력선, 제2 입력선, 및 출력선을 구비한다. 기준 메모리 셀로부터의 감지 기준 신호는 메모리 어레이 칼럼선들중 하나로부터의 소스 신호와 비교되어, 소스 메모리 셀의 이진 상태가 증폭기의 출력이 된다. p채널 금속 산화물 반도체 전계 효과 트랜지스터들(MOSFETs)(P21 및 P22)은 소정의 전압 V_{CC}에 접속되고, P21 및 P22의 게이트들은 P22의 드레인 및 n채널 MOFET(N22)의 드레인 및 n채널 MOSFET(N24)의 게이트에 접속된다. P21의 드레인은 n채널 MOSFET(N21)의 드레인과 n채널 MOSFET(N25)의 게이트에 접속된다. 제1 입력선은 N21의 게이트에 접속되고, 제2 입력선은 N22의 게이트에 접속된다. N21 및 N22의 소스는 n채널 MOSFET(N23)의 드레인에 접속되고, 그 소스는 소정의 전압 V_{SS}에 접속되며, 그 게이트는 소정의 전압 V_{bias} 및 n채널 MOSFET(N26)의 게이트에 접속된다. N26은 V_{SS}에 접속된 소스를 구비하고, 그 드레인은 N24 및 N25의 소스들에 접속된다. p채널 MOSFET들(P23 및 P24)의 소스와 n웰은 소정의 전압 V_{CC}에 접속되고, P23 및 P24의 게이트들은 P23의 드레인과 N24의 드레인에 접속된다. P24의 드레인은 N25의 드레인과 출력선에 접속된다.

차동 증폭기는 메모리 장치 내에 저장될 수 있는 이진 하이 상태와 이진 로우 상태 사이를 진동하는 상대적으로 낮은 전압을 더 분리한다. 기준 메모리 장치는 V_{bias}가 하이인 중에 차동 증폭기의 부(-) 입력에 소정의 감지 기준 전압을 공급한다. 메모리 어레이 내의 선택된 메모리 장치는 각각 이진 로우 상태인지 이진 하이 상태인지에 따라서 정 입력에 기준 전압보다 약간 낮거나 혹은 약간 높은 전압을 공급한다.

만약 메모리 장치가 이진 로우 상태를 나타낸다면, 차동 증폭기의 정 입력에 공급되는 전압은 부 입력에 공급된 전압보다 약간 작게 될 것이다. 메모리 장치에 의해 공급된 전압과 기준 장치에 의해 공급된 전압 사이의 차는 0보다 약간 작을 것이다. 그러므로 차동 증폭기의 출력은 정 및 부 단자 양단의 전압이 정 전압이 아니기 때문에 로우가 될 것이다.

만약 메모리 장치가 이진 하이 상태를 나타낸다면, 차동 증폭기의 정 입력에 공급되는 전압은 부 입력에 공급된 전압보다 약간 크게 될 것이다. 메모리 장치에 의해 공급된 전압과 기준 장치에 의해 공급된 전압 사이의 차는 0보다 약간 클 것이다. 그러므로 차동 증폭기의 출력은 정 및 부 단자 양단의 전압이 정 전압이기 때문에 하이가 될 것이다.

도 3은 본 발명에 따른 새로운 및 신규한 판독 바이어싱 및 증폭 회로를 도시한다. 판독 바이어싱 및 증폭 회로는 입력선(Din)과 출력선(Dout)을 구비한다. p채널 MOSFET들(P31, P32, 및 P33)은 각각 소정의 전압 V_{CC}에 접속된 소스 및 n웰을 구비한다. P31 및 P32의 게이트들은 서로 접속되어 소정의 전압 V_{SS}에 접속되고, P32 및 P33의 드레인들은 서로 접속되어 P33의 게이트 및 Dout에 접속된다. n채널 MOSFET(N31)의 소스는 소정의 전압 V_{SS}에 접속되고, N31의 드레인은 n채널 MOSFET(N32)의 게이트와 P31의 드레인에 접속된다. N31의 게이트는 Din과 N32의 소스에 접속된다. N32의 드레인은 P32 및 P33의 드레인들과 P33의 게이트 및 Dout에 접속된다.

사용된 판독 바이어싱 및 증폭 회로는 새로운 및 신규한 방법이다. 감지를 위해 비트선을 바이어싱하는 급속 충전 트랜지스터는 p채널 트랜지스터(P33)이다. 이 장치는 비트선의 급속 충전을 위해 포화 동작 영역에서 동작하고 감지 동안에는 '오프'가 된다. 감지 동안에, 선형 동작 영역에 있는 트랜지스터(P32)는 전류를 제공하고 감지된 메모리 셀에 대한 부하로서 동작한다. 판독 동작 동안에 비트선 전압의 제한이 부동 게이트 메모리에 의해 요구되어 판독 방해를 방지한다. 이 회로는 피드백 바이어싱 회로가 종래 기술에서와 같이 5개 이상보다는 단지 3개의 트랜지스터들만으로 구성되었기 때문에 종래 기술보다 향상되어 고속화된다. 오버슈트가 감지시에 부가적인 지연을 발생할 수 있기 때문에 고속 피드백 경로를 구비하는 것도 충전 동안에 비트선의 오버슈트 방지에 있어 중요하다. 더우기, 급속 충전 장치는 비트선 노드를 충전할 뿐만 아니라 판독 바이어싱의 충전과 회로 출력 노드 Dout의 증폭도 제공한다. 이는 또한 종래 기술보다 향상된 속도를 가져온다. 또한, 선형으로 동작하는 감지 부하 혹은 저항, 포화 모드가 아닌 동작 영역에서, 차동 증폭기의 차동 전압은 메모리 셀 전류를 더 선형화한다. 차동 전압은 기준 전류와 메모리 셀에 저장된 '1' 및 '0' 상태들 사이의 동일한 양의 전류차에 대해 더 동일한 전압차를 가져온다.

본 발명의 양호한 실시예에서, 새로운 및 신규한 바이어싱 회로는 입력선을 선택된 메모리 장치에 저장된 데이타의 감지 동안에 요구되는 바이어스 전위로 신속히 풀업시키며, 이와 같이 고속 풀업이 이루어지지 않으면 오버슈트가 발생하는 선에서 오버슈트를 방지하도록 동작한다. 입력선 Din은 초기에 접지로 방전된다. 그 후에, 트랜지스터(P32)는 부하를 입력선에 접속된 메모리 장치에 제공하고, 트랜지스터(P33)는 급속 충전 장치로 동작하여 입력선을 선택된 메모리 장치를 판독하는데 사용되는 판독 바이어스 전위로 빠르게 풀업한다. 트랜지스터들(N31, P31, 및 N32)은 입력선이 라인에 접속된 메모리 장치의 판독 바이어스 전위를 오버슈트하는 것을 방지한다.

예를 들면, 만약 입력선 Din에 접속되어 있는 선택된 메모리 장치가 그 게이트 상에서 충전되지 않았다면

(논리 0에 대응), 이 장치는 동작할 것이다. 트랜지스터(P33)는 트랜지스터(N31)가 턴온 될 때까지 라인의 전위를 빠르게 상승시키며, 트랜지스터들(P31 및 N32)과 관련하여 입력선의 전위가 V_{SS} + 트랜지스터(N31)의 임계 전압을 초과하지 않을 것을 보장한다. 입력선을 이러한 전위위로 상승하는 것을 방지함으로써, 피드백 회로는 메모리 셀에서의 비트 라인내의 최대 전압을 제한한다. Dout는 기준 전압 보다 낮은 선정 전압에서 안정화되며, 2진 로우를 표시하는 전위를 차동 증폭기로 출력한다.

반면에, 라인 입력(Din)에 결합된 선택된 메모리 장치가 그 게이트 상에 음성 부하를 가지는 경우(로직 1에 해당), 장치는 오프가 되거나 단지 약간, 기준 장치보다 약간 낮은 전류 레벨로 도전한다. 트랜지스터(P33)는 트랜지스터(N31)가 온이 될 때까지 라인에서의 전위를 신속히 풀업하고, 트랜지스터(P31 및 N32)와 결부하여 입력선에서의 전위가 Vss + 트랜지스터(N31)의 임계 전압 이상으로 상승하지 않는다. 다시, 입력 라인이 이런 전위 이상으로 상승하는 것을 방지함으로써, 피드백 회로는 메모리 셀의 비트 라인 상의 최대 전압을 제한한다. Dout는 기준 전압 보다 높은 선정 전압에서 안정화되고, 차동 증폭기에 2진수 하이를 표시하는 전위를 출력한다.

도 5는 인에이블 제어 $\overline{E}$(50)를 가진 대안적인 실시예를 도시한다. 이러한 감지 회로는 P31의 게이트가 인에이블 라인 $\overline{E}$ (50)에 결합되고, 부가 n-채널 MOSFET 트랜지스터 N33이 N32의 게이트에 결합된 드레인, Vss에 결합된 소스, 및 인에이블 라인에 결합된 게이트를 갖는다는 것을 제외하고는, 바람직한 실시예와 유사하게 동작한다. $\overline{E}$(50)이 로우로 되면, 트랜지스터 P31은 온이되고, N33은 오프가 되어, Din이 선택된 메모리 장치에 결합되는 경우 피드백 회로가 온이 된다. $\overline{E}$(50)이 하이가 되면, 감지 동작은 발생하지 않는다. 트랜지스터 N33는 온이되고, P31은 오프가 되어, 트랜지스터(N32)가 온이 되는 것을 방지한다. 트랜지스터(N32)가 고속 충전 트랜지스터 P33을 입력 라인 Din에 접속하므로, N32가 온이 되지 않는 경우, Dout는 Din에서의 전위를 반영하지 않는다. 그러므로, 대안적 실시예의 보정 동작에서 감지 동작이 발생할 경우 $\overline{E}$(50)는 로우가 되어야 한다.

도 7은 인에이블 제어 $\overline{E}$(50)을 가진 다른 대안적인 실시예를 도시한다. 이러한 대안적인 실시예는 n-채널 MOSFET(N50)이 급속 충전 장치로서 도 5에서의 p-채널 트랜지스터(P33)을 대신하는 것만 제외하고는 도 5에 설명된 것과 같다. 트랜지스터(N50)의 드레인 및 게이트는 선정 전압원(Vcc)에 접속되고, 트랜지스터(N50)의 소스는 출력 라인(Dout)에 접속된다. 이러한 변형외에는, 도 7의 대안적인 실시예는 도 5의 실시예와 동일하다. n-채널 트랜지스터는 p-채널 트랜지스터에 비해 높은 트랜스컨덕턴스를 가지므로, 급속 충전 장치로 n-채널 트랜지스터를 사용하면 p-채널 트랜지스터를 사용하는 것이 비해 장치 자체에 용량성 부하가 낮다(즉, 자기 부하가 낮다). 결과적인 이점은 판독 바이어싱(read-biasing) 및 증폭 회로는 급속 충전 장치가 P-채널 트랜지스터인 것에 비해 신속히 동작한다.

판독 바이어싱 및 증폭 회로외에, 본 발명은 도 4의 감지 구조물로 구성된다. 감지 기준은 선정 전압원(Vcc)에 결합된 소스 및 n-웰 및 차동 증폭기의 제2 입력 라인에 결합된 게이트 및 드레인을 가진 p-채널 MOSFET(P41)에 의해 제공된다. 제1 판독 바이어싱 및 증폭 회로는 P41의 게이트 및 드레인에 결합된 출력 라인과 차동 증폭기 및 감지 기준의 제2 입력 라인을 가진다. n-채널 MOSFET(N50 및 N51)은 직렬 연결로 결합되고, N50 및 N51의 게이트는 선정 전압원(Vcc)에 연결되고 N51의 드레인은 N50의 소스에 결합되며, N50의 드레인은 제1 판독 바이어싱 회로의 입력 라인에 결합된다. 기준 부동-게이트 메모리 장치는 선정 기준 소스에 결합된 소스, 기준 바이어스 전압(Vrefbias)에 결합된 게이트, 및 트랜지스터(N51)의 소스에 결합된 드레인을 가진다.

감지 기준은 어레이의 기준 컬럼이 아니고, 단일 셀이다. 이는 메모리 셀(40)이 비교되는 기준 전류를 제어하는 전압(Vrefbias)으로 바이어스된다. 단일 기준은 하나 또는 다수의 차동 감지 증폭기에 의해 사용될 수 있다. 전형적인 적용에서, 다수의 감지 증폭기는 단일 기준을 공유할 수 있다. 이는 감지 기준 라인의 부하를 증가시키므로, 부가 급속 충전 트랜지스터(P41)은 감지 기준 신호에 추가될 수 있다.

이러한 감지 회로(PCL)에서, 도 6에 도시된 바와 같이, 클럭 펄스된 하이는 감지이전에 비트 라인(41)을 로우로 풀한다. 개선된 성능을 위해서, 비트 라인(41)은 판독 바이어싱 및 증폭 회로로부터 단선되지 않는다. 비트 라인(41)이 PCL에 의해 게이트된 고립 장치로부터 임의의 추가적인 지연 또는 부하를 가지지 않으므로 성능을 개선시킨다. 이는 비트 라인(41)을 로우로 풀링하는 시간 동안 판독 바이어싱 및 증폭 회로를 통해 전류를 드로잉하는 단점이 있다. 그러나, 이러한 전류는 급속 충전 장치의 적절한 크기에 의해 제어될 수 있다. 이러한 구조는 프로그램된 셀 판독 바이어스 레벨에서 소거된 셀 판독 바이어스 레벨까지 비트 라인(41)을 방전하도록 메모리 셀(40)을 사용하지 않음으로 인한 부가적인 속도의 이점이 있다. 부가적인 속도의 이점은 PCL이 비트 라인(41)을 방전하면서 어드레스된 워드 라인을 하이로 함으로써 얻어진다. PCL이 로우가 되면, 판독 바이어싱 및 증폭 회로는 선택된 비트 라인(41)을 판독 바이어스 레벨로 신속히 풀한다. 판독되는 메모리 셀(40)이 소거된 셀이면, 전류를 도전하고 비트 라인(41)은 셀이 프로그램된 경우만큼 하이로 풀되지는 않는다. 프로그램된 셀은 전류를 도전하지 않거나 또는 소거된 셀보다 현저히 적은 전류를 도전한다. 고속 감지는 워드 라인이 억세스되는 동안 사전-충전된 비트 라인(41)을 로우로 하고 판독 바이어싱 및 증폭 회로의 풀업 및 바이어싱 속도를 강하게 함으로써 된다.

다시 말하면, 본 발명의 신규한 방법은 비트 라인(41)을 접지에 가까운 전위로 신속히 방전하고, 다음으로 선택된 메모리 장치로 라인을 방전하지 않고 라인을 판독 바이어스 레벨까지 다시 신속히 충전함으로써 가능하다. 양호한 실시예에서, 비트 라인(Din)은 접지까지 방전되고 클럭 펄스(PCL)는 하이가 된다. 비트 라인(41)이 로우가 되고 클럭 펄스(PCL)가 로우가 된 이후에, 감지 증폭기는 라인의 전위를 선택된 메모리 장치의 판독 바이어스 전위로 신속히 풀한다. 감지 증폭기의 피드백 회로는 오버슈트를 상당히 제한한다. 선택된 메모리 장치가 부동 게이트에 전하를 수송하지 않는다면(즉, '소거된' 셀이라면), 오버슈트는 선정 기준 전압을 넘지 않는다. 또한, 선택된 메모리 장치가 부동 게이트 상에 음성 전하를 수송하는 경우(즉, '프로그램된 셀'), 오버슈트는 본질적으로 무시한다. 도 6은 또한 Dout 및 Din이 어떻

게 감지 기준 전위와 대향하는 로우 또는 하이 이진 상태를 표시하는지를 도시한다. Din 및 Dout는 메모리 장치 상에 저장된 2진 로우를 표시하는 경우 각각의 기준 전위보다 상대적으로 낮으며, 2진 하이를 표시하는 경우 상대적으로 높다.

도 8은 본 발명에 따른 예의 컴퓨터(45)의 블록도이다. 컴퓨터(45)는 마이크로프로세서(46) 및 대응된 클럭(48)을 포함한다. 마이크로프로세서(46)는 중앙 처리 유닛(CPU) 및 관련 제어 회로를 포함한다. 마이크로프로세서(46)는 마더보드(49)에 연결된다. I/O 인터페이스 모듈(47)은 마더보드(49)에 연결되고, 모니터 및 프린터와 같은 주변 장치와 마이크로프로세서(46)을 연결시킨다. 마더 보드(49)는 또한 단일 인-라인 메모리 모듈[SIMM(50A-50N)]과 같이 데이타를 저장하기 위한 다수의 메모리 모듈을 포함한다. 마더 보드(49)는 통상 인쇄 회로 기판으로 달성되며, SIMM(50A-50N)은 마더 보드(49)에 꽂혀있는(plug into) 집적 회로 칩으로 달성된다. 비휘발성 메모리는 보통 I/O 인터페이스 모듈을 통해 또는 마더보드(49), SIMM(50A-50N)에서 사용된다.

상기 실시예 및 논의에 의해 기술된 상술된 설명은 본 발명의 양호한 실시예를 제시하였으며 본 발명의 원리를 포함한다. 본 실시예들은 다양한 회로 형태 및 구성을 사용하여 변형 및 수정되거나 달성될 수 있다. 예를 들어, 타겟 메모리 셀(40)과 기준 메모리 셀 사이의 차를 증폭하는 차동 증폭기 회로는 다양한 형태의 능동 또는 수동 회로를 사용하여 달성될 수도 있으며, 입력 및 출력 신호를 제공하는 각 회로는 여러가지의 변경된 형태로 달성될 수도 있다. 본 기술 분야의 숙련자는 다음의 청구 범위에 설정된 본 발명의 사상 및 범위에서 벗어나지 않고서, 본 명세서에 도시되고 기술된 예시적 실시예 및 응용에 엄격히 따르지 않고 본 발명에 있어서 이러한 변형 및 다른 변형 및 변경이 가능하다는 것을 쉽게 알 수 있을 것이다.

(57) 청구의 범위

청구항 1

부동 게이트 메모리 장치의 기억 상태를 감지하기 위해 입력, 출력, 부하(P32), 및 피드백 회로(P31, N31, 및 N32)를 가지며, 상기 피드백 회로는 상기 입력 및 상기 부하(P32)에 동작적으로 결합되어 상기 입력 전위가 판독 바이어스 전위를 초과하지 못하도록 하는 판독-바이어싱 회로에 있어서,

상기 입력 및 상기 출력에 동작적으로 결합되어, 상기 입력 및 상기 출력의 전위를 동시에 증가시키되, 상기 출력의 전위는 상기 입력의 전위가 더 이상 증가되지 않을 때까지 계속 증가되는 고속 충전 장치(P33)를 포함하며,

상기 고속 충전 장치(P33)는 상기 부하(P32)와는 다른 것을 특징으로 하는 판독-바이어싱 회로.

청구항 2

제1항에 있어서, 상기 피드백 회로에 동작적으로 결합되는 인에이블 제어 신호(50)를 더 포함하며, 상기 인에이블 제어 신호(50)는 상기 인에이블 제어 신호(50)의 전위가 소정의 전압 레벨에 도달하지 않으면, 상기 판독-바이어싱 회로가 상기 부동게이트 메모리 장치의 기억 상태를 감지하지 못하도록 하는 것을 특징으로 하는 판독-바이어싱 회로.

청구항 3

제1항에 있어서, 상기 고속 충전 장치(P33)는 p-채널 MOSFET 트랜지스터를 포함하는 것을 특징으로 하는 판독-바이어싱 회로.

청구항 4

제1항에 있어서, 상기 고속 충전 장치(P33)는 n-채널 MOSFET 트랜지스터를 포함하는 것을 특징으로 하는 판독-바이어싱 회로.

청구항 5

제1항에 있어서, 상기 피드백 회로(P31, N31, 및 N32)는 p-채널 MOSFET 트랜지스터, 제1 n-채널 MOSFET 트랜지스터, 및 제2 n-채널 MOSFET 트랜지스터를 포함하는 것을 특징으로 하는 판독-바이어싱 회로.

청구항 6

제1항에 있어서, 상기 부하(P32)는 p-채널 MOSFET 트랜지스터인 것을 특징으로 하는 판독-바이어싱 회로.

청구항 7

부동 게이트 메모리 장치의 기억 상태를 감지하기 위해 워드 라인과 비트 라인(41)을 갖는 어레이 구성으로 배열된 다수의 메모리 셀(40)을 갖는 메모리 어레이를 포함하는 고속 감지 회로에 있어서,

제1 입력, 제2 입력 및 출력을 포함하며, 상기 제1 입력에서 발생된 전위와 상기 제2 입력에서 발생된 전위 간의 차를 증폭시키는 차동 증폭 회로와,

상기 메모리 어레이 중에서 선택된 비트 라인에 동작적으로 결합된 입력을 포함하는 방전 회로로서, 제1 클럭 펄스에 응답하여 선택된 워드 라인이 액세스되는 동안 상기 선택된 비트 라인을 접지와 실질적으로 동일한 전위로 방전시키며, 제2 클럭 펄스에 응답하여 상기 선택된 비트 라인을 상기 방전 회로의 출력에 결합시키는 방전 회로와,

상기 차동 증폭 회로의 상기 제1 입력에 동작적으로 결합된 출력과 상기 방전 회로의 출력에 동작적으로 결합된 입력을 포함하며, 상기 제2 클럭 펄스에 응답하여 상기 선택된 비트 라인을 접지와 실질적으로 동일한 상기 전위에서 판독-바이어싱 기준 전위로 충전시키고, 상기 선택된 비트 라인을 상기 판독-바이어

싱 기준 전위로 충전시키면서 상기 선택된 비트 라인 상에서 발생된 전위가 상기 판독-바이어싱 기준 전위를 오버슈트하지 못하도록 하며, 상기 선택된 비트 라인 및 상기 선택된 워드 라인에 결합된 선택된 메모리 셀의 기억 상태를 표시하는 상기 선택된 비트 라인 상의 전위를 감지하는 판독-바이어싱 회로와,

상기 차동 증폭 회로의 상기 제2 출력에 동작적으로 결합되어 상기 차동 증폭 회로의 상기 제2 출력에 소정의 감지 기준 전위를 제공하는 감지 기준 회로

를 포함하되,

상기 감지 기준 회로는 전압원에 결합된 소스와, 상기 차동 증폭 회로의 상기 제2 입력과 감지 기준 라인에 각각 결합된 게이트 및 드레인을 포함하는 제2 충전 트랜지스터와, 상기 제2 충전 트랜지스터의 드레인, 상기 차동 증폭 회로의 상기 제2 입력 및 상기 감지 기준 라인에 결합된 출력과, 제3 충전 트랜지스터(P33), 제2 부하 트랜지스터(P32) 및 상기 제3 충전 트랜지스터 및 상기 제2 부하 트랜지스터(P32)에 결합된 제2 피드백 회로(P31, N31, 및 N32)를 포함하는 제2 판독-바이어싱 회로와, 상기 메모리 어레이의 상기 다수의 메모리 셀 중 상기 제2 판독-바이어싱 회로의 입력에 결합되어 있는 기준 메모리 셀을 포함하는 것을 특징으로 하는 고속 감지 회로.

청구항 8

제7항에 있어서, 상기 다수의 메모리 셀(40) 각각은 부동 게이트 메모리 장치를 포함하는 것을 특징으로 하는 고속 감지 회로.

청구항 9

제7항에 있어서, 상기 방전 회로는 상기 메모리 어레이의 상기 선택된 비트 라인에 동작적으로 결합된 드레인과, 접지에 동작적으로 결합된 소스와, 상기 제1 클럭 펄스 및 상기 제2 클럭 펄스를 수신하는 게이트를 갖는 트랜지스터(N47)를 포함하는 것을 특징으로 하는 고속 감지 회로.

청구항 10

제7항에 있어서, 상기 판독-바이어싱 회로는

상기 방전 회로의 출력 및 상기 판독-바이어싱 회로의 출력에 결합되며, 상기 선택된 비트 라인이 상기 판독-바이어싱 기준 전위로 충전되면 포화 동작 영역으로 동작하며, 상기 판독-바이어싱 회로가 상기 선택된 메모리 셀의 기억 상태를 표시하는 전위를 감지하면 실질적으로 비동작 상태가 되는 충전 트랜지스터(P33)와,

상기 방전 회로의 출력에 결합되며, 선형 동작 영역으로 동작하며 상기 판독-바이어싱 회로가 상기 선택된 메모리 셀의 기억 상태를 표시하는 전위를 감지하면 상기 선택된 비트 라인에 대해 저항성 부하를 제공하는 부하 트랜지스터(P32)와,

상기 방전 회로의 출력 및 상기 부하 트랜지스터에 결합되어 상기 충전 트랜지스터가 상기 선택된 비트 라인을 충전할 때 상기 선택된 비트 라인 상에 발생된 전위가 상기 판독 바이어스 기준 전위를 오버슈트하지 못하도록 하는 피드백 회로(P31, N31, 및 N32)를 더 포함하는 것을 특징으로 하는 고속 감지 회로.

청구항 11

부동 게이트 메모리 장치의 2진 상태를 감지하기 위해 상기 부동 게이트 메모리 장치에서 감지된 전위를 증폭시키는 단계와, 상기 부동 게이트 메모리 장치에서 감지된 전위를 증폭된 소정의 감지 기준 전위와 비교하는 단계와, 상기 부동-게이트 메모리 장치에서 감지된 전위와 상기 증폭된 소정의 감지 기준 전위 간의 차를 증폭시키는 단계를 포함하는 감지 방법에 있어서,

상기 부동 게이트 메모리 장치에 동작적으로 결합된 비트 라인(41)을 소정의 전압으로 방전시키는 단계와,

판독-바이어싱 회로의 입력 및 출력 전위를 동시에 증가시키는 단계 - 상기 출력의 전위는 상기 입력의 전위가 더 이상 증가되지 않을 때에도 계속 증가됨 - 와,

상기 부동 게이트 메모리 장치의 전위를 상기 판독-바이어싱 회로로 감지하는 단계를 포함하는 것을 특징으로 하는 감지 방법.

청구항 12

제11항에 있어서, 상기 방전 단계 동안 상기 비트 라인(41)을 상기 판독-바이어싱 회로에 결합시키는 단계를 더 포함하는 것을 특징으로 하는 감지 방법.

청구항 13

비트 라인(41) 및 선택적으로 정렬된 다수의 부동 게이트 메모리 장치를 갖는 비휘발성 메모리 어레이를 포함하는 컴퓨터에 있어서,

마이크로프로세서(46)와,

타이밍 유닛(48)과,

I/O 인터페이스 모듈(47)과,

휘발성 메모리 어레이와,

판독-바이어싱 회로

를 포함하되,

상기 판독-바이어싱 회로는 상기 비트 라인(41)에 동작적으로 결합된 입력과, 상기 마이크로프로세서(46)에 동작적으로 결합된 출력과, 상기 입력 및 상기 출력에 동작적으로 결합되어 상기 입력 및 상기 출력의 전위를 동시에 증가시키는 고속 충전 장치(P33) - 상기 출력의 전위는 상기 입력의 전위가 더 이상 증가되지 않을 때에도 계속 증가됨 - 와, 상기 고속 충전 장치(P33)와는 구별되며 부동 게이트 메모리 장치를 감지하기 위한 부하(P32)와, 상기 입력에 동작적으로 결합되어 상기 비트 라인(41)의 전위가 판독 바이어스 전위를 초과하지 못하도록 하는 피드백 회로(P31, N31, 및 N32)를 갖는 것을 특징으로 하는 컴퓨터.

청구항 14

제13항에 있어서, 상기 비트 라인(41)은 상기 비트 라인(41)이 방전될 때 상기 입력에 동작적으로 결합된 상태로 남아 있는 것을 특징으로 하는 컴퓨터.

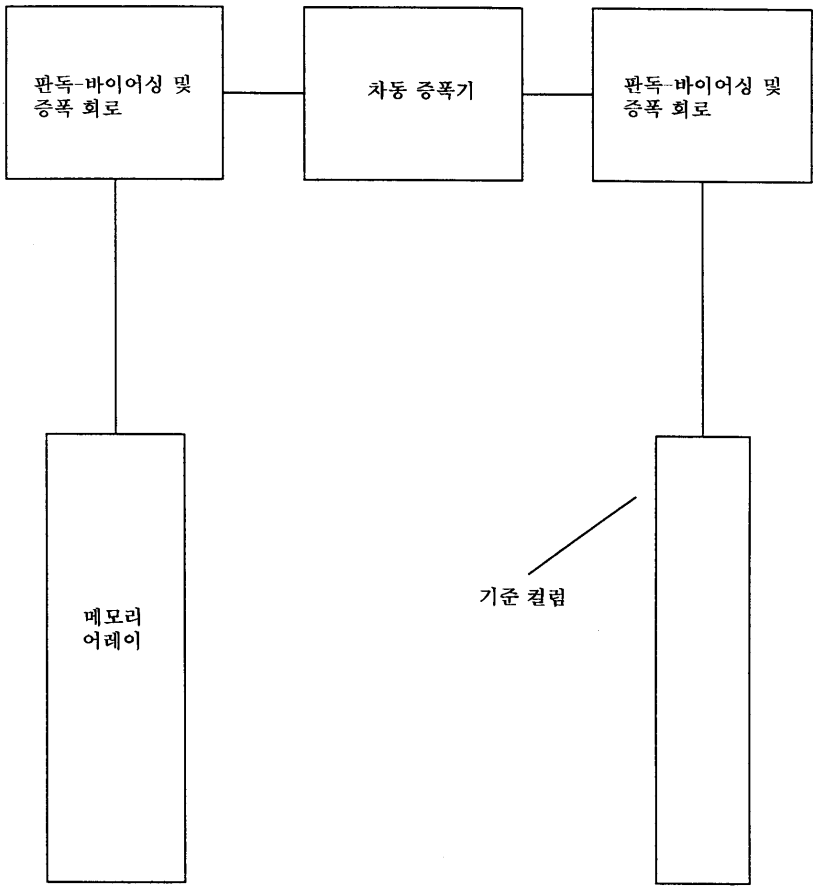
청구항 15

제1항 또는 제13항에 있어서, 상기 부하(P32)는 저항성 부하인 것을 특징으로 하는 판독-바이어싱 회로 또는 컴퓨터.

도면

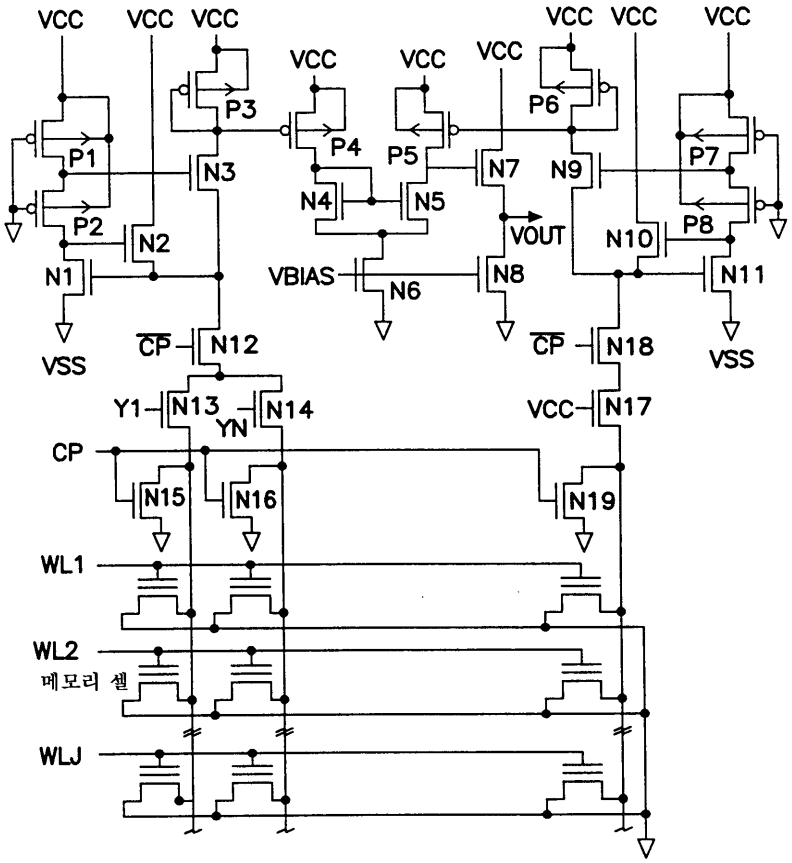
도면1A

(종래 기술)

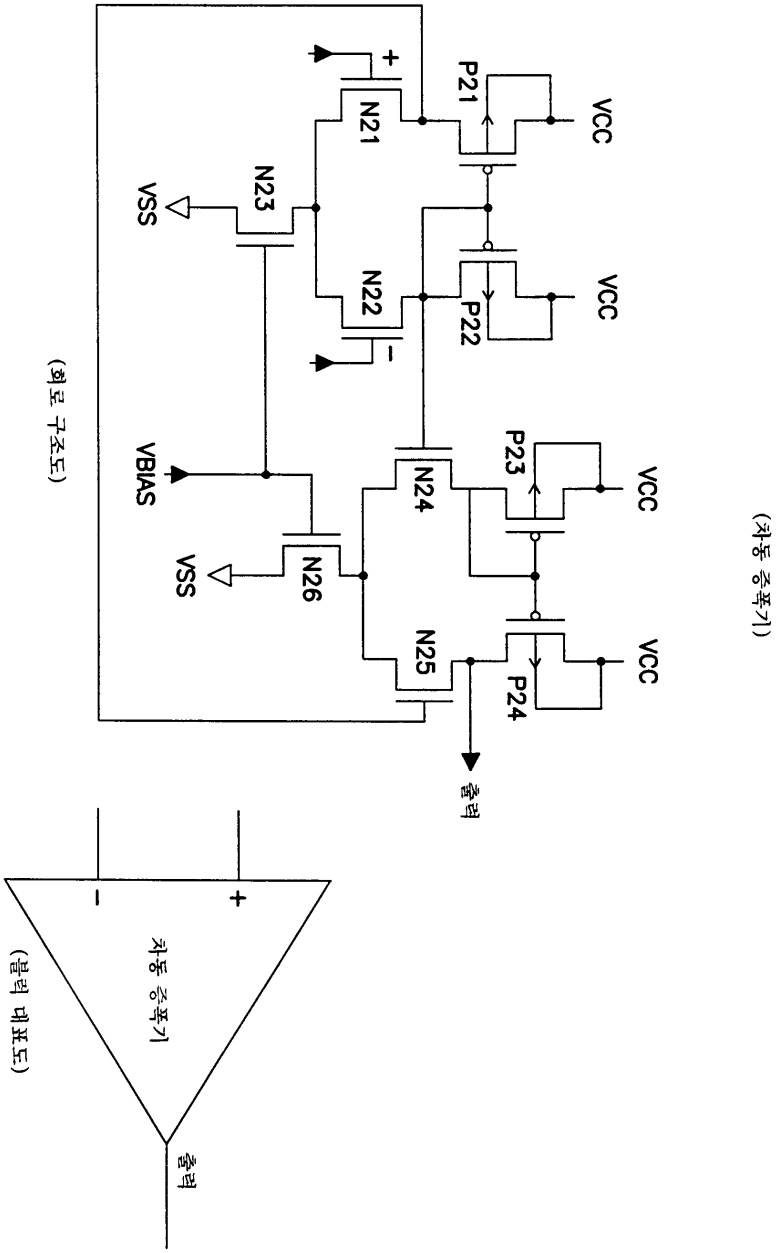


도면18

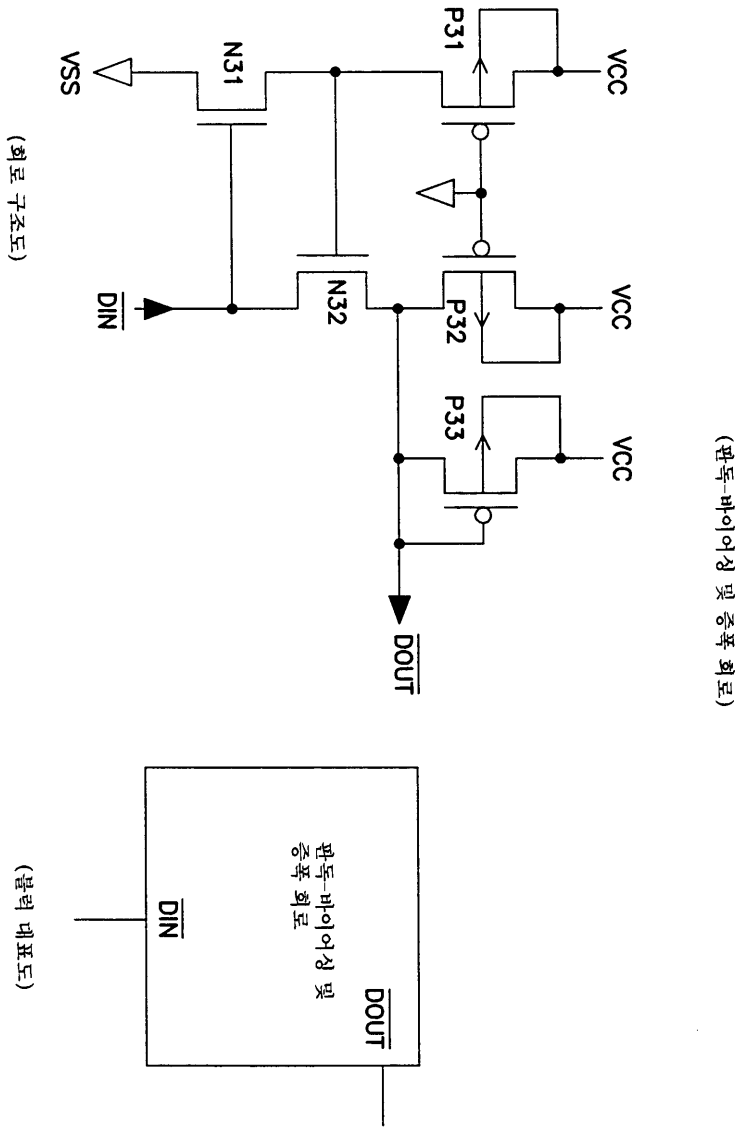
(종래 기술)


VCC
VCC
VCC
VCC
VCC
VCC
VCC
VCC
VCC
P1
P2
P3
P4
P5
P6
P7
N1
N2
N3
N4
N5
N6
N7
N8
N9
N10
N11
N12
N13
N14
N15
N16
N17
N18
N19
VOUT
VBIAS
VSS
VSS
CP
CP
Y1
YN
CP
WL1
WL2
메모리 셀
WLJ

도면2


(차동 증폭기)
(회로 구조도)
(블럭 대표도)
VCC
VCC
VCC
VCC
P21
P22
P23
P24
N21
N22
N23
N24
N25
N26
VSS
VSS
VBIAS
+
-
출력
출력
차동 증폭기

도면3

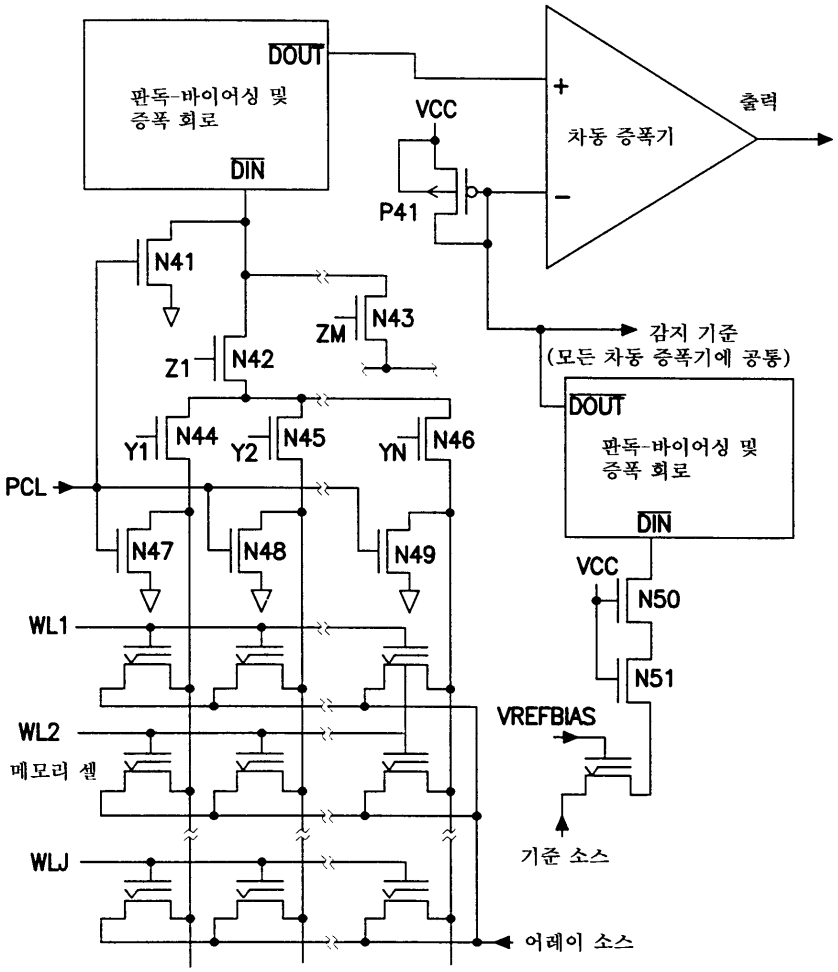


(회로 구조도)

(펄독-바이어싱 및 증폭 회로)

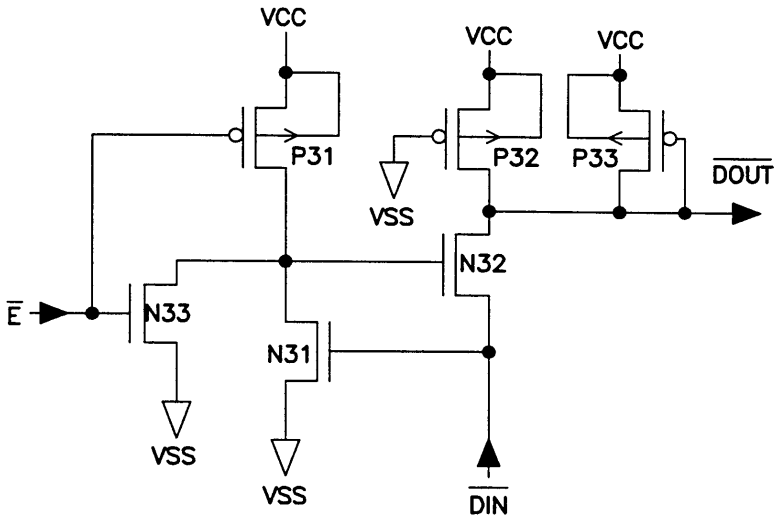
(블럭 대표도)

도면4


DOUT
판독-바이어싱 및
증폭 회로
DIN
VCC
P41
+
−
차동 증폭기
출력
N41
ZM
N43
Z1
N42
감지 기준
(모든 차동 증폭기에 공통)
DOUT
판독-바이어싱 및
증폭 회로
DIN
Y1
N44
Y2
N45
YN
N46
PCL
N47
N48
N49
VCC
N50
N51
WL1
WL2
VREFBIAS
메모리 셀
기준 소스
WLJ
어레이 소스

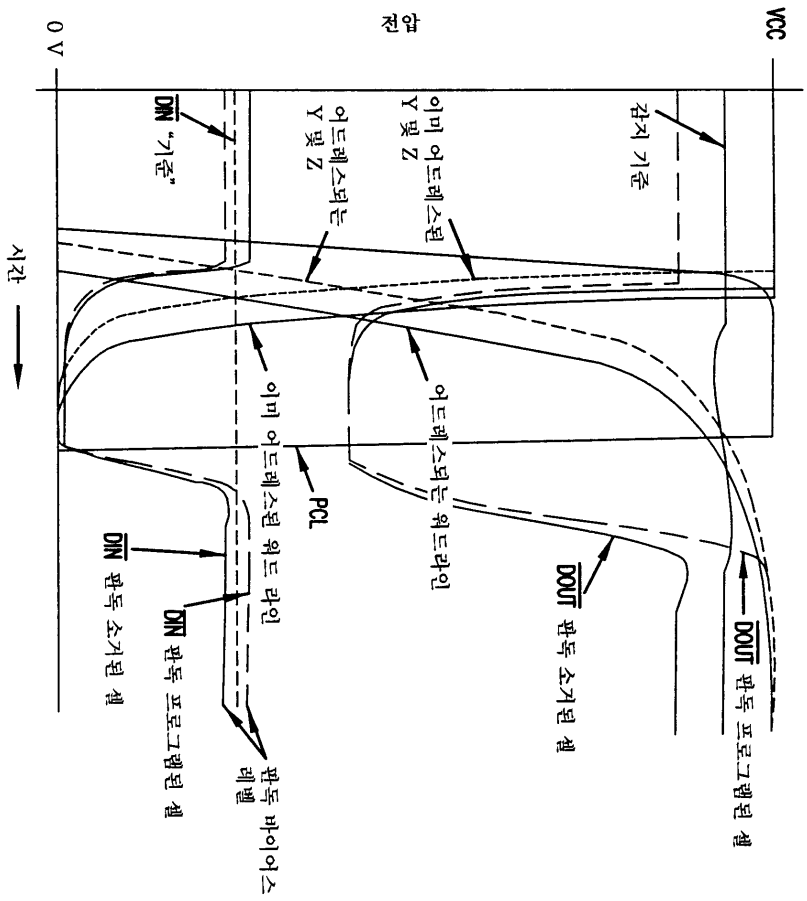
도면5

(판독 바이어싱 및 증폭 회로)



(대안적 실시예)

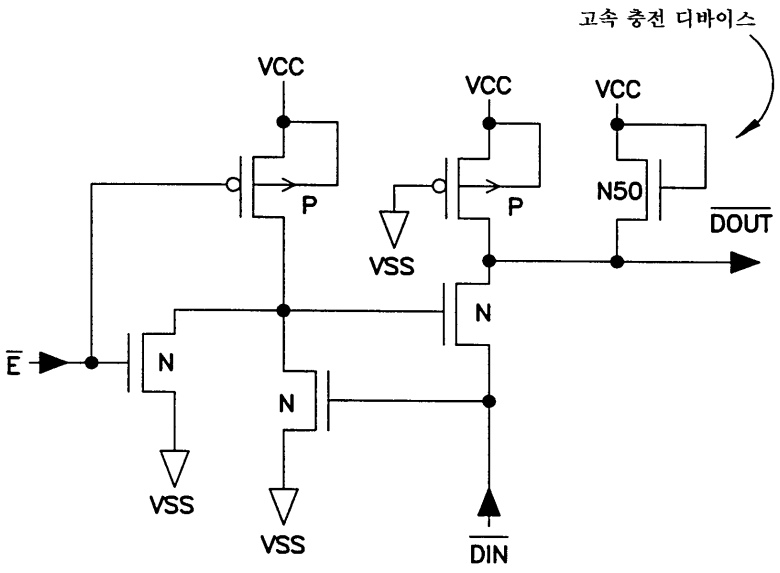
도면6



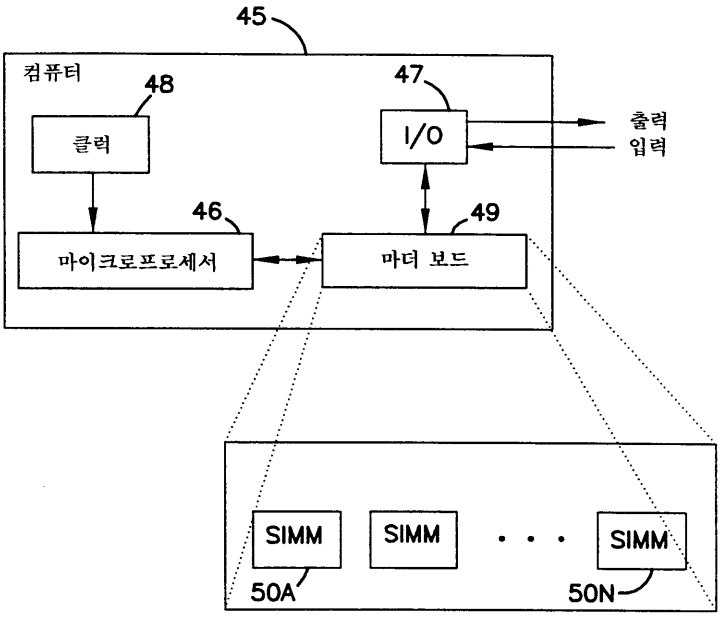
(판독 중의 전압 파형)

도면7

(대안적 제2 실시예)



도면8


45
컴퓨터
48
클럭
47
I/O
출력
입력
46
49
마이크로프로세서
마더 보드
SIMM
SIMM
SIMM
50A
50N