(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4149498号
(P4149498)

(45)発行日　平成20年9月10日(2008.9.10)　(24)登録日　平成20年7月4日(2008.7.4)

(51)Int.Cl.		F I		
H01L 29/78	(2006.01)	H01L	29/78	653B
H01L 21/8242	(2006.01)	H01L	27/10	671A
H01L 27/108	(2006.01)	H01L	29/78	652C
H01L 21/336	(2006.01)	H01L	29/78	652E
H01L 21/8234	(2006.01)	H01L	29/78	658B

請求項の数 13　(全 19 頁)　最終頁に続く

(21)出願番号　特願2007-176125 (P2007-176125)
(22)出願日　平成19年7月4日 (2007.7.4)
(62)分割の表示　特願2000-572937 (P2000-572937)の分割
原出願日　平成11年9月22日 (1999.9.22)
(65)公開番号　特開2007-329489 (P2007-329489A)
(43)公開日　平成19年12月20日 (2007.12.20)
審査請求日　平成19年7月4日 (2007.7.4)
(31)優先権主張番号　198 44 083.9
(32)優先日　平成10年9月25日 (1998.9.25)
(33)優先権主張国　ドイツ(DE)

早期審査対象出願

(73)特許権者　500048328
インフィニオン　テクノロジーズ　アクチエンゲゼルシャフト
ＩＮＦＩＮＥＯＮ　ＴＥＣＨＮＯＬＯＧＩＥＳ　ＡＧ
ドイツ連邦共和国　８１６６９　ミュンヘン　ザンクト－マルチン－シュトラーセ　５３
(74)代理人　100060690
弁理士　瀧野　秀雄
(72)発明者　ロズナー、ウルフガング
ドイツ国　デー－８１７３９　ミュンヘン、ハインツェルマンヘンシュトラッセ　２

最終頁に続く

(54)【発明の名称】集積回路装置およびその製造方法

(57)【特許請求の範囲】
【請求項１】
（ａ）基板（１，２）であって、その表面に隣接する層が第一の導電型の不純物でドープされる基板（１，２）と、
（ｂ）前記基板（１，２）上のｘ－ｙグリッドに配置された複数の縦型ＭＯＳトランジスタ対であって、
それらの縦型ＭＯＳトランジスタが、
（ｂ１）第一の導電型と反対の第二の導電型の不純物でドープされて前記縦型ＭＯＳトランジスタの第一ソース・ドレイン領域を構成する下層（Ｕ，Ｕ’）と、前記第一の導電型の不純物でドープされて前記縦型ＭＯＳトランジスタのチャネル層を構成する中央層（Ｍ，Ｍ’）と、第一の導電型と反対の第二の導電型の不純物でドープされて前記縦型ＭＯＳトランジスタの第二ソース・ドレイン領域を構成する上層（Ｏ，Ｏ’）と、で構成されて、それらの層それぞれに少なくとも第一側面と前記第一側面と反対側の第二側面とを有するものとされた一連の層（ＳＦ，ＳＦ＊）と、
（ｂ２）前記２枚の一連の層（ＳＦ，ＳＦ＊）の少なくとも前記中央層（Ｍ，Ｍ’）と前記下層（Ｕ，Ｕ’）とに隣接するとともに、前記第一の導電型の不純物でドープされる前記一連の層（ＳＦ，ＳＦ＊）の前記第一側面に隣接して前記中央層（Ｍ，Ｍ’）と前記基板（１、２）とを電気的に接続する接続構造体（Ｖ，Ｖ’）と、
（ｂ３）前記接続構造体（Ｖ，Ｖ’）上に設けられ、前記２枚の一連の層（ＳＦ，ＳＦ＊）の前記上層（Ｏ，Ｏ’）に隣接するとともに前記第二の導電型からなり、かつ、前記

一連の層（ＳＦ，ＳＦ＊）の前記上層（Ｏ，Ｏ’）間を電気的に接続するドープ領域（Ｇｅ，Ｇｅ’）と、
（ｂ４）前記第二側面領域で少なくとも前記上層（Ｏ，Ｏ’）と前記中間層（Ｍ，Ｍ’）とに隣接するゲート誘電体（Ｇｄ，Ｇｄ’）と、
（ｂ５）前記ゲート誘電体（Ｇｄ，Ｇｄ’）に隣接するゲート電極と、
で構成される縦型ＭＯＳトランジスタと、
（ｃ）前記上層（Ｏ，Ｏ’）と前記ドープ領域（Ｇｅ，Ｇｅ’）との上部に設けられ、かつ、前記上層（Ｏ，Ｏ’）と前記ドープ領域（Ｇｅ，Ｇｅ’）との上部を完全に覆う誘電体層（Ｇｄ，Ｋｄ）と、
（ｄ）前記縦型ＭＯＳトランジスタ対の前記一連の層（ＳＦ，ＳＦ＊）の第二側面に隣接し互いに平行に走る第一分割トレンチ（Ｔ，Ｔ１）と、
（ｅ）前記誘電体層（Ｇｄ，Ｋｄ）と接するように設けられるとともに、前記第一分割トレンチ（Ｔ，Ｔ１）を横断して前記ゲート電極と接続するワードライン（Ｗ，Ｗ’）と、
（ｆ）前記ワードライン（Ｗ，Ｗ’）を横断し、前記一連の層（ＳＦ，ＳＦ＊）の前記下層（Ｕ，Ｕ‘）によって形成された下ビットラインと、
からなることを特徴とする集積回路装置。

【請求項２】
メモリセル配置がＲＯＭメモリセル配置を構成し、
前記メモリセル配置が、前記一連の層（ＳＦ，ＳＦ＊）の前記上層（Ｏ）と前記ドープ領域（Ｇｅ）とによって形成された上ビットラインを有し、
前記第一分割トレンチ（Ｔ，Ｔ１）が、切り通すこと無しに前記下層（Ｕ）に達して、前記下ビットラインと前記接続構造体（Ｖ）とが隣接して交互に配置され、
前記ゲート電極が、前記基板（１，２）表面と平行なストリップ状の断面を有する前記ワードライン（Ｗ）の一部であり、そして、
選択された前記一連の層（ＳＦ＊）の前記中間層（Ｍ）の一部が、他の前記一連の層（ＳＦ）の前記中間層（Ｍ）と異なるドープ濃度を有するものとして、前記縦型ＭＯＳトランジスタのチャネル領域のドープ濃度の形式によって情報が記憶されるようにしたことを特徴とする請求項１記載の集積回路装置。

【請求項３】
メモリセル配置が、ＤＲＡＭメモリセル配置を構成し、
前記第一分割トレンチ（Ｔ，Ｔ１）が、前記下層（Ｕ’）を切り通し、
前記接続構造体（Ｖ’）が、ストリップ状で、前記第一分割トレンチ（Ｔ，Ｔ１）と平行に延在し、
各下ビットラインが、前記接続構造体（Ｖ’）の一つと前記第一分割トレンチ（Ｔ，Ｔ１）の一つとの間に設けられ、
第二分割トレンチ（Ｔ２）が、前記第一分割トレンチを横断して延在するとともに切り通すことなく前記下層（Ｕ’）まで達し、
前記ゲート電極が、二つの縦型ＭＯＳトランジスタを側面で環状に囲むように設けられるとともに、前記第一分割トレンチ（Ｔ，Ｔ１）と前記第二分割トレンチ（Ｔ２）に設けられた前記ワードライン（Ｗ’）の一部を構成し、
容量誘電体層（Ｋｄ）が、前記上層（Ｏ’）上に前記上層（Ｏ’）を完全に覆うように設けられて前記上層（Ｏ’）が第一キャパシタ電極として用いられ、
第二キャパシタ電極（Ｐ）が、前記容量誘電体層（Ｋｄ）の上に設けられたことを特徴とする請求項１記載の集積回路装置。

【請求項４】
互いに隣接し前記第一分割トレンチ（Ｔ，Ｔ１）を横断する前記縦型ＭＯＳトランジスタ対の間隔が、互いに隣接し前記第一分割トレンチ（Ｔ，Ｔ１）に平行な前記縦型ＭＯＳトランジスタ対の間隔より小さくされて、前記第二分割トレンチ（Ｔ２）に延在する前記ワードライン（Ｗ’）の一部が、スペーサーとして用いられるようにされていることを特

徴とする請求項３記載の集積回路装置。
【請求項５】
前記接続構造体（Ｖ，Ｖ’）が単結晶半導体材料で構成されていることを特徴とする請求項１ないし４のいずれか１項に記載の集積回路装置。
【請求項６】
前記接続構造体（Ｖ，Ｖ’）が、多結晶半導体材料で構成されていて、$5\times10^{18}cm^{-3}$より高濃度のドーピング濃度を有していることを特徴とする請求項１ないし４のいずれか１項に記載の集積回路装置。
【請求項７】
基板（１，２）に第一の導電型の不純物でドープして前記基板(１，２)の表面に隣接した層を形成するステップと、
前記基板（１，２）の上に前記第一の導電型とは反対の第二の導電型の不純物でドープしてＭＯＳトランジスタの第一ソース・ドレイン領域を形成する下層（Ｕ，Ｕ’）を形成するステップと、
前記下層（Ｕ，Ｕ’）の上に前記第一の導電型の不純物でドープして前記ＭＯＳトランジスタのチャネル領域を形成する中央層（Ｍ，Ｍ’）を形成するステップと、
前記中央層（Ｍ，Ｍ’）の上に前記第二の導電型の不純物でドープして前記ＭＯＳトランジスタの第二ソース・ドレイン領域を形成する上層（Ｏ，Ｏ’）を形成するステップと、
ストリップマスクを用いて、少なくとも第一側面を有する２枚の一連の層（ＳＦ，ＳＦ＊）に分割するために、前記上層（Ｏ，Ｏ’）と中央層（Ｍ，Ｍ’）と下層（Ｕ，Ｕ’）とからなる一連の層を通り前記基板（１，２）にまで延在する接続構造体用トレンチ（Ｇ）を形成するステップと、
前記一連の層の前記中央層（Ｍ，Ｍ’）と前記下層（Ｕ，Ｕ’）の領域で対向する第一側面に隣接するとともに前記中央層（Ｍ，Ｍ’）と前記基板（１，２）間を電気的に接続する前記第一の導電型の不純物でドープした材料で接続構造体（Ｖ，Ｖ’）を形成して前記接続構造体用トレンチ（Ｇ）を部分的に埋めるステップと、
前記接続構造体（Ｖ，Ｖ’）の上部の接続構造体用トレンチ（Ｇ）に前記第二の導電型の不純物でドープして前記一連の層のそれぞれの上層（Ｏ，Ｏ’）とコンタクトしたドープ領域（Ｇｅ，Ｇｅ’）を形成するステップと、
前記接続構造体用トレンチ（Ｇ）に平行に置かれ、前記上層（Ｏ，Ｏ’）と中央層（Ｍ，Ｍ’）とを切り通し、前記中央層（Ｍ，Ｍ’）を露出して前記一連の層の第二側面を形成することにより、前記接続構造体（Ｖ）を挟む一対の縦型ＭＯＳトランジスタが配置された第一分割トレンチ（Ｔ，Ｔ’）を各一連の層に形成するステップと、を順次有し、そして、
前記第二側面領域で少なくとも前記上層（Ｏ，Ｏ’）と中央層（Ｍ，Ｍ’）とに隣接させるとともに、前記上層（Ｏ，Ｏ’）及び前記ドープ領域（Ｇｅ，Ｇｅ’）の上部を完全に覆うようにゲート誘電体（Ｇｄ）を形成し、次に、少なくとも一部が前記第一分割トレンチ（Ｔ，Ｔ１）において前記ゲート誘電体（Ｇｄ）に隣接するようなゲート電極と、前記ゲート誘電体（Ｇｄ）と接するように形成されるとともに下ビットラインとして使用する前記下層（Ｕ，Ｕ‘）を横断して前記ゲート電極と接続されたワードライン（Ｗ）と、を同時に形成するステップ、並びに、
前記第二側面領域で、少なくとも前記上層（Ｏ，Ｏ’）と中央層（Ｍ，Ｍ’）とに隣接させてゲート誘電体（Ｇｄ’）を形成し、次に、少なくとも一部が前記第一分割トレンチ（Ｔ，Ｔ１）において前記ゲート誘電体（Ｇｄ’）に隣接するようなゲート電極と、下ビットラインとして使用する前記下層（Ｕ，Ｕ‘）を横断して前記ゲート電極に接続されるワードライン（Ｗ’）と、を同時に形成し、続いて、前記上層（Ｏ，Ｏ’）及び前記ドープ領域（Ｇｅ’）の上部を完全に覆うように容量誘電体層（Ｋｄ）を形成するステップ、のうちいずれか一方のステップを有していることを特徴とする集積回路装置の製造方法。
【請求項８】

メモリセル配置をＲＯＭメモリセル配置になるように構成し、
前記ゲート誘電体（Ｇｄ，Ｇｄ’）を形成する前に、選択した一連の層（ＳＦ＊）の中央層（Ｍ）の一部を、他の一連の層（ＳＦ）の中央層とは異なるドーピング濃度でドープして、トランジスタのチャネル領域のドーピング濃度の形式で情報を記憶するステップを有し、
前記第一分割トレンチ（Ｔ，Ｔ１）を形成する際に、前記第一分割トレンチ（Ｔ，Ｔ１）を、切り通すことなく前記下層（Ｕ）まで達するように形成して、前記下ビットラインの一つと前記接続構造体（Ｖ）の一つを交互に互いに隣接するように設け、
前記ゲート電極を形成する際に、前記ゲート電極を、前記基板（１，２）表面と平行な断面を有しストリップ状である前記ワードライン（Ｗ）の一部として形成し、そして、
前記一連の層（ＳＦ，ＳＦ＊）の上層（Ｏ）とドープ領域（Ｇｅ）とによって、上ビットラインを構成する
ことを特徴とする請求項７記載の集積回路装置の製造方法。
【請求項９】
メモリセル配置をＤＲＡＭメモリセル配置になるように構成し、
前記接続構造体用トレンチ（Ｇ）を形成する際に、該接続構造体用トレンチ（Ｇ）をストリップ状に形成し、
前記第一分割トレンチ（Ｔ，Ｔ１）を形成する際に、前記第一分割トレンチ（Ｔ，Ｔ１）が、接続構造体用トレンチ（Ｇ）と平行かつ前記下層（Ｕ’）を切り通すように形成し、
前記第一分割トレンチ（Ｔ，Ｔ１）を形成した後に、前記第一分割トレンチ（Ｔ，Ｔ１）を横断するとともに、切り通すことなく前記下層（Ｕ’）まで達する第二分割トレンチ（Ｔ２）を形成するステップを有し、
前記ゲート電極を形成する際に、前記ワードラインの一部を形成して２つの縦型ＭＯＳトランジスタの側面を環状に囲うように前記第一分割トレンチ（Ｔ，Ｔ１）と前記第二分割トレンチ（Ｔ２）とに前記ゲート電極を形成し、
前記上層（Ｏ，Ｏ’）及び前記ドープ領域（Ｇｅ’）の上部を完全に覆うように前記容量誘電体層（Ｋｄ）を形成した後に、第二キャパシタ電極（Ｐ）を前記容量誘電体層（Ｋｄ）の上に形成するステップを有する
ことを特徴とする請求項７記載の集積回路装置の製造方法。
【請求項１０】
前記接続構造体用トレンチ（Ｇ）を形成する際に、前記上層（Ｏ，Ｏ’）の上に、第一補助層（Ｈ１）と、その上に第二補助層（Ｈ２）とを前記上層（Ｏ，Ｏ’）が部分的に露出するようにストリップ状に形成し、背面金属を形成してエッチングすることで、構造化された第一補助層（Ｈ１）と構造化された第二補助層（Ｈ２）に隣接するスペーサー（Ｓｐ）を形成し、そして、前記スペーサー（Ｓｐ）と前記第二補助層（Ｈ２）をマスクにして前記接続構造体用トレンチ（Ｇ）を形成し、
前記第一分割トレンチ（Ｔ，Ｔ’）を形成する際に、前記ドープ領域（Ｇｅ，Ｇｅ’）上に材料が堆積されて補助構造（Ｈ）を形成し、前記第一補助層（Ｈ１）が露出するまで引き続き平坦化を実施し、前記第一補助層（Ｈ１）を除去し、そして、前記スペーサー（Ｓｐ）と前記補助構造（Ｈ）とをマスクにして前記第一分割トレンチ（Ｔ，Ｔ’）を形成する
ことを特徴とする請求項７ないし９のいずれか１項に記載の集積回路装置の製造方法。
【請求項１１】
前記第一分割トレンチ（Ｔ，Ｔ１）を形成する際に、前記第一補助層（Ｈ１’）を除去した後に、前記スペーサー（Ｓｐ１）に隣接する更なるスペーサー（Ｓｐ２）を材料の堆積とエッチングにより形成し、前記スペーサー（Ｓｐ１）と更なるスペーサー（Ｓｐ２）と前記補助構造（Ｈ）をマスクにして、前記第一分割トレンチ（Ｔ，Ｔ１）を形成し、
前記第二分割トレンチ（Ｔ２）を形成する際に、前記第二分割トレンチ（Ｔ２）を、その幅が前記第一分割トレンチ（Ｔ，Ｔ１）の幅より大きくなるように形成し、

前記ワードライン（Ｗ，Ｗ’）を形成する際に、材料が堆積され、エッチバックされて、マスク無しで相互に隣接したゲート電極の形で形成されるような厚みで前記ワードライン（Ｗ，Ｗ’）を形成する
ことを特徴とする請求項１０記載の集積回路装置の製造方法。
【請求項１２】
前記接続構造体（Ｖ，Ｖ’）を、エピタキシによって形成することを特徴とする請求項９ないし１１のいずれか１項に記載の集積回路装置の製造方法。
【請求項１３】
前記接続構造体（Ｖ，Ｖ’）を、多結晶半導体材料を堆積して形成することを特徴とする請求項９ないし１１のいずれか１項に記載の集積回路装置の製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、少なくとも一個のトランジスタを備えた集積回路装置とその製造方法に関する。
【背景技術】
【０００２】
基板に集積されている電子回路である集積回路装置に対しては、高密度集積が望ましい。第１に、部品間の距離が短いからスイッチング速度が速く、第２に、そのサイズが小さくなるからである。
【０００３】
L. Rinch et alによる"Vertical MOS Transistors with 70nm channel length", ESSDERC(1995)101には、ソース・ドレイン領域とチャンネル領域がお互いの上に配置されているトランジスタが記載されている。このいわゆる縦型トランジスタは、ソース・ドレイン領域とチャンネル領域がお互いの脇に配置されている従来のプレーナトランジスタより面積が少なくて済むので、集積回路装置の集積密度を増大することに役立つ。このトランジスタの場合は、寄生のバイポーラトランジスタのために漏れ電流のような浮遊ボディ効果が起こることが懸念される。特に、高周波では、チャンネル領域が電気的に過充電されることが起こりうる。
【０００４】
H. Takeo et al による"High Performance CMOS Surrounding Gate Transistor (SGT) for UlatraHigh Density LSIs" IEDM (1988) 222には、下のソース・ドレイン領域がチャンネル領域の直下には配置されず、そこから横にずらして配置されている縦型トランジスタが記載されている。チャンネル領域は電気的に基板に接続されている。このトランジスタを製造するために、シリコンの島を基板にエッチ形成される。側方でシリコン島を囲むゲート絶縁電極とスペーサ状のゲート電極がそのつぎに形成される。インプランテーションによって、上ソース・ドレイン領域がシリコン島の上部に形成され、下ソース・ドレインがシリコン島の外部でかつそれに横方向に隣接して形成される。チャンネル領域は、上部ソース・ドレイン領域の下でシリコン島内に配置される。結局、チャンネル長は、シリコン島の製造中のエッチング深さによって決定されることになる。
【０００５】
ドイツ特許第19519160C1において、各メモリセルが、第１のソース・ドレイン領域、その下に配置されたチャンネル領域およびそのチャンネル領域第２のソース・ドレイン領域を含み、かつゲート電極によって環状に囲まれる突出半導体構造からなるDRAMセル構造を提案されている。 メモリセルの半導体構造は、行列状になっている。自動調整の態様で、すなわち調整されるべきマスクを使用しないで、ワード線を形成するために、列に沿って配列された半導体構造間のスペースは、行に沿って配列された半導体構造間のスペースよりも狭くなっている。ワード線は、列に沿って互いに隣接するゲート電極として導電材料を付着、エッチバックすることによって形成される。
【発明の開示】

【発明が解決しようとする課題】
【０００６】
本発明は、トランジスタの浮遊ボディ効果が避けられ、同時に従来技術に比較して高密度で且つ高精度で製造可能な、少なくとも一つのトランジスタを備えた集積回路装置を提供することを目的としている。加えて、そのような回路装置を製造する方法を提供することも目的としている。
【課題を解決するための手段】
【０００７】
上記課題を解決するために、請求項１に記載の集積回路装置は、（ａ）基板（１，２）であって、その表面に隣接する層が第一の導電型の不純物でドープされる基板（１，２）と、（ｂ）前記基板（１，２）上のｘ－ｙグリッドに配置された複数の縦型ＭＯＳトランジスタ対であって、それらの縦型ＭＯＳトランジスタが、（ｂ１）第一の導電型と反対の第二の導電型の不純物でドープされて前記縦型ＭＯＳトランジスタの第一ソース・ドレイン領域を構成する下層（Ｕ，Ｕ’）と、前記第一の導電型の不純物でドープされて前記縦型ＭＯＳトランジスタのチャネル層を構成する中央層（Ｍ，Ｍ’）と、第一の導電型と反対の第二の導電型の不純物でドープされて前記縦型ＭＯＳトランジスタの第二ソース・ドレイン領域を構成する上層（Ｏ，Ｏ’）と、で構成されて、それらの層それぞれに少なくとも第一側面と前記第一側面と反対側の第二側面とを有するものとされた一連の層（ＳＦ，ＳＦ＊）と、（ｂ２）前記２枚の一連の層（ＳＦ，ＳＦ＊）の少なくとも前記中央層（Ｍ，Ｍ’）と前記下層（Ｕ，Ｕ’）とに隣接するとともに、前記第一の導電型の不純物でドープされる前記一連の層（ＳＦ，ＳＦ＊）の前記第一側面に隣接して前記中央層（Ｍ，Ｍ’）と前記基板（１、２）とを電気的に接続する接続構造体（Ｖ，Ｖ’）と、（ｂ３）前記接続構造体（Ｖ，Ｖ’）上に設けられ、前記２枚の一連の層（ＳＦ，ＳＦ＊）の前記上層（Ｏ，Ｏ’）に隣接するとともに前記第二の導電型からなり、かつ、前記一連の層（ＳＦ，ＳＦ＊）の前記上層（Ｏ，Ｏ’）間を電気的に接続するドープ領域（Ｇｅ，Ｇｅ’）と、（ｂ４）前記第二側面領域で少なくとも前記上層（Ｏ，Ｏ’）と前記中間層（Ｍ，Ｍ’）とに隣接するゲート誘電体（Ｇｄ，Ｇｄ’）と、（ｂ５）前記ゲート誘電体（Ｇｄ，Ｇｄ’）に隣接するゲート電極と、で構成される縦型ＭＯＳトランジスタと、（ｃ）前記上層（Ｏ，Ｏ’）と前記ドープ領域（Ｇｅ，Ｇｅ’）との上部に設けられ、かつ、前記上層（Ｏ，Ｏ’）と前記ドープ領域（Ｇｅ，Ｇｅ’）との上部を完全に覆う誘電体層（Ｇｄ，Ｋｄ）と、（ｄ）前記縦型ＭＯＳトランジスタ対の前記一連の層（ＳＦ，ＳＦ＊）の第二側面に隣接し互いに平行に走る第一分割トレンチ（Ｔ，Ｔ１）と、（ｅ）前記誘電体層（Ｇｄ，Ｋｄ）と接するように設けられるとともに、前記第一分割トレンチ（Ｔ，Ｔ１）を横断して前記ゲート電極と接続するワードライン（Ｗ，Ｗ’）と、（ｆ）前記ワードライン（Ｗ，Ｗ’）を横断し、前記一連の層（ＳＦ，ＳＦ＊）の前記下層（Ｕ，Ｕ‘）によって形成された下ビットラインと、からなることを特徴としている。
【０００８】
請求項２に記載の集積回路装置は、メモリセル配置がＲＯＭメモリセル配置を構成し、
前記メモリセル配置が、前記一連の層（ＳＦ，ＳＦ＊）の前記上層（Ｏ）と前記ドープ領域（Ｇｅ）とによって形成された上ビットラインを有し、前記第一分割トレンチ（Ｔ，Ｔ１）が、切り通すこと無しに前記下層（Ｕ）に達して、前記下ビットラインと前記接続構造体（Ｖ）とが隣接して交互に配置され、前記ゲート電極が、前記基板（１，２）表面と平行なストリップ状の断面を有する前記ワードライン（Ｗ）の一部であり、そして、選択された前記一連の層（ＳＦ＊）の前記中間層（Ｍ）の一部が、他の前記一連の層（ＳＦ）の前記中間層（Ｍ）と異なるドープ濃度を有するものとして、前記縦型ＭＯＳトランジスタのチャネル領域のドープ濃度の形式によって情報が記憶されるようにしたことを特徴としている。
【０００９】
請求項３に記載の集積回路装置は、メモリセル配置が、ＤＲＡＭメモリセル配置を構成し、前記第一分割トレンチ（Ｔ，Ｔ１）が、前記下層（Ｕ’）を切り通し、前記接続構造

体（Ｖ’）が、ストリップ状で、前記第一分割トレンチ（Ｔ，Ｔ１）と平行に延在し、各下ビットラインが、前記接続構造体（Ｖ’）の一つと前記第一分割トレンチ（Ｔ，Ｔ１）の一つとの間に設けられ、第二分割トレンチ（Ｔ２）が、前記第一分割トレンチを横断して延在するとともに切り通すことなく前記下層（Ｕ’）まで達し、前記ゲート電極が、二つの縦型ＭＯＳトランジスタを側面で環状に囲むように設けられるとともに、前記第一分割トレンチ（Ｔ，Ｔ１）と前記第二分割トレンチ（Ｔ２）に設けられた前記ワードライン（Ｗ’）の一部を構成し、容量誘電体層（Ｋｄ）が、前記上層（Ｏ’）上に前記上層（Ｏ’）を完全に覆うように設けられて前記上層（Ｏ’）が第一キャパシタ電極として用いられ、第二キャパシタ電極（Ｐ）が、前記容量誘電体層（Ｋｄ）の上に設けられたことを特徴としている。

【００１０】

請求項４に記載の集積回路装置は、互いに隣接し前記第一分割トレンチ（Ｔ，Ｔ１）を横断する前記縦型ＭＯＳトランジスタ対の間隔が、互いに隣接し前記第一分割トレンチ（Ｔ，Ｔ１）に平行な前記縦型ＭＯＳトランジスタ対の間隔より小さくされて、前記第二分割トレンチ（Ｔ２）に延在する前記ワードライン（Ｗ’）の一部が、スペーサーとして用いられるようにされていることを特徴としている。

【００１１】

請求項５に記載の集積回路装置前記接続構造体（Ｖ，Ｖ’）が単結晶半導体材料で構成されていることを特徴としている。

【００１２】

請求項６に記載の集積回路装置は、前記接続構造体（Ｖ，Ｖ’）が、多結晶半導体材料で構成されていて、$5\times10^{18}cm^{-3}$より高濃度のドーピング濃度を有していることを特徴としている。

【００１３】

請求項７に記載の集積回路装置の製造方法は、基板（１，２）に第一の導電型の不純物でドープして前記基板(１，２)の表面に隣接した層を形成するステップと、前記基板（１，２）の上に前記第一の導電型とは反対の第二の導電型の不純物でドープしてＭＯＳトランジスタの第一ソース・ドレイン領域を形成する下層（Ｕ，Ｕ’）を形成するステップと、前記下層（Ｕ，Ｕ’）の上に前記第一の導電型の不純物でドープして前記ＭＯＳトランジスタのチャネル領域を形成する中央層（Ｍ，Ｍ’）を形成するステップと、前記中央層（Ｍ，Ｍ’）の上に前記第二の導電型の不純物でドープして前記ＭＯＳトランジスタの第二ソース・ドレイン領域を形成する上層（Ｏ，Ｏ’）を形成するステップと、ストリップマスクを用いて、少なくとも第一側面を有する２枚の一連の層（ＳＦ，ＳＦ＊）に分割するために、前記上層（Ｏ，Ｏ’）と中央層（Ｍ，Ｍ’）と下層（Ｕ，Ｕ’）とからなる一連の層を通り前記基板（１，２）にまで延在する接続構造体用トレンチ（Ｇ）を形成するステップと、前記一連の層の前記中央層（Ｍ，Ｍ’）と前記下層（Ｕ，Ｕ’）の領域で対向する第一側面に隣接するとともに前記中央層（Ｍ，Ｍ’）と前記基板（１，２）間を電気的に接続する前記第一の導電型の不純物でドープした材料で接続構造体（Ｖ，Ｖ’）を形成して前記接続構造体用トレンチ（Ｇ）を部分的に埋めるステップと、前記接続構造体（Ｖ，Ｖ’）の上部の接続構造体用トレンチ（Ｇ）に前記第二の導電型の不純物でドープして前記一連の層のそれぞれの上層（Ｏ，Ｏ’）とコンタクトしたドープ領域（Ｇｅ，Ｇｅ’）を形成するステップと、前記接続構造体用トレンチ（Ｇ）に平行に置かれ、前記上層（Ｏ，Ｏ’）と中央層（Ｍ，Ｍ’）とを切り通し、前記中央層（Ｍ，Ｍ’）を露出して前記一連の層の第二側面を形成することにより、前記接続構造体（Ｖ）を挟む一対の縦型ＭＯＳトランジスタが配置された第一分割トレンチ（Ｔ，Ｔ’）を各一連の層に形成するステップと、を順次有し、そして、前記第二側面領域で少なくとも前記上層（Ｏ，Ｏ’）と中央層（Ｍ，Ｍ’）とに隣接させるとともに、前記上層（Ｏ，Ｏ’）及び前記ドープ領域（Ｇｅ，Ｇｅ’）の上部を完全に覆うようにゲート誘電体（Ｇｄ）を形成し、次に、少なくとも一部が前記第一分割トレンチ（Ｔ，Ｔ１）において前記ゲート誘電体（Ｇｄ）に隣接するようなゲート電極と、前記ゲート誘電体（Ｇｄ）と接するように形成されるとと

もに下ビットラインとして使用する前記下層（Ｕ，Ｕ‘）を横断して前記ゲート電極と接続されたワードライン（Ｗ）と、を同時に形成するステップ、並びに、前記第二側面領域で、少なくとも前記上層（Ｏ，Ｏ’）と中央層（Ｍ，Ｍ’）とに隣接させてゲート誘電体（Ｇｄ’）を形成し、次に、少なくとも一部が前記第一分割トレンチ（Ｔ，Ｔ１）において前記ゲート誘電体（Ｇｄ’）に隣接するようなゲート電極と、下ビットラインとして使用する前記下層（Ｕ，Ｕ‘）を横断して前記ゲート電極に接続されるワードライン（Ｗ’）と、を同時に形成し、続いて、前記上層（Ｏ，Ｏ’）及び前記ドープ領域（Ｇｅ’）の上部を完全に覆うように容量誘電体層（Ｋｄ）を形成するステップ、のうちいずれか一方のステップを有していることを特徴としている。

【００１４】

請求項８に記載の集積回路装置の製造方法は、メモリセル配置をＲＯＭメモリセル配置になるように構成し、前記ゲート誘電体（Ｇｄ，Ｇｄ’）を形成する前に、選択した一連の層（ＳＦ＊）の中央層（Ｍ）の一部を、他の一連の層（ＳＦ）の中央層とは異なるドーピング濃度でドープして、トランジスタのチャネル領域のドーピング濃度の形式で情報を記憶するステップを有し、前記第一分割トレンチ（Ｔ，Ｔ１）を形成する際に、前記第一分割トレンチ（Ｔ，Ｔ１）を、切り通すことなく前記下層（Ｕ）まで達するように形成して、前記下ビットラインの一つと前記接続構造体（Ｖ）の一つを交互に互いに隣接するように設け、前記ゲート電極を形成する際に、前記ゲート電極を、前記基板（１，２）表面と平行な断面を有しストリップ状である前記ワードライン（Ｗ）の一部として形成し、そして、前記一連の層（ＳＦ，ＳＦ＊）の上層（Ｏ）とドープ領域（Ｇｅ）とによって、上ビットラインを構成することを特徴としている。

【００１５】

請求項９に記載の集積回路装置の製造方法は、メモリセル配置をＤＲＡＭメモリセル配置になるように構成し、前記接続構造体用トレンチ（Ｇ）を形成する際に、該接続構造体用トレンチ（Ｇ）をストリップ状に形成し、前記第一分割トレンチ（Ｔ，Ｔ１）を形成する際に、前記第一分割トレンチ（Ｔ，Ｔ１）が、接続構造体用トレンチ（Ｇ）と平行かつ前記下層（Ｕ’）を切り通すように形成し、前記第一分割トレンチ（Ｔ，Ｔ１）を形成した後に、前記第一分割トレンチ（Ｔ，Ｔ１）を横断するとともに、切り通すことなく前記下層（Ｕ’）まで達する第二分割トレンチ（Ｔ２）を形成するステップを有し、前記ゲート電極を形成する際に、前記ワードラインの一部を形成して２つの縦型ＭＯＳトランジスタの側面を環状に囲ように前記第一分割トレンチ（Ｔ，Ｔ１）と前記第二分割トレンチ（Ｔ２）とに前記ゲート電極を形成し、前記上層（Ｏ，Ｏ’）及び前記ドープ領域（Ｇｅ’）の上部を完全に覆うように前記容量誘電体層（Ｋｄ）を形成した後に、第二キャパシタ電極（Ｐ）を前記容量誘電体層（Ｋｄ）の上に形成するステップを有することを特徴としている。

【００１６】

請求項１０に記載の集積回路装置の製造方法は、前記接続構造体用トレンチ（Ｇ）を形成する際に、前記上層（Ｏ，Ｏ’）の上に、第一補助層（Ｈ１）と、その上に第二補助層（Ｈ２）とを前記上層（Ｏ，Ｏ’）が部分的に露出するようにストリップ状に形成し、背面金属を形成してエッチングすることで、構造化された第一補助層（Ｈ１）と構造化された第二補助層（Ｈ２）に隣接するスペーサー（Ｓｐ）を形成し、そして、前記スペーサー（Ｓｐ）と前記第二補助層（Ｈ２）をマスクにして前記接続構造体用トレンチ（Ｇ）を形成し、前記第一分割トレンチ（Ｔ，Ｔ’）を形成する際に、前記ドープ領域（Ｇｅ，Ｇｅ’）上に材料が堆積されて補助構造（Ｈ）を形成し、前記第一補助層（Ｈ１）が露出するまで引き続き平坦化を実施し、前記第一補助層（Ｈ１）を除去し、そして、前記スペーサー（Ｓｐ）と前記補助構造（Ｈ）とをマスクにして前記第一分割トレンチ（Ｔ，Ｔ’）を形成することを特徴としている。

【００１７】

請求項１１に記載の集積回路装置の製造方法は、前記第一分割トレンチ（Ｔ，Ｔ１）を形成する際に、前記第一補助層（Ｈ１’）を除去した後に、前記スペーサー（Ｓｐ１）に

隣接する更なるスペーサー（Ｓｐ２）を材料の堆積とエッチングにより形成し、前記スペーサー（Ｓｐ１）と更なるスペーサー（Ｓｐ２）と前記補助構造（Ｈ）をマスクにして、前記第一分割トレンチ（Ｔ，Ｔ１）を形成し、前記第二分割トレンチ（Ｔ２）を形成する際に、前記第二分割トレンチ（Ｔ２）を、その幅が前記第一分割トレンチ（Ｔ，Ｔ１）の幅より大きくなるように形成し、前記ワードライン（Ｗ，Ｗ’）を形成する際に、材料が堆積され、エッチバックされて、マスク無しで相互に隣接したゲート電極の形で形成されるような厚みで前記ワードライン（Ｗ，Ｗ’）を形成することを特徴としている。

【００１８】

請求項１２に記載の集積回路装置の製造方法は、前記接続構造体（Ｖ，Ｖ’）を、エピタキシによって形成することを特徴としている。

【００１９】

請求項１３に記載の集積回路装置の製造方法は、前記接続構造体（Ｖ，Ｖ’）を、多結晶半導体材料を堆積して形成することを特徴としている。

【発明を実施するための最良の形態】

【００２１】

この問題は、基板の表面に隣接した層において第１導電型でドープされている少なくとも一つの縦型トランジスタを備えた集積回路によって解決される。基板上には、下層、前記第１導電型でドープされた中央層および上層からなる加工された一連の層が配置される。該一連の層は、各々が前記下層、中央層および上層によって形成される、少なくとも一つの第１の表面と第２の表面を備えている。前記下層は前記トランジスタの第１のソース・ドレイン領域として利用可能であり、前記中央層は、該トランジスタのチャンネル領域として利用可能であり、前記上層は、該トランジスタの第２のソース・ドレイン領域として利用可能である。前記チャンネル領域を前記基板に電気的に接続するために、第１の導電型でドープされた接続構造体が、少なくとも前記中央層と下層に横方向で隣接し、前記基板に達するように、前記一連の層の少なくとも前記第１の表面に配置されている。ゲート誘電体が前記一連の層の第２の表面に隣接し、前記トランジスタのゲート電極が該ゲート誘電体に隣接している。

【００２２】

上記問題は、基板の表面に隣接した層を第１導電型でドープしたその基板上に一連の層を形成するために、最初に、前記トランジスタの第１のソース・ドレイン領域として利用可能な下ドープ層（Ｕ）を形成し、この上に、第１導電型でドープされ、該トランジスタのチャンネル領域として利用可能な中央層（Ｍ）を形成し、この上に、該トランジスタの第２のソース・ドレイン領域として利用可能なドープ上層（Ｏ）を形成する、少なくとも一つの縦型ＭＯＳトランジスタを備えた集積回路装置の製造方法によって解決される。
前記チャンネル領域を前記基板に電気的に接続するために、前記一連の層の前記第１の表面に、第１の導電型でドープされた接続構造体を、少なくとも前記中央層と下層に横方向で隣接し、かつ前記基板に達するように形成する。前記一連の層は、その第２の表面が第１の表面と対面するように形成する。ゲート誘電体およびそれに隣接するゲート電極を前記一連の層の少なくとも第２の表面に形成する。

【００２３】

回路装置のトランジスタのチャンネル長は、中央層の厚さによって決定される。チャンネル長がエッチング深さによって決定されるH. Takao et al （上記）によるトランジスタと比較して、チャンネル長は、より正確に設定できる。それ故、回路装置は、より正確な工程を通して製造できる。

【００２４】

前記接続構造体によって、チャンネル領域から電荷を流出させることができるので、Risch et al （上記）によるトランジスタとは逆に、浮遊ボディ効果が避けられる。それ故、チャンネル領域は、高周波でも過充電されることはない。

【００２５】

漏れ電流を避けるために、接続構造体は、シリコンやゲルマニウムのような単結晶半導

体材料でできているのがよい。接続構造体は、例えば、上記一連の層を切り込むトレンチ内にエピタキシによって形成される。基板とゲート電極の間の容量を小さく保つために、接続構造体のドーパント濃度を例えば3 x $10^{17}cm^{-3}$以下と低くするのがよい。

【００２６】

ポリシリコンのような多結晶半導体材料を接続構造体のために用いてもよい。この場合、トレンチは、半導体材料で充填される。また、半導体材料をトレンチを充填するには十分でない厚さで付着させてもよい。その次に、半導体材料をエッチバックして、接続構造体をスペーサの形に形成できる。接続構造体が多結晶材料か、多数の欠陥がある材料でできている場合は、空間電荷領域の接続構造体への拡大を減少させるために、接続構造体のドーパント濃度を5 x $10^{18}cm^{-3}$－$10^{20}cm^{-3}$とするのがよい。

【００２７】

接続構造体とソース・ドレイン領域の間の降伏電圧を増大するために、と同時に空間電荷領域の拡大を防止するために、本発明において、接続構造体の形成中、その内側が外側より高濃度でドープされるように、接続構造体のドーパント濃度を増大させる。

【００２８】

回路装置の特に高い集積密度は、接続構造体の幅および／または一連の層の第１の表面とそれに対向した第２の表面の間の間隔が、回路装置の製造のために利用されるフォトリソグラフィによって形成できる最小の構造サイズＦよりも小さい場合に達成できる。

【００２９】

このような狭い一連の層を形成するために、スペーサをマスクとして利用できる。

【００３０】

接続構造体が一連の層の第１の表面に形成され、ゲート誘電体が該接続構造体の第２の表面に形成され、従って、これら二つの表面が別の工程によって形成されるから、一連の層は、二つの異なった工程で形成するのが有利である。この目的のために、マスクを上層の少なくともＦ^{2}の面積を空けて表面に付着する。マスクは、材料が被着され、エッチバックされるスペーサによって拡大される。その結果、上層の露出面積は、リソグラフィ技術の寸法以下となる。トレンチ、従って一連の層の第１の表面を形成するために、上層の露出領域に対して、スペーサおよびマスクに対して選択的なされる第１のエッチング工程を実施する。その後に接続構造体を形成する。マスクは、スペーサに対して選択的に除去する。スペーサに対して選択的になされる第２のエッチングプロセスによって、一連の層の第２の表面を形成する。

【００３１】

接続構造体が上層、中央層または下層と同じ半導体材料でできている場合は、一連の層の第２の表面の形成中に接続構造体を保護するために、接続構造体の上部に補助構造体を形成する。接続構造体の上面がマスクの上面の下に位置している場合は、マスクが露出するまで材料を被着、平面化することによって補助構造体を形成できる。

【００３２】

回路装置は、 前記一連の層と類似した態様で構成された別の一連の層を備え、その第１の表面が前記接続構造体が、前記一連の層と前記別の一連の層の間に配置され、前記別の一連の層の中央層を前記基板に電気的に接続されるようになっている。別のゲート誘電体が前記別の一連の層の少なくとも一つの第２の表面に隣接し、別のゲート電極が該別のゲート誘電体に隣接している。

【００３３】

製造過程を簡単にするために、一連の層および他の一連の層は、単一の上層、中央層および下層を加工するのが望ましい。または、これらの一連の層は、例えば、適当なマスク内の選択的なエピタキシによって形成される。

【００３４】

以下の説明において、「上層」は、製造方法の最初に形成され、そこから一連の層の各部が形成される連続した上層を指す。これは、「中央層」および「下層」についても同じである。他方、「一連の層の上層」は、単にこの一連の層の特定の部分のみを指す。一連

の層が上層から形成される場合、「一連の層の上層」は、一連の層に属する上層の部分を意味する。

【００３５】

一連の層の上層および他の一連の層の上層が、トランジスタの第２のソース・ドレイン領域として用いられ、一連の層の中央層および他の一連の層の中央層が、トランジスタのチャンネル領域として用いられ、一連の層の下層および他の一連の層の下層が、トランジスタの第１のソース・ドレイン領域として用いられる場合、該トランジスタは、とくに大きなチャンネル幅を有する。ゲート電極および他のゲート電極は、共通のゲート電極を形成する。

【００３６】

上層、中央層および下層は、接続構造体を囲むように構成されるので、一連の層および他の一連の層は、お互いに合流する。一連の層と他の一連の層は、交互に分離することができる。第１の場合、マスクは、例えば矩形領域のような領域を空けるので、元々閉じていたスペーサが、マスクの拡大の間に形成され、従って、それに対応して一つの一連の層を形成できる。第２の場合、例えば、マスクはストリップ状になっているので、お互いから分離された二つのスペーサ、従って二つのお互いから分離された一連の層が形成される。

【００３７】

一連の層の上層と他の一連の層の上層とをお互いに電気的に接続するために、第１の導電型と反対の第２導電型でドープされた上記接続構造体の上部に配置できる。

【００３８】

ドープ領域を形成するために、接続構造体の上部をそれがドープ領域に変わるようにインプラントできる。

【００３９】

他の一連の層の上層が他のトランジスタの第２のソース・ドレイン領域として用いられ、他の一連の層の中央層が他のトランジスタのチャンネル領域として用いられ、他の一連の層の下層が他のトランジスタの第１のソース・ドレイン領域として用いられる場合、回路装置の集積密度は、特に高い。というのは、接続構造体は、第１に二つの一連の層の共通の接続構造体として作用し、第２に二つのトランジスタを分離するからである。ここでもまた、ドープ領域を二つの領域を直列に接続するように形成できる。

【００４０】

回路装置は、例えば、メモリセル装置として利用できる。一連の層と他の一連の層は、対を形成し、一連の層の第２の表面は、その第１面と対向し、他の一連の層の第１の表面は一連の層の第１の表面と対向する。その対と類似した多数の対がｘｙグリッド状に配列される。これら対の少なくとも幾つかは、お互いにほぼ平行に走る第１の分割トレンチによってお互いから分離され、該対の交互のものと第１の分割トレンチの一つがお互いの脇に形成され、該対の一連の層の第２の表面が第１の分割トレンチと隣接する。第１の分割トレンチを横切るように走るワード線がゲート電極に接続される。下ビット線が下層の一部となり、ワード線を横切るように走る。上記対に属する接続構造体が製造されるトレンチがストリップ状に形成される。第１の分割トレンチは、該トレンチに平行に走る。上記下層は少なくとも前記トレンチによって形成され、下ビット線は、前記接続構造体に隣接し、それと平行に走る。

【００４１】

下層を切抜くことなしにその下層に達するような態様で、第１の分割トレンチが形成される場合、下ビット線の交互のものとトレンチの一つがお互いの脇に配置される。このような配列は、例えば、ＲＯＭセル配列として用いることができる。お互いに隣接した第１の分割トレンチの二つの間に配置された対は、お互いに合流するので、ストリップ状でかつ第１の分割トレンチにほぼ平行に走る、表面に平行な断面を有する共通の接続構造体を形成する。このことは、上ビット線を形成するドープ領域に同様に当てはまる。ゲート電極は、上記表面に平行なストリップ状断面を有するワード線の一部となる。各対は、直列

に接続され、それぞれ上ビット線の一本と下ビット線の一本との間に接続されていつ二つのトランジスタの一部となる。一つのメモリセルが一つのトランジスタを含む。該メモリセルは、２Ｆ^{2}の面積で形成できる。情報は、チャンネル領域のドーパント濃度の形式、従って、トランジスタの閾値電圧の形式で記憶される。トランジスタから情報を読み出すためには、当該ワード線を活性化し、当該上ビット線を当該下ビット線の間に電流が流れているかどうかの測定を行う。トランジスタのチャンネル領域のドーパント濃度は、マスクされた傾めのインプラントによって調整可能である。

【００４２】

下層を切欠くように第１の分割トレンチが形成される場合、下ビット線の一本がトレンチの一つと第１の分割トレンチの一つの間に配置される。このような回路装置は、例えばＤＲＡＭセル配列として用いることができる。このメモリ配列では、二つの相互に隣接した第１の分割トレンチの間に配置された対の接続構造体が、共通の接続構造体を形成するのが望ましい。接続構造体は、基板表面と平行な断面を有し、ストリップ状であり、第１の分割トレンチに平行に走る。しかし、ＤＲＡＭセル配列の場合は、お互いに隣接した第１の分割トレンチの二つの間に配置されている対は、合流せずに、第２の分割トレンチによってお互いから分離されている。第２の分割トレンチは、第１の分割トレンチを横切り、下層に達する。第２の分割トレンチは、下層を切り抜くことはないので、下ビット線が中断しない。加えて、接続構造体は第２の分割トレンチによって中断されない。

【００４３】

各場合において、一連の層の対の一つがトランジスタの一つの一部である場合も本発明の範囲内である。この場合、対になっている一連の層の上層をお互いに接続するドープ領域を形成することが望ましい。トランジスタは、関連した接続構造に隣接した二本の下ビット線に接続される。該二本の下ビット線は、例えば、ＤＲＡＭ配列の周辺において一緒に接続され、一本のビット線として作用する。

【００４４】

上層およびドープ層が容量の容量電極として作用する場合も本発明の範囲内である。この目的のために、上層およびドープ領域の上方に容量誘電体がはいちされ、さらにその上に全ての容量の共通の容量プレートとして設計可能な第２の容量電極が配置される。

【００４５】

ワード線が上層の上方を走るＲＯＭセル配列と対照的に、ＤＲＡＭセル配列のワード線は、それらが上層の上方に配置された容量の上方を走るので別の態様で構成するのが良い。該ワード線は、例えば、側部で一連の層の対を環状に包囲し、第１の分割トレンチ内でお互いに隣接するゲート電極によって形成される。

【００４６】

ＤＲＡＭセル配列のメモリセルは、お互いに直列に接続されている、トランジスタの一つと容量の一つを含む。メモリセルは４Ｆ^{2}で構成できる。

【００４７】

メモリセル内の情報は、当該容量上の電荷の形式で記憶される。

【００４８】

集積密度を増大するために、それぞれの場合に、対の一方が二つのトランジスタの一部となっている場合も本発明の範囲内である。この場合、トランジスタが分離されるようにドープ領域は形成されない。下ビット線は、個々のビット線として作用する。このようなＤＲＡＭセル配列内のメモリセルの面積は、ほんの２Ｆ^{2}程度である。

【００４９】

容量誘電体が強誘電体材料を含む場合は、ＦＲＡＭ（強誘電体ＲＡＭ）配列が形成される。

【００５０】

複数の一連の層および接続構造体を形成するマスクは、第１の補助層およびその上に配置された第２の補助層を含むことが可能であり、第１の補助層をスペーサに対して選択的にエッチすること、第２の補助層を半導体材料に対して選択的にエッチすることが可能と

なる。

【００５１】

メモリセル配列を形成するために、第１の補助層および第２の補助層をストリップ状に構成し、上層の一部が露出されるようにする。トレンチの形成中、第２の補助層およびスペーサはマスクとして作用する。補助構造の形成中、第２の補助層およびスペーサは、第１の補助層が露出するまで除去される。その後で、第１の補助層がスペーサおよび補助構造に対して選択的に除去されるので、該スペーサおよび補助構造体は第１の分割トレンチの形成中、マスクとして作用する。

【００５２】

上層と第１の補助層との間に保護層を形成できる。保護層、第２の補助層、スペーサおよび補助構造体は、例えばSiO2を含むことができる。第１の補助構造体は、例えば、ポリシリコンを含むことができる。

【００５３】

第１の分割トレンチを横切るようにしてお互いに隣接する「対」の間の空隙が、第１の分割トレンチに対して平行になるようにしてお互いに隣接した「対」の間の空隙より小さい場合は、ＤＲＡＭセル配列のワード線は、自己調整態様で、すなわち調整マスクを使用しないで形成できる。この場合、ワード線を形成するためには、第１の分割トレンチが充填されるが第２の分割トレンチは充填されない厚さで材料を被着できる。次に、エッチバックによって第２の分割トレンチ内でスペーサが形成され、他方、第１のトレンチは、材料で被着されたままになっている。その結果、ゲート電極はマスクなしに、形成され、「対」を環状に包囲し、第１のトレンチ内でお互いに隣接する。

【００５４】

異なったサイズの空隙を高密度で実現するためには、第１の補助層の除去に引き続いて、材料を被着し、エッチバックすることによってスペーサに隣接した別のスペーサを形成できる。別のスペーサはスペーサと同じ材料でできているのが望ましい。第１の分割トレンチは、スペーサ、別のスペーサおよび補助構造体がマスクとして形成する。こうして形成された第１の分割構造は、前記第１のＲＯＭセル配列の第１の分割トレンチより狭くなる。第２の分割トレンチはリソグラフィで構成されたマスクで形成できるので、その幅は、第１の分割トレンチの幅よりかなり大きくなり、例えばＦの寸法となる。以下、図面を参照して、本発明の実施例を詳細に説明する。

【００５５】

第１の実施例では250nm技術、すなわちフォトリソグラフィーによって形成できる最小の構造寸法Ｆが250nmである技術を用いる。出発材料は、第１の基板１であって、その表面の隣接層では、$10^{17}cm^{-3}$の濃度でＰドープされている。ドープエピタキシ法によって、約500nm厚のｎドープ下層Ｕが形成される。下層のドーパント濃度は、約$10^{20}cm^{-3}$である。約200nm厚のｐドープ中央層Ｍがドープエピタキシ法によって下層Ｕ上に形成される。中央層Ｍのドーパント濃度は、約3 x $10^{17}cm^{-3}$である。次に、ドーパント濃度が約$10^{21}cm^{-3}$で、厚さが200 nmであるｎドープ層Ｏが中央層Ｍ上に形成される（図１）。保護層Ｓを形成するために、SiO2が約50 nmの厚さでTEOS法で被着される。この上に第１の補助層Ｈ１ポリシリコンを約200 nmの厚さで被着することによって形成される。第１の補助層Ｈ１の上に第２の補助層が約100 nmの厚さでSiO2を被着することによって形成される（図１）。

【００５６】

フォトリソグラフィ法によって、保護層Ｓ、第１の補助層Ｈ１および第２の補助層Ｈ２はストリップ状のマスクとなるように構成される。マスクのストリップは、約250nm幅で、250 nmの間隔を有している。このように構成するときの適当なエッチャントは、例えば、CHF3 + O2 およびC2F6 + O2である。マスク領域にスペーサを形成するために、SiO2を80 nmの厚さで被着し、CHF3 + O2でエッチバックされる。その結果、マスクは、スペーサＳｐの幅となる（図１）。

【００５７】

スペーサＳｐの幅となったマスクを用いて、シリコンを、例えば、HBr + NF3 + He + O2の反応を利用してSiO2 1.1 μmの深さまで選択的にエッチすることによって、マスクのストリップに平行なトレンチＧが形成される（図１）。

【００５８】

トレンチＧにおいて、3 x $10^{17}cm^{-3}$ のドーパント濃度での選択エピタキシによって、Ｐドープの接続構造体Ｖが形成され、中央層Ｍと第１の基板１を電気的に接続する（図２）。接続構造体Ｖの上面は、上層Ｏの上面とほぼ同じ高さに位置している。接続構造体Ｖは、約90nmの幅を有している。それ故、接続構造体Ｖの幅は、さらに微少である。隣接した接続構造体Ｖは、お互いの間で約410 nmの空間を有している。

【００５９】

ｎドープのイオンインプランテーションによって、ドーパント濃度が、約5 x $10^{20}cm^{-3}$ のｎドープ領域Ｇｅが接続構造体Ｖの上部に形成される（図２）。

【００６０】

次に、SiO2 を約300 nmの厚さで被着し、化学的機械的に研磨される。この過程で、第２の補助層Ｈ２が除去され、スペーサＳｐの部分が除去される。SiO2でできた補助構造体Ｈがドープ領域Ｇｅの上部に形成される（図２）。

【００６１】

第１の補助層Ｈ１は、例えば、C2F5 + O2 の反応式を用いて、SiO2 に関して選択的にポリシリコンをエッチすることによって除去される。この場合、スペーサＳｐと補助層Ｈがマスクとして働く。

【００６２】

次に、SiO2がCHF3 + O2の反応式で約50 nmの深さまでエッチされるので、保護層Ｓが除去され、上層Ｏも部分的にエッチされる。

【００６３】

分割トレンチＴを形成するために、補助構造体ＨおよびスペーサＳｐをマスクとして、例えばHBr + NF3 + He + O2を通してシリコンがエッチされる。分割トレンチＴは深さが約600 nmであって、切り抜くことなしに下層Ｕに達する（図３）。この過程において、連続した層ＳＦおよびＳＦ*が上層Ｏ、中央層Ｍおよび下層Ｕから形成されるので、連続したこれらの層は、第１の面で接続構造体Ｖに隣接し、第２の面で分割トレンチＴに隣接する。一連の層ＳＦおよびＳＦ*の第１の面と第２の面の空間は、約80 nm と微少となる。分割トレンチＴは、トレンチＧとの関係において、自己調整態様で形成される。次に、スペーサＳｐと補助構造Ｈは、シリコンに対して選択的にSiO2をエッチすることによって除去される。

【００６４】

ｐドープイオンのマスク斜めインプランテーションによって、中央層Ｍの関連部Ｃのドーパント濃度が約$10^{19}cm^{-3}$に上昇するようにして選択した一連の層ＳＦ*がイオンインプラントされる（図３）。

【００６５】

約5 nm厚のゲート誘電体Ｇｄが熱酸化によって形成される（図４（ａ））。

【００６６】

ワード線Ｗを形成するために、ｎドープポリシリコンが約200 nm厚で被着され、フォトリソグラフィ法によってストリップ状に形成される（図４（ａ）および図４（ｂ））。

【００６７】

ワード線Ｗはトレンチ Ｇを横切るように走る。分割トレンチＴ内に位置するワード線の部分は、垂直トランジスタのゲート電極として用いることができる。基板表面と平行で、上層Ｏの上を走るワード線の断面は、ストリップ状となっている。形成された下層Ｕは下ビット線およびトランジスタのソース・ドレイン領域となる。下ビット線と接続構造体Ｖは、お互いの脇に並んで交互に配置される。中央層Ｍはトランジスタのチャンネル領域となる。上層ＯおよびドープゲートＧ領域は、トランジスタのソース・ドレイン領域および上ビット線となる。それらは、ストリップ状で、下ビット線と平行に走る。一連の層ＳＦ、

ＳＦ*は、一つのトランジスタの一部となる。トランジスタは、ワード線の方向で、お互いに直列に接続される。トランジスタは、一本の上ビット線と一本の下ビット線の間に接続される。こうして、製造された回路装置は、ＲＯＭセル構成として適当である。メモリセルは、トランジスタの一つを含む。一つのメモリセル当たりの空間はほんの$2F^2$でよい。

【００６８】

トランジスタから情報を読み出すためには、関連のワード線Ｗを付勢し、間にトランジスタが接続される上ビット線と下ビット線の間に電流が流れているかどうか判断される。関連した一連の層ＳＦ*に属する中央層Ｍの部分が斜めにインプラントされている場合は、当該トランジスタの閾値電圧が高いので電流は流れない。関連した一連の層ＳＦ*に属する中央層Ｍの部分が斜めにインプラントされていない場合は、流れる。従って、この情報は、トランジスタのチャンネル領域のドーパント濃度として記憶される。

【００６９】

第２の実施例においても、同様に、250 nm技術が用いられる。出発材料は、シリコンの第２の基板２であり、第１の実施例と同様な態様で、表面に隣接した層でｐドープされる。

【００７０】

第１の実施例と同様にして、下層Ｕ'、中央層Ｍ'、上層Ｏ'、スペーサＳｐ1'、接続構造体Ｖ'、ドープ領域Ｇｅ'および補助構造体Ｈ'が形成される（図５）。
第１のスペーサＳｐ1'に隣接する別のスペーサＳｐ2'を形成するために、Si02が約80 nm厚で被着され、CH3 + 02の反応でエッチバックされる（図５）。その結果、上層Ｏ'の露出面積は小さくなる。

【００７１】

Si02に対して選択的にシリコンをエッチすることによって、深さが1.1μｍ の第１の分割トレンチＴ１が形成され、下層Ｕ'中まで研削される。この場合。スペーサＳｐ１'、別のスペーサＳｐ２'、および補助構造体Ｈ'はマスクとして用いられる（図６（ａ））。
第１の絶縁構造体Ｉ１を形成するために、Si02が約300 nm厚で被着され、上層Ｏ'が露出されるまで化学的機械的研磨によって平面化される。この過程において、スペーサＳｐ１、別のスペーサＳｐ２および補助構造体Ｈ'が除去される。

【００７２】

ストリップ幅が約250 nm、お互いの間隔が約250 nmでトレンチＧ'を横切るように走っているストリップ状のホトレジトマスク（図示しない）を用いて、研削しなくても下層Ｕ１に達する第２の分割トレンチＴ２が形成される。第２の分割トレンチＴ２は、第１の分割トレンチＴ１と交差し、第１の分割トレンチＴ１外で約600 nmの深さを有する。ここでの適当なエッチャントは、HBr + NF3 + He + 02（図６（ｂ）および図６（ｃ））。

【００７３】

一連の層ＳＦ'は、上層Ｏ'、中央層Ｍ'および下層Ｕ'から構成され、接続構造体Ｖ'、第１の絶縁構造体Ｉ１および第２の分割トレンチＴ２によってお互いから分離される。

【００７４】

接続構造体Ｖ'の一つによってお互いから分離された相互に隣接した一連の層ＳＦ'は、約90 nmの間隔を有し、他方、二つの分割トレンチＴ２'のうちのひとつによって分離された相互に隣接した一連の層ＳＦ'は約250 nmの間隔を有する。

【００７５】

第２の分割トレンチＴ２の第２の絶縁構造体Ｉ２を形成するために、約300 nmの厚さにSi02が被着され、上層Ｏ'が露出するまで化学的機械的に平面化される。次に、Si02がエッチバックされ、第１の絶縁構造体Ｉ１および第２の絶縁構造体Ｉ２の上面は、基板２の表面下約500 nmに位置する。従って、第１の絶縁構造体Ｉ１は、約600 nmの厚さを有し、第２の絶縁構造体Ｉ２は、約100 nmの厚さを有する。この工程によって、第１の分割トレンチＴ１および第２の分割トレンチＴ２内にSi02格子状で平らなベースが確実に形成される。平らなベースによって、隣接したワード線Ｗ'間の望ましくない導電性スペーサの形

成が避けられる。

【００７６】

約5 nm厚のゲート誘電体Ｇｄ'が熱酸化によって形成される（図７（ａ）および図７（ｂ））。

【００７７】

ワード線Ｗ'を形成するために、ｎドープのポリシリコンが約80 nmの厚さに被着され、約150 nmの深さにエッチバックされる。これによって、ワード線Ｗ'が自己調整態様で、相互に隣接したゲート電極として形成され、対になっている一連の層ＳＦ'を環状に包囲する。第２の分割トレンチＴ２内に位置したワード線Ｗ'の一部はスペーサ状となっている（図７（ｂ））。

【００７８】

接続構造体Ｖ'の一つによってお互いから分離された二つの相互に隣接した一連の層ＳＦ'は、トランジスタの一部となる対を形成する。その対に属する下層Ｕ'の一部が、当該トランジスタの第１のソース・ドレイン領域として用いることができる。該対に属する上層Ｏ'の一部は、トランジスタのチャンネル層として用いることができる。該対に属する上層Ｏ'の一部とドープされた領域Ｇｅ'は、該トランジスタの第２のソース・ドレイン領域として適当である。接続構造体Ｖ'は、トランジスタのチャンネル領域を基板２に接続し、浮遊ボディ効果を防止する。

【００７９】

次に、第３の絶縁構造体Ｉ３が、Si02を約200 nmの厚さに被着することによって形成され、上層Ｏ'が露出するまで化学的機械的に研磨することによって平面化される。チタン酸バリウムストロンチュームが約20 nmの厚さで塗布され、容量誘電体Ｋｄを構成する。トランジスタの第２のソース・ドレイン領域が容量の電極と同時に動作する。

【００８０】

全ての容量に共通の第２の電極Ｐを形成するために、ｎドープのポリシリコンが200 nmの厚さに被着される（図７（ａ）、図７（ｂ））。

【００８１】

こうして製造された回路装置は、メモリセルが、直列に接続された、トランジスタの一つと容量の一つからなるＤＲＡＭセル配列である。相互に隣接した第１の分割トレンチＴ１間のトランジスタは、互いに併合され、ビット線となる第１のソースドレイン領域を有する。ビット線は、二つに分割されから、上記トタンジスタは、お互いからは分離されるが、ＤＲＡＭ配列の周囲においては一緒に接続される二つのビット線に接続される。メモリセルの面積は４F^2となる。

【００８２】

本発明の範囲内で上記実施例の種々の変形が可能である。例えば、各層、構造体およびトレンチのサイズは種々の要求に応じて変えることができる。

【００８３】

容量誘電体は別の材料でもよく、また、例えばＯＮＯ連続層の形式で、多数の層から構成できる。

【００８４】

接続構造体は、トレンチをドープシリコンで充填することによっても形成可能である。

【００８５】

接続構造体の製造中、ドーパント濃度は連続または不連続に増加可能であり、従って、接続構造体の内部を外部よりも高濃度でドープできる。

【００８６】

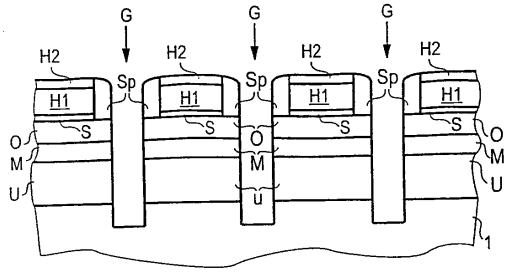
ＤＲＡＭセル配列の場合は、ドープ領域は、省くことができる。この場合、各トランジスタは、一連の層を含む。ビット線は個々のビット線として動作させ周囲で対となって接続されることはない。この場合、メモリセルの面積はほんの２Ｆ2となる。

【図面の簡単な説明】

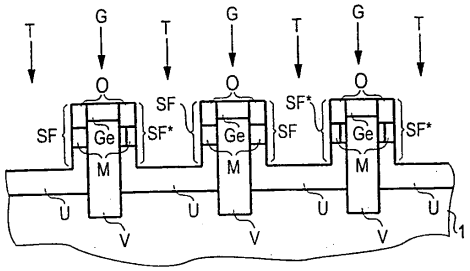
【００８７】

【図１】下層、中央層、上層、保護層、第１の補助層、第２の補助層、スペーサおよびトレンチが形成された後の第１基板の断面図である。
【図２】接続構造、ドープ領域および補助構造が形成され、第２の補助層が除去された後の図１の断面図である。
【図３】第１の補助層、保護層、スペーサおよび補助構造が除去され、分割トレンチおよび一連のトランジスタ層が形成された後の図２の断面図である。
【図４】図４（ａ）はゲート誘電体およびワード線が形成された後の図３の断面図であり、図４（ｂ）は、上層、ドープ領域、分割トレンチおよびワード線が示されている第１の基板の平面図である。
【図５】図５は、下層、中央層、上層、スペーサ、接続構造、ドープ領域、補助構造および別のスペーサが形成された後の断面図である。
【図６】図６（ａ）は、第１の分割トレンチ、第２の分割トレンチおよび一連のトランジスタ層が形成された後の図２の断面図であり、図６（ｂ）は、図６（ａ）の製造工程後の、図６（ａ）の断面図に垂直の、第２の基板の断面図であり、図６（ｃ）は、上層、ドープ領域、第１の分割トレンチおよび第２の分割トレンチが示されている第２の基板の平面図である。
【図７】図７（ａ）は、分離構造、ゲート誘電体、ワード線、容量誘電体および容量電極が形成された後の図６（ａ）の断面図であり、図７（ｂ）は、図７（ａ）の製造工程後の図６（ｂ）の断面図である。

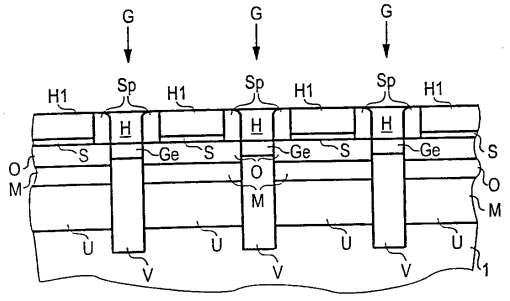
【図１】



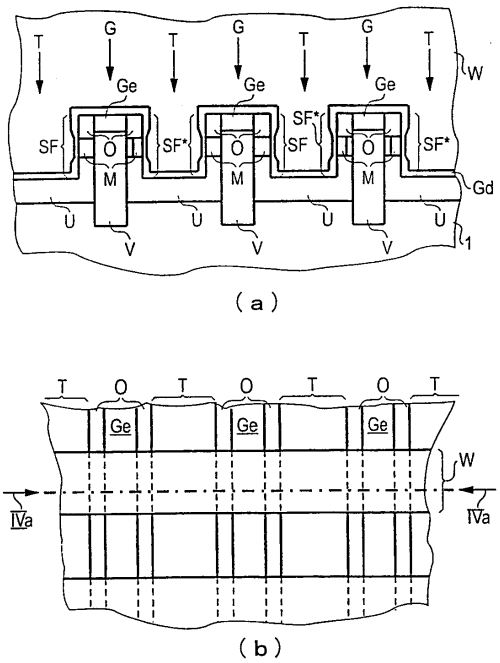
【図３】



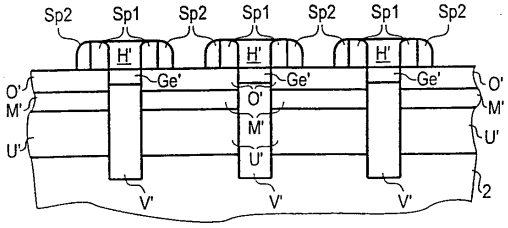
【図２】



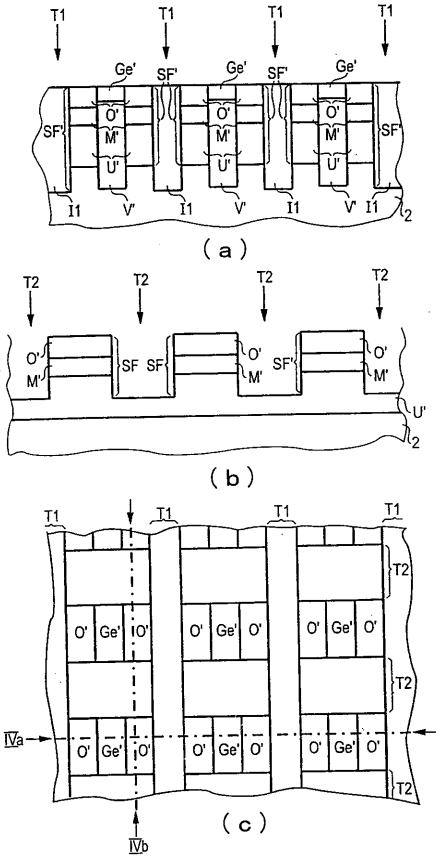
【図４】


T
G
Ge
SF
SF*
O
M
U
V
W
Gd
1
(a)
T
O
Ge
W
Va
(b)

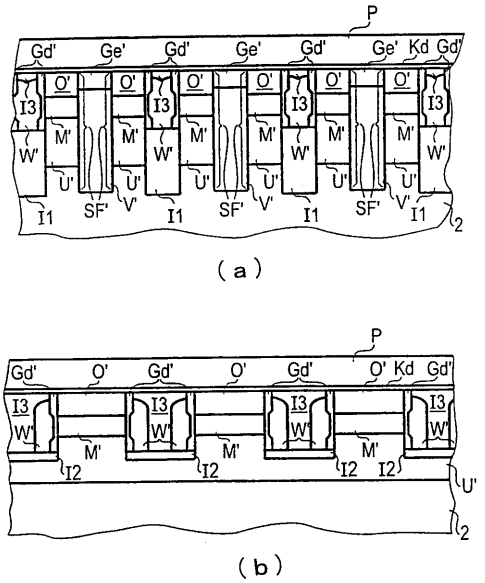
【図５】


Sp2
Sp1
H'
Ge'
O'
M'
U'
V'
2

【図６】


T1
T2
Ge'
SF'
O'
M'
U'
V'
I1
2
(a)
SF
(b)
Va
Vb
(c)

【図７】


P
Gd'
Ge'
Kd
O'
I3
M'
W'
U'
V'
I1
SF'
2
(a)
I2
(b)

フロントページの続き

(51)Int.Cl.			FI		
H01L	***27/088***	***(2006.01)***	H01L	29/78	658E
H01L	***21/8246***	***(2006.01)***	H01L	29/78	658G
H01L	***27/112***	***(2006.01)***	H01L	29/78	652G
H01L	***27/105***	***(2006.01)***	H01L	29/78	301H
			H01L	29/78	301V
			H01L	29/78	301X
			H01L	27/08	102E
			H01L	27/10	433
			H01L	27/10	444B

(72)発明者 ホフマン、フランツ
ドイツ国 デー－８０９９５ ミュンヘン、ヘルベルグシュトラッセ ２５ ベー
(72)発明者 ベルタグノリ、エマーリッヒ
オーストリア国 アー－１１９０ ウィーン、シーフェリンガーシュトラッセ １３５
(72)発明者 ゴーベル、ベルンド
ドイツ国 デー－８１７３５ ミュンヘン、カート－アイスナーシュトラッセ ４１／ＶＩＩ

審査官 安田 雅彦

(56)参考文献 特開平０７－２１１７９２（ＪＰ，Ａ）
特開平０３－１５５６６６（ＪＰ，Ａ）
特開平０７－０５８２１８（ＪＰ，Ａ）
特開平０２－３０９６７０（ＪＰ，Ａ）
特開平０１－３０７２５９（ＪＰ，Ａ）
特開平１０－２２９１７５（ＪＰ，Ａ）
特開平０２－０１４５６３（ＪＰ，Ａ）
特開平０８－３３０５３２（ＪＰ，Ａ）
特開平０８－０６４７７８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｌ ２９／７８
Ｈ０１Ｌ ２１／３３６
Ｈ０１Ｌ ２７／０８８
Ｈ０１Ｌ ２１／８２３４
Ｈ０１Ｌ ２７／１０
Ｈ０１Ｌ ２１／８２３９