(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3757059号
(P3757059)
(45)発行日　平成18年3月22日(2006.3.22)　(24)登録日　平成18年1月6日(2006.1.6)

(51)Int.Cl.　　F I
G11C 29/04 (2006.01)　　G11C 29/00 603D
H01L 27/10 (2006.01)　　H01L 27/10 471

請求項の数 7　(全 15 頁)

(21)出願番号　特願平10-208214
(22)出願日　平成10年7月23日(1998.7.23)
(65)公開番号　特開平11-176187
(43)公開日　平成11年7月2日(1999.7.2)
審査請求日　平成14年8月5日(2002.8.5)
(31)優先権主張番号　97-65906
(32)優先日　平成9年12月4日(1997.12.4)
(33)優先権主張国　韓国(KR)

(73)特許権者　390019839
三星電子株式会社
Samsung Electronics Co., Ltd.
大韓民国京畿道水原市靈通区梅灘洞４１６
416, Maetan-dong, Yeongtong-gu, Suwon-si Gyeonggi-do, Republic of Korea
(74)代理人　100076428
弁理士　大塚　康徳
(74)代理人　100093908
弁理士　松本　研一

最終頁に続く

(54)【発明の名称】半導体メモリ装置

(57)【特許請求の範囲】

【請求項１】

ローとカラムに配列された複数のメモリセルを含むメモリブロックを有する半導体メモリ装置において、

ローアドレス信号群に応答して前記メモリブロックのローを選択するローデコーダと、

前記メモリブロックのカラムを選択するカラム選択ラインと、

カラムアドレス信号群に応答して前記カラム選択ラインを活性化させるカラムデコーダと、

前記ローデコーダと前記カラムデコーダによって選択されたメモリセルにデータを入出力するデータ入出力線とを具備し、

前記ローデコーダ及び前記カラムデコーダが共にカラム方向に沿って延びるように配置され、

前記カラム選択ラインがロー方向に配置され、前記データ入出力線が前記メモリブロックの領域上で前記カラム方向に配置され、

ていることを特徴とする半導体メモリ装置。

【請求項２】

前記ローデコーダに連結されたワードラインが前記ロー方向に配置されていることを特徴とする請求項１に記載の半導体メモリ装置。

【請求項３】

１つのノードが前記メモリセルブロックの該当するビットラインに連結され、他の１つ

のノードが共通端に連結された複数のスイッチを含む第１スイッチグループと、
１つのノードが前記共通端に連結され、他の１つのノードが前記データ入出力線に連結された複数のスイッチを含む第２スイッチグループと、
を更に具備することを特徴とする請求項１に記載の半導体メモリ装置。
【請求項４】
前記第２スイッチグループのスイッチ数が前記第１スイッチグループのスイッチ数より少ないことを特徴とする請求項３に記載の半導体メモリ装置。
【請求項５】
前記第１及び第２スイッチグループの各スイッチが前記カラム選択ラインにより制御されることを特徴とする請求項３に記載の半導体メモリ装置。
【請求項６】
１つのノードが前記データ入出力線のうち２以上のデータ入出力線に連結され、他の１つのノードが外部の回路との間でデータを入力又は出力するデータ伝送線に連結された複数のスイッチを含む第３スイッチグループを更に具備することを特徴とする請求項３に記載の半導体メモリ装置。
【請求項７】
前記第３スイッチグループの各スイッチが欠陥セルをリペアするリダンダンシ情報により制御されることを特徴とする請求項６に記載の半導体メモリ装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、半導体メモリ装置に係り、特にカラム方向のデータ入出力線を有する半導体メモリ装置並びにその不良セルリペア回路及びリペア方法に関する。
【０００２】
【従来の技術】
一般的に、半導体メモリ装置は多数個のメモリセルを有する。そして、ローアドレスとカラムアドレスによって特定のメモリセルが選択される。選択されたメモリセルのデータは、ビットライン対を介してローカル入出力線に伝達される。そして、伝達されたローカル入出力線のデータは、更にグローバル入出力線に伝達される。ところが、１つのビットライン対に多数のメモリセルが連結される場合には寄生キャパシタの容量が大きくなってメモリセルの動作速度が遅くなる。また、半導体メモリ装置の全てのセルが１つのブロックで構成される場合には、マルチビット入出力を実現することが出来ないという短所がある。従って、半導体メモリ装置は、多数個のバンクで構成される。そして、各バンクは、独立してデータを入出力することができる構造を有する。このような構造をスタックバンク構造(STACK BANK ARCHITECTURE)という。
【０００３】
図1は、従来技術のスタックバンク構造を有する半導体メモリ装置の入出力線を示すブロック図である。図1に示すように、スタックバンク構造のメモリ装置は、メモリセルで構成されたバンクがレンガが積まれたような構造を有する。各バンクは、ローデコーダ、感知増幅器及びローカルカラムデコーダを有する。そして、グローバル入出力線GIOは、共通のデータバスを利用する。
【０００４】
ローデコーダは、ローバンクアドレスによって選択され、メモリセルのワードラインを選択して活性化させる。メモリセルのワードラインは、ロー方向に配置される。ローカルカラムデコーダは、カラムバンクアドレスとグローバルカラムデコーダの出力信号によって動作される。ローカルカラムデコーダは、バンクごとに配置される。グローバルカラムデコーダの出力信号GSCLとローカルカラムデコーダの出力信号LSCLiは、全てカラム方向に配置される。ローバンクアドレスとローアドレスによってワードラインが選択されると、選択されたバンクの感知増幅器が全て動作するようになる。選択されたバンクのデータは、感知増幅器によって増幅されロー方向のローカル入出力線LIO(図示せず)に伝達される

。そして、ローカル入出力線LIOに伝達されたデータは、更にグローバル入出力線GIOに伝達される。グローバル入出力線GIOは、各メモリバンクと共通に接続されており、カラム方向に配置されている。

【０００５】

図2は、図1に示す半導体メモリ装置に適用される不良セルリペア回路のブロック図である。図2に示す不良セルリペア回路は、メモリセルのデータラインDIOiとローカル入出力ラインLIOiとの間にはノーマルスイッチが配置され、リダンダンシ入出力線RIOとローカル入出力ラインLIOiとの間にはリダンダンシスイッチが配置される。

【０００６】

正常動作モードでは、ノーマルスイッチが全て"ターンオン"される。この時、リダンダンシスイッチは全て"ターンオフ"状態となる。したがって、各データラインDIOiと各ローカル入出力ラインLIOiは、相互に電気的に連結される。例えば、DIO0とLIO0、DIO1とLIO1、DIO_{n-1}とLIO_{n-1}が相互に電気的に連結されてデータ入出力が可能となる。

【０００７】

一方、不良セルが存在する場合には、該当するカラムのノーマルスイッチは"ターンオフ"され、代りにリダンダンシスイッチが"ターンオン"される。例えば、データラインDIO_1に対応するカラムに不良セルが存在すると仮定すると、データラインDIO_1に連結されるノーマルスイッチ205が"ターンオフ"され、代りにリダンダンシスイッチ207が"ターンオン"される。したがって、ローカル入出力ラインLIO_1は、データラインDIO_1と電気的に遮断され、代りにリダンダンシ入出力線RIOと電気的に連結される。そして、残りのデータラインは、それぞれの対応するローカル入出力線と電気的に連結されて正常動作モードの場合と同様に動作する。

【０００８】

ところが、従来技術のスタックバンク構造を有する半導体メモリ装置や不良セルリペア回路は幾つかの問題点を有する。

第１に、従来技術のスタックバンク構造を有する半導体メモリ装置では、入出力線を拡張する際にレイアウト面積が増加するという点が挙げられる。１つのメモリブロック内に幾つかのメモリセルバンクが配置され、バンクごとにローカル入出力線LIOが割当てられ、バンクごとにローカルカラムデコーダが存在する。そして、入出力線を拡張する場合は、メモリセルバンクを更に分割するか、或いは、感知増幅器を通じて出力されるローカル入出力線の数を増加させる必要がある。また、各ローカル入出力線が連結されるグローバル入出力線の数も増加する。したがって入出力線を拡張する場合は、メモリチップのロー方向とカラム方向との双方にレイアウト面積が増加する。

【０００９】

第２に、従来技術のスタックバンク構造を有する半導体メモリ装置では、動作時に電流の消耗量が大きいという点が挙げられる。即ち、読出または書込モードにおいて、バンクごとにローカルカラムデコーダを動作させる必要があるため、全体的に電流の消耗量が大きい。

第３に、従来技術のスタックバンク構造を有する半導体メモリ装置では、グローバル入出力線からローカル入出力線の各地点に至る距離の差に応じて負荷の差が存在するという点が挙げられる。この負荷の差によって各カラムからグローバル入出力線にデータが出力されるまでに要する時間に差が生じ、このためにメモリの性能が低下する。

【００１０】

また、図2に示す不良セルリペア回路では、リダンダンシ入出力線RIOに多数のリダンダンシスイッチが連結されている。したがって、リダンダンシ動作時にデータの入出力速度が低下するという問題がある。

【００１１】

【発明が解決しようとする課題】

本発明は、上記の背景に鑑みてなされたものであり、その１つの目的は、カラム方向のデータ入出力線を有する半導体メモリ装置を提供することにある。

本発明の他の目的は、カラム方向のデータ入出力線を有する半導体メモリ装置の不良セルリペア回路を提供することにある。

【００１２】

本発明の更に他の目的は、カラム方向のデータ入出力線を有する半導体メモリ装置の不良セルリペア方法を提供することにある。

【００１３】

【課題を解決するための手段】

前記目的を達成するための本発明に係る半導体メモリ装置は、ローとカラムに配列された多数個のメモリセルを含むメモリブロックを有する。ローデコーダは、ローアドレス信号群に応答して前記メモリブロックのローを選択する。カラム選択ラインは、前記メモリブロックのカラムを選択する。カラムデコーダは、カラムアドレス信号群に応答して前記カラム選択ラインを活性化させる。データ入出力線は、前記ローデコーダと前記カラムデコーダによって選択されたメモリセルにデータを入出力する。前記カラム選択ラインは、ロー方向に配置され、前記データ入出力線は、カラム方向に配置される。前記データ入出力線は前記メモリブロック領域上をクロースオーバーするように配置される。

【００１４】

前記他の目的を達成するための本発明に係る半導体メモリ装置の不良セルリペア回路は、第1及び第2ノーマルカラムを有するノーマルメモリーセルブロックとリダンダンシカラムを有するリダンダンシメモリセルブロックとを有する。第1及び第2ノーマルデータ入出力線は、前記第1及び第2ノーマルカラムに各々対応してデータを入出力する。リダンダンシデータ入出力線は、前記リダンダンシカラムにデータを入力し該リダンダンシカラムからデータを出力する。第1及び第2データ伝送線は、外部回路からデータを入力し該外部回路にデータを出力させる。第1スイッチは、正常動作時は前記第1データ伝送線を前記第1ノーマルデータ入出力線に電気的に連結させる。前記第1スイッチは、リダンダンシ動作時は前記第1データ伝送線を前記リダンダンシデータ入出力線に電気的に連結させる。第2スイッチは、正常動作時は前記第2データ伝送線を前記第2ノーマルデータ入出力線に電気的に連結させる。前記第2スイッチは、リダンダンシ動作時は前記第2データ伝送線を前記第1ノーマルデータ入出力線に電気的に連結させる。

【００１５】

また、本発明に係る半導体メモリ装置の不良セルリペア回路は、第1、第2及び第3ノーマルカラムを有するノーマルメモリセルブロックと、第1及び第2リダンダンシカラムを有するリダンダンシメモリセルブロックとを有する。第1、第2及び第3ノーマルデータ入出力線は、前記第1、第2及び第3ノーマルカラムに各々対応してデータを入出力する。第1及び第2リダンダンシデータ入出力線は、前記第1及び第2リダンダンシカラムに各々対応してデータを入出力する。第1、第2及び第3データ伝送線は、外部回路からデータを入力し該外部回路にデータを出力させる。第1、第2及び第3スイッチは、正常動作時は前記第1、第2及び第3データ伝送線を各々前記第1、第2及び第3ノーマルデータ入出力線に電気的に連結させる。前記第1スイッチは、1カラム移動リダンダンシ動作時は前記第1データ伝送線を前記第1リダンダンシデータ入出力線に電気的に連結させる。前記第1スイッチは、2カラム移動リダンダンシ動作時は前記第1データ伝送線を前記第2リダンダンシデータ入出力線に電気的に連結させる。前記第2スイッチは、1カラム移動リダンダンシ動作時は前記第2データ伝送線を前記第1ノーマルデータ入出力線に電気的に連結させる。前記第2スイッチは、2カラム移動リダンダンシ動作時は前記第2データ伝送線を前記第1リダンダンシデータ入出力線に電気的に連結させる。前記第3スイッチは1カラム移動リダンダンシ動作時は前記第3データ伝送線を前記第2ノーマルデータ入出力線に電気的に連結させる。前記第3スイッチは、2カラム移動リダンダンシ動作時は第3データ伝送線を前記第1ノーマルデータ入出力線に電気的に連結させる。

【００１６】

前記さらに他の目的を達成するための本発明に係る半導体メモリ装置の不良セルリペア回路は、多数のノーマルカラムと少なくとも１つのリダンダンシカラムとを有する。本発明

に係る不良セルリペア方法は、リダンダンシカラムから遠ざかる順序で数えて不良セルが属する１つのカラムの番号iを認識する不良カラム認識段階と、リダンダンシカラムから遠ざかる順序に数えて、指定されたカラムの番号kを認識する指定カラム認識段階と、前記iとkを比較してk>iであるか否かを判断する判断段階と、前記判断段階の判断結果が"はい"である場合に、データ伝送線IO_kをノーマルデータ入出力線NIO_kと電気的に連結するノーマル連結段階と、前記判断段階の判断結果が"いいえ"である場合に、データ伝送線IO_kを手前のカラムのデータ入出力線と連結するリペア段階とを具備する。

【００１７】

【発明の実施の形態】

以下、添付図面を参照しながら本発明の好適な実施の形態を説明する。

図3は、本発明の好適な実施の形態に係るカラム方向のデータ入出力線を具備した半導体メモリ装置のブロック図である。図3に示すように、この半導体メモリ装置は、ローとカラムに配列された多数個のメモリセルで構成されるメモリブロックを有する。

【００１８】

この半導体メモリ装置は、ローデコーダ301、カラムデコーダ303及びデータ入出力線IOを有する。また、メモリーブロックは幾つかのメモリセルバンクで構成される。各メモリセルバンクは、独立して読出及び書込動作を実行することができる。

ローデコーダ301は、ローアドレス信号群(RA_0、RA_1、…、RA_{n-1})に応答してメモリセルバンクを選択し、また、ローを選択してワードラインを活性化させる。カラムデコーダ303は、カラムアドレス信号群(CA_0、CA_1、…、CA_{n-1})に応答してカラム選択ラインCSLを活性化させる。カラム選択ラインCSLは、メモリブロックのカラムを選択する。また、カラム選択ラインCSLは、ロー方向に沿って配置される。

【００１９】

本実施の形態に係るカラムデコーダ303は、メモリセルバンクのロー方向を両側に見た場合の一方の側に配置される。データ入出力線IOは、ローデコーダ301とカラムデコーダ303によって選択されたメモリセルにデータを入出力する。また、データ入出力線IOはカラム方向に沿って配置される。また、データ入出力線IOは、メモリブロックの領域上をクロースオーバーするように配置される。

【００２０】

以下、図3を参照しながら本実施の形態の構成及び読出動作を詳細に説明する。本実施の形態に係る半導体メモリ装置は、16個のメモリセルバンクで構成され、全体のメモリの大きさは32M(メガ)ビットであり、64個の入出力線を有する構造である。１つのメモリセルバンクは2個のメモリセルアレイを有する。例えば、図中で最も上に配置されているメモリセルバンクは、2個のメモリセルアレイ(307_1、307_2)を有し、最も下に配置されているメモリセルバンクは、2個のメモリセルアレイ(307_31、307_32)を有する。各メモリセルアレイのメモリサイズは1Mであるので、１つのメモリセルバンクは2Mのメモリサイズを有することになる。また、各メモリセルバンクは、感知増幅器309及びカラムスイッチ311を有する。したがって、ローアドレス信号群(RA_0、RA_1、…、RA_{n-1})によってローメモリセルバンク及びメモリセルのローが選択されて該当ワードラインが活性化される。

【００２１】

そして、活性化されたワードラインに連結されているメモリセルのデータがビットラインを介して感知増幅器309に伝達される。ここで、ワードラインはロー方向に配置され、ビットラインはカラム方向に配置される。感知増幅器309に伝達されたメモリセルのデータは該感知増幅器309により増幅される。

カラムスイッチ311は、活性化されたカラム選択ラインCSLに従って"ターンオン"され、ビットラインとデータ入出力ラインIOとを電気的に連結させる。したがって、増幅されたメモリセルのデータは、"ターンオン"されたカラムスイッチを通じてデータ入出力ラインIOに伝達され、入出力インターフェース313を通じて外部パッドに連結される。ところが一つのメモリーセルバンクで2個のカラムが選択されてデータを入出力することができる。それゆえにメモリーチップ全体では64個のデータが入出力できる。

【００２２】
図4は、ノーマルメモリセルアレイに対応するデータ入出力ラインを有する図3に示すカラムスイッチ311の実施例を示す図である。図4に示す実施例のカラムスイッチは、第1スイッチ群及び第2スイッチを具備する。
第1スイッチ群は、メモリセルバンクの各カラムに対応して各カラムごとに１つずつ配置される４つのトランジスタを１組として、複数組のトランジスタ群で構成される。すなわち、第1スイッチ群は、4個のカラムに配置される4個のトランジスタ401、403、405、407を基本として、これを複数個並べて構成される。第1スイッチ群では、カラムデコーダ303の第1出力信号CSLFに応答して、4個のトランジスタ401、403、405、407の中から１つのトランジスタが"ターンオン"される。カラムデコーダ303の第1出力信号CSLFは、下位のカラムアドレスをデコードして、そのデコード結果に従って活性化される信号である。
【００２３】
第2スイッチは、カラムデコーダ303の第2出力信号CSLSに応答して"ターンオン"する。この第2出力信号CSLSは、上位のカラムアドレスをデコードして、そのデコード結果に従って活性化される。
したがって、選択されたメモリセルのビットラインとデータ入出力線を電気的に連結するためには第1スイッチ群の該当するトランジスタと第2スイッチの該当するトランジスタが共にが"ターンオン"される必要がある。この実施例では、メモリセルのビットライン（即ち、カラム）の選択は、CSLFとCSLSの組合によって決定され、選択されたビットラインがノーマルデータ入出力線NIOiと電気的に連結される。
【００２４】
図5は、ノーマルメモリセルアレイとリダンダンシメモリセルアレイに対応するデータ入出力ラインを有する図3に示すカラムスイッチ311の実施例を示す図である。図5に示す実施例において、ノーマルメモリーセルアレイでのデータ入出力線は図4に示す実施例と同様である。しかし、リダンダンシメモリセルアレイに対応するカラムスイッチは図4に示す実施例と相違する。
【００２５】
リダンダンシメモリセルアレイに対応する第1スイッチ群は、ノーマルメモリセルアレイに対応する第1スイッチ群と同様に構成され、これを制御する信号群であるCSLFもロー方向に配置されている。しかし、ノーマルメモリセルアレイの第2スイッチ群を制御する信号群CSLSがロー方向に配置されている一方、リダンダンシメモリセルアレイの第2スイッチ群を制御する信号群であるCSLSはカラム方向に配置されている。
【００２６】
カラム方向にデータ入出力線及びデータ伝送線を配置することによって、データ入出力線を拡張する際に、レイアウト面積を最小化して消耗電流量を最小化することができ、また、各データ入出力線から出力パッドまでの負荷差を最小化することができる。
図6は、図3に示す半導体メモリ装置に適用される不良セルリペア回路の第1実施例を示すブロック図である。図6に示す実施例は、少なくとも2個のノーマルカラム（第1及び第2ノーマルカラム）を有するメモリセルブロックと、少なくとも1つのリダンダンシカラムを有するカラムリダンダントセルアレイとを具備する半導体メモリ装置の不良セルリペア回路に関する。
【００２７】
この半導体メモリ装置の不良セルリペア回路は、第1及び第2ノーマルデータ入出力線NIO_0及びNIO_1、リダンダンシデータ入出力線RIO、第1及び第2データ伝送線SIO_0及びSIO_1、第1及び第2スイッチ601、603を具備する。
第1及び第2ノーマルデータ入出力線NIO_0及びNIO_1は、第1及び第2ノーマルカラムに各々対応してデータを入出力する。そして、リダンダンシデータ入出力線RIOはリダンダンシカラムに対してデータを入出力する。そして、第1及び第2データ伝送線SIO_0及びSIO_1は、外部の回路との間でデータを入力又は出力する。
【００２８】

第1スイッチ601は、第1ノーマルデータ入出力線NIO_0に連結されたカラムに不良セルが存在しない場合、即ち正常動作時は、第1ノーマルデータ入出力線NIO_0を第1データ伝送線SIO_0に電気的に連結させる。一方、第1ノーマルデータ入出力線NIO_0に連結されたカラムに不良セルが存在する場合、即ちリダンダンシ動作時は、第1スイッチ601は、リダンダンシデータ入出力線RIO_0を第1データ伝送線SIO_0に電気的に連結させる。

【００２９】

第2スイッチ603は、第2ノーマルデータ入出力線NIO_1に連結されたカラムに不良セルが存在しない場合、即ち正常動作時は、第2ノーマルデータ入出力線NIO_1を第2データ伝送線SIO_1に電気的に連結させる。一方、第2ノーマルデータ入出力線NIO_0に連結されたカラムに不良セルが存在する場合、即ち、リダンダンシ動作時は、第2スイッチ603は、第1ノーマルデータ入出力線NIO_0を第2データ伝送線SIO_1に電気的に連結させる。

【００３０】

ここでは2個のノーマルカラムに関してのみ説明したが、このような構造は多数個のカラムを有する半導体メモリ装置に対しても適用される。メモリセルブロック内に不良セルが存在しない場合は、データ伝送線は本来的に割当てられたノーマルデータ入出力線と電気的に連結される。しかし、不良セルが存在する場合は、隣接するノーマルデータ入出力線とデータ伝送線とが連結される。

【００３１】

例えば、カラムリダダントセルアレイを基準として、図6において、右側から左側に向かって数えて5番目のカラム、即ちNIO_4に対応するカラムに不良セルが存在する場合を考える。この場合、SIO_0はRIOと電気的に連結される。そして、SIO_1はNIO_0と、SIO_2はNIO_1と、SIO_3(図示せず）はNIO_2と、SIO_4(図示せず）はNIO_3(図示せず)と電気的に連結される。そして、6番目、即ちSIO_5(図示せず)以降は、本来的に対応するノーマルデータ入出力線と電気的に連結される。

【００３２】

図7は、図6に示す不良セルリペア回路のスイッチ603の実施例を示す図である。図7に示す実施例に係るスイッチは、第1伝送ゲート701及び第2伝送ゲート703を具備する。第1伝送ゲート701は、正常動作状態で"ターンオン"されてノーマルデータ入出力線NIO_1とデータ伝送線SIO_1とを電気的に連結させる。そして、第2伝送ゲート703は、リダンダンシ動作の場合、即ちNIO_1或いはそれ以降のカラムに不良セルが存在する場合に、ノーマルデータ入出力線NIO_0とデータ伝送線SIO_1を電気的に連結させる。

【００３３】

この実施例では、リダンダンシ制御信号RCSLiと、ヒューズ除去（例えば切断）によって発生する信号FUSEiによってリダンダンシ動作を行うか否かが決定される。即ち、RCSLiとFUSEiが同時に"ハイ"になる場合、第2伝送ゲート703が"ターンオン"されてノーマルデータ入出力線NIO_0とデータ伝送線SIO_1とを電気的に連結される。

【００３４】

ここでは、データ伝送線SIO_1に対応するスイッチ603に関してのみ説明したが、この説明はスイッチ601やスイッチ605等に対しても適用される。ただし、スイッチ601では、リダンダンシ動作時にSIO_0がリダンダンシデータ入出力線RIOと電気的に連結される。

図8は、図6に示す不良セルリペア回路を利用して不良セルをリペアする方法を示す流れ図である。図8に示す方法は、多数のノーマルカラムと少なくとも１つのリダンダンシカラムを有する半導体メモリ装置の不良セルリペア方法であって、１つのカラムに不良セルが存在する場合に関する。この方法は、不良カラム認識段階801、指定カラム認識段階803、判断段階805、ノーマル連結段階807及びリペア段階809を具備する。

【００３５】

不良カラム認識段階801では、リダンダンシカラム（カラムリダンダントセルアレイ）から遠ざかる順序（例えば、図６では右から左に向かう方向）に数えて不良セルが属する１つのカラムの番号iを認識する。指定カラム認識段階803では、リダンダンシカラムから遠ざかる順序にカラムを数えて、読出または書込動作をするカラムの番号kを認識する。判

断段階805では、iとkを比較してk>iであるか否かをを判断する。ノーマル連結段階807では、判断段階805の判断結果が"はい"である場合に、データ伝送線IO_k（図6のSIO_k）をノーマルデータ入出力線NIO_kと電気的に連結する。

【００３６】

リペア段階809では、判断段階805の判断結果が"いいえ"である場合に、データ伝送線IO_kを、リダンダンシカラムよりのカラムのデータ入出力線と連結する。具体的には、リペア段階809は、第1カラム判断段階811、第1カラムリダンダンシ連結段階813及びリダンダンシ連結段階815を具備する。

第1カラム判断段階811では、判断段階805の判断結果が"いいえ"である場合に、データ伝送線IO_kに対応するカラムが、リダンダンシカラムから数えて最初のノーマルカラムであるか否かを判断する。第1リダンダンシ連結段階813では、第1カラム判断段階811の判断結果が"はい"である場合に、データ伝送線IO_kをリダンダンシデータ入出力線RIOと電気的に連結する。そして、リダンダンシ連結段階815では、第1最初カラム判断段階811の判断結果が"いいえ"である場合に、データ伝送線IO_kをノーマルデータ入出力線NIO_{k-1}と電気的に連結する。

【００３７】

このような方法で不良セルをリペアすれば、不良セルが存在するカラムより番号の大きいカラムに関しては、ノーマル状態と同様に本来的に割当てられたノーマルデータ入出力線とデータ伝送線が電気的に連結される。そして、不良セルが存在するカラム及び不良セルが存在するカラムより番号が小さいカラムに対応するデータ伝送線は、1カラムずつリダンダンシカラム側のカラムに対応するノーマルデータ入出力線又はリダンダンシデータ入出力線と電気的に連結される。その結果、リダンダンシ動作時に各カラムのデータ経路の長さ差を小さくすることができる。

【００３８】

図9は、図3に示す半導体メモリ装置に適用される不良セルリペア回路の第2実施例を示すブロック図である。図9に示す実施例は、少なくとも第1、第2及び第3ノーマルカラムを有するノーマルメモリセルブロックと、第1及び第2リダンダンシカラムを有するカラムリダンダントセルアレイとを具備する半導体メモリ装置の不良セルリペア回路に関する。

【００３９】

この半導体メモリ装置の不良セルリペア回路は、第1、第2及び第3ノーマルデータ入出力線MIO_0、MIO_1、MIO_2と、第1及び第2リダンダンシデータ入出力線RIO_0、RIO_1と、第1、第2及び第3データ伝送線TIO_0、TIO_1、TIO_2と、第1、第2及び第3スイッチ901、903、905とを具備する。

第1、第2及び第3ノーマルデータ入出力線MIO_0、MIO_1、MIO_2は、第1、第2及び第3ノーマルカラムに各々対応してデータを入出力する。第1及び第2リダンダンシデータ入出力線RIO_0、RIO_1は、第1及び第2リダンダンシカラムに各々対応してデータを入出力する。第1、第2及び第3データ伝送線TIO_0、TIO_1、TIO_2は、外部の回路との間でデータを入力又は出力する。

【００４０】

第1スイッチ901は、正常動作時は、第1データ伝送線TIO_0を第1ノーマルデータ入出力線MIO_0に電気的に連結させる。

一方、第1スイッチ901は、1カラム移動リダンダンシ動作時は、第1データ伝送線TIO_0を第1リダンダンシデータ入出力線RIO_0に電気的に連結する。ここで、1カラム移動リダンダンシ動作とは、自身のカラム番号或いは該カラム番号よりも大きいカラム番号のカラムのうち１つのカラムに不良セルが存在しており、自身のカラムが選択される場合に、1カラムだけリダンダンシカラム（カラムリダンダントセルアレイ）寄りのデータ入出力線に自身のデータ伝送線が連結されることを言う。

【００４１】

また、第1スイッチ901は、2カラム移動リダンダンシ動作時は、第1データ伝送線TIO_0を第2リダンダンシデータ入出力線RIO_1に電気的に連結させる。ここで、2カラム移動リダンダ

ンシ動作とは、自身のカラム番号或いは該カラム番号よりも大きいカラム番号のうち2つのカラムに不良セルが存在しており、自身のカラムが選択される場合に、2カラムだけリダンダンシカラム（カラムリダンダントセルアレイ）寄りのデータ入出力線に自身のデータ伝送線が連結されることを言う。

【００４２】

第2スイッチ903は、正常動作時は、第2データ伝送線TIO_1を第2ノーマルデータ入出力線MIO_1に電気的に連結させる。一方、第2スイッチ903は、1カラム移動リダンダンシ動作時は、第2データ伝送線TIO_1を第1ノーマルデータ入出力線MIO_0に電気的に連結させる。また、第2スイッチ903は、2カラム移動リダンダンシ動作時は、第2データ伝送線TIO_1を第1リダンダンシデータ入出力線RIO_0に電気的に連結させる。

【００４３】

第3スイッチ905は、正常動作時は、第3データ伝送線TIO_2を第3ノーマルデータ入出力線MIO_2に電気的に連結させる。一方、第3スイッチ905は、1カラム移動リダンダンシ動作時は、第3データ伝送線TIO_2を第2ノーマルデータ入出力線MIO_1に電気的に連結させる。また、第3スイッチ905は、2カラム移動リダンダンシ動作時は、第3データ伝送線TIO_2を第1ノーマルデータ入出力線MIO_0に電気的に連結させる。

【００４４】

ここでは、3個のノーマルカラムに関してのみ説明したが、このような構造は多数個のカラムを有する半導体メモリ装置に対しても適用される。

メモリセルブロック内に不良セルが存在しない場合は、データ伝送線は本来的に割当てられたノーマルデータ入出力線と電気的に連結される。しかし、該当カラム以後の2個のカラムに不良セルが存在する場合は、2個だけリダンダンシカラム寄りのカラムに対応するノーマルデータ入出力線（又はリダンダンシデータ入出力線）と該当データ伝送線とが連結される。また、該当カラム以後の1個のカラムに不良セルが存在する場合は、1個だけリダンダンシカラム寄りのカラムに対応するノーマルデータ入出力線（又はリダンダンシデータ入出力線）と該当データ伝送線とが連結される。また、該当カラム以後のカラムに不良セルが存在しない場合には、本来のノーマルデータ入出力線と該当データ伝送線とが連結される。

【００４５】

例えば、カラムリダダントセルアレイを基準として、図9において、右側から左側に向かって数えて5番目のカラムと7番目のカラム、即ちMIO_4とMIO_6(図示せず)に対応するカラムに不良セルが存在する場合を考える。この場合、TIO_0とTIO_1は各々RIO_1とRIO_0に電気的に連結される。また、TIO_2、TIO_3(図示せず）、TIO_4(図示せず）は、各々MIO_0、MIO_1、MIO_2に電気的に連結される。また、6番目及び7番目カラムに対応するTIO_5(図示せず）及びTIO_6(図示せず）は、各々MIO_4(図示せず)及びMIO_5(図示せず)に各々電気的に連結される。また、8番目カラム以降は、正常動作時と同様に、TIOiとMIOiとが電気的に連結される。

【００４６】

図10は、図9に示す不良セルリペア回路のスイッチ905の実施例を示す図である。図10に示す実施例に係るスイッチは、第1伝送ゲート1001、第2伝送ゲート1003及び第3伝送ゲート1005を具備する。第1伝送ゲート1001は、正常動作状態で"ターンオン"されてノーマルデータ入出力線MIO_2とデータ伝送線TIO_2とを電気的に連結させる。そして、第2伝送ゲート1003は、1カラム移動リダンダンシ動作の場合に"ターンオン"されてノーマルデータ入出力線MIO_1とデータ伝送線TIO_2とを電気的に連結させる。そして、第3伝送ゲート1005は、2カラム移動リダンダンシ動作の場合に"ターンオン"されてノーマルデータ入出力線MIO_0とデータ伝送線TIO_2を電気的に連結させる。

【００４７】

この実施例では、第1、第2及び第3伝送ゲート1001、1003、1005に対する制御は、リダンダンシ制御信号RCSLiと、ヒューズ除去によって発生する信号FUSEiによって決定される。即ち、RCSLiとFUSEiとの各対の中で一対のRCSLi及びFUSEiが同時に"ハイ"になる場合、第2伝送ゲート1003が"ターンオン"されてノーマルデータ入出力線MIO_1とデータ伝送線TIO_2

が電気的に連結される。そして、$RCSL_0$と$FUSE_0$との対、又は、$RCSL_1$と$FUSE_1$との対のうち１対が同時に"ハイ"になる場合であって、$RCSL_2$と$FUSE_2$との対、又は、$RCSL_3$と$FUSE_3$対との対のうち一対が同時に"ハイ"になる場合に、第3伝送ゲート1005が"ターンオン"されてノーマルデータ入出力線MIO_0とデータ伝送線TIO_2が電気的に連結される。

【００４８】

ここでは、データ伝送線TIO_2に対応するスイッチ1005に関してのち説明したが、この説明はスイッチ901やスイッチ903に対しても適用される。ただし、スイッチ901では、2カラム移動リダンダンシ動作の場合にはTIO_0がリダンダンシデータ入出力線RIO_1と電気的に連結され、1カラム移動リダンダンシ動作の場合にはTIO_0がリダンダンシデータ入出力線RIO_0と電気的に連結され、スイッチ903では、2カラム移動リダンダンシ動作の場合にはTIO_0がリダンダンシデータ入出力線RIO_0と電気的に連結されるという点で相違する。

【００４９】

図11は、図9に示す不良セルリペア回路を利用して不良セルをリペアする方法を示す流れ図である。図11に示す方法は、多数のノーマルカラムと少なくとも2個のリダンダンシカラムを有する半導体メモリ装置の不良セルリペア方法に関する。この不良セルリペア方法は、不良カラム認識段階1101、指定カラム認識段階1103、第1判断段階1105、ノーマル連結段階1107、第2判断段階1109、1カラム移動リペア段階1111及び2カラム移動リペア段階1113を具備する。

【００５０】

不良カラム認識段階1101では、リダンダンシカラムから遠ざかる順序に数えて不良セルが属する2個のカラムの番号i及びj(i<j)を認識する。指定カラム認識段階1103では、リダンダンシカラムから遠ざかる順序で数えて、データの読出または書込動作をするカラムの番号kを認識する。第1判断段階1105では、jとkを比較してk>jであるか否かを判断する。

【００５１】

ノーマル連結段階1107では、第1判断段階1105の判断結果が"はい"である場合に、データ伝送線IO_kをノーマルデータ入出力線NIO_kと電気的に連結する。第2判断段階1109では、第1判断段階1105の判断結果が"いいえ"である場合に、iとkを比較してk>iであるか否かを判断する。

1カラム移動リペア段階1111では、第2判断段階1109の判断結果が"はい"である場合に、データ伝送線IO_kをノーマルデータ入出力線NIO_{k-1}と電気的に連結する。

【００５２】

2カラム移動リペア段階1113では、第2判断段階1109の判断結果が"いいえ"である場合に、データ伝送線IO_kを2カラムカラムのデータ入出力線と連結する。具体的には、2カラム移動リペア段階1113は、第1カラム判断段階1115、第1リダンダンシ連結段階1117及びリダンダンシ連結段階1119を具備する。

第1カラム判断段階1115では、第2判断段階1115の判断結果が"いいえ"である場合に、データ伝送線IO_kに対応するカラムが、リダンダンシカラムから数えて最初のノーマルカラムであるか否かを判断する。リダンダンシ連結段階1117では、第1カラム判断段階1115の判断結果が"はい"である場合に、データ伝送線IO_kをリダンダンシデータ入出力線RIOと電気的に連結する。リダンダンシ連結段階1119では、第1カラム判断段階1115の判断結果が"いいえ"である場合に、データ伝送線IO_kをノーマルデータ入出力線NIO_{k-1}と電気的に連結する。

【００５３】

以上の方法により不良セルをリペアすることにより、不良セルが発生したカラムの番号より大きい番号のカラムに関しては、ノーマル状態と同様に本来的に割当てられたノーマルデータ入出力線とデータ伝送線とが電気的に連結される。そして、自身のカラム番号より大きい番号のカラムに、不良セルが存在する1個のカラムが含まれる場合には、データ伝送線は1カラムずつ手前のカラムに対応するノーマルデータ入出力線に連結される。そして、自身のカラム番号より大きい番号のカラムに、不良セルが存在する2個のカラムが含まれる場合には、データ伝送線は2カラムずつ手前のカラムに対応するノーマルデータ入

出力線に連結される。その結果、リダンダンシ動作時における各カラムのデータパスの長さの差を小さくすることができる。

【００５４】

以上、本発明を図示の特定の実施の形態を参照して説明したが、これは例示に過ぎず、本技術分野の通常の知識を有する者であれば、この説明に基づいて多様な変形及び均等物による置換が可能である。したがって、本発明の技術的範囲は、特許請求の範囲の記載により定められるべきである。

【００５５】

【発明の効果】

本発明によれば、例えば、リダンダンシ動作時における各カラムのデータパスの長さの差を小さくすることができる。

【図面の簡単な説明】

【図１】従来技術のスタックバンク構造を有する半導体メモリ装置の入出力線を示すブロック図である。

【図２】図1の半導体メモリ装置に適用される不良セルリペア回路を示すブロック図である。

【図３】本発明の好適な実施の形態に係るカラム方向のデータ入出力線を具備した半導体メモリ装置を示したブロック図である。

【図４】ノーマルメモリセルアレイに対応するデータ入出力ラインを有する図3のカラムスイッチ311の実施例を示す図である。

【図５】ノーマルメモリセルアレイとリダンダンシメモリセルアレイに対応するデータ入出力ラインを有する図3のカラムスイッチ311の実施例を示す図である。

【図６】図3の半導体メモリ装置に適用される不良セルリペア回路の第1実施例を示すブロック図である。

【図７】図6の不良セルリペア回路のスイッチ603の実施例を示す図である。

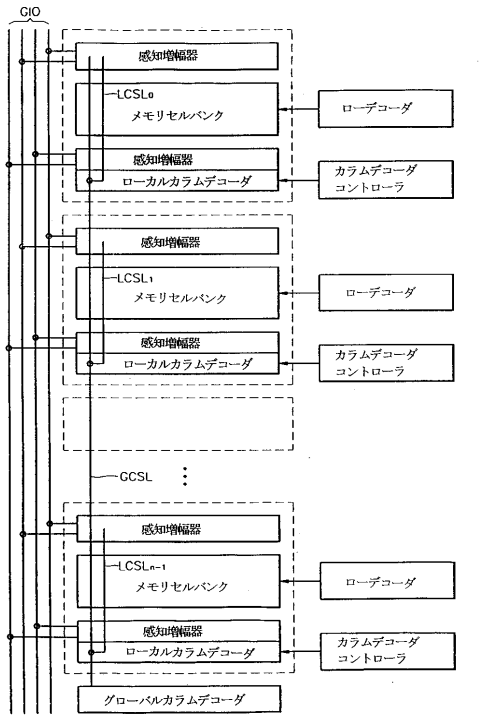
【図８】図6の不良セルリペア回路を利用して不良セルをリペアする方法を示す流れ図である。

【図９】図3の半導体メモリ装置に適用される不良セルリペア回路の第2実施例を示すブロック図である。

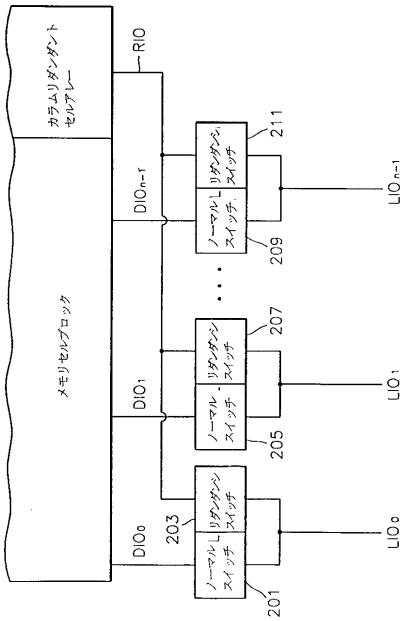
【図１０】図9の不良セルリペア回路のスイッチ905の実施例を示す図である。

【図１１】図9の不良セルリペア回路を利用して不良セルをリペアする方法を示す流れ図である。

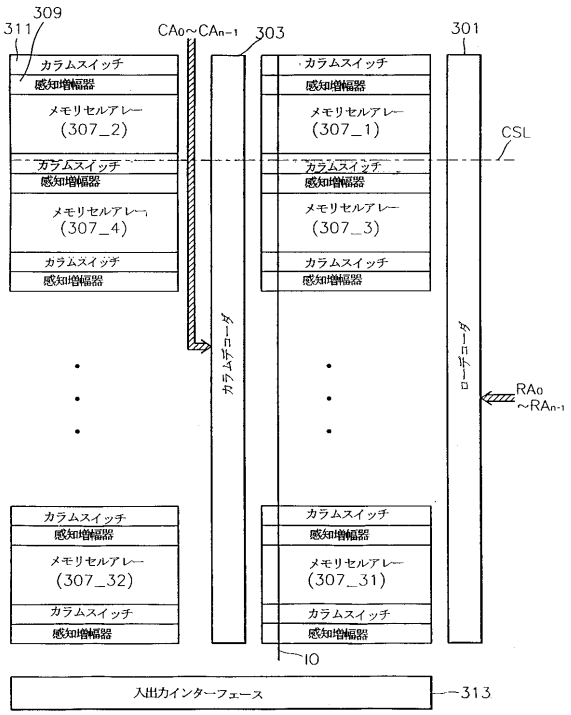
【図１】


GIO
感知増幅器
LCSL0
メモリセルバンク
ローデコーダ
感知増幅器
ローカルカラムデコーダ
カラムデコーダ
コントローラ
感知増幅器
LCSL1
メモリセルバンク
ローデコーダ
感知増幅器
ローカルカラムデコーダ
カラムデコーダ
コントローラ
GCSL
感知増幅器
LCSLn-1
メモリセルバンク
ローデコーダ
感知増幅器
ローカルカラムデコーダ
カラムデコーダ
コントローラ
グローバルカラムデコーダ

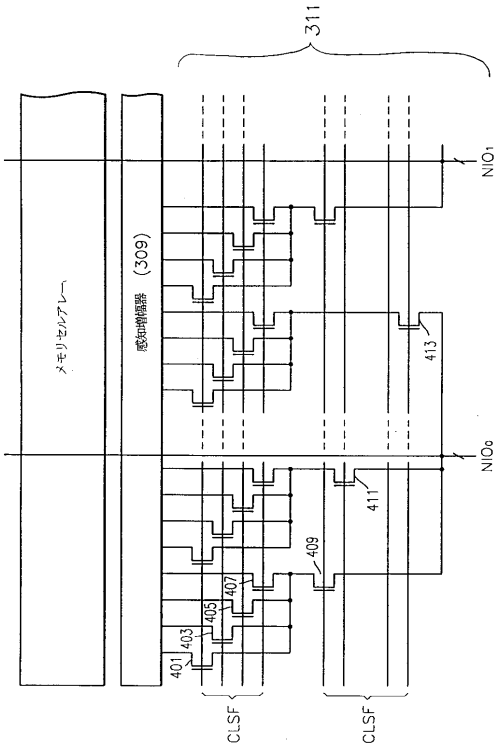
【図２】


カラムリダンダントセルアレー
メモリセルブロック
RIO
DIOn-1
DIO1
DIO0
211
207
205
203
201
209
ノーマルI/Oスイッチ
リダンダンシスイッチ
LIOn-1
LIO1
LIO0

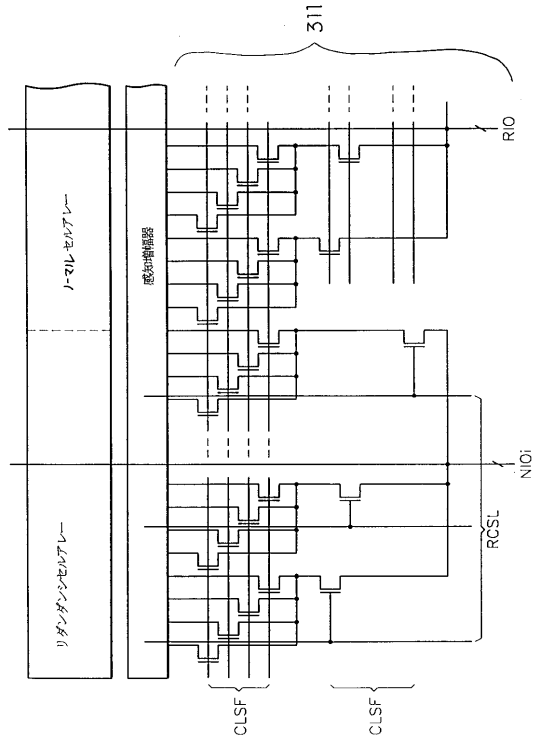
【図３】


309
311
CA0~CAn-1
303
301
カラムスイッチ
感知増幅器
メモリセルアレー
(307_2)
(307_1)
(307_4)
(307_3)
(307_32)
(307_31)
CSL
カラムデコーダ
ローデコーダ
RA0
~RAn-1
IO
入出力インターフェース
313

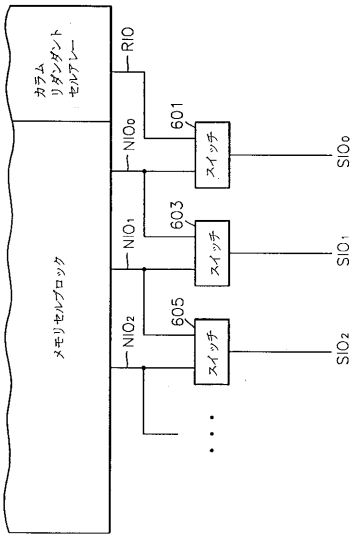
【図４】


311
メモリセルアレー
感知増幅器 (309)
NIO1
NIO0
413
411
409
407
405
403
401
CLSF
CLSF

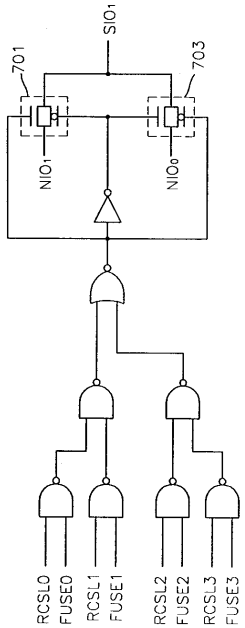
【図５】


311
ノーマルセルアレー
感知増幅器
リダンダンシセルアレー
RIO
NIOi
RCSL
CLSF
CLSF

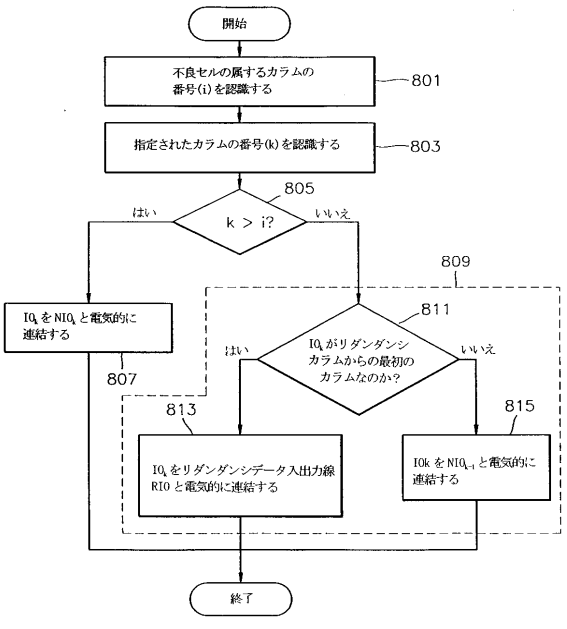
【図６】


カラム リダンダント セルアレー
メモリセルブロック
RIO
NIO0
NIO1
NIO2
601
603
605
スイッチ
スイッチ
スイッチ
SIO0
SIO1
SIO2

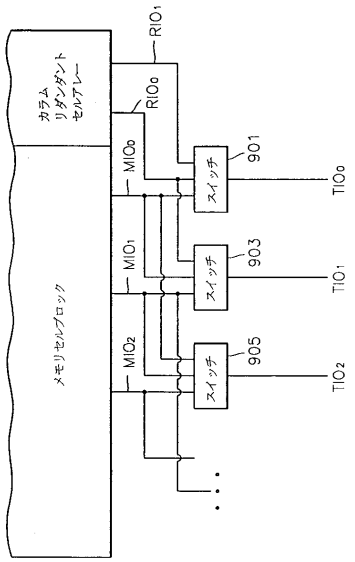
【図７】


SIO1
701
703
NIO1
NIO0
RCSL0
FUSE0
RCSL1
FUSE1
RCSL2
FUSE2
RCSL3
FUSE3

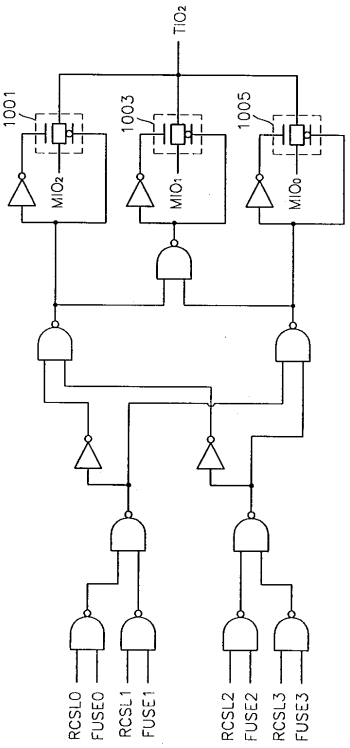
【図８】


開始
不良セルの属するカラムの番号(i)を認識する
801
指定されたカラムの番号(k)を認識する
803
805
k > i?
はい
いいえ
809
IOk を NIOk と電気的に連結する
807
811
IOk がリダンダンシカラムからの最初のカラムなのか?
はい
いいえ
813
IOk をリダンダンシデータ入出力線RIO と電気的に連結する
815
IOk を NIOk-1 と電気的に連結する
終了

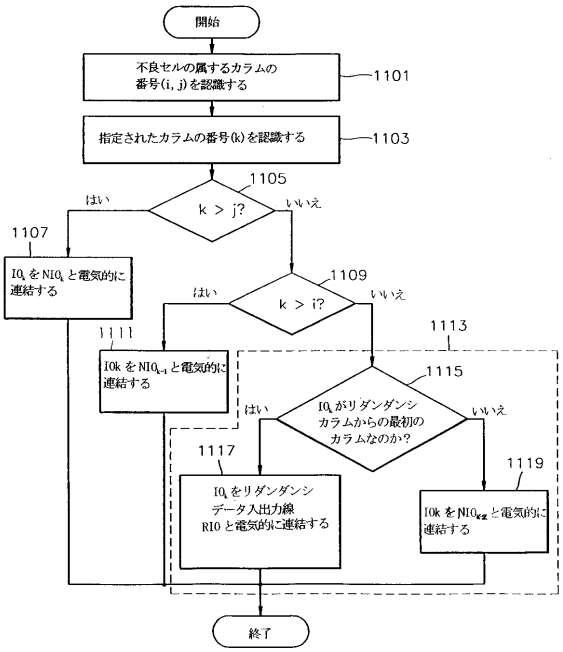
【図９】


カラム
リダンダント
セルアレー
メモリセルブロック
RIO1
RIO0
MIO0
MIO1
MIO2
スイッチ
901
903
905
TIO0
TIO1
TIO2

【図１０】


TIO2
1001
1003
1005
MIO2
MIO1
MIO0
RCSL0
FUSE0
RCSL1
FUSE1
RCSL2
FUSE2
RCSL3
FUSE3

【図１１】


開始
不良セルの属するカラムの
番号(i, j)を認識する
1101
指定されたカラムの番号(k)を認識する
1103
1105
k > j?
はい
いいえ
1107
IOk をNIOk と電気的に
連結する
1109
k > i?
はい
いいえ
1111
IOk をNIOk-1と電気的に
連結する
1113
1115
IOk がリダンダンシ
カラムからの最初の
カラムなのか?
はい
いいえ
1117
IOk をリダンダンシ
データ入出力線
RIO と電気的に連結する
1119
IOk をNIOkz と電気的に
連結する
終了

フロントページの続き

(72)発明者　慶桂顯
大韓民国京畿道水原市勧善区勧善洞１２７０番地碧山アパート４０１棟９０６号
(72)発明者　文炳植
大韓民国京畿道水原市勧善区細柳３洞１０９１－２０番地

審査官　小松　正

(56)参考文献　特開平０７－１３０１６３（ＪＰ，Ａ）
特開平０８－００８３４４（ＪＰ，Ａ）
特開昭６４－０２７０９９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 29/00
H01L 27/10