

公告本

申請日期	86.4.14
案 號	86104741
類 別	G11C 1/34

A4
C4

442790

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	低壓低功率靜態隨機存取記憶體胞元
	英 文	LOW VOLTAGE, LOW POWER STATIC RANDOM ACCESS MEMORY CELL
二、發明 人	姓 名	馬蘇何 Sudhir K. Madan
	國 籍	美國籍
	住、居所	美國德克薩斯州理察生市瓦維路2200號 2200 Waterview Pkwy., #2328 Richardson, TX 75080 U.S.A.
三、申請人	姓 名 (名稱)	美商德州儀器公司 Texas Instruments Incorporated
	國 籍	美國籍
	住、居所 (事務所)	美國德克薩斯州達拉斯城北方大廈655474號信箱 P.O. Box 655474, MAIL STATION 219, EXPRESSWAY SITE, NORTH BLDG., DALLAS, TX, USA
	代 表 人 姓 名	郝威廉(William E. Hiller)

裝

訂

線

442790

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

美國(地區) 申請專利，申請日期：西元1996年 案號：60/015,014，☐有 ☒無主張優先權
4月8日

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製



五、發明說明(1)

發明技術領域

本發明關於一種半導體記憶體裝置，尤其是一種低壓、低功率的靜態隨機存取記憶體胞元。

發明背景

圖1A與1B顯示兩種靜態隨機存取記憶體(SRAM)的示意圖。圖1A之胞元稱為六晶體(6T)SRAM胞元，其包含一對用以儲存資料位元狀態的交叉耦合反相器、一對用以讀取與寫入交叉耦合反相器之間資料位元的旁通電晶體，以及一對位元線(bitline)。連接兩旁通電晶體閘極的匯流排稱為字元線(wordline)。為了存取陣列中的特殊胞元，無論是讀取或寫入，都要啟動連接於旁通電晶體閘極的字元線以便開啓旁通電晶體。

圖1B之胞元是一種八晶體(8T)SRAM胞元，其包含一對用以儲存資料位元狀態的交叉耦合反相器、一對串聯於交叉耦合反相器之輸出節點之間的雙電晶體，以及一對位元線。兩個串聯於反相器之輸出節點與位元線之間的電晶體也稱為X旁通電晶體與Y旁通電晶體。X旁通電晶體使其閘極(gate)連接於在X方向執行而稱作X雜音區驅動的行(row)選擇匯流排，而Y旁通電晶體使其閘極連接於在Y方向執行而稱作Y雜音區驅動的欄(column)選擇匯流排。為了存取陣列中的胞元，無論是讀取或寫入，X雜音區與Y雜音區驅動都要開啓(on)。

靜態隨機存取記憶體(SRAM)胞元之DC特性是由三個參數所決定：讀取電流(read current)、位元線寫入電壓(即

五、發明說明(2)

切斷電壓trip voltage) 以及靜態雜音區(static noise margin)。靜態雜音區反應出對讀取作業期間電路雜音之胞元穩定性。靜態隨機存取記憶體胞元的特性是要求相當高的雜音區。然而，對於一個具有1伏特或更低之供應電壓的低電壓/功率裝置而言，因為胞元之電晶體保持相當低的臨界電壓以便維持電晶體特定階度的驅動電流，所以很難獲得相當好的靜態雜音區。

可藉由增加胞元的貝他率(beta ratio)而增加靜態雜音區。6T胞元的貝他率是定義為當驅動(拉曳式)電晶體與旁通電晶體具有相同的臨界電壓時，驅動(拉曳式)電晶體對旁通電晶體之驅動電流比。對於8T胞元而言，貝他率是定義為驅動電晶體對X旁通電晶體與Y旁通電晶體串聯組合之驅動電流比。對於6T胞元而言，如果驅動電晶體與旁通電晶體具有相同的閘極長度與臨界電壓時，則貝他率也等於驅動電晶體對旁通電晶體之寬度比。

高貝他率的缺點是：因為貝他率之增加會降低胞元的位元線寫入電壓，所以很難寫入胞元中。當降低低電壓或低功率應用之供應電壓 V_{cc} 時，此問題變得非常嚴重。一般而言，低於1.5伏特的電壓可視為一種低電壓的實施方法。因此，必需要增加記憶體胞元的貝他率而不影響其寫入的能力。

發明概要

綜上觀之，必需要提供具有增加靜態雜音區之記憶體貝他率而不影響其寫入的能力。根據本發明之低電壓、低功

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(3)

率的SRAM胞元提供習知SRAM貝他率之基本元件並且減少其相關的缺點與問題。

根據本發明的實施例提供一種包含一個第一反相器的十電晶體(10T)之低電壓、低功率靜態隨機存取記憶體胞元，其中第一反相器具有連接於第一反相器輸出節點與Vcc或供應節點之間的第一推升式電晶體，以及一個連接於第一反相器輸出節點與Vss或接地節點之間的第一拉曳式電晶體。一個典型的電晶體至少具有三個端點：源極、汲極與閘極。當電晶體連接於兩個節點之間時，表示電晶體之源極連接於其中之一節點，而其汲極則連接於另一個節點。此胞元也具有連接於第一反相器之輸出節點與旁通節點之間的第一旁通電晶體。而第一位元線選擇電晶體連接於第一旁通節點與第一位元線之間。第一寫入旁通電晶體也平行第一旁通電晶體而接於第一旁通節點與第一反相器之輸出節點之間。

該胞元亦包含一個第二反相器，其具有連接於第二反相器輸出節點與Vcc之間的第二推升式電晶體，以及一個連接於第二反相器輸出節點與Vss之間的第二拉曳式電晶體。第二旁通電晶體連接於第二反相器之輸出節點與旁通節點之間。而第二位元線選擇電晶體連接於第二旁通節點與第二位元線之間，亦稱為位元線條(bitline bar)。第二寫入旁通電晶體也平行第二旁通電晶體而接於第二旁通節點與第二反相器之輸出節點之間。將第一反相器的輸出連接至第二反相器的輸入，並且將第二反相器的輸出連接至

五、發明說明(4)

第一反相器的輸入而將第一與第二反相器交叉耦合在一起。爲了存取胞元，將位元線選擇電晶體開啓(ON)。在讀取作業期間只有旁通電晶體是ON並且寫入旁通電晶體保持OFF，而在寫入作業期間旁通電晶體與寫入旁通電晶體皆爲ON。

本發明提供不同於習知靜態隨機存取記憶體胞元裝置的技術優點。例如：一個技術優點是使用額外的寫入旁通電晶體以改變SRAM的DC特性。藉由選擇較窄寬度的旁通電晶體，並且在讀取期間將寫入旁通電晶體保持於OFF，可達成高貝他率以增加胞元之靜態雜音區。藉由設計一個較寬的旁通電晶體並且在寫入期間將旁通電晶體與寫入旁通電晶體皆保持於ON，而使其可容易地寫入於胞元中。如果寫入旁通電晶體的寬度非常大於旁通電晶體的寬度的話，則在寫入期間無須開啓旁通電晶體。因此，旁通電晶體可使用於讀取作業而寫入旁通電晶體可使用於寫入作業。

不同於6T SRAM陣列將字元線開啓而啓動該字元線的所有胞元，在10T胞元中，僅啓動定址胞元，因此減少與存取胞元有關的功率損失。啓動胞元會使電流從字元線經過胞元而流至Vss。減少啓動胞元的數目可減少記憶體的功率。一般而言，在陣列中的10T胞元中，位元線選擇電晶體的閘極連接至Y位址驅動，而旁通電晶體與寫入旁通電晶體的閘極從X位址信號中取得其信號。只有當(1)位元線選擇電晶體是ON時，以及(2)當旁通電晶體或寫入旁通電晶體是ON時，胞元的電流才會流動。因爲上述只有定址的

五、發明說明(5)

胞元才會發生，因此可減少功率的損失。在上述10T胞元的討論中，假設資料僅包含信號位元。然而在資料包含有每個位址之 n 位元的情況下， n 胞元通常會爲了任何讀取或寫入作業的位址而啓動。熟悉此技藝者將可從下列的圖式、說明與申請專利範圍清楚地了解其他的例子。

圖式簡單說明

爲了更完全了解本發明及其優點，將參考下列之詳述與相配合的圖式加以說明，相同的參考數字代表相同的部位，其中：

圖1A說明六電晶體靜態隨機存取記憶體胞元的簡化示意圖；

圖1B說明八電晶體靜態隨機存取記憶體胞元的簡化示意圖；

圖2說明低電壓、低功率靜態隨機存取記憶體胞元的簡化示意圖；及

圖3說明另一個低電壓、低功率靜態隨機存取記憶體胞元的簡化示意圖。

發明詳細說明

圖2是一個十電晶體之低電壓、低功率SRAM胞元10的簡化示意圖。低電壓、低功率靜態隨機存取記憶體胞元10包含一個第一反相器12，具有連接於供應電壓節點之高壓端(V_{cc})與第一反相器輸出節點13之間的第一推升式電晶體14，以及一個連接於輸出節點13與供應電壓節點之低壓端(V_{ss})之間的第一拉曳式電晶體16。該SRAM胞元10亦包含

五、發明說明(6)

一個具有第二推升式電晶體20與第二拉曳式電晶體22之第二反相器18。第二推升式電晶體20連接於第二反相器18之輸出節點17與Vcc之間。第二拉曳式電晶體22連接於輸出節點17與Vss之間。該二個反相器是交叉耦合的，即第一反相器12的輸出節點13連接於第二反相器18的輸入節點15，而且第二反相器18的輸出節點17是連接至第一反相器12的輸入節點19。第一旁通電晶體24連接於第一反相器12之輸出節點13與第一旁通節點35之間。而第一位元線選擇電晶體28連接於第一旁通節點35與第一位元線(Bitline) 36之間。第一寫入旁通電晶體32則連接於第一旁通節點35與第一反相器12之輸出節點13之間。此胞元也包含連接於第二反相器18之輸出節點17與第二旁通節點37之間的第二旁通電晶體26。而第二位元線選擇電晶體30置放於第二旁通節點37與第二位元線(亦稱為位元線條) 38之間。第二寫入旁通電晶體34接於第二旁通節點37與第二反相器18之輸出節點17之間。

在SRAM陣列中，旁通電晶體24與26之閘極是連接於稱為字元線(WL)之匯流排，寫入旁通電晶體32與34之閘極是連接於稱為寫入字元線(Write WL)之匯流排；而位元線選擇電晶體28與30之閘極是連接於稱為位元線選擇電晶體(BLSTL)之匯流排。字元線與寫入字元線之信號通常推導自X位址或行選擇，而位元線選擇電晶體線之信號是推導自Y位址或欄選擇。位元線選擇電晶體線垂直於字元線與寫入字元線匯流排。即，如果字元線與寫入字元線行進於

五、發明說明(7)

X 方向的話，則位元線選擇電晶體線將會行進於Y 方向。位元線與位元線條也將會行進於Y 方向。

在較佳實施例中，拉曳式電晶體具有N 通道的結構並且其寬度是旁通電晶體的兩倍，其中該旁通電晶體同樣有N 通道結構。推升式電晶體具有P 通道的結構並且其寬度是旁通電晶體的1 至1.5倍。具有N 通道結構的位元線選擇電晶體其寬度是旁通電晶體的4 倍，而具有N 通道結構的寫入旁通電晶體其寬度是旁通電晶體的1.5倍。電晶體也可具有不同的臨界電壓。與旁通電晶體之臨界電壓比較起來，位元線選擇電晶體之低臨界電壓可降低胞元的讀取電流，並使其可以容易地寫入於胞元。

在圖2 中所示的實施例中，位元線選擇電晶體以及位於反相器之位元線與輸出節點之間的旁通電晶體與寫入旁通電晶體的並聯組合順序是可顛倒的。SRAM胞元可使其第一位元線選擇電晶體28連接於第一反相器12之輸出節點13與第一旁通節點35之間。第一旁通電晶體24與第一寫入旁通電晶體32之並聯組合可連接於第一旁通節點35與第一位元線36之間。第二位元線選擇電晶體30連接於第二反相器18之輸出節點17與第二旁通電晶體37之間。第二旁通電晶體26與第二寫入旁通電晶體34之並聯組合是連於第二旁通節點37與第二位元線38之間。

圖3 說明另一個低電壓、低功率靜態隨機存取記憶體胞元實施例的簡化示意圖。在此實施例中，第一旁通電晶體24直接連接於第一反相器12之輸出節點13與第一位元線36

五、發明說明(8)

之間，而第二旁通電晶體26直接連接於第二反相器18之輸出節點17與第二位元線38之間。第一寫入旁通電晶體32與第一位元線選擇電晶體28之串聯組合也可連接於第一反相器12之輸出節點13與第一位元線36之間。而第二寫入旁通電晶體34與第二位元線選擇電晶體30之串聯組合也可置放於第二反相器18之輸出節點17與第二位元線38之間。在此實施例中，藉由將旁通電晶體開啓而執行讀取作業；將寫入旁通電晶體與位元線選擇電晶體開啓而執行寫入作業。或者，可以在寫入期間將旁通電晶體開啓以使其容易地寫入。

請注意，在第二實施例中，位元線選擇電晶體與寫入旁通電晶體的順序是可以顛倒的。SRAM胞元10可使其第一寫入旁通電晶體32連接於第一位元線36與第一旁通節點35之間，而使第一位元線選擇電晶體28連接於第一旁通節點35與第一反相器12之輸出節點13之間。同樣的，第二寫入旁通電晶體34可連接於第二位元線38與第二旁通節點37之間，而第二位元線選擇電晶體30則可連接於第二旁通節點37與第二反相器18之輸出節點17之間。

在上述實施例中，反相器中的推升式電晶體與拉曳式電晶體分別具有P通道與N通道結構。然而，推升式電晶體可以如同在一個四電晶體、二電阻胞元中一樣，由一個電阻所取代。推升式電晶體可與其他電晶體一起建構在一個基板上，或是形成於薄膜多晶矽材料(TFT)上。該基板可以是單晶矽、絕緣體矽，等等。

五、發明說明(9)

因此，本發明很明顯地提供一種可以滿足上述優點之低電壓、低功率的靜態隨機存取記憶體胞元。雖然本發明已經詳述於上，但可以了解的是在此會有些不同的改變、取代或改良。例如，雖然在電晶體之間顯示一種直接的連接，但這些電晶體也可藉由中間元件耦合連接而提供相同的操作能力，例如：電阻、電容及／或電感。熟悉此技藝者可以查證其他的例子，且可製造這些不同的實施例而不脫離本發明申請專利範圍的精神和領域。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂



經濟部中央標準局員工消費合作社印製

四、中文發明摘要(發明之名稱：

低壓低功率靜態隨機存取記憶體胞元

一種十電晶體低壓電低功率靜態隨機存取記憶體胞元10包含與第二反相器18交叉耦合的第一反相器12。第一旁通電晶體24與第一位元線選擇電晶體28的串聯組合是連接於第一反相器的輸出節點13與第一位元線36之間。第一寫入旁通電晶體32是平行於第一旁通電晶體24而放置。第二旁通電晶體26與第二位元線選擇電晶體30的串聯組合是連接於第二反相器的輸出節點17與第二位元線38之間。第二寫入旁通電晶體34是平行於第二旁通電晶體26而放置。

英文發明摘要(發明之名稱：

Low voltage, low power static random access memory cell

A ten transistor low voltage, low power static random access memory cell (10) includes a first inverter (12) cross-coupled to a second inverter (18). A series combination of a first pass transistor (24) and a first bitline select transistor (28) is connected between an output node (13) of the first inverter (12) and a first bitline (36). A first write pass transistor (32) is placed in parallel with the first pass transistor (24). A series combination of a second pass transistor (26) and a second bitline select transistor (30) is connected between an output node (17) of the second inverter (18) and a second bitline (38). A second write pass transistor (34) is placed in parallel with the second pass transistor (26).

六、申請專利範圍

1. 一種SRAM胞元，包含：

第一與第二交叉耦合反相器，第一反相器包含第一反相器的第一輸出節點，而第二反相器包含第二反相器的第二輸出節點；

連接於第一反相器之輸出節點與第一旁通節點之間的第一旁通電晶體；

連接於第一旁通節點與第一位元線之間的第一位元線選擇電晶體；

連接於第一反相器之輸出節點與第一旁通節點之間的第一寫入旁通電晶體；

連接於第二反相器之輸出節點與第二旁通節點之間的第二旁通電晶體；

連接於第二旁通節點與第二位元線之間的第二位元線選擇電晶體；及

連接於第二反相器之輸出節點與第二旁通節點之間的第二寫入旁通電晶體。

2. 如申請專利範圍第1項之SRAM胞元，其中該第一反相器包含第一推升式電晶體與第一拉曳式電晶體，而該第二反相器包含第二推升式電晶體與第二拉曳式電晶體。

3. 如申請專利範圍第1項之SRAM胞元，其中該第一反相器包含P通道第一推升式電晶體與N通道第一拉曳式電晶體，而該第二反相器包含P通道第二推升式電晶體與N通道第二拉曳式電晶體。

4. 如申請專利範圍第1項之SRAM胞元，其中該第一與第二



六、申請專利範圍

旁通電晶體、第一與第二位元線選擇電晶體以及第一與第二寫入旁通電晶體都是N通道。

5. 如申請專利範圍第1項之SRAM胞元，其中該第一寫入旁通電晶體的寬度是第一旁通電晶體寬度的0.5倍或更大，而該第二寫入旁通電晶體的寬度是第二旁通電晶體寬度的0.5倍或更大。
6. 如申請專利範圍第1項之SRAM胞元，其中胞元是使用於具有供給電壓為1.5伏特或更小之低壓或低功率的應用之中。
7. 如申請專利範圍第1項之SRAM胞元，其中該第一與第二旁通電晶體具有P通道的結構。
8. 如申請專利範圍第1項之SRAM胞元，其中該第一與第二寫入旁通電晶體具有P通道的結構。
9. 如申請專利範圍第1項之SRAM胞元，其中該第一與第二位元線選擇電晶體具有P通道的結構。
10. 一種SRAM胞元，包含：

第一與第二交叉耦合反相器，第一反相器包含第一反相器的第一輸出節點，而第二反相器包含第二反相器的第二輸出節點；

連接於第一反相器之輸出節點與第一位元線之間的第一旁通電晶體；

連接於第一位元線與第一旁通節點之間的第一位元線選擇電晶體；

連接於第一反相器之輸出節點與第一旁通節點之間的

六、申請專利範圍

第一寫入旁通電晶體；

連接於第二反相器之輸出節點與第二位元線之間的第二旁通電晶體；

連接於第二位元線與第二旁通節點之間的第二位元線選擇電晶體；及

連接於第二反相器之輸出節點與第二旁通節點之間的第二寫入旁通電晶體。

11. 如申請專利範圍第10項之SRAM胞元，其中該第一反相器包含第一推升式電晶體與第一拉曳式電晶體，而該第二反相器包含第二推升式電晶體與第二拉曳式電晶體。
12. 如申請專利範圍第10項之SRAM胞元，其中該第一反相器包含P通道第一推升式電晶體與N通道第一拉曳式電晶體，而該第二反相器包含P通道第二推升式電晶體與N通道第二拉曳式電晶體。
13. 如申請專利範圍第10項之SRAM胞元，其中該第一與第二旁通電晶體、第一與第二位元線選擇電晶體以及第一與第二寫入旁通電晶體都具有N通道結構。
14. 如申請專利範圍第10項之SRAM胞元，其中該第一寫入旁通電晶體與第一位元線選擇電晶體的寬度比第一旁通電晶體的寬度更大，而該第二寫入旁通電晶體與第二位元線選擇電晶體的寬度比第二旁通電晶體的寬度更大。
15. 如申請專利範圍第10項之SRAM胞元，其中胞元是適用於具有供給電壓為1.5伏特或更小之低壓或低功率的應用之中。

六、申請專利範圍

16. 如申請專利範圍第10項之SRAM胞元，其中該第一與第二旁通電晶體具有P通道的結構。
17. 如申請專利範圍第10項之SRAM胞元，其中該第一與第二寫入旁通電晶體具有P通道的結構。
18. 如申請專利範圍第10項之SRAM胞元，其中該第一與第二位元線選擇電晶體具有P通道的結構。
19. 一種低功率靜態隨機存取記憶體胞元之操作方法，包含下列步驟：
宣告在記憶體中與讀取作業之數個胞元有關的字元線信號；
宣告在記憶體中與讀取作業之第一個胞元有關的位元線選擇信號，以便啟動該第一個胞元而不啟動其他任何的胞元；及
解除與讀取作業之數個胞元有關的寫入字元線信號，以便增加第一個胞元的靜態雜音區。
20. 如申請專利範圍第19項之方法，另外包含下列步驟：
宣告寫入作業的字元線信號；
宣告寫入作業的寫入字元線信號，此寫入字元線信號降低第一個胞元的貝他率(beta ratio)，以加強寫入作業。
21. 如申請專利範圍第19項之方法，另外包含下列步驟：
宣告寫入作業的寫入字元線信號，此寫入字元線信號降低第一個胞元的貝他率，以加強寫入作業。
22. 一種SRAM胞元，包含：

六、申請專利範圍

第一與第二交叉耦合反相器，第一反相器包含第一反相器的第一輸出節點，而第二反相器包含第二反相器的第二輸出節點；

連接於第一反相器之輸出節點與第一旁通節點之間的第一位元線選擇電晶體；

連接於第一旁通節點與第一位元線之間的第一旁通電晶體；

連接於第一位元線與第一旁通節點之間的第一寫入旁通電晶體；

連接於第二反相器之輸出節點與第二旁通節點之間的第二位元線選擇電晶體；

連接於第二旁通節點與第二位元線之間的第二旁通電晶體；及

連接於第二位元線與第二旁通節點之間的第二寫入旁通電晶體。

23. 如申請專利範圍第22項之SRAM胞元，其中該第一反相器包含第一推升式電晶體與第一拉曳式電晶體，而該第二反相器包含第二推升式電晶體與第二拉曳式電晶體。

24. 如申請專利範圍第22項之SRAM胞元，其中該第一反相器包含P通道第一推升式電晶體與N通道第一拉曳式電晶體，而該第二反相器包含P通道第二推升式電晶體與N通道第二拉曳式電晶體。

25. 如申請專利範圍第22項之SRAM胞元，其中該第一與第二旁通電晶體、第一與第二位元線選擇電晶體以及第一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

與第二寫入旁通電晶體都是N 通道。

26. 如申請專利範圍第22項之SRAM胞元，其中該第一寫入旁通電晶體的寬度是第一旁通電晶體寬度的0.5倍或更大，而該第二寫入旁通電晶體的寬度是第二旁通電晶體寬度的0.5倍或更大。

27. 如申請專利範圍第22項之SRAM胞元，其中胞元是使用於具有供給電壓為1.5伏特或更小之低壓或低功率的應用之中。

28. 如申請專利範圍第22項之SRAM胞元，其中該第一與第二旁通電晶體具有P 通道的結構。

29. 如申請專利範圍第22項之SRAM胞元，其中該第一與第二寫入旁通電晶體具有P 通道的結構。

30. 如申請專利範圍第22項之SRAM胞元，其中該第一與第二位元線選擇電晶體具有P 通道的結構。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

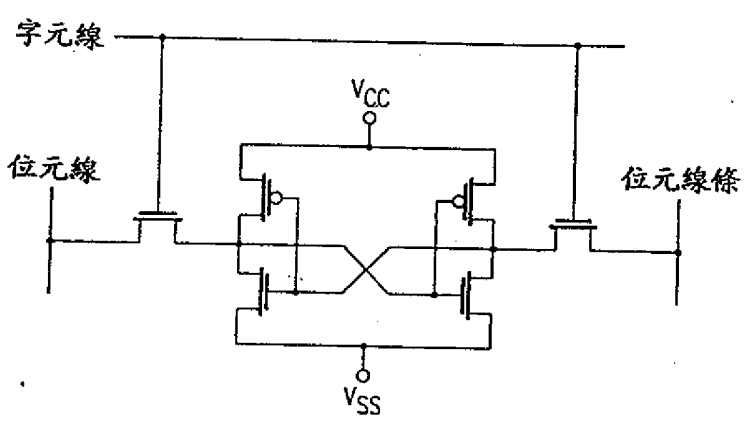


圖 1A

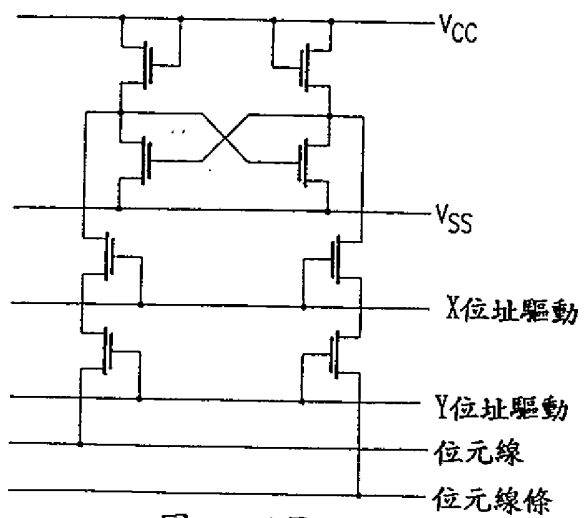


圖 1B

非
斷人

TI-21918
2 of 2

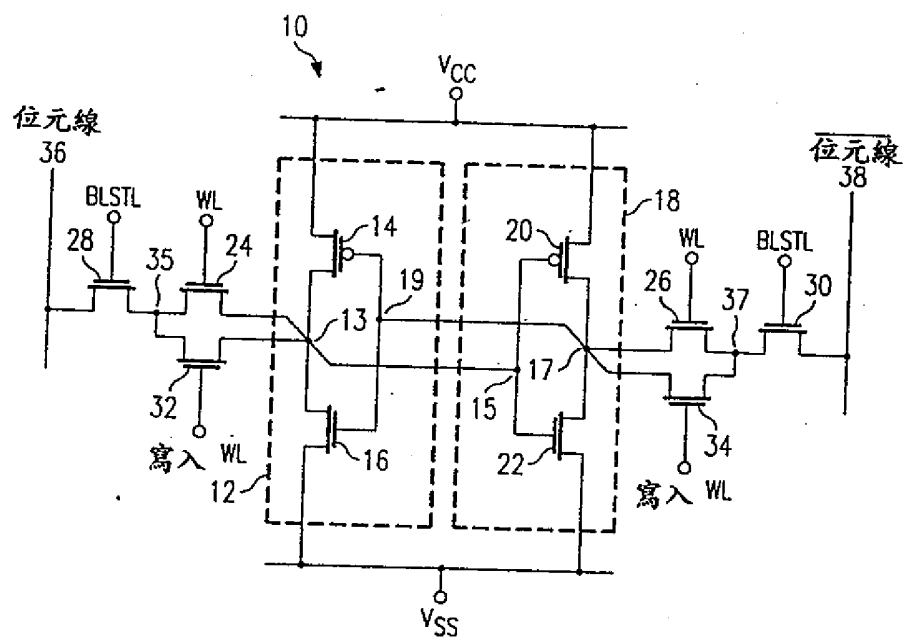


圖 2

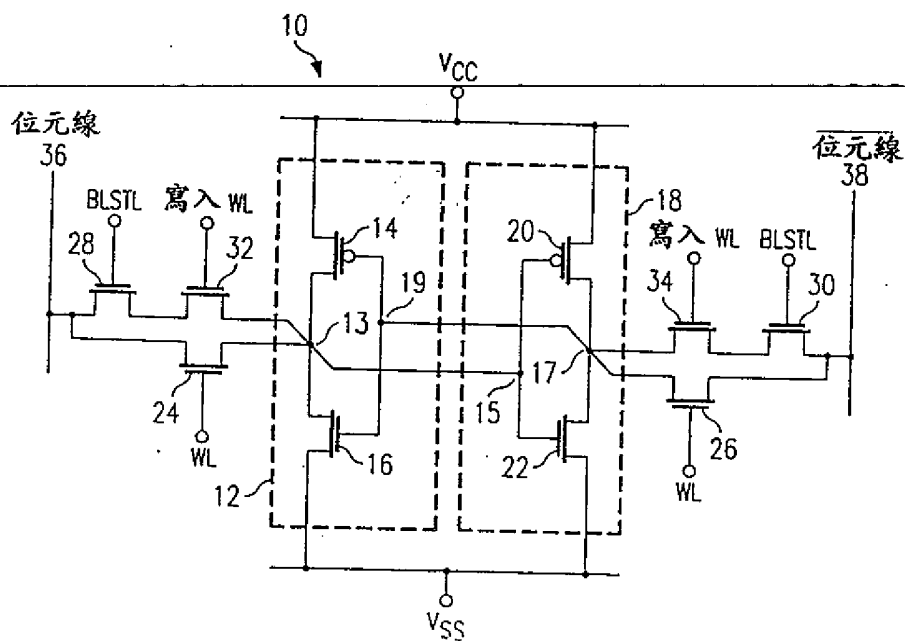


圖 3

四、中文發明摘要(發明之名稱：

低壓低功率靜態隨機存取記憶體胞元

一種十電晶體低壓電低功率靜態隨機存取記憶體胞元10包含與第二反相器18交叉耦合的第一反相器12。第一旁通電晶體24與第一位元線選擇電晶體28的串聯組合是連接於第一反相器的輸出節點13與第一位元線36之間。第一寫入旁通電晶體32是平行於第一旁通電晶體24而放置。第二旁通電晶體26與第二位元線選擇電晶體30的串聯組合是連接於第二反相器的輸出節點17與第二位元線38之間。第二寫入旁通電晶體34是平行於第二旁通電晶體26而放置。

英文發明摘要(發明之名稱：

Low voltage, low power static random access memory cell

A ten transistor low voltage, low power static random access memory cell (10) includes a first inverter (12) cross-coupled to a second inverter (18). A series combination of a first pass transistor (24) and a first bitline select transistor (28) is connected between an output node (13) of the first inverter (12) and a first bitline (36). A first write pass transistor (32) is placed in parallel with the first pass transistor (24). A series combination of a second pass transistor (26) and a second bitline select transistor (30) is connected between an output node (17) of the second inverter (18) and a second bitline (38). A second write pass transistor (34) is placed in parallel with the second pass transistor (26).