

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年7月14日(14.07.2016)



(10) 国際公開番号
WO 2016/110981 A1

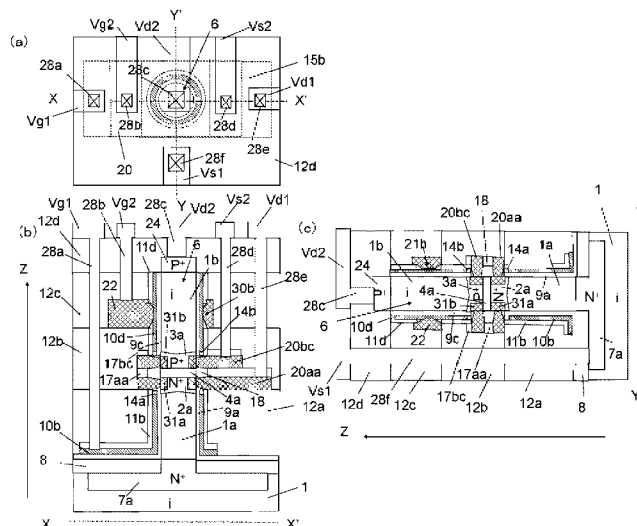
- (51) 国際特許分類:
H01L 21/8234 (2006.01) H01L 27/088 (2006.01)
H01L 21/8238 (2006.01) H01L 27/092 (2006.01)
- (21) 国際出願番号: PCT/JP2015/050391
- (22) 国際出願日: 2015年1月8日(08.01.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): ユニ
サントイス エレクトロニクス シンガポール
プライベート リミテッド(UNISANTIS ELEC-
TRONICS SINGAPORE PTE. LTD.) [SG/SG]; 179098
ノースブリッジロード 111、ペニンシュラ
プラザ #16-04 Singapore (SG).
- (72) 発明者; および
- (71) 出願人(米国についてのみ): 舩岡 富士雄(MAS-
UOKA Fujio) [JP/JP]; 〒1020072 東京都千代田区飯
田橋1-12-13 いずみ九段ビル5F S
emicon Consulting株式会社
Tokyo (JP). 原田 望(HARADA Nozomu) [JP/JP];
〒1020072 東京都千代田区飯田橋1-12-1
3 いずみ九段ビル5F S
emicon Consulting株式会社内 Tokyo (JP).
- (74) 代理人: 木村 満(KIMURA Mitsuru); 〒1010054 東
京都千代田区神田錦町二丁目7番地 協販ビル
2階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,
ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告(条約第21条(3))

(54) Title: COLUMNAR SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 柱状半導体装置と、その製造方法



(57) Abstract: In the present invention, an SiO₂ layer (4a) is formed at a middle position of an Si column (6). An opening of a gate insulating layer and a gate conductive layer is formed in a peripheral part including the side surfaces of the SiO₂ layer (4a). A laminate layer obtained by laminating two Ni layers, two poly-Si layers containing donor or acceptor impurity atoms, and two SiO₂ layers is formed on the peripheral part of the opening, and heat treatment is performed so that the poly-Si layers undergo silicidation. From an NiSi layer that protrudes and comes into contact with the side surface of the Si column (6) by the silicidation, the donor or acceptor impurity atoms are diffused into the Si column (6), thereby respectively forming, above and below the SiO₂ layer (4a), an N⁺ region (2a) and a P⁺ region (3a) that will serve as the source or drain of an SGT.

(57) 要約:

[続葉有]

WO 2016/110981 A1



S i 柱 (6) の中間位置に S i O₂ 層 (4 a) を形成する。S i O₂ 層 (4 a) 側面を含む外周部にゲート絶縁層、ゲート導体層の開口部を形成する。この開口部の外周部に N i 層、ドナーまたはアクセプタ不純物原子を含んだポリ S i 層、S i O₂ 層を各 2 つ重ねた積層層を形成し、熱処理を行い、ポリ S i 層のシリサイド化を行う。このシリサイド化により突き出て S i 柱 (6) 側面に接触した N i S i 層からドナーまたはアクセプタ不純物原子を S i 柱 (6) 内へ拡散させることにより S G T のソースまたはドレインとなる N⁺領域 (2 a)、P⁺領域 (3 a) を、S i O₂ 層 (4 a) の上下に形成する。

明 細 書

発明の名称：柱状半導体装置と、その製造方法

技術分野

[0001] 本発明は、柱状半導体装置と、その製造方法に関する。

背景技術

[0002] 近年、代表的な柱状半導体装置であるSGT (Surrounding Gate MOS Transistor) は、高集積な半導体装置を提供する半導体素子として注目されている。また、SGTを有する半導体装置の更なる高集積化が求められている。

[0003] 通常のプレナー型MOSトランジスタでは、チャンネルが半導体基板の上表面に沿う水平方向に存在する。これに対して、SGTのチャンネルは、半導体基板の上表面に対して垂直な方向に存在する（例えば、特許文献1、非特許文献1を参照）。このため、SGTはプレナー型MOSトランジスタと比べ、半導体装置の高密度化が可能である。

[0004] 図7に、NチャンネルSGTの構造模式図を示す。P型又はi型（真性型）の導電型を有するSi柱100（以下、シリコン半導体柱を「Si柱」と称する。）の上下の位置に、一方がソースとなる場合に、他方がドレインとなるN⁺領域101a、101b（以下、ドナー不純物を高濃度で含む半導体領域を「N⁺領域」と称する。）が形成されている。このソース、ドレインとなるN⁺領域101a、101b間のSi柱100がチャンネル領域102となる。このチャンネル領域102を囲むようにゲート絶縁層103が形成され、このゲート絶縁層103を囲むようにゲート導体層104が形成されている。SGTでは、ソース、ドレインとなるN⁺領域101a、101b、チャンネル領域102、ゲート絶縁層103、ゲート導体層104が、単一のSi柱100内に形成される。このため、SGTの平面視での面積は、プレナー型MOSトランジスタの単一のソース又はドレインN⁺領域面積に相当する。そのため、SGTを有する回路チップは、プレナー型MOSトランジスタを有する回路チップと比較して、更なるチップサイズの縮小化が実現できる。

[0005] 例えば、図8の構造模式図に示すように、1つのSi柱115の上下の位置に2つのSGT116a、116bを形成することにより、回路面積が縮小できることが予測される。

[0006] 図8に、Si柱115の下方にNチャネルSGT116aが形成され、このNチャネルSGT116aの上方にPチャネルSGT116bが形成された回路の模式構造図を示す。P層基板117（以下、アクセプタ不純物を含む半導体層を「P層」と称する。）上にSi柱115が形成されている。Si柱115の外周かつP層基板117上にSiO₂層118が形成されている。また、Si柱115を囲むように、NチャネルSGT116aのゲート絶縁層119aと、PチャネルSGT116bのゲート絶縁層119bが形成されている。ゲート絶縁層119a、119bを囲むように、Si柱115の外周に、NチャネルSGT116aのゲート導体層120aと、PチャネルSGT116bのゲート導体層120bが形成されている。Si柱115の底部に繋がるP層基板117の表層部にN⁺領域121aが形成されている。Si柱115の中間部に、N⁺領域121bと、N⁺領域121b上に繋がったSiO₂層130と、SiO₂層130上に繋がったP⁺領域122a（以下、アクセプタ不純物を高濃度で含む半導体領域を「P⁺領域」と称する。）とが形成されている。Si柱115の頂部にはP⁺領域122bが形成されている。N⁺領域121aは、NチャネルSGT116aのソースであり、N⁺領域121bは、NチャネルSGT116aのドレインである。N⁺領域121a、121bの間にあるSi柱115は、NチャネルSGT116aのチャネル領域123aである。P⁺領域122bは、PチャネルSGT116bのドレインであり、P⁺領域122aは、PチャネルSGT116bのソースである。P⁺領域122a、122bの間のSi柱115は、PチャネルSGT116bのチャネル領域123bである。Si柱115の底部に繋がるN⁺領域121aの表層部にニッケルシリサイド層（NiSi層）125aが形成されている。また、Si柱115の中央部にあるN⁺領域121bの外周にNiSi層125b、P⁺領域122aの外周にNiSi層125cが形成さ

れ、Si柱115の頂部にあるP⁺領域122bの上部表層にNiSi層125dが形成されている。N⁺領域121a内のNiSi層125aに繋がるようにソース配線金属層126aが形成され、ソース配線金属層126aはV_{S1}端子に接続されている。NiSi層125bに繋がるようにドレイン配線金属層126bが形成され、ドレイン配線金属層126bはドレイン端子V_{D1}に接続されている。P⁺領域122a内のNiSi層125cに繋がるようにソース配線金属層126cが形成され、ソース配線金属層126cはV_{S2}端子に接続されている。NiSi層125dに繋がるようにドレイン配線金属層126dが形成され、ドレイン配線金属層126dはV_{D2}端子に接続されている。ゲート導体層120a、120bに繋がるようにゲート配線金属層127a、127bが形成され、ゲート配線金属層127a、127bはそれぞれゲート端子V_{G1}、V_{G2}に接続されている。これにより、Si柱115にSiO₂層130により分離された2つのSGT116a、116bが形成される。

[0007] 図8に示したように、Si柱115にSiO₂層130により分離された2つのSGT116a、116bを形成する場合、以下の問題点があった。

1. Si柱115の中間部に、SiO₂層130により分離されたN⁺領域121bと、P⁺領域122aとを、精度よく、且つ容易に形成することが難しい。
2. N⁺領域121bと、P⁺領域122aとの外周部に、NiSi層125b、125cを、精度よく、且つ容易に形成することが難しい。
3. NiSi層125bとドレイン配線金属層126bの接続、NiSi層125cとソース配線金属層126cの接続を、精度よく、且つ容易に形成することが難しい。
4. Si柱115内へのNiSi層125b、125cの形成において、NiSiの線熱膨張係数 ($12 \times 10^{-6}/K$) と、Siの線熱膨張係数 ($2.4 \times 10^{-6}/K$) の違いに起因するSi柱115の曲がり又は倒れを防止することが難しい。

先行技術文献

特許文献

[0008] 特許文献1：特開平2－188966号公報

非特許文献

[0009] 非特許文献1：Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio Masuoka: IEEE Transaction on Electron Devices, Vol.38, No.3, pp.573-578 (1991)

非特許文献2：Hon Wai Lam : "SIMOX SOI for Integrated Circuit Fabrication", IEEE Circuit and Devices Magazine, pp.6-11 (July 1987)

非特許文献3：Tadashi Shibata, Susumu Kohyama and Hisakazu Iizuka: "A New Field Isolation Technology for High Density MOS LSI", Japanese Journal of Applied Physics, Vol.18, pp.263-267 (1979)

非特許文献4：T.Morimoto, T.Ohguro, H.Sasaki, M.S.Momose, T.Iinuma, I.Kunishima, K.Suguro, I.Katakabe, H.Nakajima, M.Tsuchiaki, M.Ono, Y.Katsumata, and H.Iwai: "Self-Aligned Nickel-Mono-Silicide Technology for High-Speed Deep Submicrometer Logic CMOS ULSI" IEEE Transaction on Electron Devices, Vol.42, No.5, pp.915-922 (1995)

非特許文献5：S.E.Thompson, G.Sun, Y.S.Choi, and T.Nishida: "Uniaxial-Process-Induced Strained-Si: Extending the CMOS Roadmap", IEEE Transaction on Electron Devices, Vol.53, No.5, pp.1010-1020 (1995)

非特許文献6：C.Y.Ting, V.J.Vivalda, and H.G.Schaefer: "Study of planarized sputter-deposited SiO₂" J.Vac.Sci.Technol, 15(3), May/Jun (1978)

発明の概要

発明が解決しようとする課題

[0010] 以上のとおり、図8に示すSGTを有する柱状半導体装置においては、

1. Si柱115の中間部に、SiO₂層130により分離されたN⁺領域1

2 1 b と、P⁺領域 1 2 2 a とを、精度よく、且つ容易に形成し、

2. N⁺領域 1 2 1 b と、P⁺領域 1 2 2 a との外周部に、NiSi 層 1 2 5 b、1 2 5 c を、精度よく、且つ容易に形成し、

3. NiSi 層 1 2 5 b とドレイン配線金属層 1 2 6 b の接続、NiSi 層 1 2 5 c とソース配線金属層 1 2 6 c の接続を、精度よく、且つ容易に形成し、

4. Si 柱 1 1 5 内への NiSi 層 1 2 5 b、1 2 5 c の形成において、NiSi の線熱膨張係数 ($12 \times 10^{-6}/K$) と、Si の線熱膨張係数 ($2.4 \times 10^{-6}/K$) の違いに起因する Si 柱 1 1 5 の曲がり又は倒れを防止することが求められている。

課題を解決するための手段

[0011] 本発明の第 1 の観点に係る、柱状半導体装置は、

半導体基板上に、前記半導体基板平面に対して垂直方向に立った半導体柱と、

前記半導体柱内に形成された、第 1 の層間絶縁層と、

前記半導体柱内に、前記第 1 の層間絶縁層に接して、且つ前記第 1 の層間絶縁層の下方に形成された、ドナー又はアクセプタ原子を含む第 1 の不純物領域と、

前記半導体柱内に、前記第 1 の層間絶縁層に接して、且つ前記第 1 の層間絶縁層の上方に形成された、ドナー又はアクセプタ原子を含む第 2 の不純物領域と、

前記第 1 の不純物領域の側面に接し、前記半導体柱内と、前記半導体柱の外周とに形成されている第 1 の合金層と、

前記第 2 の不純物領域の側面に接し、前記半導体柱内と、前記半導体柱の外周とに形成されている第 2 の合金層と、

前記第 1 の合金層と前記第 2 の合金層との間にあり、且つ側面が前記半導体柱側面と離れて形成された、第 2 の層間絶縁層とを有する、

ことを特徴とする。

[0012] 前記半導体基板上に、前記半導体基板平面に対して垂直方向に立った前記半導体柱と、

前記半導体柱を囲むゲート絶縁層と、

前記ゲート絶縁層を囲むゲート導体層と、

前記半導体柱の底部に形成された、前記第 1 の不純物領域と同じ導電性を有する第 3 の不純物領域と、

前記第 2 の不純物領域の上方の前記半導体柱内にある、前記第 2 の不純物領域と同じ導電性を有する第 4 の不純物領域と、

前記第 1 の合金層の下面に接した第 3 の層間絶縁層と、

前記第 2 の合金層の上面に接した第 4 の層間絶縁層と、

前記第 1 の不純物領域と前記第 3 の不純物領域の一方がソースとして、他方がドレインとして、前記第 1 の不純物領域と前記第 3 の不純物領域の間の前記半導体柱の部分がチャネルとして、前記ゲート導体層がゲートとして機能することで第 1 の S G T (Surrounding Gate MOS Transistor) が形成され、

前記第 2 の不純物領域と前記第 4 の不純物領域の一方がソースとして、他方がドレインとして、前記第 2 の不純物領域と前記第 4 の不純物領域との間の前記半導体柱の部分がチャネルとして、前記ゲート導体層がゲートとして機能することで第 2 の S G T とが形成される、

ことが望ましい。

[0013] 前記第 1 の合金層と前記第 2 の合金層は平面視で前記半導体柱の中心まで形成されている、

ことが望ましい。

[0014] 前記第 1 の合金層と前記第 2 の合金層は配線導体材料層である、

ことが望ましい。

[0015] 前記第 1 の合金層と前記第 2 の合金層は、前記第 2 の合金層と前記第 2 の層間絶縁層とを貫通し、底部が前記第 1 の合金層の上面、内部、または下面に達するコンタクトホールを介して、前記コンタクトホールの上部に形成し

た配線金属層に接続されている、
ことが望ましい。

[0016] 前記半導体柱にあって、前記第4の不純物領域から下方に向けて応力が形成されている、
ことが望ましい。

[0017] 前記第1の合金層、及び前記第2の合金層と、前記ゲート導体層との間に、空間を有する、
ことが望ましい。

[0018] 本発明の第2の観点に係る、柱状半導体装置の製造方法は、
半導体基板上に、前記半導体基板平面に対して垂直方向に立ち、且つ内部に第1の層間絶縁層を有する半導体柱を形成する半導体柱形成工程と、

前記半導体柱の外周部にあり、且つ前記半導体柱側面から離れて、第1の金属層と、ドナー又はアクセプタ原子を含む第1の半導体層と、垂直方向において前記第1の層間絶縁層と同じ高さにある第2の層間絶縁層と、第2の金属層と、ドナー又はアクセプタ原子を含む第2の半導体層と、第3の層間絶縁層とを、前記半導体基板平面に対して垂直方向に積層材料層を積層することで形成する積層材料層形成工程と、

熱処理により、前記第1の金属層と前記第1の半導体層とを反応させた第1の合金層と、前記第2の金属層と前記第2の半導体層とを反応させた第2の合金層とを、形成する第1・第2合金層形成工程と、

熱処理により前記第1の合金層と前記第2の合金層とを、前記半導体柱側面に向けて突出させて、前記第1の合金層と前記第2の合金層とを前記半導体柱の側面に接触させる合金層・半導体柱側面接触工程と、

前記合金層・半導体柱側面接触工程に続き、熱処理により、前記第1の合金層及び前記第2の合金層内の金属原子を前記半導体柱の半導体原子と反応させて前記半導体柱内に前記第1の合金層と前記第2の合金層を広げると共に、前記第1の合金層と、前記第2の合金層から掃き出された前記ドナー又はアクセプタ原子を前記半導体柱内に拡散させて、前記半導体柱内に前記ド

ナー又はアクセプタ原子を含む、前記第 1 の合金層に接した第 1 の不純物領域と、前記第 2 の合金層に接した第 2 の不純物領域とを形成する、半導体柱内合金層・不純物領域形成工程と、

を備える、

ことを特徴とする。

[0019] 前記半導体柱形成工程の後に、

前記半導体柱を囲むゲート絶縁層を形成するゲート絶縁層形成工程と、

前記ゲート絶縁層を囲むゲート導体層を形成するゲート導体層形成工程と

、

前記ゲート導体層を囲む第 4 の層間絶縁層を形成する第 4 層間絶縁層形成工程と、

前記半導体柱の底部にドナー又はアクセプタ原子を含む第 3 の不純物領域を形成する第 3 不純物領域形成工程と、

前記半導体柱の外周部にあり、且つ垂直方向における前記第 1 の層間絶縁層の下面位置より下方に上面を有する第 5 の層間絶縁層を形成する第 5 層間絶縁層形成工程と、

前記半導体柱の外周に、前記第 5 の層間絶縁層の上面位置を下方端として、且つ垂直方向における前記第 1 の層間絶縁層の上面位置より上方に上方端を有した空孔を、前記第 4 の層間絶縁層と、前記ゲート導体層と、前記ゲート絶縁層との側面を除去して形成し、前記半導体柱の側面を露出させる半導体柱側面露出工程と、を行い、

前記積層材料層形成工程において、前記第 5 の層間絶縁層上に、前記第 1 の金属層と、前記第 1 の半導体層と、前記第 2 の層間絶縁層と、前記第 2 の金属層と、前記第 2 の半導体層と、前記第 3 の層間絶縁層との材料原子を、前記半導体基板平面に対して垂直方向から入射させて、前記積層材料層を形成し、

前記積層材料層形成工程の後に、前記合金層・半導体柱側面接触工程と、前記半導体柱内合金層・不純物領域形成工程とを行い、

前記第2の不純物領域の上方の前記半導体柱内に、前記第2の不純物領域と同じ導電性を有する第4の不純物領域を形成する第4不純物領域形成工程をさらに有し、

前記第1の不純物領域と前記第3の不純物領域の一方がソースとして、他方がドレインとして、前記第1の不純物領域と前記第3の不純物領域の間の前記半導体柱の部分がチャネルとして、前記ゲート導体層がゲートとして機能することで第1のSGT (Surrounding Gate MOS Transistor) が形成され、

前記第2の不純物領域と前記第4の不純物領域の一方がソースとして、他方がドレインとして、前記第2の不純物領域と前記第4の不純物領域との間の前記半導体柱の部分がチャネルとして、前記ゲート導体層がゲートとして機能することで第2のSGTとが形成される、

ことが望ましい。

[0020] 前記半導体柱内合金層・不純物領域形成工程において、平面視で前記第1の合金層と前記第2の合金層とを前記半導体柱の中心に到達させる、

ことが望ましい。

[0021] 前記積層材料層形成工程において、

前記第1の金属層と、ドナー及びアクセプタ原子を含まない第3の半導体層とを、形成し、前記第3の半導体層にドナー又はアクセプタ原子をイオン注入して、前記第1の半導体層を形成し、

前記第2の層間絶縁層上に、前記第2の金属層と、ドナー及びアクセプタ原子を含まない第4の半導体層とを、形成し、前記第4の半導体層にドナー又はアクセプタ原子をイオン注入して、前記第2の半導体層を形成する、

ことが望ましい。

[0022] 前記積層材料層形成工程において、

前記第1の金属層と、ドナー及びアクセプタ原子を含む第5の半導体層と、前記第2の層間絶縁層と、前記第2の金属層と、前記第5の半導体層と同じ導電性を有する第6の半導体層とを形成し、前記第5の半導体層と前記第

6の半導体層の、いずれか一方、または両方に、前記第5の半導体層と異なる導電性を生じるドナーまたはアクセプタ原子を、前記第5の半導体層に含まれるドナー又はアクセプタ原子よりも多くイオン注入して、前記第1の半導体層と、前記第2の半導体層とを形成する、

ことが望ましい。

[0023] 前記第2の合金層と前記第2の層間絶縁層とを貫通し、底部が前記第1の合金層の上面、内部、または下面に達するコンタクトホールを形成するコンタクトホール形成工程と、

前記コンタクトホールを埋めて、前記第1の合金層と前記第2の合金層とを電氣的に接続する配線金属層を形成する配線金属層形成工程と、をさらに有する、

ことが望ましい。

[0024] 前記半導体柱の下方に向いた応力を発生する前記第4の不純物領域を形成する、

ことが望ましい。

[0025] 前記第1の合金層、及び前記第2の合金層と、前記ゲート導体層との間に、空間を形成する

ことが望ましい。

発明の効果

[0026] 本発明によれば、1つの半導体柱の上下に半導体柱の中央部の絶縁層により分離された2つのSGTが形成されているSGTを有する半導体装置において、半導体柱の中央部に形成した絶縁層の上下に形成する、SGTのソースまたはドレインとなる半導体領域が、ゲート導体層の位置に対して、高精度に、且つ容易に形成することが可能となる。また、本発明によれば、半導体柱の中央部に存在する、SGTのソースまたはドレインとなる半導体領域内に合金層を形成する場合に発生する半導体柱の曲がり又は倒れを抑制し、半導体領域と、合金層に繋がる配線金属層との接続を確実にすることが可能となる。

図面の簡単な説明

[0027] [図1A]本発明の第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)である。

[図1B]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)である。

[図1C]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)である。

[図1D]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)である。

[図1E]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)である。

[図1F]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)である。

[図1G]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)である。

[図1H]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図(a)と、断面構造図(b)、(c)と、断面拡大図(d)である。

[図1I]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図(a)と、断面構造図(b)、(c)と、断面拡大図(d)である。

[図1J]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)である。

[図1K]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)である。

[図1L]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)である。

[図1M]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明

するための平面図（a）と断面構造図（b）、（c）である。

[図1N]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図（a）と断面構造図（b）、（c）である。

[図2A]本発明の第2実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図（a）と断面構造図（b）、（c）である。

[図2B]第2実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図（a）と断面構造図（b）、（c）である。

[図3A]本発明の第3実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図（a）と断面構造図（b）、（c）である。

[図3B]第3実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図（a）と断面構造図（b）、（c）である。

[図4]本発明の第4実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図（a）と断面構造図（b）、（c）である。

[図5]本発明の第5実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図（a）と断面構造図（b）、（c）である。

[図6]本発明の第6実施形態に係るSGTを有する半導体装置の製造方法を説明するためのCMOSインバータ回路の平面図（a）と断面構造図（b）、（c）である。

[図7]従来例のSGTを示す構造模式図である。

[図8]従来例の単一のSi柱に、下方にNチャネルSGTを形成し、上方にPチャネルSGTを形成した回路の構造模式図である。

発明を実施するための形態

[0028] 以下、本発明の実施形態に係る、SGTを有する柱状半導体装置の製造方法について、図面を参照しながら説明する。

[0029] （第1実施形態）

以下、図1A～図1Nを参照しながら、本発明の第1実施形態に係る、SGTを有する柱状半導体装置の製造方法について説明する。

[0030] 図1Aに、SGTを有する柱状半導体装置の最初の工程を説明するための

、平面図及び断面図を示す。(a)は平面図、(b)は(a)のX-X'線に沿う断面構造図、(c)は(a)のY-Y'線に沿う断面構造図を示す。以下に参照するその他の図面も、(a)、(b)、(c)で示す各図の関係はこれと同様である。

[0031] 図1Aに示すように、i層基板1上に、熱酸化法によりSiO₂層(図示せず)を形成する。そして、リソグラフィ法とRIE(Reactive Ion Etching)法を用いて、酸素イオン(O⁺)を注入するための孔を設けたSiO₂層5aを形成する。この孔は、平面視において、矩形であってもよいし、円形であってもよい。次に、酸素イオンを、i層基板1上面より、例えば加速電圧100~200KV、ドーズ量 $2 \times 10^{18} / \text{cm}^2$ にて、イオン注入する。そして、例えば1150℃の熱処理を行い、i層基板1内にSiO₂領域4を形成する(SiO₂領域4形成については、例えば非特許文献2を参照)。

[0032] 次に、図1Bに示すように、露出しているi層基板1上と、SiO₂層5a上にSiO₂層5bを堆積させる。

[0033] 次に、図1Cに示すように、リソグラフィ法とRIE法とを用いて、SiO₂層5bをエッチングすることで、SiO₂層5cを形成する。さらにSiO₂層5cをマスクとして用いたRIE法によってi層基板1をエッチングすることで、i層基板1表面に対して垂直(上下)方向に延び且つ中央部にSiO₂層4aを有するSi柱6を形成する。ここでSi柱6の断面形状は、好ましくは、図1C(a)に示すように、SiO₂層5aの孔より小さい円形である。また、Si柱6の側面の角度は、好ましくは、i層基板1の上表面に対して略直角である。

[0034] 次に、図1Dに示すように、Si柱6の外周におけるi層基板1の上表面表層に、イオン注入法によってN⁺領域7を形成する。続いて、CVD(Chemical Vapor Deposition)法を用いてSiO₂膜(図示せず)を堆積し、SiO₂膜の上表面をMCP(Mechanical Chemical Polishing)法を用いて平坦化した後、エッチバック法を用いてSiO₂膜をエッチングする。これにより、Si柱6の外周におけるi層基板1及びN⁺領域7上にSiO₂層8を残存

させる。続いて、ALD (Atomic Layer Deposition) 法により、Si 柱6及びSiO₂層8の全体を、酸化ハフニウム (HfO₂) 層9と窒化チタン (TiN) 層10とによって、順次、被覆する。その後、CVD法によって、Si 柱6及びSi 柱6の周辺全体をSiO₂層11で覆う。最終的に、HfO₂層9はSGTのゲート絶縁層となり、TiN層10はSGTのゲート導体層となる。

[0035] 次に、リソグラフィ法により形成したレジストをマスクとして用い、図1Eに示すように、SiO₂層11、TiN層10をRIE法によってエッチングすることで、Si 柱6の上表面からSiO₂層8の上表面に亘って、SiO₂層11aとTiN層10aとを形成する。

[0036] 次に、図1Fに示すように、Si 柱6の外周に窒化シリコン (SiN) 層12aを形成する。続いて、SiN層12a上にレジスト層13を形成する。SiO₂層4aの垂直方向での位置がレジスト層13の中央部になるように、レジスト層13を形成する。レジスト層13は、レジスト材料をi層基板1の上表面全体に塗布した後、例えば200℃の熱処理を行ってレジスト材料の流動性を大きくし、レジスト材料がSi 柱6の外側のSiN層12a上で均質に溜まるようにして形成する。続いて、フッ化水素ガス（以下、「HFガス」と称する。）を全体に供給する。続いて、例えば180℃の加熱環境とすることで、HFガスをレジスト層13内に含まれた水分によって電離し、フッ化水素イオン (HF₂⁺)（以下、「HFイオン」と称する。）を形成する。このHFイオンがレジスト層13内を拡散して、レジスト層13に接触するSiO₂層11aをエッチングする（ここでのエッチングのメカニズムは非特許文献3を参照のこと。）。一方、レジスト層13に接触していないSiO₂層11aは、殆どエッチングされずに残存する。その後、レジスト層13を除去する。

[0037] 以上によって、図1Gに示すように、SiO₂層11aは、SiN層12aで覆われた領域のSiO₂層11bと、Si 柱6の上部領域のSiO₂層11cとに分離される。続いて、SiO₂層11b、11cをマスクとして用い、

TiN層10aをエッチングすることで、TiN層10aを、Si柱6の下方領域でSiO₂層11bで覆われたTiN層10bと、Si柱6の上方領域でSiO₂層11cで覆われたTiN層10cとに分離する。続いて、SiO₂層11b、11cと、TiN層10b、10cとをマスクとして用い、HfO₂層9をエッチングすることで、HfO₂層9を、Si柱6の下方領域でTiN層10bによりその一部が覆われたHfO₂層9aと、Si柱6の上部領域でTiN層10cに覆われたHfO₂層9bとに分離する。こうして、Si柱6の側面に開口部30aが形成される。その後、TiN層10b、10cの露出部を酸化することで、TiO（酸化チタン）層14a、14bを形成する。

[0038] 次に、図1Hに示すように、熱処理により、N⁺領域7のAs原子をi層基板内に拡散させて、N⁺領域7aを形成する。そして、例えば、i層基板1を配置した基板金属板と、この基板金属板から離間した対向金属板とを用意し、基板金属板に直流電圧を印加し、これら2枚の平行金属板にRF高周波電圧を印加することで対向金属板の材料原子をスパッタしてi層基板1上に堆積させるバイアス・スパッタ法を用いて、Ni原子をi層基板1の上表面に垂直な方向から入射させ、SiN層12a上にNi層15aを形成し、Si柱6上にNi層15cを形成する。次に、バイアス・スパッタ法により砒素（As）不純物を含んだポリSi層16aをNi層15a上に形成し、Ni層15c上にドナー不純物となる砒素（As）原子を含んだポリSi層16cを形成する。次に、バイアス・スパッタ法を用いて、SiO₂原子をi層基板1の上表面に垂直な方向から入射させ、ポリSi層16a上にSiO₂層17aを形成し、ポリSi層16c上にSiO₂層17cを形成する。そして、Ni層15a、ポリSi層16a、SiO₂層17aと同じ方法を用いて、SiO₂層17a上に、Ni層15b、アクセプタ不純物となるボロン（B）原子を含んだポリSi層16b、SiO₂層17bを形成し、SiO₂層17c上に、Ni層15d、ボロン（B）原子を含んだポリSi層16d、SiO₂層17dを形成する。

Ni 原子、ポリSi 原子、SiO₂ 原子は、i 層基板 1 の上表面に対して垂直な方向から入射するので、Si 柱 6 外周部側面とNi 層 15 a、15 b、ポリSi 層 16 a、16 b、SiO₂ 層 17 a との間に、空間 18 が形成される。

[0039] 図 1 H (d) に、図 1 H (b) の点線枠 A 内の拡大図を示す。SiO₂ 層 17 b 上方表面位置は、空間 18 の上端位置より上方にあるように形成される。そして、SiO₂ 層 17 b は SiO₂ 層 11 c と接触しているので、密閉された空間 18 が形成される。

[0040] 次に、図 1 I に示すように、例えば 550℃ の熱処理を行うことで、Ni 層 15 a、15 b の Ni 原子をポリSi 層 16 a、16 b 内に拡散させてニッケルシリサイド (NiSi) 層 20 a、20 b を形成する。NiSi 層 20 a、20 b は、ポリSi 層 16 a、16 b の体積より膨張する（この体積膨張については非特許文献 4 を参照のこと）。ポリSi 層 16 a は SiN 層 12 a、SiO₂ 層 17 a により挟まれ、ポリSi 層 16 b は SiO₂ 層 17 a、17 b により挟まれているので、NiSi 層 20 a、20 b は、主に空間 18 内に突出する。ポリSi 層 16 a に含まれている As 原子と、ポリSi 層 16 b とに含まれている B 原子は、NiSi 層 20 a、20 b より外側に掃き出される（この掃き出し現象については非特許文献 4 を参照のこと）。この不純物原子掃き出し効果により、NiSi 層 20 a、20 b の形成過程で、空間 18 内に突き出した NiSi 層 20 a、20 b の側面表層に不純物原子を多く含んだ突起部 21 a、21 b が形成される。そして、突起部 21 a、21 b 側面が Si 柱 6 表面に接触する。その後、Si 柱 6 上の、NiSi 層 20 c、20 d、突起部 21 c、21 d、SiO₂ 層 17 c、17 d を除去する。

[0041] 図 1 I (d) に、図 1 I (b) の点線枠 A 内の拡大図を示す。ドナー不純物 As 原子を多く含んだ突起部 21 a と、アクセプタ不純物 B 原子を多く含んだ突起部 21 b との側面は、Si 柱 6 側面表面に接触する。SiO₂ 層 17 b 上方表面位置は、空間 18 の上端位置より上方にあるように形成される。

これにより、NiSi層20aはSiN層12aとSiO₂層17aに挟まれ、NiSi層20bはSiO₂層17a、17bに挟まれる。

[0042] 次に、図1Jに示すように、熱処理を行って、NiSi層20a、20bのシリサイド化を拡張すると共に、不純物掃き出し効果により突起部21a、21bからAs原子、B原子がSi柱6内に拡散される。そして、NiSi層20a、20bに接したSi柱6の側面表層にNiSi層31a、31bが形成されると共に、As原子、B原子が不純物掃き出し効果によりSi柱6内部に拡散され、N⁺領域2a、P⁺領域3aが形成される。SiO₂層4aでは、ドナー及びアクセプタ不純物原子の熱拡散が抑えられ、同時にシリサイド化も抑えられるので、N⁺領域2a、P⁺領域3aは、SiO₂層4aで分離される。

[0043] 次に、図1Kに示すように、リソグラフィ法とRIE法とを用いて、NiSi層20a、20b、SiO₂層17a、17bをパターン加工することで、NiSi層20aa、20bb、SiO₂層17aa、17bbを形成する。

[0044] 次に、図1Lに示すように、リソグラフィ法とRIE法とを用いて、NiSi層20b、SiO₂層17bをパターン加工することで、X-X'軸方向においてNiSi層20aa及びSiO₂層17aaよりSi柱6側に後退したNiSi層20bc、SiO₂層17bc、を形成する。

[0045] 次に、図1Mに示すように、SiN層12aを形成した方法と同じ方法を用いることで、その上表面が、TiN層10cの高さ方向の中間に位置するように、SiN層12bを形成する。続いて、開口部30aを形成した方法と同じ方法を用いることで、TiN層10cの外周に開口部30bを形成する。続いて、TiN層10cに接触したNiSi層22を形成する。次に、SiO₂層12cを、その上表面の位置がNiSi層22の表面よりも高く、かつSi柱6の頂部よりも低くなるように形成する。その後、SiO₂層12cをマスクとして用い、SiO₂層11c、TiN層10c、HfO₂層9bをエッチングすることで、SiO₂層11d、TiN層10d、HfO₂層9

cを形成する。次に、 SiO_2 層11d、12c、 TiN 層10d、 HfO_2 層9cをマスクとして用い、ボロン(B)イオン注入法を用いることで、 Si 柱6の頂部に P^+ 領域24を形成する。

[0046] 次に、図1Nに示すように、 SiO_2 層12dをCVD法、MCP法によって全体に形成する。続いて、リソグラフィ法とRIE法とを用いて、 SiO_2 層12d、12c、 SiN 層12b、12aを貫通させて TiN 層10b上にコンタクトホール28aを形成し、 SiO_2 層12d、12cを貫通させて NiSi 層22上にコンタクトホール28bを形成し、 SiO_2 層12dを貫通させて Si 柱6の頂部上にコンタクトホール28cを形成し、 SiO_2 層12d、12c、 SiN 層12b、 SiO_2 層17bcを貫通させて NiSi 層20bc上にコンタクトホール28dを形成し、 SiO_2 層12d、12c、 SiN 層12b、 SiO_2 層17aaを貫通させて NiSi 層20aa上にコンタクトホール28eを形成し、 SiO_2 層12d、12c、 SiN 層12b、12a、 HfO_2 層9a、 SiO_2 層8を貫通させて N^+ 領域7a上にコンタクトホール28fを形成する。次に、コンタクトホール28aを介して TiN 層10bに電氣的に接続するゲート配線金属層Vg1を形成し、コンタクトホール28bを介して NiSi 層22に電氣的に接続するゲート配線金属層Vg2を形成し、コンタクトホール28cを介して Si 柱6の頂部の P^+ 領域24に電氣的に接続するドレイン配線金属層Vd2を形成し、コンタクトホール28dを介して NiSi 層20bcに電氣的に接続するソース配線金属層Vs2を形成し、コンタクトホール28eを介して NiSi 層20aaに電氣的に接続するドレイン配線金属層Vd1を形成し、コンタクトホール28fを介して N^+ 領域7aに電氣的に接続するソース配線金属層Vs1を形成する。そして、 NiSi 層20aa、20bcは、空間18と SiO_2 層17aaにより分離されている。また、 NiSi 層20aa、20bc、と TiO 層14a、14bとの間に空間が残っているのが好ましい。これにより、ゲート導体層である TiN 層10b、10dと NiSi 層20aa、20bcとの電氣的絶縁性が向上される。

[0047] 上記した製造方法により、S i 柱6の下部のi 層1 aをチャネル、i 層1 aの外周を囲むH f O₂層9 aをゲート絶縁層、H f O₂層9 aの外周を囲むT i N層1 0 bをゲート導体層、i 層1 aの下方に位置するN⁺領域7 aをソース、i 層1 a上に位置するN⁺領域2 aをドレインとしてそれぞれ機能させるNチャネル型S G Tと、S i 柱6の上部のi 層1 bをチャネル、i 層1 bの外周を囲むH f O₂層9 cをゲート絶縁層、H f O₂層9 cの外周を囲むT i N層1 0 dをゲート導体層、i 層1 bの下方に位置するP⁺領域3 aをソース、i 層1 b上に位置するP⁺領域2 4をドレインとしてそれぞれ機能させるPチャネル型S G Tと、が形成される。そして、これらNチャネル型S G TとPチャネル型S G Tは、S i O₂層4 aにより分離される。そして、S i 柱6の下方にあるNチャネル型S G TのドレインN⁺領域2 aと、上方にあるPチャネル型S G TのソースP⁺領域3 aとは、電氣的に独立に、それぞれ、ドレイン配線金属層V d 1、ソース配線金属層V s 2により取り出される。

[0048] 本実施形態の説明では、S i 柱6の下部にNチャネルS G Tが形成され、上部にPチャネルS G Tが形成されたが、図1 HのポリS i 層1 6 a、1 6 bに含まれるドナー、またはアクセプタ不純物を選択することにより、上下S G Tのチャネル型を、Nチャネル、Pチャネルのどちらにも変えることができる。

[0049] 図1 Iで示した工程において、N i S i 層2 0 a、2 0 bの空間1 8内への膨張と、ドナー、又はアクセプタ不純物原子を多く含んだ突起部2 1 a、2 1 bのS i 柱6側面への接続とを行ったが、それ以後の工程で行ってもよい。最終工程までにおいて、図1 Nで示した構造が得られればよい。

[0050] 同様に、図1 Iで示した工程では、N i S i 層3 1 a、3 1 b、N⁺領域2 a、P⁺領域3 aの形成を1度の熱処理により行ったが、しかしながら、このように1回のみの熱処理によってN⁺領域2 a及びP⁺領域3 aの形成を行うのではなく、図1 I～図1 Lで示した工程における、複数回の熱処理によって、S G Tを製造する最終工程までに、N i S i 層3 1 a、3 1 b、N⁺領域2 a、P⁺領域3 aの形成が行われればよい。

[0051] 第1実施形態の柱状半導体装置の製造方法によれば、以下の効果が奏される。

1. 図1Nに示したように、 SiO_2 層4aと SiO_2 層17aaとで分離された、電氣的に独立な2つのSGTがSi柱6内の上下に形成される。そして、上下SGTのチャネル型は、回路設計に応じて、独立して、Nチャネル型又はPチャネル型とすることができる。これにより、高密度なSGT回路が実現できる。

2. 図1Jで示したように、 N^+ 領域2aは、下方端位置が下方SGTのゲートとなるTiN層10b上端位置にあるNiSi層20aをドナー不純物As原子の拡散源として、形成される。これにより、下方SGTにおいて、ドレイン N^+ 領域2aとゲートTiN層10bが自己整合により形成される。同様に、 P^+ 領域3aは、上面位置が上方SGTのゲートとなるTiN層10c下方端位置にあるNiSi層20bをアクセプタ不純物B原子の拡散源として、形成される。これにより、上方SGTにおいて、ドレイン P^+ 領域3aとゲートTiN層10cが自己整合により形成される。そして、2つのドレインの N^+ 領域2a、 P^+ 領域3aとゲートTiN層10b、10cの自己整合形成が同時に行われる特徴を有する。これは、ドレイン N^+ 領域2a、ゲートTiN層10b間と、ドレイン P^+ 領域3a、ゲートTiN層10c間との低容量化と、SGT特性バラツキ低減に繋がる。

3. ドレイン N^+ 領域2a、 P^+ 領域3aが、別々に形成されないで、同時に形成される特徴を有する。これは、SGT回路を搭載するIC (Integrated Circuit) 製造の低コスト化に繋がる。また、これは、ドレイン N^+ 領域2a、 P^+ 領域3aの位置関係を正確に形成できることによる性能バラツキの少ない回路を形成できる利点がある。

4. ドレイン N^+ 領域2a、 P^+ 領域3a形成の不純物拡散源であるNiSi層20a、20bが、ドレイン N^+ 領域2a、 P^+ 領域3aの引き出し配線材料層となる。これは、SGTを搭載するIC製造の低コスト化に繋がる。

5. NiSi層20a、20b、20aa、20bbは、Si柱6内にNi

S i 層 3 1 a、3 1 b が形成される工程から、そしてその後の工程においても、残存する。N i S i 層 2 0 a、2 0 b、2 0 a a、2 0 b b は S i 柱 6 を支える構造になっており、S i 柱 6 の倒れまたは曲がり発生を防止する役割を担う。

6. 図 1 N において、N i S i 層 2 0 a a、2 0 b c、と T i O 層 1 4 a、1 4 b との間に空間が残ることにより、ゲート導体層である T i N 層 1 0 b、1 0 d と N i S i 層 2 0 a a、2 0 b c との電氣的絶縁性が向上する。

[0052] (第 2 実施形態)

以下、図 2 A、図 2 B を参照しながら、本発明の第 2 実施形態に係る、S G T を有する柱状半導体装置の製造方法について説明する。第 2 実施形態の製造方法は、以下に説明する構造上の相違点が生じたこと以外は、第 1 実施形態の図 1 A ～図 1 N に示す工程と同様な工程によって製造される。

[0053] 図 1 A ～図 1 G に示した工程と同様な工程を行った後に、図 2 A に示すように、スパッタ法により i 層基板 1 表面に対して垂直方向から材料原子を入射させて、S i N 層 1 2 a 上に、N i 層 1 5 a と、不純物原子を含んでいないポリ S i 層 2 9 a と、S i O₂ 層 1 7 a とを、堆積させる。その後、イオン注入法により、ポリ S i 層 2 9 a 内に A s 原子を注入する。

[0054] 次に、図 2 B に示すように、スパッタ法により材料原子を i 層基板 1 表面に対して、垂直方向から入射させて、S i O₂ 層 1 7 a 上に、N i 層 1 5 b と、不純物原子を含んでないポリ S i 層 2 9 b と、S i O₂ 層 1 7 b とを、堆積させる。そして、イオン注入法により、ポリ S i 層 2 9 b 内に B 原子を注入する。これにより、図 1 H と同様に、ドナー不純物 A s 原子を含んだポリ S i 層 2 9 a と、アクセプタ不純物 B 原子を含んだポリ S i 層 2 9 b が形成される。

[0055] 本実施形態では、ポリ S i 層 2 9 a、2 9 b へのドナー及びアクセプタ不純物原子の導入をイオン注入法により行っている。これにより、S i 柱 6 と同じ複数の S i 柱（図示せず）を i 層基板 1 上に形成して、同じくこれら S i 柱の上下に S G T を形成する場合、リソグラフィ法とイオン注入法により

、回路設計に応じてNチャネル型またはPチャネル型のSGTが、複数のSi柱の上下に容易に形成できる。

[0056] (第3実施形態)

以下、図3A、図3Bを参照しながら、本発明の第3実施形態に係る、SGTを有する柱状半導体装置の製造方法について説明する。第3実施形態の柱状半導体装置は、以下に説明する構造上の相違点が生じたこと以外は、第1実施形態の図1A～図1Nに示す工程と同様な工程によって製造される。

[0057] 図1Hで示した工程と同じ工程において、図3Aに示すように、バイアス・スパッタ法を用いて、材料原子をi層基板1の上表面に垂直な方向から入射させ、SiN層12a上にNi層15a、砒素(As)不純物を含んだN型ポリSi層29aa、SiO₂層17a、Ni層15b、砒素(As)不純物を含んだN型ポリSi層29bb、SiO₂層17bを形成する。

[0058] 次に、図3Bに示すように、イオン注入法により、アクセプタ不純物B原子を、先にポリSi層29bbに含まれているドナー不純物濃度より多くの濃度をポリSi層29bbに注入する。これにより、P型のポリSi層29bbを形成する。その後、図1Iから図1Nの工程を行う。

[0059] また、図3Bに示した工程で、B原子のイオン注入加速電圧を制御することにより、例えば下層ポリSi層29aaに注入B原子分布のピークを持つてくることにより、ポリSi層29aaをP型、ポリSi層29bbをN型にできる。さらに、図3Bに示した工程で、注入B原子分布のピークをSiO₂層17aに持ってきて、ポリSi層29aa、29bbに同程度B原子が注入されるようにすれば、2つのポリSi層29aa、29bb共にP型にすることができる。そして、B原子のイオン注入を行わないと、ポリSi層29aa、29bb共にN型にすることができる。これにより、リソグラフィ法とイオン注入法により、回路設計に応じてNチャネル型またはPチャネル型のSGTが、複数のSi柱の上下に容易に形成できる。このように、第3実施形態では、第2実施形態と比べてイオン注入工程を半分に減らすことができる。

[0060] (第4実施形態)

以下、図4を参照しながら、本発明の第4実施形態に係る、SGTを有する柱状半導体装置について説明する。

[0061] 図4に示すように、Si柱6頂部にアクセプタ原子を含む $\text{Si}_{1-x}\text{Ge}_x$ 層33(例えば、 $x=0.17$)が形成される。 $\text{Si}_{1-x}\text{Ge}_x$ 層33は、図1LにおけるP⁺領域24に対応したPチャネル型SGTのドレイン層となる。 $\text{Si}_{1-x}\text{Ge}_x$ 層33は、Si柱6のSi原子の格子間距離の違いにより、 $\text{Si}_{1-x}\text{Ge}_x$ 層33からSi柱6下方に向けて応力を生じる。そして、Si柱6中間にあるP⁺領域3aは、突き出てSi柱6外周部に接続したNiSi層20aa、20bbよりの圧縮応力を受ける。この圧縮応力はP⁺領域3aからSi柱6上方に向いた応力成分を持つ。

[0062] 第4実施形態によれば、 $\text{Si}_{1-x}\text{Ge}_x$ 層33と、P⁺領域3aとで挟まれたSi柱6のPチャネル型SGTのチャネル層1bは、 $\text{Si}_{1-x}\text{Ge}_x$ 層33、P⁺領域3aからの圧縮応力を受ける。これにより、ホール移動度が向上して、Pチャネル型SGTの電流駆動能力を増加できる(圧縮応力によるPチャネル型MOSトランジスタのホール移動度増加現象については、例えば非特許文献5を参照)。

[0063] (第5実施形態)

以下、図5を参照しながら、本発明の第5実施形態に係る、SGTを有する柱状半導体装置について説明する。

[0064] 図5に示すように、Si柱6内のN⁺領域2a、P⁺領域3a内に、NiSi層20aa、20bb側面から、断面中心までシリサイド化されたNiSi層31c、31dを形成する。NiSi層31c、31dはSiO₂層4aにより分離される。

[0065] 図1Lでは、NiSi層31a、31bは、Si柱6の側面表層に形成されていたが、第5実施形態においては、NiSi層31a、31bに対応するNiSi層31c、31dがSi柱6の断面中心までシリサイド化されて、形成される。第5実施形態によれば、Si柱6の中間部に断面全体に膨張

係数の異なるNiSi層31c、31dが形成されることによるSi柱6の倒れまたは曲がり、NiSi層31c、31dの外周を囲んだNiSi層20aa、20bcが除去されることなく残存することにより、防止することができる。これは、Si柱6の断面直径の小さい場合に、さらに効果がある。また、本実施形態を第4実施形態へ適応した場合、図4に示したNiSi層31a、31bがSi柱6の外周部に形成されている場合と比べて、NiSi層31dから上方への応力が大きくできる。これにより、ホール移動度が向上して、Pチャネル型SGTの電流駆動能力を更に増加できる。

[0066] (第6実施形態)

以下、図6を参照しながら、本発明の第6実施形態に係る、SGTを有するCMOSインバータ回路について説明する。

[0067] 図6に示すように、N⁺領域2aに繋がってSi柱6内にNiSi層31cが形成されている。NiSi層31cに繋がってSi柱6を囲んでNiSi層20aaが形成されている。P⁺領域3aに繋がってSi柱6内にNiSi層31dが形成されている。NiSi層31dに繋がってSi柱6を囲んでNiSi層20bbが形成されている。NiSi層20aa、SiO₂層17aa、NiSi層20bb、SiO₂層17bbは、平面視において同一形状に形成されている。SiO₂層12d、12c、SiN層12b、NiSi層20aa、SiO₂層17aa、NiSi層20bb、SiO₂層17bbを貫通してSiN層12a上にコンタクトホール28cが形成されている（コンタクトホール28cの底面はNiSi層20aaの上面または中間部であってもよい）。そして、平面視において、TiN層10dに接続したNiSi層22aが、TiN層10bと同一形状に形成されている。そして、SiO₂層12d、12c、NiSi層22a、SiN層12b、12aを貫通して、TiN層10b上にコンタクトホール28aが形成されている。そして、コンタクトホール28aを介して入力配線金属層Vinが形成され、コンタクトホール28bを介して電源配線金属層Vddが形成され、コンタクトホール28cを介して出力配線金属層Voutが形成され、コンタクトホー

ル28dを介してアース配線金属層V_{ss}が形成される。NiSi層20a a、20b bは、出力配線金属層V_{out}を介して、電氣的に接続される。そして、NiSi層22aとTiN層10bは、入力配線金属層V_{in}を介して、電氣的に接続される。これにより、Si柱6に下部にNチャネル型SGT、上部にPチャネル型SGTを有したCMOSインバータ回路が形成される。

[0068] このように、NiSi層20a a、20b bを貫通するコンタクトホール28cを形成し、このコンタクトホール28cを介して出力配線金属層V_{out}を形成することにより、平面視における1つのコンタクトホール28cだけにより、これまでSiO₂層17a aにより電氣的に分離されていたNiSi層20a a、20b bが接続される。これにより、SGTを有したCMOSインバータ回路のi層基板1上での占有面積を小さくできる。

[0069] なお、第1実施形態では、材料原子をバイアス・スパッタ法を用いてi層基板1の上表面に対して垂直な方向から入射することでNi層15a、15b、ポリSi層16a、16b、SiO₂層17a、17bを形成した。材料原子をi層基板1の上表面に対して垂直な方向から入射できる方法であれば、バイアス・スパッタ法以外の方法を用いてもよい。このことは、本発明に係るその他の実施形態においても同様に適用可能である。

[0070] また、第1実施形態では、ポリSi層16a、16bのシリサイド化に伴ってNiSi層20a、20bを空間18内へ突起させた。このNi層15a、15bの代わりに、チタン(Ti)、コバルト(Co)などの他の金属層を用いてシリサイド層の空間18内への突起を行ってもよい。このことは、本発明に係るその他の実施形態においても同様に適用可能である。

[0071] また、第1実施形態では、下層にNi層15a、15bを形成し、上層にドナーまたはアクセプタ不純物を含んだポリSi層16a、16bを形成したが、上層にNi層15a、15bを形成し、下層にドナーまたはアクセプタ不純物を含んだポリSi層16a、16bを形成してもよい。このことは、本発明に係るその他の実施形態においても同様に適用可能である。

[0072] また、第1実施形態では、Ni層15aとポリSi層16aの2層及びNi層15bとポリSi層16bの2層から、その後の熱処理によって、NiSi層20a、20bをそれぞれ形成したが、Ni層15a、15bはポリSi層16a、16bの上下のどちらに形成しても良い。また複数層のNi層と複数層のポリSi層からNiSi層20a、20bをそれぞれ形成してもよい。このことは、本発明に係るその他の実施形態においても同様に適用可能である。

[0073] また、第1実施形態では、i層基板1の上表面に対して側面の角度が略直角（約90度）であるSi柱6を形成し、材料原子をバイアス・スパッタ法を用いてi層基板1の上表面に対して垂直な方向から入射することでNi層15a、15b、ポリSi層16a、16b、SiO₂層17a、17bを形成した。ここでは、Si柱6の側面の角度を、i層基板1の上表面に対して略直角とすることにより、Si柱6の外周を囲むSiO₂層11cの側部表面へのNi、Si、SiO₂材料原子の堆積が防止されている。このSi柱6の側面の角度は、Si柱6の外周を囲むSiO₂層11cの側部表面にNi、Si、SiO₂材料原子が堆積されない限り、90度よりも小さくともよい。例えば、バイアス・スパッタ法では、i層基板1を配置する基板電極板と、i層基板1から離間した対抗電極板との間に印加するバイアス電圧を制御することで、SiO₂層11cの側部表面にNi、Si、SiO₂材料原子が堆積されることが防止できる（これについて基本的な方法に関しては、非特許文献6を参照のこと。）。また、SiO₂層11cの側部表面にNi、Si、SiO₂材料原子が堆積されても、例えば希釈フッ酸溶液などで簡単にエッチング除去可能なものであれば問題はない。このことは、本発明に係るその他の実施形態においても適用可能である。

[0074] また、第1実施形態では、Si柱6側面表面と、NiSi層20a、20bとの接続、Si柱6内でのNiSi層31a、31bの形成、N⁺領域2a、P⁺領域3aの形成は、図1Jにおける熱処理によって行った。これら、Si柱6側面表面とNiSi層20a、20bとの接続、Si柱6内のNiS

i 層 3 1 a、3 1 b の形成、N⁺領域 2 a、P⁺領域 3 a の形成は、S G T を製造する最終工程までに行われればよい。このことは、本発明に係るその他の実施形態においても適用可能である。

[0075] また、第 1 実施形態では、ポリ S i 層 2 0 a、2 0 b を用いたが、アモルファス層であってもよい。このことは、本発明に係るその他の実施形態においても適用可能である。

[0076] また、第 1 実施形態では、S i N 層 1 2 a、1 2 b の単体材料層を用いて説明したが、下部に S i O₂ 層、上部に S i N 層を用いてもよい、また、S i N 層 1 2 a、1 2 b に換えて、H F イオンの拡散係数が小さい絶縁材料層を用いてもよい。このことは、本発明に係るその他の実施形態においても適用可能である。

[0077] 第 5 実施形態では、S i 柱 6 の断面中心までシリサイド化されて N i S i 層 3 1 c、3 1 d が形成された。このことは、本発明に係るその他の実施形態においても、なんら S G T 動作に不都合を生じないので、その他の実施形態に適用可能である。

[0078] また、上記各実施形態では、半導体柱として S i（シリコン）柱を用いた例について説明した。しかしこれに限られず、本発明の技術思想は、シリコン以外の半導体材料からなる半導体柱を用いた、S G T を有する半導体装置にも適用可能である。

[0079] また、上記各実施形態は、1 つの S i 柱に 2 個の S G T が形成されている半導体装置の製造方法を用いて説明した。しかしこれに限られず、本発明の技術思想は、1 個の半導体柱に 1 個、または 3 個以上の S G T を有する半導体装置の製造方法にも適用可能である。

[0080] 第 1 実施形態では、S i 柱 6 において、下部に N チャネル型 S G T が形成され、上部に P チャネル型 S G T が形成されている形態としたが、下部に P チャネル型 S G T、上部に N チャネル型 S G T が形成された回路に対しても、本発明の技術的思想が適用可能である。また、上下共に N チャネル又は P チャネル型 S G T を用いた回路の形成にも本発明の技術思想は適用可能であ

る。このことは、本発明に係るその他の実施形態においても適用可能である。

[0081] また、上記各実施形態では、SGTは、Si柱6などの半導体柱の外周にHfO₂層（ゲート絶縁層）9cが形成され、HfO₂層9cの外周にTiN層（ゲート導体層）10dが形成されている構造を有する。しかしこれに限られず、ゲート絶縁層とゲート導体層との間に電氣的に浮遊した導体層、又は、例えばSiN層などの電荷蓄積層を有する不揮発性メモリ素子もSGTの1種であるので、このような不揮発性メモリ素子にも、本発明の技術思想を適用することができる。この場合、HfO₂層の代わりにトンネル酸化膜としてSiO₂層を用いることが好ましい。

[0082] また、第1実施形態では、ゲート絶縁層がHfO₂層からなる形態とした。しかしこれに限られず、ゲート絶縁層は他の絶縁材料からなる形態でもよい。

[0083] また、上記各実施形態では、本発明の技術思想は、その他の回路、装置、素子などの半導体装置にも適用可能である。

[0084] また、第1実施形態では、ゲート導電層がTiN層10b、10dからなる形態とした。しかしこれに限られず、ゲート導電層は、他の金属材料からなる形態でもよい。また、ゲート導電層は、金属層と例えばポリSi層などからなる多層構造からなる形態でもよい。また、N⁺領域2a及びP⁺領域3aからなる不純物領域は、このように異なる導電型からなる不純物層から構成されるものでも、同じ導電型からなる不純物層から構成されるものでもよい。不純物領域が同じ導電型からなる場合は、2つの不純物層が全体として同種の導電型からなる1つの不純物領域を構成する。一方、不純物領域が異なる導電型からなる場合でも、これと同様に、2つの不純物層が全体として一つの不純物領域を構成する。このような構成は、本発明に係るその他の実施形態においても同様に適用可能である。

[0085] また、第1実施形態では、図1Fにおいて、Si柱6側面に開口部30aを形成した後、TiN層10b、10cの露出部を酸化して、絶縁TiO層

14 a、14 bを形成した。絶縁TiO層14 a、14 bはTiN層10 b、10 cを酸化したものであるので、N原子が含まれている。したがって、絶縁TiO層14 a、14 bはTi原子を含む絶縁層としても良い。このことは、本発明に係るその他の実施形態においても適用可能である。

[0086] また、第1実施形態において、NiSi層20 a a、20 b bと、ゲート導体層のTiN層10 b、10 dの間に空間が形成されている場合は、絶縁TiO層14 a、14 bはなくてもよい。このことは、本発明に係るその他の実施形態においても適用可能である。

[0087] また、第1実施形態では、図1 Fにおいて、Si柱6側面に開口部30 aを形成した後、TiN層10 b、10 cの露出部を酸化して、絶縁TiO層14 a、14 bを形成したが、絶縁TiO層14 a、14 bの代わりに、例えばSiO₂層などの他の絶縁層が被覆されてもよい。例えば、図1 FにおいてALD法によりSi柱6全体を覆ってSiO₂膜を被覆し、そのあと、図1 Eで示した開口部30 aを形成したのと同じ方法を用いて、TiN層10 b、10 cの露出部をSiO₂層で覆った状態で、開口部の形成を行ってもよい。

[0088] また、上記各実施形態において、i層基板1の代わりに、SOI (Silicon on Insulator) 基板を用いて、このSOI基板のSiO₂層を、図1 BにおけるSiO₂領域4としてもよい。この場合、i層基板1上に形成される他のSi柱にもSiO₂層4 aと同じSiO₂層が形成される。このことは、本発明に係るその他の実施形態においても適用可能である。

[0089] また、第1実施形態では、N⁺領域2 aとP⁺領域3 aとをSiO₂層4 aで分離した場合について説明したが、他の絶縁材料層が形成されている場合にも本発明の技術思想は適用可能である。このことは、本発明のその他の実施形態においても同様に適用される。

[0090] また、第1実施形態の図1 Bを用いた説明では、SiO₂層5 bを露出しているi層基板1上と、SiO₂層5 a上に堆積させたが、SiO₂層5 bは、例えばSiN層などの他の絶縁層であってもよい。このことは、本発明のそ

他の実施形態においても同様に適用される。

[0091] また、第5実施形態では、 S_i 柱6の頂部に、 S_i 柱6の下方に応力を発生する $S_{i-1-x}Ge_x$ 層33を用いたが、 S_i 柱6の下方に応力を発生し、Pチャネル型SGTのソース、またはドレインになる材料層であれば、他の材料層であってもよい。

[0092] また、第1実施形態において、 S_i 柱6の上下に形成した2個のSGTの内1個又は2個のSGTが、ゲート導体層に印加される電圧によるソース電流及びドレイン電流が N^+ 領域2a、7a間及び P^+ 領域3a、24間を流れるトンネル現象によって動作されるトンネル型SGTであってもよい。このことは、本発明のその他の実施形態においても同様に適用される。

[0093] 本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。上記実施例及び変形例は任意に組み合わせることができる。さらに、必要に応じて上記実施形態の構成要件の一部を除いても本発明の技術思想の範囲内となる。

産業上の利用可能性

[0094] 本発明に係る、柱状半導体装置の製造方法によれば、高集積度な半導体装置が得られる。

符号の説明

[0095] 1 S_i 層基板

1a、1b S_i 層

2a、7、7a N^+ 領域

3a、24 P^+ 領域

4 SiO_2 領域

4a、5a、5b、5c、8、11、11a、11b、11c、11d、1

7a、17b、17c、17d、17aa、17bb、17c、12c、1

2d SiO_2 層

6 Si 柱

9、9 a、9 b、9 c HfO₂ 層

10、10 a、10 b、10 c、10 d TiN 層

12 a、12 b SiN 層

13 レジスト層

14 a、14 b TiO 層

15 a、15 b、15 c、15 d Ni 層

16 a、16 b、16 c、16 d、29 a、29 b、29 a a、29 b b

ポリSi 層

18 空間

20 a、20 b、20 c、20 d、20 a a、20 b b、20 b c、22、

31 a、31 b、31 c、31 d NiSi 層

21 a、21 b、21 c、21 d ドナーまたはアクセプタ不純物を多く含んだ突起部

30 a、30 b 開口部

33 Si_{1-x}Ge_x 層

28 a、28 b、28 c、28 d、28 e、28 f コンタクトホール

Vg1、Vg2 ゲート配線金属層

Vd1、Vd2 ドレイン配線金属層

Vs1、Vs2 ソース配線金属層

請求の範囲

- [請求項1] 半導体基板上に、前記半導体基板平面に対して垂直方向に立った半導体柱と、
- 前記半導体柱内に形成された、第1の層間絶縁層と、
- 前記半導体柱内に、前記第1の層間絶縁層に接して、且つ前記第1の層間絶縁層の下方に形成された、ドナー又はアクセプタ原子を含む第1の不純物領域と、
- 前記半導体柱内に、前記第1の層間絶縁層に接して、且つ前記第1の層間絶縁層の上方に形成された、ドナー又はアクセプタ原子を含む第2の不純物領域と、
- 前記第1の不純物領域の側面に接し、前記半導体柱内と、前記半導体柱の外周とに形成されている第1の合金層と、
- 前記第2の不純物領域の側面に接し、前記半導体柱内と、前記半導体柱の外周とに形成されている第2の合金層と、
- 前記第1の合金層と前記第2の合金層との間にあり、且つ側面が前記半導体柱側面と離れて形成された、第2の層間絶縁層とを有する、
- ことを特徴とする柱状半導体装置。
- [請求項2] 前記半導体基板上に、前記半導体基板平面に対して垂直方向に立った前記半導体柱と、
- 前記半導体柱を囲むゲート絶縁層と、
- 前記ゲート絶縁層を囲むゲート導体層と、
- 前記半導体柱の底部に形成された、前記第1の不純物領域と同じ導電性を有する第3の不純物領域と、
- 前記第2の不純物領域の上方の前記半導体柱内にある、前記第2の不純物領域と同じ導電性を有する第4の不純物領域と、
- 前記第1の合金層の下面に接した第3の層間絶縁層と、
- 前記第2の合金層の上面に接した第4の層間絶縁層と、
- 前記第1の不純物領域と前記第3の不純物領域の一方がソースと

して、他方がドレインとして、前記第 1 の不純物領域と前記第 3 の不純物領域の間の前記半導体柱の部分がチャネルとして、前記ゲート導体層がゲートとして機能することで第 1 の S G T (Surrounding Gate MOS Transistor) が形成され、

前記第 2 の不純物領域と前記第 4 の不純物領域の一方がソースとして、他方がドレインとして、前記第 2 の不純物領域と前記第 4 の不純物領域との間の前記半導体柱の部分がチャネルとして、前記ゲート導体層がゲートとして機能することで第 2 の S G T とが形成される、

ことを特徴とする請求項 1 に記載の柱状半導体装置。

[請求項3] 前記第 1 の合金層と前記第 2 の合金層は平面視で前記半導体柱の中心まで形成されている、

ことを特徴とする請求項 1 に記載の柱状半導体装置。

[請求項4] 前記第 1 の合金層と前記第 2 の合金層は配線導体材料層である、

ことを特徴とする請求項 1 に記載の柱状半導体装置。

[請求項5] 前記第 1 の合金層と前記第 2 の合金層は、前記第 2 の合金層と前記第 2 の層間絶縁層とを貫通し、底部が前記第 1 の合金層の上面、内部、または下面に達するコンタクトホールを介して、前記コンタクトホールの上部に形成した配線金属層に接続されている、

ことを特徴とする請求項 1 に記載の柱状半導体装置。

[請求項6] 前記半導体柱にあって、前記第 4 の不純物領域から下方に向けて応力が形成されている、

ことを特徴とする請求項 2 に記載の柱状半導体装置。

[請求項7] 前記第 1 の合金層及び前記第 2 の合金層と、前記ゲート導体層との間に、空間を有する、

ことを特徴とする請求項 2 に記載の柱状半導体装置。

[請求項8] 半導体基板上に、前記半導体基板平面に対して垂直方向に立ち、且つ内部に第 1 の層間絶縁層を有する半導体柱を形成する半導体柱形成工程と、

前記半導体柱の外周部にあり、且つ前記半導体柱側面から離れて、第1の金属層と、ドナー又はアクセプタ原子を含む第1の半導体層と、垂直方向において前記第1の層間絶縁層と同じ高さにある第2の層間絶縁層と、第2の金属層と、ドナー又はアクセプタ原子を含む第2の半導体層と、第3の層間絶縁層とを、前記半導体基板平面に対して垂直方向に積層材料層を積層することで形成する積層材料層形成工程と、

熱処理により、前記第1の金属層と前記第1の半導体層とを反応させた第1の合金層と、前記第2の金属層と前記第2の半導体層とを反応させた第2の合金層とを、形成する第1・第2合金層形成工程と、

熱処理により前記第1の合金層と前記第2の合金層とを、前記半導体柱側面に向けて突出させて、前記第1の合金層と前記第2の合金層とを前記半導体柱の側面に接触させる合金層・半導体柱側面接触工程と、

前記合金層・半導体柱側面接触工程に続き、熱処理により、前記第1の合金層及び前記第2の合金層内の金属原子を前記半導体柱の半導体原子と反応させて前記半導体柱内に前記第1の合金層と前記第2の合金層を広げると共に、前記第1の合金層と、前記第2の合金層から掃き出された前記ドナー又はアクセプタ原子を前記半導体柱内に拡散させて、前記半導体柱内に前記ドナー又はアクセプタ原子を含む、前記第1の合金層に接した第1の不純物領域と、前記第2の合金層に接した第2の不純物領域とを形成する、半導体柱内合金層・不純物領域形成工程と、

を備える、

ことを特徴とする柱状半導体装置の製造方法。

[請求項9]

前記半導体柱形成工程の後に、

前記半導体柱を囲むゲート絶縁層を形成するゲート絶縁層形成工程と、

前記ゲート絶縁層を囲むゲート導体層を形成するゲート導体層形成工程と、

前記ゲート導体層を囲む第4の層間絶縁層を形成する第4層間絶縁層形成工程と、

前記半導体柱の底部にドナー又はアクセプタ原子を含む第3の不純物領域を形成する第3不純物領域形成工程と、

前記半導体柱の外周部にあり、且つ垂直方向における前記第1の層間絶縁層の下面位置より下方に上面を有する第5の層間絶縁層を形成する第5層間絶縁層形成工程と、

前記半導体柱の外周に、前記第5の層間絶縁層の上面位置を下方端として、且つ垂直方向における前記第1の層間絶縁層の上面位置より上方に上方端を有した空孔を、前記第4の層間絶縁層と、前記ゲート導体層と、前記ゲート絶縁層との側面を除去して形成し、前記半導体柱の側面を露出させる半導体柱側面露出工程と、を行い、

前記積層材料層形成工程において、前記第5の層間絶縁層上に、前記第1の金属層と、前記第1の半導体層と、前記第2の層間絶縁層と、前記第2の金属層と、前記第2の半導体層と、前記第3の層間絶縁層との材料原子を、前記半導体基板平面に対して垂直方向から入射させて、前記積層材料層を形成し、

前記積層材料層形成工程の後に、前記合金層・半導体柱側面接触工程と、前記半導体柱内合金層・不純物領域形成工程とを行い、

前記第2の不純物領域の上方の前記半導体柱内に、前記第2の不純物領域と同じ導電性を有する第4の不純物領域を形成する第4不純物領域形成工程をさらに有し、

前記第1の不純物領域と前記第3の不純物領域の一方がソースとして、他方がドレインとして、前記第1の不純物領域と前記第3の不純物領域の間の前記半導体柱の部分がチャネルとして、前記ゲート導体層がゲートとして機能することで第1のSGT (Surrounding Gate M

OS Transistor) が形成され、

前記第2の不純物領域と前記第4の不純物領域の一方がソースとして、他方がドレインとして、前記第2の不純物領域と前記第4の不純物領域との間の前記半導体柱の部分がチャネルとして、前記ゲート導体層がゲートとして機能することで第2のSGTとが形成される、

ことを特徴とする請求項8に記載の柱状半導体装置の製造方法。

[請求項10]

前記半導体柱内合金層・不純物領域形成工程において、平面視で前記第1の合金層と前記第2の合金層とを前記半導体柱の中心に到達させる、

ことを特徴とする請求項8に記載の柱状半導体装置の製造方法。

[請求項11]

前記積層材料層形成工程において、

前記第1の金属層と、ドナー及びアクセプタ原子を含まない第3の半導体層とを、形成し、前記第3の半導体層にドナー又はアクセプタ原子をイオン注入して、前記第1の半導体層を形成し、

前記第2の層間絶縁層上に、前記第2の金属層と、ドナー及びアクセプタ原子を含まない第4の半導体層とを、形成し、前記第4の半導体層にドナー又はアクセプタ原子をイオン注入して、前記第2の半導体層を形成する、

ことを特徴とする請求項8に記載の柱状半導体装置の製造方法。

[請求項12]

前記積層材料層形成工程において、

前記第1の金属層と、ドナー及びアクセプタ原子を含む第5の半導体層と、前記第2の層間絶縁層と、前記第2の金属層と、前記第5の半導体層と同じ導電性を有する第6の半導体層とを形成し、前記第5の半導体層と前記第6の半導体層の、いずれか一方、または両方に、前記第5の半導体層と異なる導電性を生じるドナーまたはアクセプタ原子を、前記第5の半導体層に含まれるドナー又はアクセプタ原子よりも多くイオン注入して、前記第1の半導体層と、前記第2の半導体層とを形成する、

ことを特徴とする請求項 8 に記載の柱状半導体装置の製造方法。

[請求項13] 前記第 2 の合金層と前記第 2 の層間絶縁層とを貫通し、底部が前記第 1 の合金層の上面、内部、または下面に達するコンタクトホールを形成するコンタクトホール形成工程と、

前記コンタクトホールを埋めて、前記第 1 の合金層と前記第 2 の合金層とを電氣的に接続する配線金属層を形成する配線金属層形成工程と、をさらに有する、

ことを特徴とする請求項 8 に記載の柱状半導体装置の製造方法。

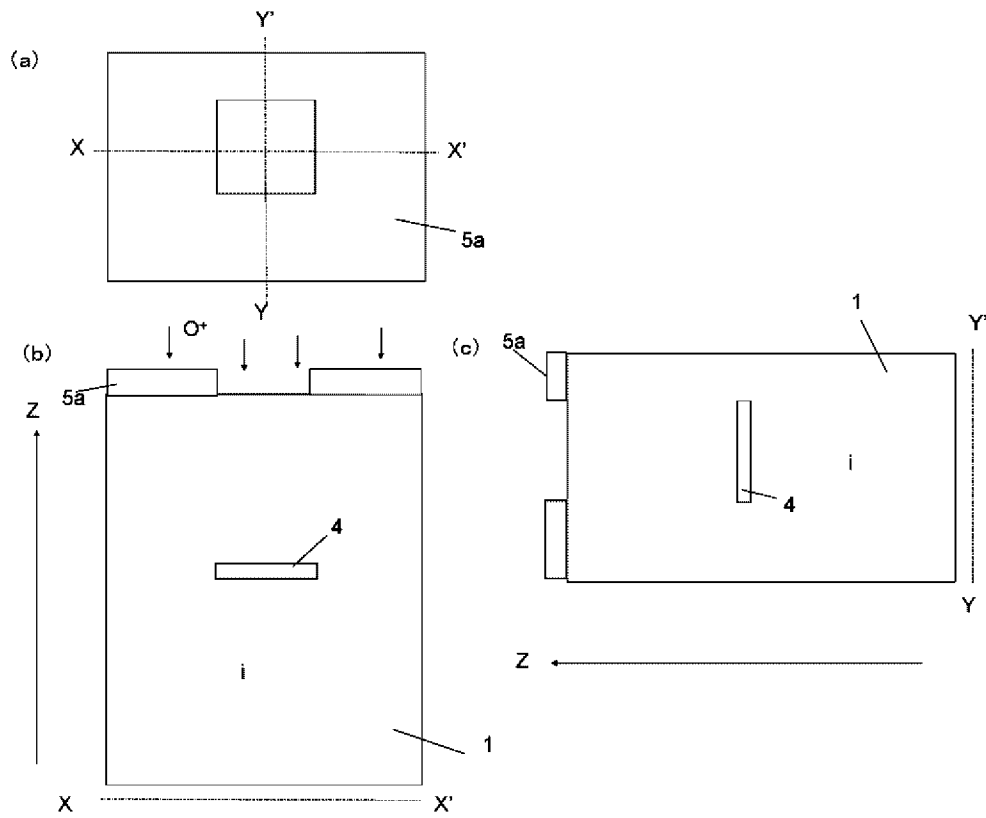
[請求項14] 前記半導体柱の下方に向いた応力を発生する前記第 4 の不純物領域を形成する、

ことを特徴とする請求項 9 に記載の柱状半導体装置の製造方法。

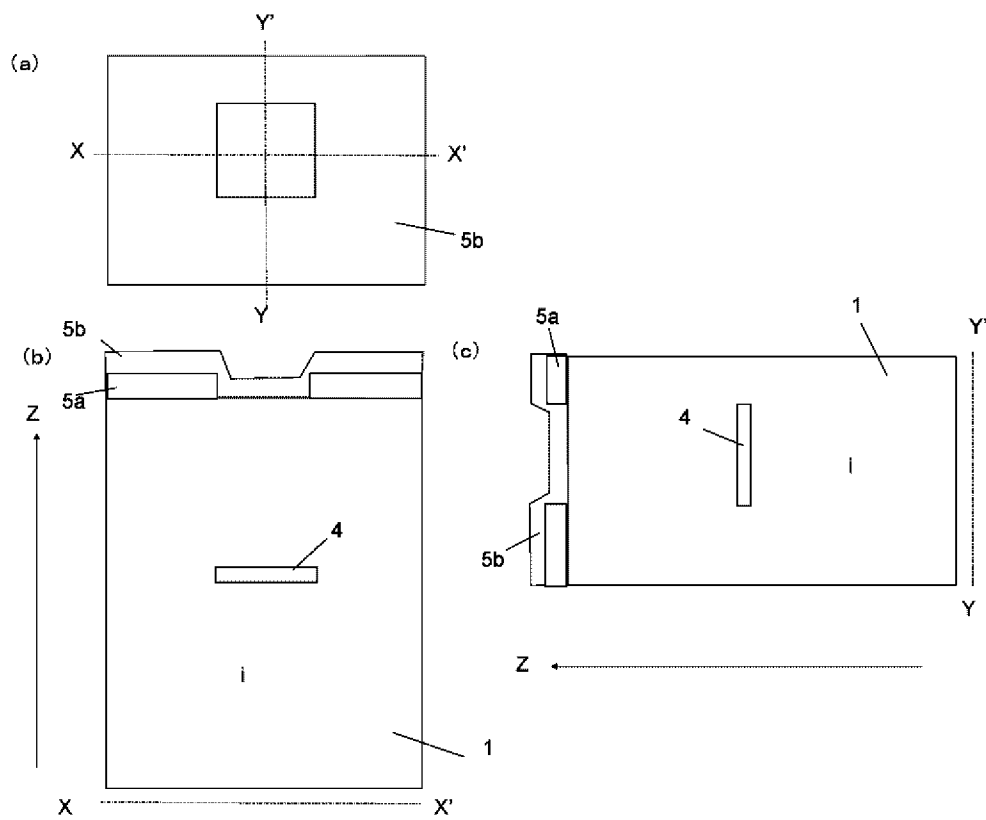
[請求項15] 前記第 1 の合金層、及び前記第 2 の合金層と、前記ゲート導体層との間に、空間を形成する、

ことを特徴とする請求項 9 に記載の柱状半導体装置の製造方法。

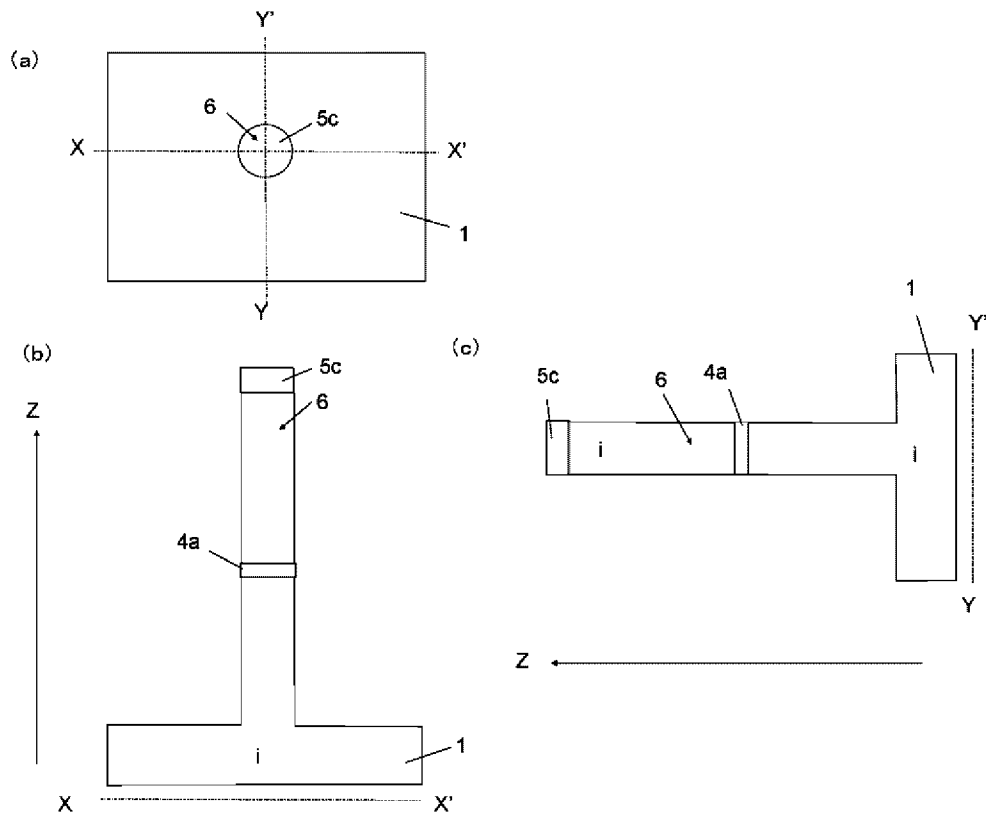
[図1A]



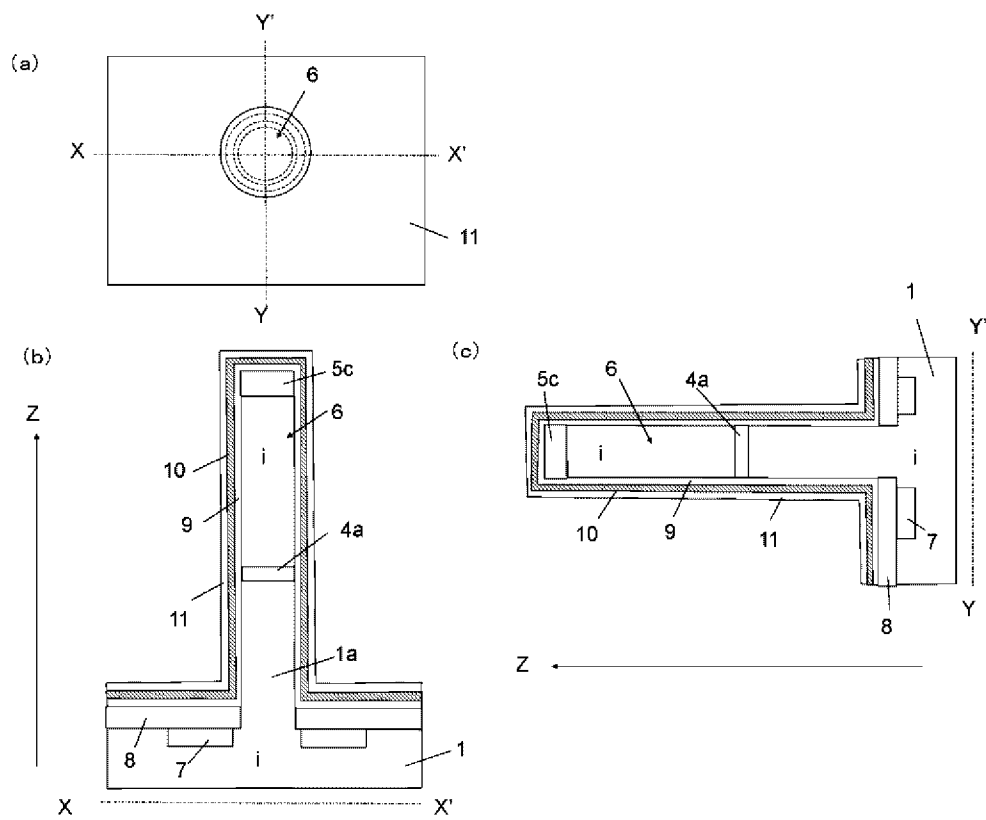
[図1B]



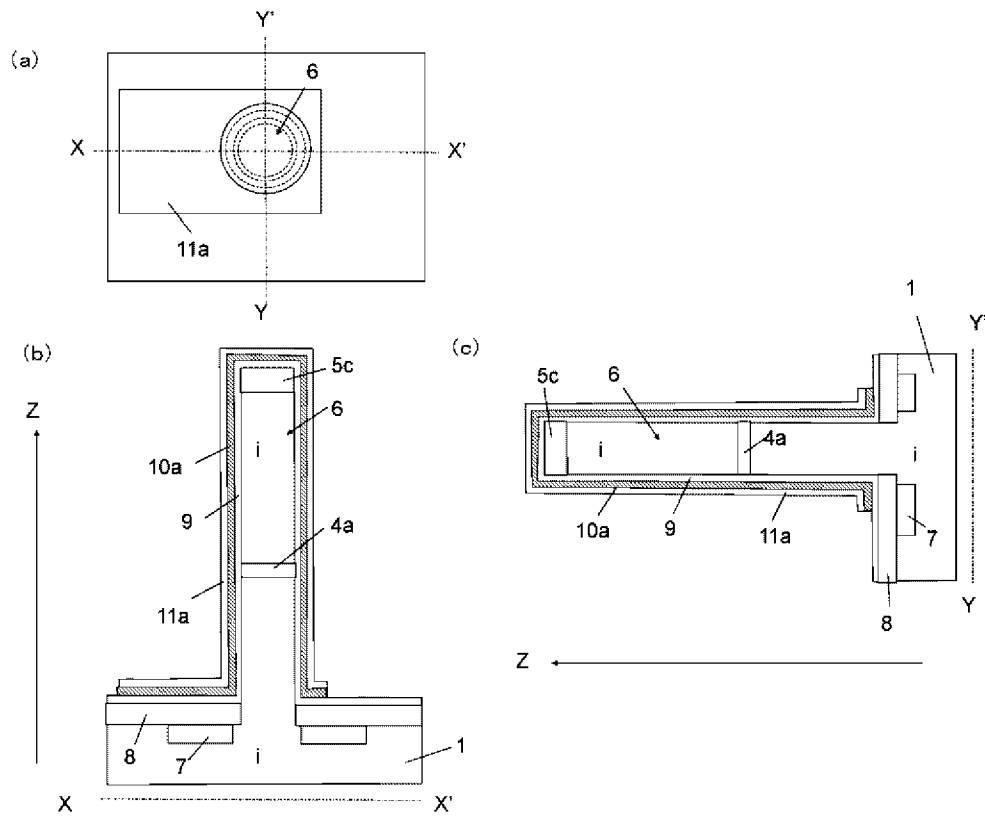
[図1C]



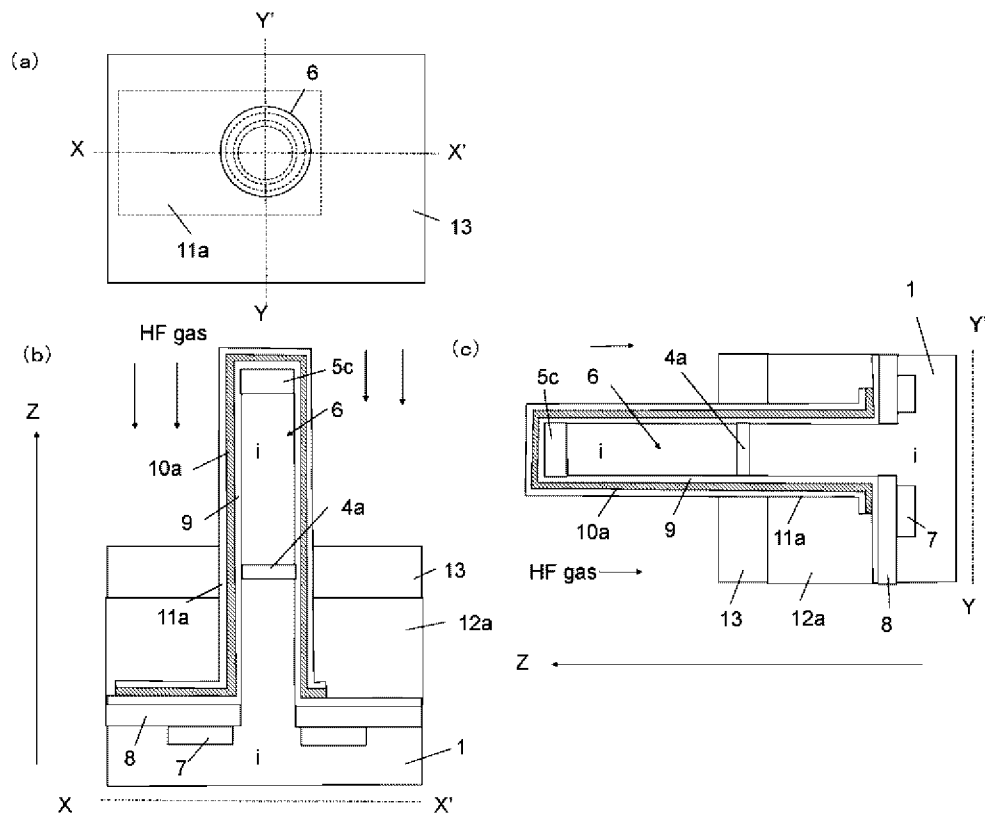
[図1D]



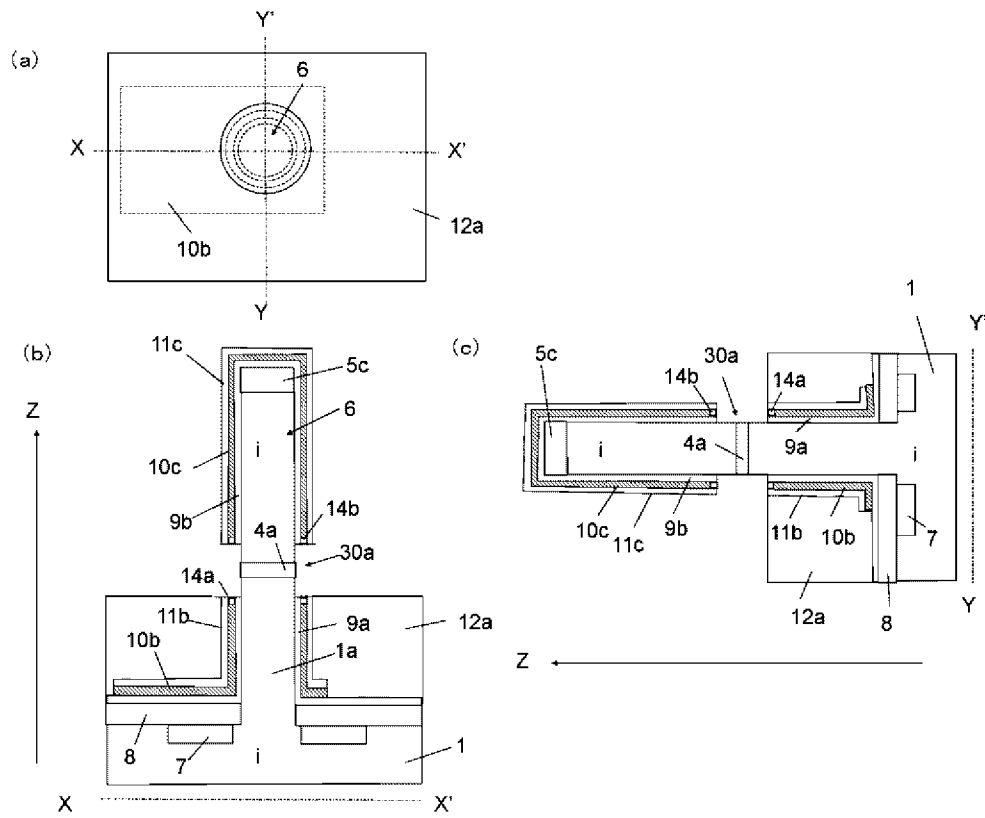
[図1E]



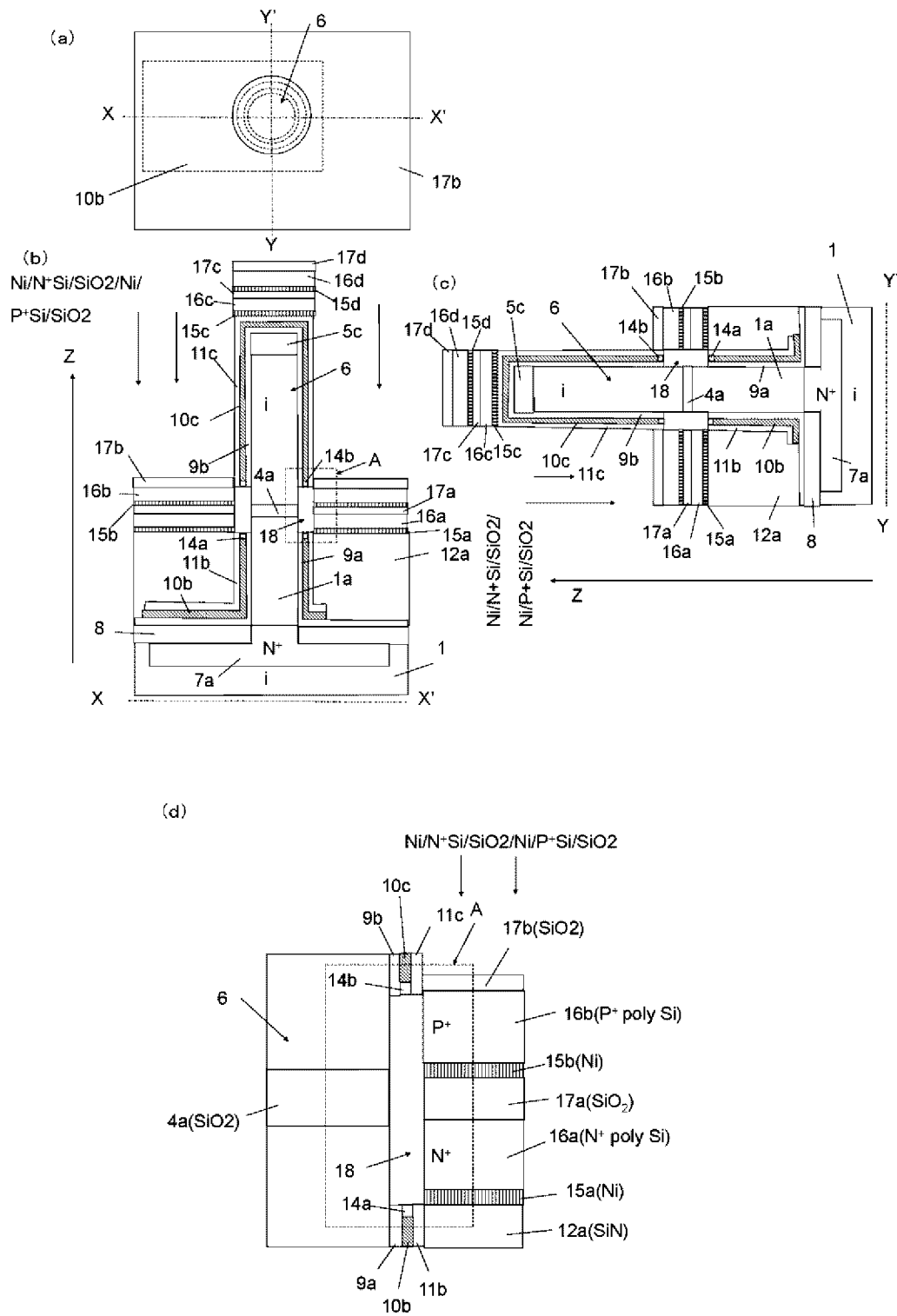
[図1F]



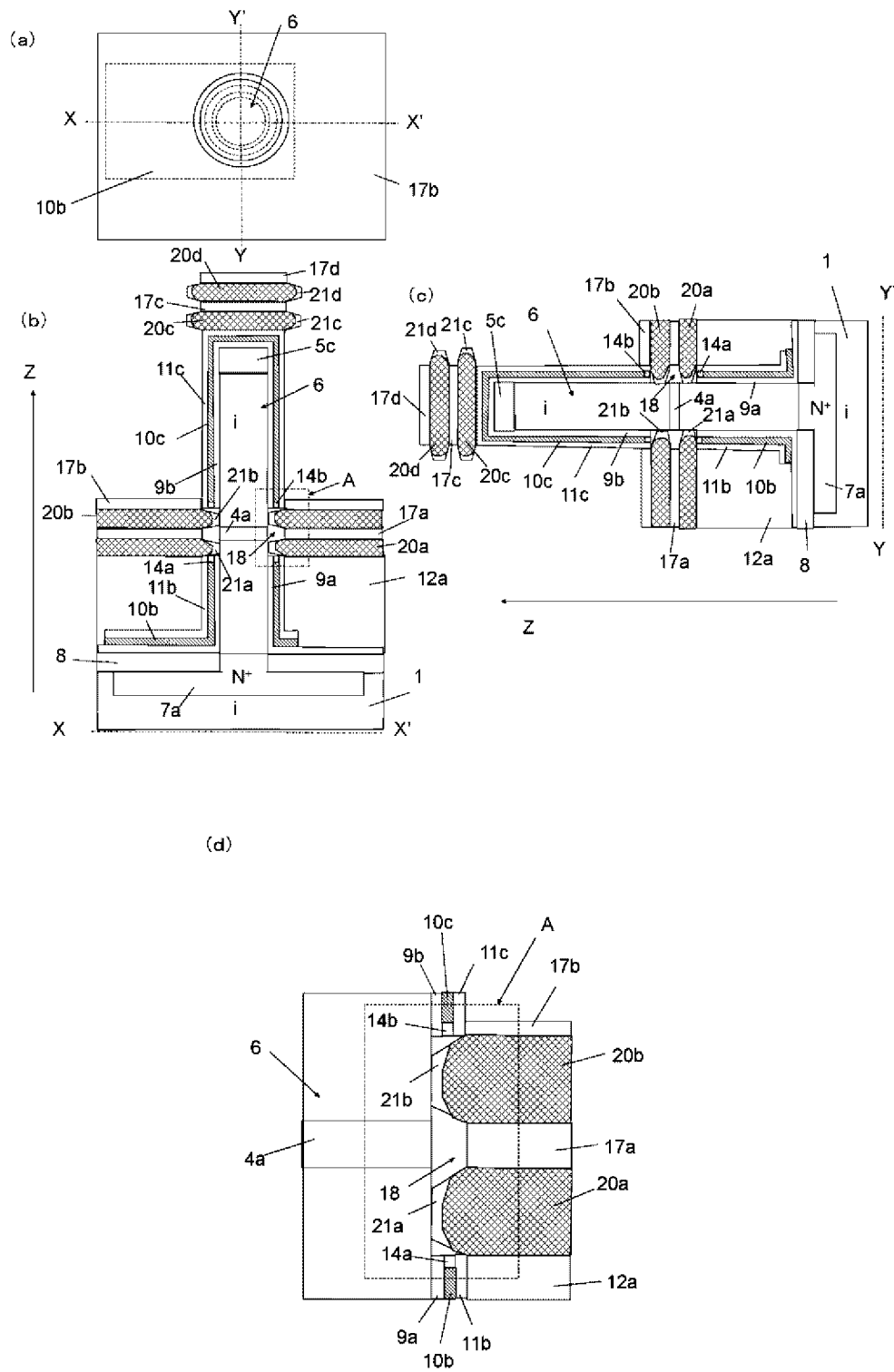
[図1G]



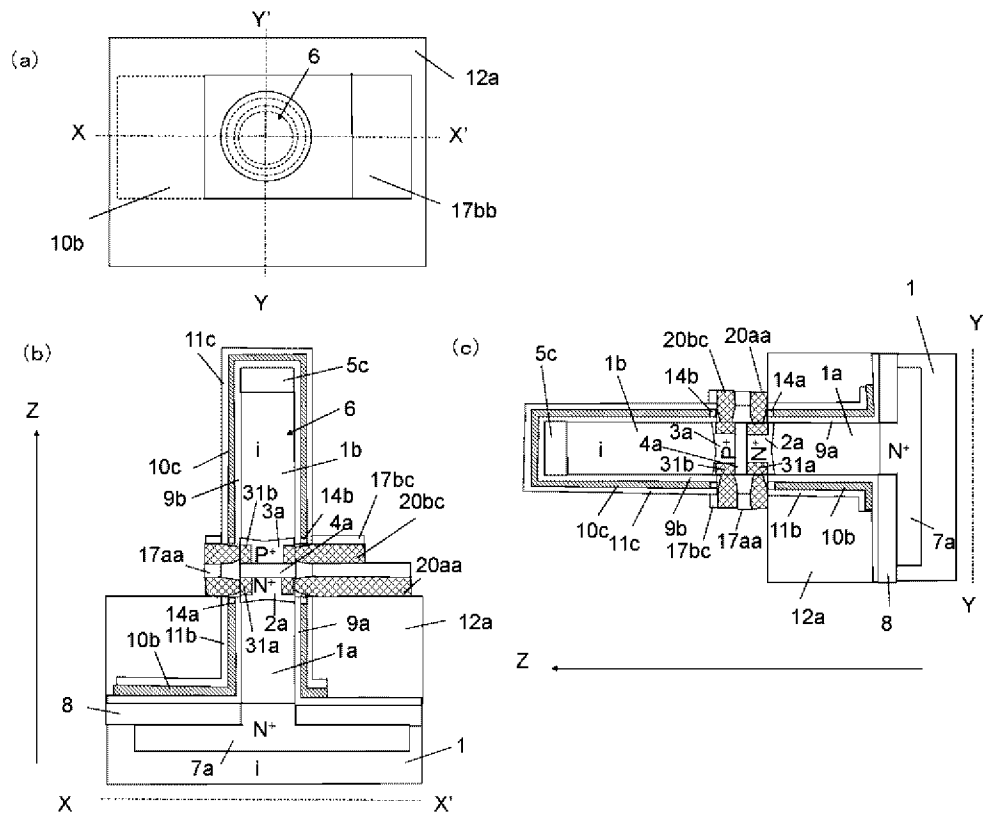
[図1H]



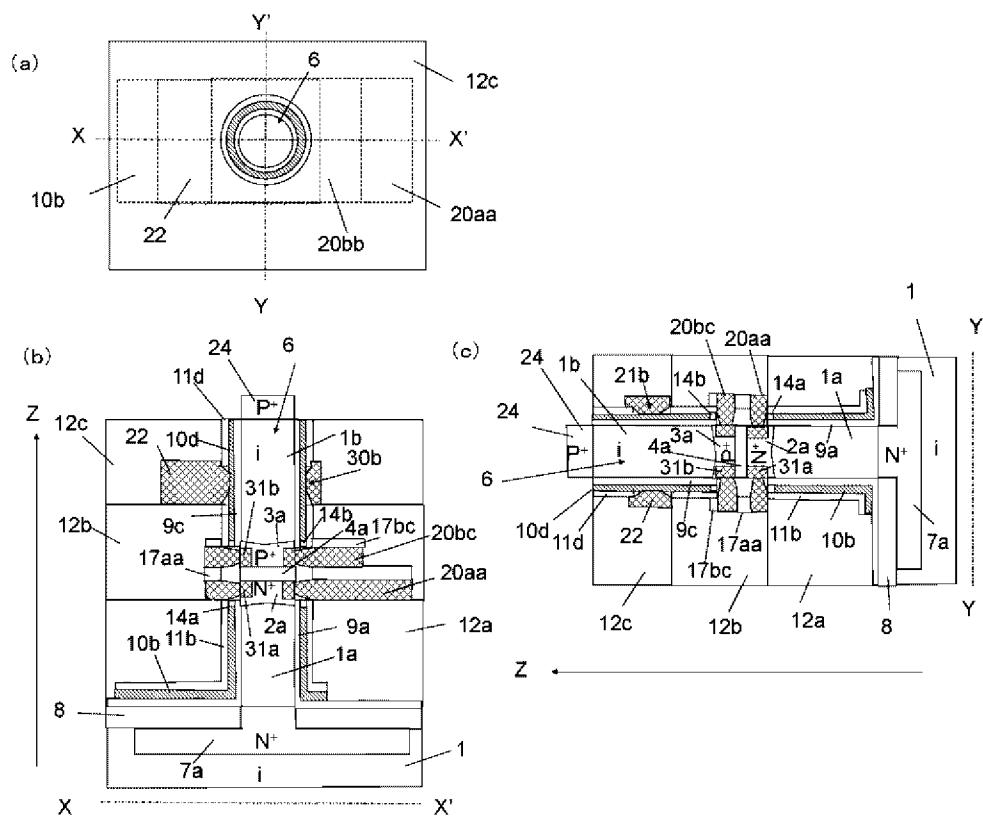
[図1I]



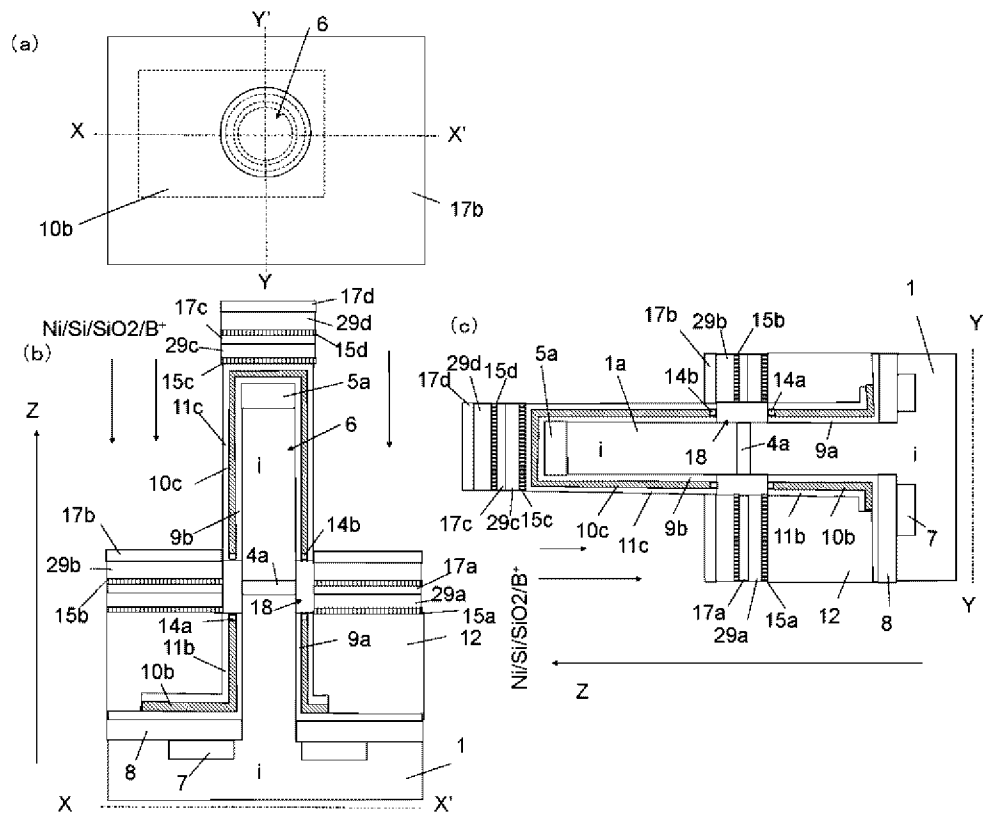
[図1L]



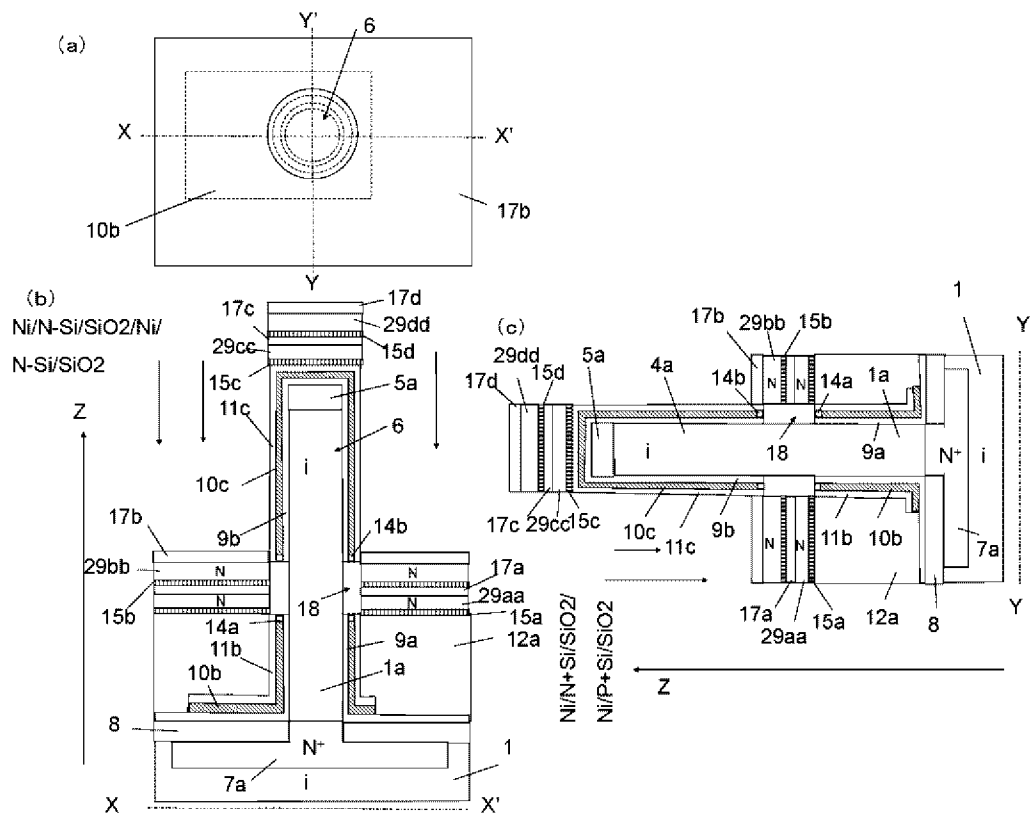
[図1M]



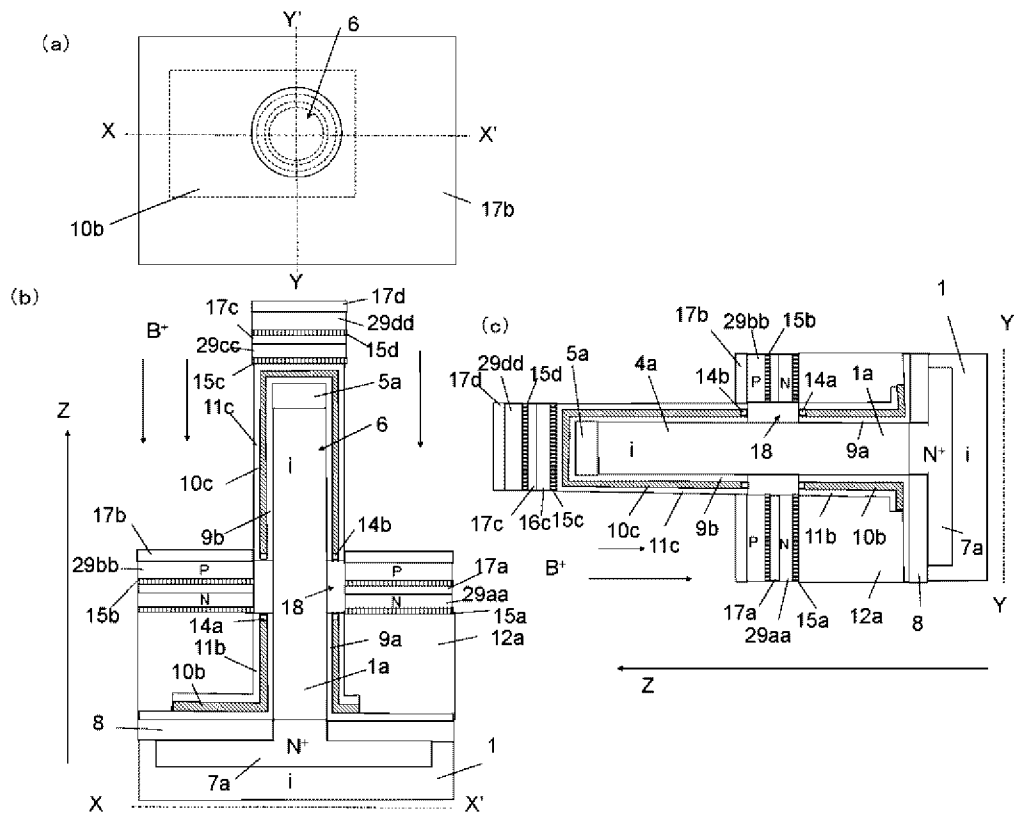
[図2B]



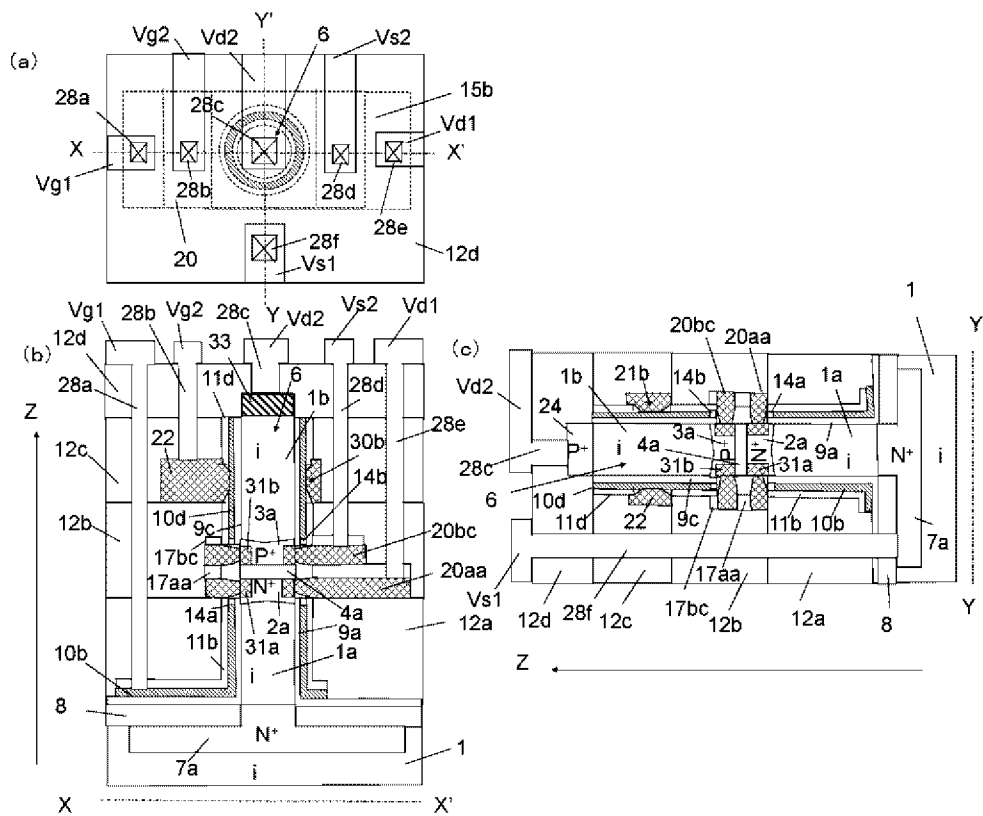
[図3A]



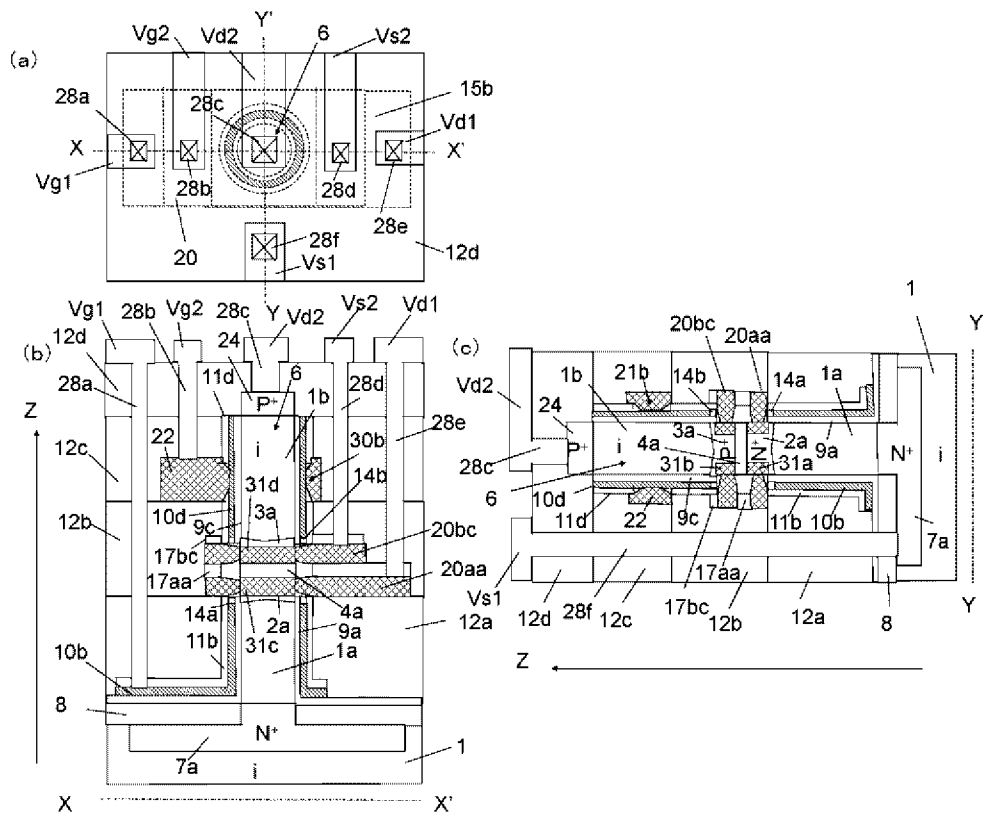
[図3B]



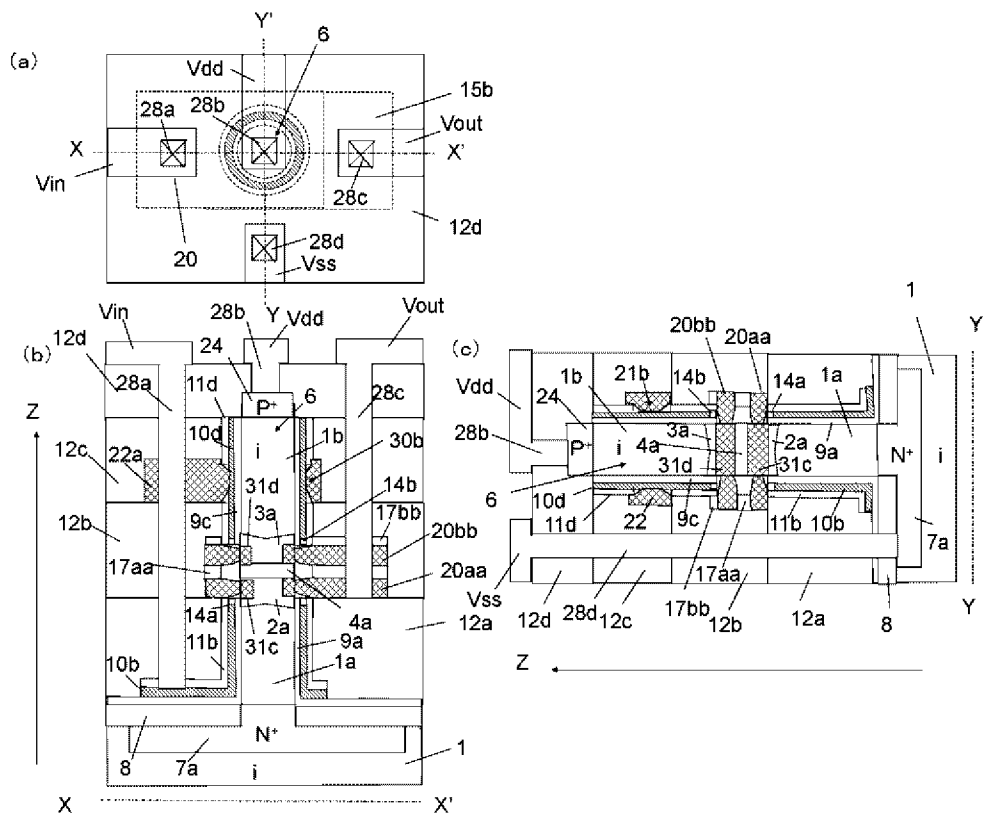
[図4]



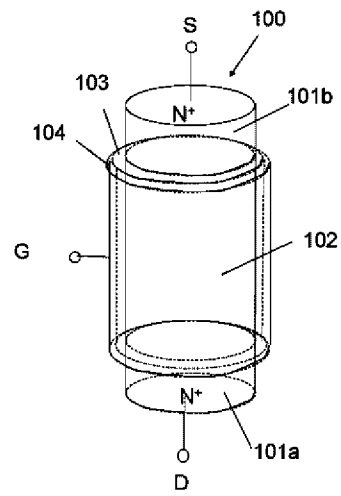
[図5]



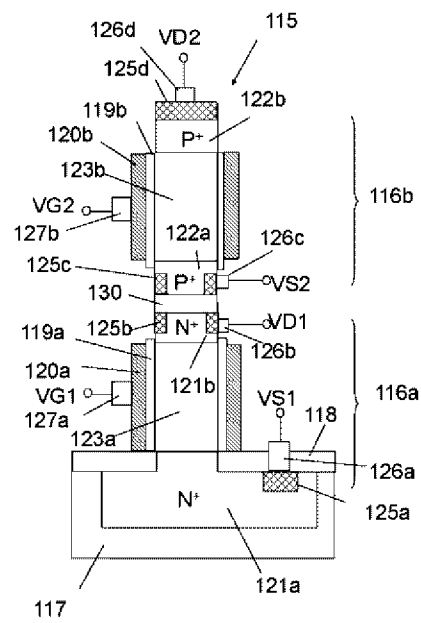
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/050391

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8234(2006.01)i, H01L21/8238(2006.01)i, H01L27/088(2006.01)i,
H01L27/092(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8234, H01L21/8238, H01L27/088, H01L27/092

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5639317 B1 (Unisantis Electronics Singapore Pte Ltd.), 31 October 2014 (31.10.2014), entire text; all drawings (Family: none)	1-15
A	JP 5612237 B1 (Unisantis Electronics Singapore Pte Ltd.), 12 September 2014 (12.09.2014), entire text; all drawings (Family: none)	1-15
A	JP 2013-38336 A (Toshiba Corp.), 21 February 2013 (21.02.2013), entire text; all drawings & US 2013/0037823 A1	1-15

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 March 2015 (20.03.15)

Date of mailing of the international search report
31 March 2015 (31.03.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/050391

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-172164 A (Toshiba Corp.), 24 July 2008 (24.07.2008), entire text; all drawings & US 2008/0173933 A1	1-15
A	JP 2007-250652 A (Sharp Corp.), 27 September 2007 (27.09.2007), entire text; all drawings (Family: none)	1-15
A	JP 6-13623 A (Motorola, Inc.), 21 January 1994 (21.01.1994), entire text; all drawings & JP 6-69441 A & US 5308778 A & US 5308782 A & US 5612563 A & US 5398200 A	1-15
A	JP 3-291963 A (Texas Instruments Inc.), 24 December 1991 (24.12.1991), entire text; all drawings & US 5010386 A	1-15

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/8234(2006.01)i, H01L21/8238(2006.01)i, H01L27/088(2006.01)i, H01L27/092(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/8234, H01L21/8238, H01L27/088, H01L27/092

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 5639317 B1（ユニサンティス エレクトロニクス シンガポール プライベート リミテッド）2014.10.31, 全文、全図（ファミリー なし）	1-15
A	JP 5612237 B1（ユニサンティス エレクトロニクス シンガポール プライベート リミテッド）2014.09.12, 全文、全図（ファミリー なし）	1-15

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 0 . 0 3 . 2 0 1 5

国際調査報告の発送日

3 1 . 0 3 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

宇多川 勉

5 F

3 1 2 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-38336 A (株式会社東芝) 2013.02.21, 全文、全図 & US 2013/0037823 A1	1-15
A	JP 2008-172164 A (株式会社東芝) 2008.07.24, 全文、全図 & US 2008/0173933 A1	1-15
A	JP 2007-250652 A (シャープ株式会社) 2007.09.27, 全文、全図 (ファミリーなし)	1-15
A	JP 6-13623 A (モトローラ・インコーポレイテッド) 1994.01.21, 全文、全図 & JP 6-69441 A & US 5308778 A & US 5308782 A & US 5612563 A & US 5398200 A	1-15
A	JP 3-291963 A (テキサス インストルメンツ インコーポレイテッド) 1991.12.24, 全文、全図 & US 5010386 A	1-15