

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 27/108

(11) 공개번호 특 1997-0077668
(43) 공개일자 1997년 12월 12일

(21) 출원번호	특 1996-0018741
(22) 출원일자	1996년 05월 30일
(71) 출원인	삼성전자 주식회사 김광호
	경기도 수원시 팔달구 매탄동 416번지
(72) 발명자	김창정
	서울특별시 강남구 논현동 6-17
(74) 대리인	이영필, 권석흥, 윤창일

심사청구 : 없음

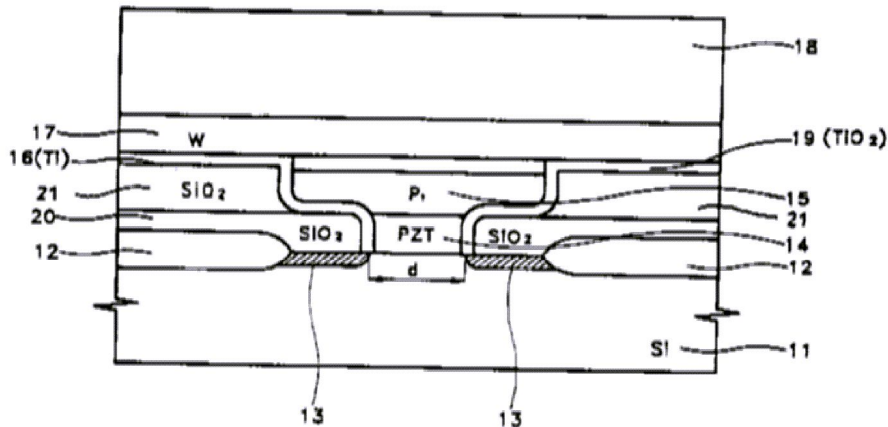
(54) PZT 박막 메모리 및 그 제조 방법

요약

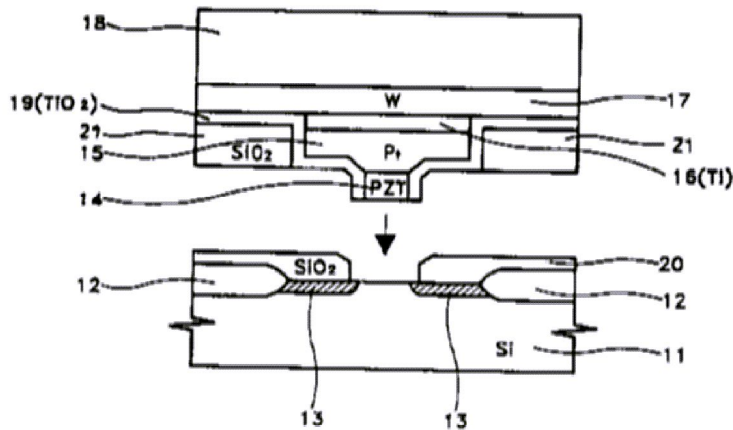
본 발명은 강유전체 PZT($\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$; 지르콘산납-티탄산납) 박막 메모리 및 그 제조 방법에 관한 것으로, 특히 활성 영역(active region)의 PZT와 Si 간에 반응이 일어나지 않은 PZT 박막 메모리 및 실리콘 퓨전 본딩을 이용한 상기 PZT 박막 메모리 제조 방법에 관한 것으로, CMOS FET 구조의 Si 채널과 강유전체 캐패시터 구조의 PZT 박막을 어라인하여 급속 가열 공정(RTP)으로 집합시킴으로써, Si와 PZT 박막의 Pb와의 반응을 최대한 억제할 수 있으며, 바로 CMOS FET의 활성 영역 상에 PZT 박막이 형성되므로, 고집적 메모리의 제조가 가능하다. 또한, PZT 박막은 투명 기판 상에 형성되므로, 정확한 정렬(alignment)이 이루어진다.

대표도

제 3 도



제 4 도



명세서

[발명의 명칭]

PZT 박막 메모리 및 그 제조 방법

[도면의 간단한 설명]

제3도는 본 발명에 따른 PZT 박막을 이용한 메모리의 단면도이며, 제4도는 제3도의 PZT 박막을 이용한 메모리의 제조 방법을 설명하기 위한 설명도이다.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

Si 기판과, 상기 Si 기판 상에 각 메모리 셀들을 구분짓는 일정한 간격으로 상기 Si 기판을 부분적으로 식각하여 형성된 필드 악사이드와, 상기 필드 악사이드 사이의 상기 Si 기판에 일정한 폭의 통전 채널을 사이에 두고 소스 및 드레인이 되도록 형성된 도핑 영역과, 상기 도핑 영역 및 상기 필드 악사이드 상에 형성된 SiO₂ 절연층을 구비하는 트랜지스터; 및 투명 기판과, 상기 투명 기판 상에 형성된 Pt 전극과, 상기 Pt 전극 상에 형성된 PZT 박막을 구비하는 장유전체 캐패시터를 구비하되, 상기 PZT 박막과 상기 통전 채널이 통전되도록 접촉된 것을 특징으로 하는 PZT 박막 메모리.

청구항 2

제1항에 있어서, 상기 Pt 전극과 상기 투명 기판 사이에 Ti 접착층 및 W 전극이 더 구비하되, 상기 투명 기판에는 W 전극이 형성되고, 상기 Pt 전극과 상기 W 전극 사이에 이들의 접촉을 용이하게 하는 Ti 접착층을 구비한 것을 특징으로 하는 PZT 박막 메모리.

도면4

