

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5215356号  
(P5215356)

(45) 発行日 平成25年6月19日(2013.6.19)

(24) 登録日 平成25年3月8日(2013.3.8)

(51) Int.Cl.

F I

H03K 19/0185 (2006.01)

H03K 19/00 I O I D

請求項の数 7 (全 34 頁)

(21) 出願番号	特願2010-159588 (P2010-159588)	(73) 特許権者	396023993
(22) 出願日	平成22年7月14日(2010.7.14)		株式会社半導体理工学研究センター
(65) 公開番号	特開2012-23533 (P2012-23533A)		神奈川県横浜市港北区新横浜3丁目17番
(43) 公開日	平成24年2月2日(2012.2.2)		地2 友泉新横浜ビル6階
審査請求日	平成24年6月25日(2012.6.25)	(74) 代理人	100101454
			弁理士 山田 卓二
		(74) 代理人	100081422
			弁理士 田中 光雄
		(74) 代理人	100125874
			弁理士 川端 純市
		(72) 発明者	廣瀬 哲也
			兵庫県神戸市灘区六甲台町1-1 国立大 学法人神戸大学内

最終頁に続く

(54) 【発明の名称】 レベルコンバータ回路

(57) 【特許請求の範囲】

【請求項1】

第1の信号レベルを有するデジタル信号である入力信号を、上記第1の信号レベルよりも高い第2の信号レベルを有する出力信号に変換するレベルコンバータ回路において、

上記入力信号を増幅して上記出力信号に出力する増幅回路と、

上記入力信号の信号レベルが変化するとき上記増幅回路に流れる動作電流に対応する制御電流を生成する電流生成回路と、

上記電流生成回路によって生成された制御電流を検出して、上記増幅回路の動作電流が上記検出した制御電流に対応するように制御する電流検出回路とを備え、

上記電流生成回路は、上記電流検出回路と接地との間に挿入されかつ直列に接続された第1及び第2のnMOSトランジスタを備え、

上記第1のnMOSトランジスタは上記入力信号に応答して動作しかつ上記第2のnMOSトランジスタは上記入力信号の反転信号に応答して動作するように構成され、

上記レベルコンバータ回路は、

上記第1及び第2のnMOSトランジスタのしきい値電圧を上記レベルコンバータ回路に比較して低下させて、上記制御電流を上記レベルコンバータ回路に比較して増加させるように、上記第1及び第2のnMOSトランジスタの基板電位を変化させる制御回路をさらに備えたことを特徴とするレベルコンバータ回路。

【請求項2】

第1の信号レベルを有するデジタル信号である入力信号を、上記第1の信号レベルより

10

20

も高い第2の信号レベルを有する出力信号に変換するレベルコンバータ回路において、

上記入力信号を増幅して上記出力信号に出力する増幅回路と、

上記入力信号の信号レベルが変化するとき上記増幅回路に流れる動作電流に対応する制御電流を生成する電流生成回路と、

上記電流生成回路によって生成された制御電流を検出して、上記増幅回路の動作電流が上記検出した制御電流に対応するように制御する電流検出回路とを備え、

上記電流生成回路は、上記電流検出回路と接地との間に挿入されかつ直列に接続された第1及び第2のnMOSトランジスタを備え、

上記第1のnMOSトランジスタは上記入力信号にตอบสนองして動作しかつ上記第2のnMOSトランジスタは上記入力信号の反転信号にตอบสนองして動作するように構成され、

上記レベルコンバータ回路は、

上記制御電流を上記レベルコンバータ回路に比較して増加させるように、上記第1及び第2のnMOSトランジスタに対してそれぞれ並列に、別のnMOSトランジスタを接続したことを特徴とするレベルコンバータ回路。

【請求項3】

上記電流生成回路はさらに、

上記入力信号の信号レベルが変化しないときであって上記入力信号がハイレベルでありかつ上記出力信号がローレベルであるときに、上記出力信号がハイレベルとなるように補正するための上記制御電流を生成する立ち上がり電流生成回路と、

上記入力信号の信号レベルが変化しないときであって上記入力信号がローレベルでありかつ上記出力信号がハイレベルであるときに、上記出力信号がローレベルとなるように補正するための上記制御電流を生成する立ち下がり電流生成回路と

のうちの少なくとも1つを備えたことを特徴とする請求項1又は2記載のレベルコンバータ回路。

【請求項4】

上記立ち上がり電流生成回路は、

電圧源と接地との間に挿入されかつ所定のノードを介して直列に接続された、pMOSトランジスタ及び第3のnMOSトランジスタと、

上記電流検出回路と接地との間に挿入されかつ直列に接続された第4及び第5のnMOSトランジスタとを備え、

上記pMOSトランジスタは上記出力信号にตอบสนองして動作し、上記第3のnMOSトランジスタは上記入力信号にตอบสนองして動作し、上記第4のnMOSトランジスタは上記入力信号にตอบสนองして動作し、かつ上記第5のnMOSトランジスタは上記ノードの信号レベルにตอบสนองして動作するように構成されたことを特徴とする請求項3記載のレベルコンバータ回路。

【請求項5】

上記立ち下がり電流生成回路は、

上記電流検出回路と接地との間に挿入されかつ直列に接続された第6及び第7のnMOSトランジスタとを備え、

上記第6のnMOSトランジスタは上記入力信号の反転信号にตอบสนองして動作し、かつ上記第7のnMOSトランジスタは上記出力信号にตอบสนองして動作するように構成されたことを特徴とする請求項3記載のレベルコンバータ回路。

【請求項6】

上記増幅回路は、差動増幅回路と、ソース接地増幅回路とを備えたことを特徴とする請求項1乃至5のうちのいずれか1つに記載のレベルコンバータ回路。

【請求項7】

上記ソース接地増幅回路は、プッシュプル型ソース接地増幅回路であることを特徴とする請求項6記載のレベルコンバータ回路。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

## 【 0 0 0 1 】

本発明は、デジタル信号の信号レベルを、第1の電圧レベルから、上記第1の電圧レベルよりも高い第2の電圧レベルに変換するためのレベルコンバータ回路に関する。

## 【 背景技術 】

## 【 0 0 0 2 】

L S I の消費電力を削減する最も有効な手法として、電源電圧の低減が挙げられる。特に、近年の L S I においては、回路ブロック毎に最適な電源電圧を供給する手法が採用されるため、各回路ブロック間の電源電圧が異なる場合がある。したがって、このような信号レベルの異なる回路間にはレベルコンバータ回路が必要となる。これまで、様々なレベルコンバータ回路が報告されてきた。既存の回路は、ラッチ構成を基本としたレベルコンバータ回路が一般的である。しかし、これらのレベルコンバータ回路は、回路間の電源電圧の差電圧が大きな場合、低電源電圧によって駆動されるトランジスタの駆動力が極めて小さくなり、安定したレベル変換動作が保証されない課題がある。

10

## 【 先行技術文献 】

## 【 特許文献 】

## 【 0 0 0 3 】

【 特許文献 1 】 特開平 0 6 - 3 1 1 0 1 4 号公報。

【 特許文献 2 】 特開 2 0 0 6 - 1 3 5 3 8 4 号公報。

【 特許文献 3 】 特開 2 0 0 7 - 1 8 0 6 7 1 号公報。

## 【 非特許文献 】

20

## 【 0 0 0 4 】

【 非特許文献 1 】 S. Henzler, "Power Management of Digital Circuits in Deep Sub-Micron CMOS Technologies", Springer, October 2006.

【 非特許文献 2 】 Y. Kanno, H. Mizuno, K. Tanaka, and T. Watanabe, "Level converters with high immunity to power-supply bouncing for high-speed sub-1-V LSIs", Digest of Technical Papers of 2000 Symposium on VLSI Circuits, pp. 202-203, June 2000.

【 非特許文献 3 】 I. J. Chang, J. J. Kim, and K. Roy, "Robust level converter design for sub-threshold logic", in Proceedings of the International Symposium on Low Power Electronics and Design (ISLPED), pp. 14-19, October 2006.

30

【 非特許文献 4 】 O-S. Kwon and K.-S. Min, "Fast-delay and low-power level shifter for low-voltage applications", IEICE Transactions on Electronics, Volume E90-C, number 7, pp. 1540-1543, July 2007.

【 非特許文献 5 】 H. Shao and C.-Y. Tsui, "Low energy level converter design for sub-V<sub>th</sub> logics", in Proceedings of Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 107-108, January 2009.

【 非特許文献 6 】 Y.-S. Lin and D. M. Sylvester, "Single stage static level shifter design for subthreshold to I/O Voltage conversion", in Proceeding of the 13th International Symposium on Low Power Electronics and Design (ISLPED), pp. 197-200, August 2008.

40

【 非特許文献 7 】 F. Ishihara, F. Shikh, and B. Nikolic, "Level conversion for dual-supply systems", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Volume 12, Issue 2, pp. 185-195, February 2004.

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 5 】

これまで、CMOS (Complementary Metal Oxide Semiconductor) 半導体集積回路の低消費電力化は、デバイス素子の微細化及びそれに伴う電源電圧の低減によって実現されてきた。デジタル回路の消費電力は電源電圧の2乗で表されることから、電源電圧の低減は低消費電力化に極めて有効な手法である。近

50

年のLSIにおいては、回路ブロック毎に最適な電源電圧を供給する手法が採用されるため、回路ブロック間の電源電圧が異なる設計がなされる（非特許文献1参照。）。したがって、信号レベルの異なる回路間には、レベルコンバータ回路が必要となる。

#### 【0006】

図1は、従来技術に係るレベルコンバータ回路100の応用例を示すブロック図である。図1において、レベルコンバータ回路100は、低電源電圧VDDL（例えば0.4Vである。）が供給される低電圧回路ブロック200からの信号の信号レベルを変換して、高電源電圧VDDH（例えば3Vである。）が供給される高電圧回路ブロック300に出力する。低電圧回路ブロック200からレベルコンバータ回路100に入力される入力信号INは、ハイレベル又はローレベルを有する2値信号であり、ハイレベルの電位は低電源電圧VDDLであり、ローレベルの電位は接地電位である。また、レベルコンバータ回路100によって高電圧回路ブロック300に出力される出力信号OUTは、ハイレベル又はローレベルを有する2値信号であり、ハイレベルの電位は高電源電圧VDDHであり、ローレベルの電位は接地電位である。以下、低電源電圧VDDLの電圧レベルを第1のハイレベルといい、高電源電圧VDDHの電圧レベルを第2のハイレベルという。また、低電源電圧VDDLを有する電圧源を低電圧源といい、高電源電圧VDDHを有する電圧源を高電圧源という。

10

#### 【0007】

これまで、様々なレベルコンバータ回路が報告されてきた。多くのレベルコンバータ回路は、クロスカップル接続されたpチャネルMOSFET（Metal Oxide Semiconductor Field Effect Transistor）（以下、pMOSトランジスタという。）からなるラッチ回路と、nチャネルMOSFET（以下、nMOSトランジスタという。）とを備えて構成される。しかし、これらのレベルコンバータ回路のnMOSトランジスタは低電源電圧で駆動されることになるため、pMOSトランジスタとnMOSトランジスタとの間の駆動力を考慮した回路設計が極めて重要になる。ラッチ回路を基本にしたレベルコンバータ回路では、pMOSトランジスタをクロスカップル接続させてポジティブフィードバック回路を構成するので、出力信号を反転させるためにnMOSトランジスタのチャネル幅を大きく設計してnMOSトランジスタの駆動力を高める手法、及びクロスカップル接続されたpMOSトランジスタの駆動力を低くする手法など、様々な改善策が試みられている（非特許文献2乃至7、及び特許文献1乃至3参照。）。しかし、電源電圧の低電圧化が進み電源電圧間の差電圧が大きくなると、これらの設計手法では安定したレベル変換動作を保証することが困難になる。

20

30

#### 【0008】

最初に、従来技術に係るレベルコンバータ回路であるクロスカップル接続型レベルコンバータ回路について説明し、その課題について述べる。

#### 【0009】

図2は、従来技術に係るクロスカップル型レベルコンバータ回路100の構成を示す回路図である。レベルコンバータ回路100は、入力信号IN及び入力信号INBがそれぞれゲートに入力されたnMOSトランジスタ（MN101，MN102）とクロスカップル接続されたpMOSトランジスタ（MP101，MP102）とで構成される。ここで入力信号INと入力信号INBとは、相補関係である。入力信号INが第1のハイレベルになると、入力信号INB及びノードN101の電圧はローレベルとなる。これにより、pMOSトランジスタMP102を介して端子T102が充電されて、レベルコンバータ回路100は第2のハイレベルである出力信号OUTを出力する。一方、入力信号INがローレベルになると、入力信号INBは第1のハイレベルとなる。nMOSトランジスタMN102は端子T102を放電して、レベルコンバータ回路100はローレベルの出力信号OUTを出力する。

40

#### 【0010】

しかし、従来技術に係るレベルコンバータ回路100には、端子T102を充電する電流と放電する電流との間に大きな差があると正常に動作しない課題がある。これは、電源

50

電圧間（高電源電圧 $V_{DDH}$ と低電源電圧 $V_{DDL}$ との間）の差電圧が大きくなると特に顕著になる。例えば、入力信号 $IN$ が第1のハイレベルからローレベルになったとき、 $nMOS$ トランジスタ $MN102$ は低電源電圧 $V_{DDL}$ で駆動される。このとき、 $pMOS$ トランジスタ $MP102$ を流れる電流が、 $nMOS$ トランジスタ $MN102$ を流れる電流よりも多くなると、出力信号 $OUT$ の論理（信号レベル）は反転せず、第2のハイレベルが保持される。すなわち、入力信号 $IN$ がローレベルであるにも関わらず、出力信号 $OUT$ は第2のハイレベルのままとなり、レベルコンバータ回路100が正常に動作しない。

#### 【0011】

従来技術に係るレベルコンバータ回路100において安定動作を保証するためには、 $nMOS$ トランジスタ $MN102$ を流れる電流量と $pMOS$ トランジスタ $MP102$ を流れる電流量とをバランスさせる必要がある。このために、 $nMOS$ トランジスタ $MN102$ 及び $pMOS$ トランジスタ $MP102$ のチャネル幅及びしきい値電圧を適切に設定する必要がある。しかし、 $pMOS$ トランジスタ $MP102$ のゲートに入力される電圧の振幅は、接地電圧から高電源電圧 $V_{DDH}$ と広い一方、 $nMOS$ トランジスタ $MN102$ のゲートに入力される電圧の振幅は接地電圧から低電源電圧 $V_{DDL}$ と狭い。すなわち、従来技術に係るレベルコンバータ回路100は、高電源電圧 $V_{DDH}$ と低電源電圧 $V_{DDL}$ との間の電圧差が大きくなると、 $nMOS$ トランジスタ $MN102$ を流れる電流量と $pMOS$ トランジスタ $MP102$ を流れる電流量とのバランスを取ることが困難となる。さらに、プロセスバラツキ及び温度変化によって $nMOS$ トランジスタ $MN102$ 及び $pMOS$ トランジスタ $MP102$ を流れる電流量が変化すると、レベルコンバータ回路100は安定して動作しない。

#### 【0012】

これらの問題点を改善するためのレベルコンバータ回路が提案されている（非特許文献2乃至7、及び特許文献1乃至3参照。）。しかし、これらのレベルコンバータ回路の多くがクロスカップル接続を基本とし、 $nMOS$ トランジスタ及び $pMOS$ トランジスタを流れる電流のバランスを取りやすくした回路構成を実現しているが、上記の課題を解決したものとはいえない。

#### 【0013】

本発明の目的は以上の問題点を解決し、従来技術に比較して、回路ブロック間の電源電圧の差電圧が大きい場合でも安定に動作可能であり、かつ低消費電力で動作するレベルコンバータ回路を提供することにある。

#### 【課題を解決するための手段】

#### 【0014】

本発明に係るレベルコンバータ回路は、第1の信号レベルを有するデジタル信号である入力信号を、上記第1の信号レベルよりも高い第2の信号レベルを有する出力信号に変換するレベルコンバータ回路において、

上記入力信号を増幅して上記出力信号に出力する増幅回路と、

上記入力信号の信号レベルが変化するとき上記増幅回路に流れる動作電流に対応する制御電流を生成する電流生成回路と、

上記電流生成回路によって生成された制御電流を検出して、上記増幅回路の動作電流が上記検出した制御電流に対応するように制御する電流検出回路とを備え、

上記電流生成回路は、上記電流検出回路と接地との間に挿入されかつ直列に接続された第1及び第2の $nMOS$ トランジスタを備え、

上記第1の $nMOS$ トランジスタは上記入力信号に応答して動作しかつ上記第2の $nMOS$ トランジスタは上記入力信号の反転信号に応答して動作するように構成されたことを特徴とする。

#### 【0015】

また、上記レベルコンバータ回路は、上記第1及び第2の $nMOS$ トランジスタのしきい値電圧を上記レベルコンバータ回路に比較して低下させて、上記制御電流を上記レベル

コンバータ回路に比較して増加させるように、上記第 1 及び第 2 の n M O S トランジスタの基板電位を変化させる制御回路をさらに備えたことを特徴とする。

【 0 0 1 6 】

さらに、上記レベルコンバータ回路は、上記制御電流を上記レベルコンバータ回路に比較して増加させるように、上記第 1 及び第 2 の n M O S トランジスタに対してそれぞれ並列に、別の n M O S トランジスタを接続したことを特徴とする。

【 0 0 1 7 】

またさらに、上記レベルコンバータ回路において、上記電流生成回路はさらに、

上記入力信号の信号レベルが変化しないときであって上記入力信号がハイレベルでありかつ上記出力信号がローレベルであるときに、上記出力信号がハイレベルとなるように補正するための上記制御電流を生成する立ち上がり電流生成回路と、

上記入力信号の信号レベルが変化しないときであって上記入力信号がローレベルでありかつ上記出力信号がハイレベルであるときに、上記出力信号がローレベルとなるように補正するための上記制御電流を生成する立ち下がり電流生成回路と

のうちの少なくとも 1 つを備えたことを特徴とする。

【 0 0 1 8 】

また、上記レベルコンバータ回路において、上記立ち上がり電流生成回路は、

電圧源と接地との間に挿入されかつ所定のノードを介して直列に接続された、p M O S トランジスタ及び第 3 の n M O S トランジスタと、

上記電流検出回路と接地との間に挿入されかつ直列に接続された第 4 及び第 5 の n M O S トランジスタとを備え、

上記 p M O S トランジスタは上記出力信号に応答して動作し、上記第 3 の n M O S トランジスタは上記入力信号に応答して動作し、上記第 4 の n M O S トランジスタは上記入力信号に応答して動作し、かつ上記第 5 の n M O S トランジスタは上記ノードの信号レベルに応答して動作するように構成されたことを特徴とする。

【 0 0 1 9 】

さらに、上記レベルコンバータ回路において、上記立ち下がり電流生成回路は、

上記電流検出回路と接地との間に挿入されかつ直列に接続された第 6 及び第 7 の n M O S トランジスタとを備え、

上記第 6 の n M O S トランジスタは上記入力信号の反転信号に応答して動作し、かつ上記第 7 の n M O S トランジスタは上記出力信号に応答して動作するように構成されたことを特徴とする。

【 0 0 2 0 】

またさらに、上記レベルコンバータ回路において、上記増幅回路は、差動増幅回路と、ソース接地増幅回路とを備えたことを特徴とする。

【 0 0 2 1 】

ここで、上記レベルコンバータ回路において、上記ソース接地増幅回路は、プッシュプル型ソース接地増幅回路であることを特徴とする。

【発明の効果】

【 0 0 2 2 】

本発明に係るレベルコンバータ回路によれば、電流生成回路によって生成される電流に対応する電流を増幅回路に印加して、信号レベルを変換するので、第 1 の信号レベルと第 2 の信号レベルとの間の差が大きい場合でも、レベルコンバータ回路は安定に動作する。また、電流生成回路は、入力信号の信号レベルが変化するときのみ制御電流を生成し、入力信号の信号レベルが変化しないときは制御電流を生成しないので、レベルコンバータ回路は低消費電力で動作する。

【 0 0 2 3 】

また、本発明に係るレベルコンバータ回路によれば、上記第 1 及び第 2 の n M O S トランジスタのしきい値電圧を上記レベルコンバータ回路に比較して低下させて、上記制御電流を上記レベルコンバータ回路に比較して増加させるように、上記第 1 及び第 2 の n M O

10

20

30

40

50

Sトランジスタの基板電位を変化させる制御回路をさらに備えるので、レベルコンバータ回路が上記レベルコンバータ回路に比較して高速に動作する。

【0024】

またさらに、本発明に係るレベルコンバータ回路によれば、上記制御電流を上記レベルコンバータ回路に比較して増加させるように、上記第1及び第2のnMOSトランジスタに対してそれぞれ並列に、別のnMOSトランジスタを接続するので、レベルコンバータ回路が上記レベルコンバータ回路に比較して高速に動作する。

【0025】

またさらに、本発明に係るレベルコンバータ回路によれば、入力信号と入力信号の反転信号とがともにハイレベルである期間が存在しない場合にも、立ち上がり電流生成回路又は立ち下がり電流生成回路が制御電流を生成するので、レベルコンバータ回路は正常に動作する。さらに、外部ノイズ等の外乱により出力信号の信号レベルが変化する場合にも、立ち上がり電流生成回路又は立ち下がり電流生成回路が制御電流を生成するので、レベルコンバータ回路は正常に動作する。

【図面の簡単な説明】

【0026】

【図1】従来技術に係るレベルコンバータ回路100の応用例を示すブロック図である。

【図2】従来技術に係るクロスカップル型レベルコンバータ回路100の構成を示す回路図である。

【図3A】本発明の第1の実施形態に係るレベルコンバータ回路1の応用例を示すブロック図である。

【図3B】本発明の第1の実施形態に係るレベルコンバータ回路1の構成を示すブロック図である。

【図4】図3Bの電流生成回路10の構成を示すブロック図である。

【図5】図4の電流生成回路10に入力される入力信号IN及び入力信号INBの電圧と、電流生成回路10によって生成される電流 $I_{A1}$ との間のタイミングを示すタイミング図であり、(a)は入力信号IN及び入力信号INBの電圧を示し、(b)は電流 $I_{A1}$ を示す。

【図6】図4の電流生成回路10の第1の変形例である電流生成回路10aの構成を示す回路図である。

【図7】図4の電流生成回路10の第2の変形例である電流生成回路10bの構成を示す回路図である。

【図8】図4の電流生成回路10の第3の変形例である電流生成回路10cの構成を示す回路図である。

【図9】図4の電流生成回路10の第4の変形例である電流生成回路10dの構成を示す回路図である。

【図10A】図3Bのレベルコンバータ回路1への理想的な入力信号IN、INBの波形を示すグラフである。

【図10B】図3Bのレベルコンバータ回路1への非理想的な入力信号IN、INBの波形を示すグラフである。

【図11A】本発明の第2の実施形態に係るレベルコンバータ回路1Aの応用例を示すブロック図である。

【図11B】本発明の第2の実施形態に係るレベルコンバータ回路1Aの構成を示すブロック図である。

【図12】図11Bの電流生成回路10Aの構成を示す回路図である。

【図13A】本発明の第3の実施形態に係るレベルコンバータ回路1Bの応用例を示すブロック図である。

【図13B】本発明の第3の実施形態に係るレベルコンバータ回路1Bの構成を示すブロック図である。

【図14】図4の電流生成回路10によって生成されるピーク電流の低電源電圧VDDL

10

20

30

40

50

への依存性を示すグラフである。

【図 1 5】図 3 B の電流  $I_{A2}$  ,  $I_{A3}$  の周波数応答特性を示すグラフである。

【図 1 6】( a ) は図 3 B のレベルコンバータ回路 1 への入力信号  $I_N$  の波形及び図 3 B のレベルコンバータ回路 1 からの出力信号  $O_U T$  の波形を示すグラフであり、( b ) は図 4 の電流生成回路 1 0 によって生成される電流  $I_{A1}$  の波形を示すグラフである。

【図 1 7】低電源電圧  $V_{DDL}$  の電圧値に対する図 3 B のレベルコンバータ回路 1 及び従来技術に係るレベルコンバータ回路 1 0 0 の遅延時間を示すグラフである。

【図 1 8】低電源電圧  $V_{DDL}$  の電圧値に対する図 3 B のレベルコンバータ回路 1 及び従来技術に係るレベルコンバータ回路 1 0 0 の消費電力を示すグラフである。

【図 1 9】図 3 B のレベルコンバータ回路 1 についての試作チップの写真である。

10

【図 2 0】図 1 9 の試作チップの動作を測定するための測定環境を示すブロック図である。

【図 2 1】( a ) は図 2 0 の測定環境において、試作チップ 4 0 2 への入力信号  $I_N$  の波形を示すグラフであり、( b ) は図 2 0 の測定環境において、試作チップからの出力信号  $O_U T$  の波形を示すグラフである。

【図 2 2】図 1 9 の試作チップのシュム ( Shmoo ) プロットを示す図である。

【図 2 3】低電源電圧  $V_{DDL}$  の電圧値に対する図 1 9 の試作チップの消費電力を示すグラフである。

【図 2 4】図 1 1 B のレベルコンバータ回路 1 A への入力信号  $I_N$  ,  $I_{NB}$  の波形及び図 1 1 B のレベルコンバータ回路 1 A からの出力信号  $O_U T$  の波形を示すグラフである。

20

【図 2 5】図 1 2 の変化時電流生成回路 1 1 によって生成される電流  $I_C$  の波形を示すグラフである。

【図 2 6】図 1 2 の立ち下がり電流生成回路 1 3 によって生成される電流  $I_F$  の波形を示すグラフである。

【図 2 7】図 1 2 の立ち上がり電流生成回路 1 2 によって生成される電流  $I_R$  の波形を示すグラフである。

【図 2 8】低電源電圧  $V_{DDL}$  の電圧値に対する図 1 1 B のレベルコンバータ回路 1 A 及び図 3 B のレベルコンバータ回路 1 の遅延時間を示すグラフである。

【図 2 9】低電源電圧  $V_{DDL}$  の電圧値に対する図 1 1 B のレベルコンバータ回路 1 A 及び図 3 B のレベルコンバータ回路 1 の消費電力を示すグラフである。

30

【図 3 0 A】図 1 2 の電流生成回路 1 0 A において、入力信号  $I_N$  を第 1 のハイレベルに固定し、入力信号  $I_{NB}$  をローレベルに固定し、出力信号  $O_U T$  を 0 V から 3 V に変化した場合に生成される電流  $I_F$  を示すグラフである。

【図 3 0 B】図 1 2 の電流生成回路 1 0 A において、入力信号  $I_N$  を第 1 のハイレベルに固定し、入力信号  $I_{NB}$  をローレベルに固定し、出力信号  $O_U T$  を 0 V から 3 V に変化した場合に生成される電流  $I_R$  を示すグラフである。

【図 3 1 A】図 1 2 の電流生成回路 1 0 A において、入力信号  $I_N$  をローレベルに固定し、入力信号  $I_{NB}$  を第 1 のハイレベルに固定し、出力信号  $O_U T$  を 0 V から 3 V に変化した場合に生成される電流  $I_F$  を示すグラフである。

【図 3 1 B】図 1 2 の電流生成回路 1 0 A において、入力信号  $I_N$  をローレベルに固定し、入力信号  $I_{NB}$  を第 1 のハイレベルに固定し、出力信号  $O_U T$  を 0 V から 3 V に変化した場合に生成される電流  $I_R$  を示すグラフである。

40

【図 3 2】図 1 3 B のレベルコンバータ回路 1 B への入力信号  $I_N$  ,  $I_{NB}$  の波形及び図 1 3 B のレベルコンバータ回路 1 B からの出力信号  $O_U T$  の波形を示すグラフである。

【図 3 3】図 1 2 の変化時電流生成回路 1 1 によって生成される電流  $I_C$  の波形を示すグラフである。

【図 3 4】図 1 2 の立ち下がり電流生成回路 1 3 によって生成される電流  $I_F$  の波形を示すグラフである。

【図 3 5】図 1 2 の立ち上がり電流生成回路 1 2 によって生成される電流  $I_R$  の波形を示すグラフである。

50



## 【発明を実施するための形態】

## 【0027】

第1の実施形態．

図3Aは、本発明の第1の実施形態に係るレベルコンバータ回路1の応用例を示すブロック図である。図3Aにおいて、レベルコンバータ回路1は、低電源電圧 $V_{DDL}$ （例えば0.4Vである。）が供給される低電圧回路ブロック200からの信号の信号レベルを変換して、高電源電圧 $V_{DDH}$ （例えば3Vである。）が供給される高電圧回路ブロック300に出力する。低電圧回路ブロック200からレベルコンバータ回路1に入力される入力信号 $I_N$ は、ハイレベル又はローレベルを有する2値信号であり、ハイレベルの電位は低電源電圧 $V_{DDL}$ であり、ローレベルの電位は接地電位である。また、レベルコンバータ回路1によって高電圧回路ブロック300に出力される出力信号 $O_U T$ は、ハイレベル又はローレベルを有する2値信号であり、ハイレベルの電位は高電源電圧 $V_{DDH}$ であり、ローレベルの電位は接地電位である。以下、低電源電圧 $V_{DDL}$ の電圧レベルを第1のハイレベルといい、高電源電圧 $V_{DDH}$ の電圧レベルを第2のハイレベルという。また、低電源電圧 $V_{DDL}$ を有する電圧源を低電圧源といい、高電源電圧 $V_{DDH}$ を有する電圧源を高電圧源という。

10

## 【0028】

図3Bは、本発明の第1の実施形態に係るレベルコンバータ回路1の構成を示すブロック図である。図3Bにおいて、レベルコンバータ回路1は、電流生成回路10と、電流検出回路20と、差動増幅回路30と、ソース接地増幅回路40と、前処理回路50と、端子 $T_1$ 、 $T_2$ とを備えて構成される。

20

## 【0029】

第1の実施形態に係るレベルコンバータ回路1は、第1のハイレベルを有するデジタル信号である入力信号 $I_N$ を、第1のハイレベルよりも高い第2のハイレベルを有する出力信号 $O_U T$ に変換するレベルコンバータ回路1において、

入力信号 $I_N$ を増幅して出力信号 $O_U T$ に出力する差動増幅回路30及びソース接地増幅回路40と、

入力信号 $I_N$ の電圧が変化するとき差動増幅回路30及びソース接地増幅回路40のそれぞれに流れる動作電流 $I_{A2}$ 、 $I_{A3}$ に対応する制御電流 $I_{A1}$ を生成する電流生成回路10と、

30

電流生成回路10によって生成された制御電流 $I_{A1}$ を検出して、差動増幅回路30及びソース接地増幅回路40のそれぞれの動作電流 $I_{A2}$ 、 $I_{A3}$ が制御電流 $I_{A1}$ に対応するように制御する電流検出回路20とを備え、

電流生成回路10は、電流検出回路20と接地との間に挿入されかつ直列に接続された $n$ MOSトランジスタ $MN11$ 、 $MN12$ を備え、

$n$ MOSトランジスタ $MN11$ は入力信号 $I_N$ にตอบสนองして動作しかつ $n$ MOSトランジスタ $MN12$ は入力信号 $I_N$ の反転信号 $I_{NB}$ にตอบสนองして動作するように構成されたことを特徴とする。

## 【0030】

前処理回路50は、 $p$ MOSトランジスタ $MP51$ と、 $n$ MOSトランジスタ $MN51$ とを備えて構成される。 $p$ MOSトランジスタ $MP51$ のソースは、低電圧源に接続される。 $p$ MOSトランジスタ $MP51$ のゲート及び $n$ MOSトランジスタ $MN51$ のゲートは、端子 $T_1$ に接続され、低電圧回路ブロック200からの入力信号 $I_N$ は当該ゲートに入力される。 $p$ MOSトランジスタ $MP51$ のドレインは、 $n$ MOSトランジスタ $MN51$ のドレインに接続される。 $n$ MOSトランジスタ $MN51$ のソースは接地される。 $p$ MOSトランジスタ $MP51$ と $n$ MOSトランジスタ $MN51$ とは、直列に接続されてインバータを構成しており、当該インバータは入力信号 $I_N$ を反転した信号 $I_{NB}$ （以下、入力信号 $I_{NB}$ ともいう。）を電流生成回路10及び差動増幅回路30に出力する。

40

## 【0031】

電流生成回路10は、詳細後述するように、電流検出回路20、前処理回路50、及び

50

端子T 1に接続され、その回路の接地部は接地される。

#### 【 0 0 3 2 】

電流検出回路20は、pMOSトランジスタMP21を備えて構成される。pMOSトランジスタMP21のソースは、高電圧源に接続され、pMOSトランジスタMP21のゲートは、pMOSトランジスタMP31のゲート及びpMOSトランジスタMP41のゲートに接続されるとともに、pMOSトランジスタMP21のドレインに接続される。pMOSトランジスタMP21のドレインは、電流生成回路10に接続される。pMOSトランジスタMP21, MP31, MP41は、カレントミラー回路を構成する。

#### 【 0 0 3 3 】

差動増幅回路30は、pMOSトランジスタMP31, MP32, MP33と、nMOSトランジスタMN31, MN32とを備えて構成される。pMOSトランジスタMP31のソースは、高電圧源に接続され、pMOSトランジスタMP31のドレインは、pMOSトランジスタMP32のソース及びpMOSトランジスタMP33のソースに接続される。pMOSトランジスタMP32のゲートは、前処理回路50に接続され、入力信号INBは当該ゲートに入力される。pMOSトランジスタMP32のドレインは、nMOSトランジスタMN31のドレインに接続される。pMOSトランジスタMP33のゲートは、端子T1に接続され、入力信号INは当該ゲートに入力される。pMOSトランジスタMP33のドレインは、nMOSトランジスタMN32のドレインに接続される。nMOSトランジスタMN31のゲートは、nMOSトランジスタMN31のドレイン及びnMOSトランジスタMN32のゲートに接続される。nMOSトランジスタMN31のソース及びnMOSトランジスタMN32のソースは接地される。

#### 【 0 0 3 4 】

ソース接地増幅回路40は、pMOSトランジスタMP41と、nMOSトランジスタMN41とを備えて構成される。pMOSトランジスタMP41のソースは、高電圧源に接続され、pMOSトランジスタMP41のドレインは、nMOSトランジスタMN41のドレインに接続される。nMOSトランジスタMN41のゲートは、pMOSトランジスタMP33のドレインとnMOSトランジスタMN32のドレインとの接続点に接続され、nMOSトランジスタMN41のソースは接地される。pMOSトランジスタMP41のドレインとnMOSトランジスタMN41のドレインとの接続点は、端子T2に接続される。ここで、差動増幅回路30とソース接地増幅回路40とは、2段増幅回路を構成する。

#### 【 0 0 3 5 】

レベルコンバータ回路1では、入力信号INがpMOSトランジスタMP33のゲートに入力され、入力信号INBがpMOSトランジスタMP32のゲートに入力される。レベルコンバータ回路1の特徴は、入力信号IN及び入力信号INBを利用した電流生成回路10にある。電流生成回路10は、入力信号INの信号レベルが変化する期間のみ電流 $I_{A1}$ （制御電流 $I_{A1}$ ともいう。）を生成する。電流検出回路20は、電流 $I_{A1}$ を検出して制御電圧 $V_{ctrl}$ を発生し、差動増幅回路30に流れる電流 $I_{A2}$ （動作電流 $I_{A2}$ ともいう。）及びソース接地増幅回路40に流れる電流 $I_{A3}$ （動作電流 $I_{A3}$ ともいう。）が、電流 $I_{A1}$ に対応するようにカレントミラー回路を介して制御する。差動増幅回路30及びソース接地増幅回路40は、それぞれ対応する電流 $I_{A2}$ ,  $I_{A3}$ が供給されると、小振幅の入力信号INを大振幅の出力信号OUTに増幅して出力することによりレベル変換を実行する。以下、レベルコンバータ回路1の動作を詳細に説明する。

#### 【 0 0 3 6 】

レベルコンバータ回路1は、差動増幅回路30及びソース接地増幅回路40を備えて構成される2段増幅回路と、電流生成回路10と、電流検出回路20と、前処理回路50とを備えて構成される。電流生成回路10によって生成される電流 $I_{A1}$ に対応する電流 $I_{A2}$ 及び $I_{A3}$ がそれぞれ差動増幅回路30及びソース接地増幅回路40に供給される場合を考える。入力信号INの電圧が入力信号INBの電圧よりも高い場合、出力信号OUTは第2のハイレベルとなる。一方、入力信号INの電圧が入力信号INBの電圧よりも

10

20

30

40

50

低い場合、出力信号OUTはローレベルとなる。入力信号INと入力信号INBとは、第1のハイレベル又はローレベルの相補関係であることから、入力信号INがローレベルから第1のハイレベルになったとき、入力信号INBは第1のハイレベルからローレベルとなり、出力信号OUTはローレベルから第2のハイレベルまで上昇する。

#### 【0037】

ここで、端子T2に対する充放電電流に注目する。出力信号OUTの論理（信号レベル）は、pMOSトランジスタMP41及びnMOSトランジスタMN41を流れる充放電電流によって端子T2が充放電されることによって決定される。充放電を担うpMOSトランジスタMP41及びnMOSトランジスタMN41のゲート電圧は、電流生成回路10によって生成される電流 $I_{A1}$ によって決定されるため、pMOSトランジスタMP41及びnMOSトランジスタMN41に流れる電流量のバランスを緻密に調整する必要がない。すなわち、レベルコンバータ回路1は、図2に示す従来技術に係るレベルコンバータ回路100と比較して、高電源電圧VDDHと低電源電圧VDDLとの間の電圧差、プロセスバラツキ、及び温度変化に対して耐性を有する。

#### 【0038】

差動増幅回路30及びソース接地増幅回路40は通常、基準電流源回路から生成される電流を利用して動作する。しかしながら、定常的に電流が流れることは消費電力を増大させるので好ましくない。一般に、レベルコンバータ回路1は、入力信号INの電圧が変化するときのみ高速に動作することが求められる。すなわち、入力信号INの電圧が変化するときのみ差動増幅回路30及びソース接地増幅回路40に流れる電流を生成し、入力信号INの電圧が変化しないときには電流を生成しないようにすることで、レベルコンバータ回路1の低消費電力化を実現することができる。このための電流生成回路10を考えた。

#### 【0039】

図4は、図3Bの電流生成回路10の構成を示すブロック図である。電流生成回路10は、nMOSトランジスタMN11、MN12を備えて構成される。nMOSトランジスタMN11のドレインは、電流検出回路20に接続され、nMOSトランジスタMN11のゲートは、端子T3に接続される。端子T3には、前処理回路50から入力信号INBが入力される。nMOSトランジスタMN11のソースは、nMOSトランジスタMN12のドレインに接続される。nMOSトランジスタMN12のゲートは、端子T4に接続される。端子T4は、端子T1に接続され、入力信号INが端子T4に入力される。nMOSトランジスタMN12のソースは接地される。なお、電流生成回路10は、入力信号INが端子T3に入力され、かつ入力信号INBが端子T4に入力されるように構成されてもよい。

#### 【0040】

図4において、電流生成回路10では、2つのnMOSトランジスタMN11、MN12を縦続接続し、nMOSトランジスタMN11のゲートに入力信号INBを印加し、nMOSトランジスタMN12のゲートに入力信号INを印加する。このとき、入力信号INB、INの信号レベルは、有限の遅延時間で変化するため、入力信号INB、INがともに有限の電圧を有する期間が存在する。この期間において、nMOSトランジスタMN11は入力信号INBにตอบสนองして動作し、nMOSトランジスタMN12は入力信号INにตอบสนองして動作して、電流 $I_{A1}$ を生成する。

#### 【0041】

図5は、図4の電流生成回路10に入力される入力信号IN及び入力信号INBの電圧と、電流生成回路10によって生成される電流 $I_{A1}$ との間のタイミングを示すタイミング図であり、図5(a)は入力信号IN及び入力信号INBの電圧を示し、図5(b)は電流 $I_{A1}$ を示す。入力信号INの電圧が変化すると、前処理回路50を介して入力信号INBの電圧が反転する。このとき、入力信号IN、INBの信号レベルが変化する期間には、入力信号IN、INBの電圧がともに、しきい値電圧 $V_{th}$ を超える期間が存在し、当該期間においてnMOSトランジスタMN11、MN12がオン状態となり、入力信

10

20

30

40

50

号のいずれか一方がローレベルになるまで電流  $I_{A1}$  が生成される。この電流  $I_{A1}$  に対応する電流  $I_{A2}$  ,  $I_{A3}$  が差動増幅回路 30 及びソース接地増幅回路 40 に印加されて、レベル変換動作が実行される。入力信号  $I_N$  の電圧が変化しないとき、レベルコンバータ回路 1 は、 $nMOS$  トランジスタ  $MN11$  ,  $MN12$  を流れるリーク電流のみで動作する。したがって、この電流生成回路 10 を利用することで、レベルコンバータ回路 1 は、低消費電力で信号レベル変換動作を実現することができる。

#### 【0042】

入力信号  $I_N$  が変化してから出力信号  $OUT$  が変化するまでの遅延時間は、電流生成回路 10 によって生成される電流  $I_{A1}$  に依存する。したがって、縦続接続した 2 つの  $nMOS$  トランジスタ  $MN11$  ,  $MN12$  のトランジスタサイズ若しくはしきい値電圧を調整する、又は差動増幅回路 30 及びソース接地増幅回路 40 のカレントミラー比を調整することで、上記遅延時間を制御することができる。

#### 【0043】

以上説明したように、第 1 の実施形態によれば、電流生成回路 10 によって生成される電流  $I_{A1}$  に対応する電流  $I_{A2}$  ,  $I_{A3}$  をそれぞれ差動増幅回路 30 及びソース接地増幅回路 40 に印加して、信号レベルを変換するので、低電源電圧  $V_{DDL}$  と高電源電圧  $V_{DDH}$  との間の差電圧が大きい場合でも、レベルコンバータ回路 1 は安定に動作する。また、電流生成回路 10 は、入力信号  $I_N$  の電圧が変化するときのみ電流  $I_{A1}$  を生成し、入力信号  $I_N$  の電圧が変化しないときは電流  $I_{A1}$  を生成しないので、レベルコンバータ回路 1 は低消費電力で動作する。

#### 【0044】

図 6 は、図 4 の電流生成回路 10 の第 1 の変形例である電流生成回路 10 a の構成を示す回路図である。図 6 の電流生成回路 10 a は、図 4 の電流生成回路 10 と比較して、電圧  $V_{c1}$  を発生する  $V_{c1}$  発生器（電圧発生器）501 と、電圧  $V_{c2}$  を発生する  $V_{c2}$  発生器（電圧発生器）502 と、コントローラ 503 とをさらに備える点異なる。 $nMOS$  トランジスタ  $MN11$  の基板電位（ウェル電位）は、 $V_{c1}$  発生器 501 によって発生される電圧  $V_{c1}$  に設定され、 $nMOS$  トランジスタ  $MN12$  の基板電位は、 $V_{c2}$  発生器 502 によって発生される電圧  $V_{c2}$  に設定される。コントローラ 503 は、 $nMOS$  トランジスタ  $MN11$  ,  $MN12$  のしきい値電圧がそれぞれ電流生成回路 10 における  $nMOS$  トランジスタ  $MN11$  ,  $MN12$  のしきい値電圧よりも低下するように、 $V_{c1}$  発生器 501 及び  $V_{c2}$  発生器 502 によって発生される電圧  $V_{c1}$  ,  $V_{c2}$  を制御する。これにより、電流生成回路 10 a によって生成される電流  $I_{A1}$  が電流生成回路 10 によって生成される電流  $I_{A1}$  よりも増加し、レベルコンバータ回路 1 が高速に動作するようになる。

#### 【0045】

図 7 は、図 4 の電流生成回路 10 の第 2 の変形例である電流生成回路 10 b の構成を示す回路図である。図 7 の電流生成回路 10 b は、図 4 の電流生成回路 10 と比較して、 $nMOS$  トランジスタ  $MN11$  の基板電位が、 $nMOS$  トランジスタ  $MN11$  のドレインの電圧と同一の電圧に設定され、 $nMOS$  トランジスタ  $MN12$  の基板電位が、 $nMOS$  トランジスタ  $MN12$  のドレインの電圧と同一の電圧に設定されている点異なる。これにより、 $nMOS$  トランジスタ  $MN11$  ,  $MN12$  のしきい値電圧がそれぞれ電流生成回路 10 における  $nMOS$  トランジスタ  $MN11$  ,  $MN12$  のしきい値電圧よりも低下して、電流生成回路 10 b によって生成される電流  $I_{A1}$  が電流生成回路 10 によって生成される電流  $I_{A1}$  よりも増加し、レベルコンバータ回路 1 が高速に動作するようになる。

#### 【0046】

図 8 は、図 4 の電流生成回路 10 の第 3 の変形例である電流生成回路 10 c の構成を示す回路図である。図 8 の電流生成回路 10 c は、図 4 の電流生成回路 10 と比較して、 $nMOS$  トランジスタ  $MN11$  の基板電位が、 $nMOS$  トランジスタ  $MN11$  のドレインの電圧と同一の電圧に設定され、 $nMOS$  トランジスタ  $MN12$  の基板電位が、 $nMOS$  トランジスタ  $MN12$  のソースの電圧と同一の電圧に設定されている点異なる。これによ

10

20

30

40

50

り、 $nMOS$ トランジスタ $MN11$ のしきい値電圧がそれぞれ電流生成回路10における $nMOS$ トランジスタ $MN11$ のしきい値電圧よりも低下して、電流生成回路10cによって生成される電流 $I_{A1}$ が電流生成回路10によって生成される電流 $I_{A1}$ よりも増加し、レベルコンバータ回路1が高速に動作ようになる。

#### 【0047】

図9は、図4の電流生成回路10の第4の変形例である電流生成回路10dの構成を示す回路図である。図9の電流生成回路10dは、図4の電流生成回路10と比較して、 $nMOS$ トランジスタ $MN11a$ 、 $MN12a$ をさらに備える点が異なる。 $nMOS$ トランジスタ $MN11a$ のドレインは、電流検出回路20に接続され、 $nMOS$ トランジスタ $MN11a$ のゲートは、端子T3に接続され、入力信号 $INB$ は当該ゲートに入力される。 $nMOS$ トランジスタ $MN11a$ のソースは、 $nMOS$ トランジスタ $MN12a$ のドレインに接続される。 $nMOS$ トランジスタ $MN12a$ のゲートは、端子T4に接続され、入力信号 $IN$ は当該ゲートに入力される。 $nMOS$ トランジスタ $MN12a$ のソースは接地される。

#### 【0048】

図9において、 $nMOS$ トランジスタ $MN11a$ 、 $MN12a$ は、図4の $nMOS$ トランジスタ $MN11$ 、 $MN12$ と同様に接続されるように構成される。これによって、電流生成回路10dにおいて電流が流れる経路が、電流生成回路10において電流が流れる経路よりも増加するので、電流生成回路10dによって生成される電流 $I_{A1}$ が電流生成回路10によって生成される電流 $I_{A1}$ よりも増加し、レベルコンバータ回路1が高速に動作ようになる。

#### 【0049】

なお、電流生成回路10の $nMOS$ トランジスタ $MN11$ 、 $MN12$ に対して、ゲート幅を大きくする、トランジスタのサイズを大きくする、又はチャネル幅を大きくしてもよく、これによって、電流生成回路10によって生成される電流 $I_{A1}$ が増加し、レベルコンバータ回路1が高速に動作ようになる。

#### 【0050】

第2の実施形態．

レベルコンバータ回路1の動作は、入力信号 $IN$ の波形に強く依存する課題がある。また、レベルコンバータ回路1は、回路動作の特性上、ノイズ耐性に課題がある。すなわち、次の2つの課題がある。

課題A：入力信号 $IN$ の波形と入力信号 $INB$ の波形との間に電圧の重なり、すなわち入力信号 $IN$ 及び入力信号 $INB$ がともに第1のハイレベルである期間がない場合、電流生成回路10が電流 $I_{A1}$ を生成しない。

課題B：出力信号 $OUT$ の論理確定後、電流生成回路10は動作せず、レベルコンバータ回路1はリーク電流で動作する。このため、レベルコンバータ回路1はノイズ等の外乱に弱い可能性がある。

以下では、課題A及び課題Bのそれぞれについて説明する。

#### 【0051】

まず、課題Aについて説明する。図10Aは、図3Bのレベルコンバータ回路1への理想的な入力信号 $IN$ 、 $INB$ の波形を示すグラフであり、図10Bは、図3Bのレベルコンバータ回路1への非理想的な入力信号 $IN$ 、 $INB$ の波形を示すグラフである。レベルコンバータ回路1は、入力信号 $IN$ と入力信号 $INB$ との論理が重なった電圧領域を、縦続接続した $nMOS$ トランジスタ $MN11$ 、 $MN12$ で検出し、電流 $I_{A1}$ を生成して動作する。図10Aより明らかなように、理想的な入力信号 $IN$ 、 $INB$ の波形の場合には、入力信号 $IN$ 及び入力信号 $INB$ の論理が変化する期間において、入力信号 $IN$ 、 $INB$ がともに有限の電圧を有する期間、すなわちともに第1のハイレベルである期間が存在する。 $nMOS$ トランジスタ $MN11$ 、 $MN12$ がこの期間の間オン状態となりし、レベルコンバータ回路1を動作させるための電流 $I_{A1}$ を生成する。一方、図10Bに示す非理想的な入力信号 $IN$ 、 $INB$ の波形の場合は、入力信号 $IN$ の立ち上がりでは入力信号

INと入力信号INBとの波形が重なるが、入力信号INの立ち下がりでは入力信号INと入力信号INBとの波形は重ならない。これは、入力信号INの立ち下がりにおいて、電流生成回路10が十分な電流 $I_{A1}$ を生成できないことを意味しており、レベルコンバータ回路1が安定に動作することを保証することができない課題がある。

【0052】

次に、課題Bについて説明する。レベルコンバータ回路1では、出力信号OUTの論理が切り替わるときのみ電流生成回路10が動作して、電流 $I_{A1}$ を生成する。この電流 $I_{A1}$ に対応する電流 $I_{A2}$ 、 $I_{A3}$ によって差動増幅回路30及びソース接地増幅回路40が動作し、レベル変換動作を実現する。しかし、出力信号OUTの論理が切り替わった後を考えると、端子T2はフローティング状態となり、ノイズ等の外乱の影響を受けやすい課題がある。すなわち、レベルコンバータ回路1が第2のハイレベルである出力信号OUTを出力すべき期間において、ノイズなどの影響によって出力信号OUTが第2のハイレベルから低下したとしても、これを補正することができない課題がある。また、レベルコンバータ回路1がローレベルである出力信号OUTを出力すべき期間において、ノイズなどの影響によって出力信号OUTがローレベルから上昇したとしても、これを補正することができない課題がある。

10

【0053】

第2の実施形態に係るレベルコンバータ回路1Aは、上記の課題A、Bを解決する。レベルコンバータ回路1Aは、レベルコンバータ回路1を基本構造とし、これにフィードバック制御方式を導入することで上記の課題A、Bを解決する。

20

【0054】

図11Aは、本発明の第2の実施形態に係るレベルコンバータ回路1Aの応用例を示すブロック図である。図11Aにおいて、レベルコンバータ回路1Aは、低電源電圧VDDL（例えば0.4Vである。）が供給される低電圧回路ブロック200からの信号の信号レベルを変換して、高電源電圧VDDH（例えば3Vである。）が供給される高電圧回路ブロック300に出力する。以下、入力信号IN、INB、第1のハイレベル、第2のハイレベル、低電圧源、及び高電圧源はそれぞれ、第1の実施形態で説明した入力信号IN、INB、第1のハイレベル、第2のハイレベル、低電圧源、及び高電圧源と同様である。

【0055】

図11Bは、本発明の第2の実施形態に係るレベルコンバータ回路1Aの構成を示すブロック図である。図11Bにおいて、レベルコンバータ回路1Aは、第1の実施形態に係るレベルコンバータ回路1と比較して、電流生成回路10に代えて電流生成回路10Aを備える点が異なり、その他の構成要素は、レベルコンバータ回路1と同様であり、その説明を省略する。図11Bに示すように、電流生成回路10Aには、出力信号OUTが入力されて、フィードバック制御が実行される。

30

【0056】

図12は、図11Bの電流生成回路10Aの構成を示す回路図である。電流生成回路10Aは、変化時（CHANGE）電流生成回路11と、立ち上がり（RISE）電流生成回路12と、立ち下がり（FALL）電流生成回路13とを備えて構成される。

40

【0057】

変化時電流生成回路11は、図4の電流生成回路10と同様の構成であり、同様に動作する。立ち上がり電流生成回路12は、入力信号INの立ち上がり（RISE）をモニタし、立ち下がり電流生成回路13は、入力信号INの立ち下がり（FALL）をモニタする。ここで、変化時電流生成回路11によって生成される電流を電流 $I_C$ （制御電流 $I_C$ ともいう。）とし、立ち上がり電流生成回路12によって生成される電流を電流 $I_R$ （制御電流 $I_R$ ともいう。）とし、立ち下がり電流生成回路13によって生成される電流を電流 $I_F$ （制御電流 $I_F$ ともいう。）とする。以下、立ち上がり電流生成回路12、及び立ち下がり電流生成回路13について説明する。

【0058】

50

立ち上がり電流生成回路12は、pMOSトランジスタMP11と、nMOSトランジスタMN13, MN14, MN15と、端子T5, T6, T7とを備えて構成される。pMOSトランジスタMP11のソースは高電圧源に接続され、pMOSトランジスタMP11のゲートは、端子T5に接続され、出力信号OUTは当該ゲートに入力される。pMOSトランジスタMP11のドレインは、nMOSトランジスタMN13のドレインに接続される。nMOSトランジスタMN13のゲートは、端子T6に接続され、入力信号INは当該ゲートに入力される。nMOSトランジスタMN13のソースは接地される。また、pMOSトランジスタMP11のドレインとnMOSトランジスタMN13のドレインとの接続点をノードN11という。nMOSトランジスタMN14のドレインは、電流検出回路20に接続され、nMOSトランジスタMN14のゲートは、端子T7に接続され、入力信号INは当該ゲートに入力される。nMOSトランジスタMN14のソースは、nMOSトランジスタMN15のドレインに接続される。nMOSトランジスタMN15のゲートはノードN11に接続され、nMOSトランジスタMN15のソースは接地される。ここで、端子T5は端子T2に接続されており、端子T6及び端子T7は端子T1に接続されている。

10

**【0059】**

立ち上がり電流生成回路12は、2段構成で実現される。1段目の回路では、pMOSトランジスタMP11が出力信号OUTをモニタし、nMOSトランジスタMN13が入力信号INをモニタする。2段目の回路では、nMOSトランジスタMN14, MN15を縦続接続し、nMOSトランジスタMN15は、ノードN11の電圧をモニタし、nMOSトランジスタMN14は、入力信号INをモニタする。この回路構成により、pMOSトランジスタMP11は、出力信号OUTに応答して動作し、nMOSトランジスタMN13, MN14は入力信号INに応答して動作し、nMOSトランジスタMN15は、ノードN11の電圧に응答して動作する。また、立ち上がり電流生成回路12は、入力信号INが第1のハイレベルかつ出力信号OUTがローレベルのときにのみ動作して、出力信号OUTが第2のハイレベルとなるように補正するための電流 $I_R$ を生成する。

20

**【0060】**

入力信号INが第1のハイレベルであり、かつ出力信号OUTが第2のハイレベルのとき、ノードN11の電圧はローレベルとなる。このため、nMOSトランジスタMN15はオフ状態となり、2段目の回路は電流 $I_R$ を生成しない。一方、入力信号INが第1のハイレベルであり、かつ出力信号OUTがローレベルのとき、すなわち入力信号INと出力信号OUTとの論理が不一致のとき、ノードN11の電圧はハイレベルとなってnMOSトランジスタMN15がオン状態となり、2段目の回路は電流 $I_R$ を生成する。電流 $I_R$ の電流量は、入力信号INの電圧、すなわち低電源電圧VDDLによって規定される。

30

**【0061】**

立ち下がり電流生成回路13は、nMOSトランジスタMN16, MN17と、端子T8, T9とを備えて構成される。nMOSトランジスタMN16のドレインは、電流検出回路20に接続され、nMOSトランジスタMN16のゲートは、端子T8に接続され、入力信号INBは当該ゲートに入力される。nMOSトランジスタMN16のソースは、nMOSトランジスタMN17のドレインに接続される。nMOSトランジスタMN17のゲートは、端子T9に接続され、出力信号OUTは当該ゲートに入力される。nMOSトランジスタMN17のソースは接地される。ここで、端子T8には前処理回路50から入力信号INBが入力されており、端子T9は端子T2に接続されている。

40

**【0062】**

立ち下がり電流生成回路13は、1段構成で実現される。nMOSトランジスタMN16, MN17が縦続接続され、nMOSトランジスタMN17は出力信号OUTをモニタし、nMOSトランジスタMN16は入力信号INBをモニタする。この回路構成により、nMOSトランジスタMN16は、入力信号INBに응答して動作し、nMOSトランジスタMN17は、出力信号OUTに응答して動作する。また、立ち下がり電流生成回路13は入力信号INがローレベル(このとき、入力信号INBは第1のハイレベルである

50

。 ) かつ出力信号  $OUT$  が第 2 のハイレベルのときにのみ動作して、出力信号  $OUT$  がローレベルとなるように補正するための電流  $I_F$  を生成する。

【 0 0 6 3 】

入力信号  $IN$  がローレベルであり、かつ出力信号  $OUT$  がローレベルのとき、立ち下がり電流生成回路 13 は動作しない。入力信号  $IN$  がローレベルであり、かつ出力信号  $OUT$  が第 2 のハイレベルのとき、すなわち入力信号  $IN$  と出力信号  $OUT$  との論理が不一致のとき、立ち下がり電流生成回路 13 は電流  $I_F$  を生成する。電流  $I_F$  の電流量は、入力信号  $INB$  の電圧、すなわち低電源電圧  $VDDL$  によって規定される。

【 0 0 6 4 】

まず、入力信号  $IN$  が第 1 のハイレベル (入力信号  $INB$  がローレベル) の場合の電流生成回路 10A の動作について以下説明する。まず、出力信号  $OUT$  が第 2 のハイレベルのときについて説明する。このとき、入力信号  $IN$  と出力信号  $OUT$  との論理は一致する。変化時電流生成回路 11 は、 $nMOS$  トランジスタ  $MN11$  がオフ状態であるので、電流  $I_C$  を生成しない。また、立ち上がり電流生成回路 12 のノード  $N11$  の電圧は、 $pMOS$  トランジスタ  $MP11$  がオフ状態でありかつ  $nMOS$  トランジスタ  $MN13$  がオン状態であるので、接地電圧まで低下する。 $nMOS$  トランジスタ  $MN15$  は、ノード  $N11$  の電圧に応答してオフ状態となる。したがって、立ち上がり電流生成回路 12 は、電流  $I_R$  を生成しない。さらに、立ち下がり電流生成回路 13 は、 $nMOS$  トランジスタ  $MN16$  がオフ状態であるので、電流  $I_F$  を生成しない。したがって、入力信号  $IN$  が第 1 のハイレベルであり、かつ出力信号  $OUT$  が第 2 のハイレベルであるときは、電流生成回路 10A は電流を生成しない。

【 0 0 6 5 】

次に、出力信号  $OUT$  がローレベルのときについて説明する。このとき、入力信号  $IN$  と出力信号  $OUT$  との論理は一致しない。変化時電流生成回路 11 は、 $nMOS$  トランジスタ  $MN11$  がオフ状態であるので、電流  $I_C$  を生成しない。また、立ち上がり電流生成回路 12 において、 $pMOS$  トランジスタ  $MP11$  がオン状態となり、ノード  $N11$  の電圧は高電源電圧  $VDDH$  まで上昇する。 $nMOS$  トランジスタ  $MN15$  は、ノード  $N11$  の電圧に応答してオン状態となり、これによって電流  $I_R$  が生成される。さらに、立ち下がり電流生成回路 13 は、 $nMOS$  トランジスタ  $MN16$  がオフ状態であるので、電流  $I_F$  を生成しない。したがって、入力信号  $IN$  が第 1 のハイレベルであり、かつ出力信号  $OUT$  がローレベルであるときは、電流生成回路 10A は電流  $I_R$  を生成する。

【 0 0 6 6 】

次いで、入力信号  $IN$  がローレベル (入力信号  $INB$  が第 1 のハイレベル) の場合の電流生成回路 10A の動作について以下説明する。まず、出力信号  $OUT$  がローレベルのときについて説明する。このとき、入力信号  $IN$  と出力信号  $OUT$  との論理は一致する。変化時電流生成回路 11 は、 $nMOS$  トランジスタ  $MN12$  がオフ状態であるので、電流  $I_C$  を生成しない。また、立ち上がり電流生成回路 12 において、ノード  $N11$  の電圧は、 $pMOS$  トランジスタ  $MP11$  がオン状態でありかつ  $nMOS$  トランジスタ  $MN13$  がオフ状態であるので、高電源電圧  $VDDH$  まで上昇する。 $nMOS$  トランジスタ  $MN15$  は、ノード  $N11$  の電圧に応答してオン状態であるが、入力信号  $IN$  がローレベルであるため  $nMOS$  トランジスタ  $MN14$  はオフ状態である。したがって、立ち上がり電流生成回路 12 は電流  $I_R$  を生成しない。さらに、立ち下がり電流生成回路 13 は、 $nMOS$  トランジスタ  $MN17$  がオフ状態であるので、電流  $I_F$  を生成しない。したがって、入力信号  $IN$  がローレベルであり、かつ出力信号  $OUT$  がローレベルであるときは、電流生成回路 10A は電流を生成しない。

【 0 0 6 7 】

次に、出力信号  $OUT$  が第 2 のハイレベルのときについて説明する。このとき、入力信号  $IN$  と出力信号  $OUT$  との論理は一致しない。変化時電流生成回路 11 は、 $nMOS$  トランジスタ  $MN12$  がオフ状態であるので、電流  $I_C$  を生成しない。また、立ち上がり電流生成回路 12 において、 $pMOS$  トランジスタ  $MP11$  はオフ状態となり、ノード  $N1$



1 がフローティング状態となる。しかし、入力信号  $I_N$  がローレベルであるので  $nMOS$  トランジスタ  $MN14$  がオフ状態となるため、立ち上がり電流生成回路 12 は電流  $I_R$  を生成しない。また、立ち下がり電流生成回路 13 は、 $nMOS$  トランジスタ  $MN16$ 、 $MN17$  がオン状態となるため、電流  $I_F$  を生成する。したがって、入力信号  $I_N$  がローレベルであり、かつ出力信号  $OUT$  が第 2 のハイレベルであるときは、電流生成回路 10A は電流  $I_F$  を生成する。

【0068】

さらに、上述したレベルコンバータ回路 1 の課題 A、B に対するレベルコンバータ回路 1A の効果について考察する。

【0069】

まず、課題 A について説明する。入力信号  $I_N$  と入力信号  $I_{NB}$  とがともに第 1 のハイレベルとなる期間が存在しない場合、電流生成回路 10 は正しく電流を生成することができない。このとき、入力信号  $I_N$  と出力信号  $OUT$  との論理は不一致となる場合がある。これに対して、電流生成回路 10A を用いることで論理不一致を解決することができる。すなわち、入力信号  $I_N$  が第 1 のハイレベルであり、かつ出力信号  $OUT$  がローレベルである論理不一致が存在する場合には、立ち上がり電流生成回路 12 が電流  $I_R$  を生成する。また、入力信号  $I_N$  がローレベルであり、かつ出力信号  $OUT$  が第 2 のハイレベルである論理不一致が存在する場合には、立ち下がり電流生成回路 13 が電流  $I_F$  を生成する。これにより、論理不一致が存在する場合には、電流生成回路 10A によって電流が生成され、正しい論理を出力することを保証することができる。

【0070】

これは、レベルコンバータ回路 1A が、図 10B で示した非理想的な入力信号  $I_N$ 、 $I_{NB}$  の波形に対応できることを意味する。また、図 10B と異なる非理想的な波形、すなわち、入力信号  $I_N$  の立ち上がりにおいて入力信号  $I_N$  と入力信号  $I_{NB}$  との波形が重ならない場合、及び入力信号  $I_N$  の立ち上がり並びに立ち下りの両方において入力信号  $I_N$  と入力信号  $I_{NB}$  との波形が重ならない場合においても、レベルコンバータ回路 1A は、正常に動作する。

【0071】

次に、課題 B について説明する。入力信号  $I_N$  の論理が第 1 のハイレベルであり、出力信号  $OUT$  の論理が第 2 のハイレベルである場合、すなわち論理がハイレベルで一致している場合を考える。このとき、端子 T2 はリーク電流で充電され、端子 T2 はハイインピーダンス状態となる。このとき、外部ノイズ等の外乱により出力信号  $OUT$  の電圧が低下した場合を考える。出力信号  $OUT$  の電圧が徐々に低下すると、出力信号  $OUT$  をモニタする立ち上がり電流生成回路 12 の  $pMOS$  トランジスタ  $MP11$  が出力信号  $OUT$  の電圧の低下に対応した電流を生成し、ノード N11 の電圧が徐々に上昇する。これに応じて、ノード N11 の電圧をモニタする  $nMOS$  トランジスタ  $MN15$  は、電流  $I_R$  を生成し始める。上述したように、出力信号  $OUT$  の電圧が低下すると、立ち上がり電流生成回路 12 によって電流  $I_R$  が生成され、出力信号  $OUT$  の電圧の低下を回避するように差動増幅回路 30 及びソース接地増幅回路 40 に電流が供給される。

【0072】

次に、入力信号  $I_N$  の論理がローレベルであり、出力信号  $OUT$  の論理がローレベルである場合、すなわち論理がローレベルで一致している場合を考える。このとき、端子 T2 はリーク電流で放電され、端子 T2 はハイインピーダンス状態となる。このとき、外部ノイズ等の外乱により出力信号  $OUT$  の電圧が上昇した場合を考える。出力信号  $OUT$  の電圧が徐々に上昇すると、出力信号  $OUT$  をモニタする立ち下がり電流生成回路 13 の  $nMOS$  トランジスタ  $MN17$  が出力信号  $OUT$  の電圧の上昇に対応した電流を生成する。また、 $nMOS$  トランジスタ  $MN16$  のゲートには第 1 のハイレベルを有する入力信号  $I_{NB}$  が印加されているため、 $nMOS$  トランジスタ  $MN16$  はオン状態である。上述したように、出力信号  $OUT$  の電圧が上昇すると、立ち下がり電流生成回路 13 によって電流  $I_F$  が生成され、出力信号  $OUT$  の電圧の上昇を回避するように差動増幅回路 30 及びソー

10

20

30

40

50

ス接地増幅回路40に電流が供給される。

【0073】

以上説明したように、第2の実施形態によれば、第1の実施形態と同様の作用効果を有する。また、入力信号INと入力信号INBがともに第1のハイレベルである期間が存在しない場合にも、立ち上がり電流生成回路12が電流 $I_R$ を生成する、又は立ち下がり電流生成回路13が電流 $I_F$ を生成するので、レベルコンバータ回路1Aは正常に動作する。さらに、外部ノイズ等の外乱により出力信号OUTの電圧が変化する場合にも、立ち上がり電流生成回路12が電流 $I_R$ を生成する、又は立ち下がり電流生成回路13が電流 $I_F$ を生成するので、レベルコンバータ回路1Aは正常に動作する。

【0074】

なお、第2の実施形態では、立ち上がり電流生成回路12及び立ち下がり電流生成回路13を備えて電流生成回路10Aを構成したが、本発明はこれに限らず、立ち上がり電流生成回路12又は立ち下がり電流生成回路13のうちのいずれか一方を備えて電流生成回路10Aを構成してもよい。

【0075】

第3の実施形態．

図13Aは、本発明の第3の実施形態に係るレベルコンバータ回路1Bの応用例を示すブロック図である。図13Aにおいて、レベルコンバータ回路1Bは、低電源電圧VDDL（例えば0.4Vである。）が供給される低電圧回路ブロック200からの信号の信号レベルを変換して、高電源電圧VDDH（例えば3Vである。）が供給される高電圧回路ブロック300に出力する。以下、入力信号IN、INB、第1のハイレベル、第2のハイレベル、低電圧源、及び高電圧源はそれぞれ、第1の実施形態で説明した入力信号IN、INB、第1のハイレベル、第2のハイレベル、低電圧源、及び高電圧源と同様である。

【0076】

図13Bは、本発明の第3の実施形態に係るレベルコンバータ回路1Bの構成を示すブロック図である。第2の実施形態に係るレベルコンバータ回路1Aでは、電流 $I_F$ の特性を十分に評価できない課題があった。

【0077】

レベルコンバータ回路1Bは、レベルコンバータ回路1Aと比較して、差動増幅回路30に代えて差動増幅回路30Bを備える点、ソース接地増幅回路40に代えてプッシュプル型ソース接地増幅回路40Bを備える点が異なり、その他の構成要素はレベルコンバータ回路1Aと同様であり、その説明を省略する。

【0078】

差動増幅回路30Bは、差動増幅回路30と比較して、pMOSトランジスタMP32のドレインとnMOSトランジスタMN31のドレインとの接続点がnMOSトランジスタMN42のゲートに接続されている点、及びpMOSトランジスタMP33のドレインとnMOSトランジスタMN32のドレインとの接続点がnMOSトランジスタMN43のゲートに接続されている点が異なり、その他の構成要素及び動作は差動増幅回路30と同様である。

【0079】

プッシュプル型ソース接地増幅回路40Bは、pMOSトランジスタMP42、MP43と、nMOSトランジスタMN42、MN43とを備えて構成される。pMOSトランジスタMP42のソースは高電圧源に接続され、pMOSトランジスタMP42のゲートは、pMOSトランジスタMP42のドレイン及びpMOSトランジスタMP43のゲートに接続される。pMOSトランジスタMP42のドレインは、nMOSトランジスタMN42のドレインに接続される。nMOSトランジスタMN42のゲートは、pMOSトランジスタMP32のドレインとnMOSトランジスタMN31のドレインとの接続点に接続され、nMOSトランジスタMN42のソースは接地される。pMOSトランジスタMP43のソースは高電圧源に接続され、pMOSトランジスタMP43のドレインは、

nMOSトランジスタMN43のドレインに接続される。nMOSトランジスタMN43のゲートは、pMOSトランジスタMP33のドレインとnMOSトランジスタMN32のドレインとの接続点に接続され、nMOSトランジスタMN43のソースは接地される。pMOSトランジスタMP43のドレインとnMOSトランジスタMN43のドレインとの接続点は、端子T2に接続される。ここで、差動増幅回路30Bとプッシュプル型ソース接地増幅回路40Bとは、2段増幅回路を構成する。

#### 【0080】

プッシュプル型ソース接地増幅回路40Bは、上述したように構成されるので、出力信号OUTの立ち上がり及び立ち下りの両方において、電流生成回路10Aによって生成される電流に対応した電流によって端子T2を充電及び放電することができる。

10

#### 【0081】

以上説明したように、第3の実施形態によれば、第2の実施形態と同様の作用効果を有する。

#### 【0082】

なお、第1及び第2の実施形態では、差動増幅回路30及びソース接地増幅回路40を備えてレベルコンバータ回路1及びレベルコンバータ回路1Aを構成したが、本発明はこれに限らず、差動増幅回路30B及びプッシュプル型ソース接地増幅回路40Bを備えてレベルコンバータ回路1及びレベルコンバータ回路1Aを構成してもよい。

#### 【実施例1】

#### 【0083】

20

第1の実施形態に係るレベルコンバータ回路1についてのシミュレーション評価（実施例1）について以下説明する。図3Bのレベルコンバータ回路1について、SPICEシミュレーション評価の結果を示す。使用したプロセスは0.35 $\mu$ mCMOSプロセスである。低電源電圧VDDLは0.4～0.8Vとし、また高電源電圧VDDHは3Vとした。

#### 【0084】

本発明者らは、電流生成回路10のシミュレーション評価を行った。図14は、図4の電流生成回路10によって生成されるピーク電流の低電源電圧VDDLへの依存性を示すグラフである。図14は、低電源電圧VDDLを0.4V～0.8Vに変化させたときに、電流生成回路10によって生成される電流 $I_{A1}$ のピーク電流値を示す。低電源電圧VDDLの上昇に従って、ピーク電流は指数関数的に増加することが確認できる。これは、低電源電圧VDDLが低電圧であるときは、電流生成回路10の縦続接続したnMOSトランジスタMN11, MN12がしきい値電圧以下のサブスレッショルド領域で動作し、低電源電圧VDDLが上昇すると、nMOSトランジスタMN11, MN12のゲート電圧が上昇して、nMOSトランジスタMN11, MN12に流れる電流が指数関数的に増加するためである。

30

#### 【0085】

電流生成回路10によって生成される電流 $I_{A1}$ は、pMOSトランジスタMP21, MP31, MP41を備えて構成されるカレントミラー回路を介して差動増幅回路30及びソース接地増幅回路40に供給される。図5に示すように、電流生成回路10によって生成される電流 $I_{A1}$ はパルス電流となるため、カレントミラー回路を介しての電流供給精度の課題がある。そこで、差動増幅回路30に供給される電流 $I_{A2}$ 及びソース接地増幅回路40に供給される電流 $I_{A3}$ の周波数特性を評価した。

40

#### 【0086】

図15は、図3Bの電流 $I_{A2}$ ,  $I_{A3}$ の周波数応答特性を示すグラフである。図15に示すように、カレントミラー回路は、電流 $I_{A1}$ の周波数が約2MHz以下の場合、一定の電流利得を維持したまま電流を差動増幅回路30及びソース接地増幅回路40に供給できることがわかる。電流 $I_{A1}$ の周波数が2MHzを超えると、カレントミラー回路のローパスフィルタの効果によって電流利得は減少する。すなわち、レベルコンバータ回路1は、数MHz帯域の動作帯域を有する。レベルコンバータ回路1の動作帯域を向上させ

50

るためには、電流生成回路 10 によって生成される電流  $I_{A1}$  の電流量を高める工夫が必要になる。上述した電流生成回路 10 の変形例に係る電流生成回路 10a, 10b, 10c, 10d を用いることによって、電流生成回路 10 によって生成される電流  $I_{A1}$  の電流量を高めることができる。

#### 【0087】

本発明者らは、レベルコンバータ回路 1 の動作の一例として、低電源電圧  $V_{DDL}$  を 0.55V、入力信号  $I_N$  の周波数を 10kHz としてシミュレーション評価を行った。図 16(a) は、図 1 のレベルコンバータ回路 1 への入力信号  $I_N$  の波形及び図 1 のレベルコンバータ回路 1 からの出力信号  $O_{UT}$  の波形を示すグラフであり、図 16(b) は、図 2 の電流生成回路 10 によって生成される電流  $I_{A1}$  の波形を示すグラフである。図 16(a) に示すように、入力信号  $I_N$  の論理に同期して、0 ~ 3V の振幅を有する出力信号  $O_{UT}$  が出力される。また、図 16(b) に示すように、入力信号  $I_N$  の論理が反転するときのみ、大きな電流  $I_{A1}$  が生成される。

#### 【0088】

図 17 は、低電源電圧  $V_{DDL}$  の電圧値に対する図 3B のレベルコンバータ回路 1 及び従来技術に係るレベルコンバータ回路 100 の遅延時間を示すグラフである。図 3B のレベルコンバータ回路 1 の遅延時間を図 2 に示した従来技術に係るレベルコンバータ回路 100 の遅延時間と比較する。従来技術に係るレベルコンバータ回路 100 は、低電源電圧  $V_{DDL}$  が 0.7V 以上のときに、レベルコンバータ回路 1 よりも高速に動作する。しかし、低電源電圧  $V_{DDL}$  が低下するにつれ、レベルコンバータ回路 100 の動作遅延は指数関数的に増大し、低電源電圧  $V_{DDL}$  が約 0.52V 以下になると、レベルコンバータ回路 100 は、動作することができない。これは、従来技術に係るレベルコンバータ回路 100 では、出力信号  $O_{UT}$  の電圧を低下させるために端子  $T_{102}$  を放電する電流は、低電源電圧  $V_{DDL}$  の電圧に依存するためである。すなわち、低電源電圧  $V_{DDL}$  が低電圧になるほど nMOS トランジスタ  $MN_{102}$  を流れる電流が減少し、遅延時間が指数関数的に増大する。そして、低電源電圧  $V_{DDL}$  が約 0.52V 以下になると nMOS トランジスタ  $MN_{102}$  を流れる電流量より pMOS トランジスタ  $MP_{102}$  を流れる電流量の方が多くなり、出力信号  $O_{UT}$  の論理は反転することなく、レベルコンバータ回路 100 は動作を停止する。

#### 【0089】

一方、レベルコンバータ回路 1 では、電流生成回路 10 によって生成される電流  $I_{A1}$  の電流量で遅延時間が決定される。低電源電圧  $V_{DDL}$  が 0.65V 付近よりも低い領域では、電流生成回路 10 の nMOS トランジスタ  $MN_{11}$ ,  $MN_{12}$  が、サブスレッショルド領域で動作する。このため、図 14 に示すように、電流  $I_{A1}$  の電流量が低電源電圧  $V_{DDL}$  に対して指数関数的に変化する。これにより、低電源電圧  $V_{DDL}$  の上昇に従って、遅延時間が指数関数的に減少する。また、低電源電圧  $V_{DDL}$  が約 0.65V より高い領域では、遅延時間はほぼ一定となる。これは、低電源電圧  $V_{DDL}$  が 0.65V 以上になると電流生成回路 10 によって生成される電流  $I_{A1}$  は増加するものの、図 15 に示すようにカレントミラー回路のローパスフィルタの効果によって生成される電流  $I_{A1}$  の供給能力が減少する。その結果、差動増幅回路 30 に流れる電流  $I_{A2}$  及びソース接地増幅回路 40 に流れる電流  $I_{A3}$  は増加せず、遅延時間はほぼ一定となる。このことは、図 17 の遅延時間の逆数である周波数が MHz オーダーであることから図 15 の結果と一致する。レベルコンバータ回路 1 は、電流生成回路 10 によって生成される電流  $I_{A1}$  に対応する電流を用いて、端子  $T_2$  に対する充電及び放電の両方を実行するため、従来技術に係るレベルコンバータ回路 100 が有する問題は発生せず、低電源電圧  $V_{DDL}$  と高電源電圧  $V_{DDH}$  との間の電源電圧の差が大きくなるような低い低電源電圧  $V_{DDL}$  においても安定に動作する。

#### 【0090】

図 18 は、低電源電圧  $V_{DDL}$  の電圧値に対する図 3B のレベルコンバータ回路 1 及び従来技術に係るレベルコンバータ回路 100 の消費電力を示すグラフである。ここでは、

入力信号  $I_N$  の周波数は  $1\text{ kHz}$  である。また、図 3 B のレベルコンバータ回路 1 の消費電力を図 2 に示した従来技術に係るレベルコンバータ回路 100 の消費電力と比較する。図 18 より明らかなとおり、レベルコンバータ回路 1 は、従来技術に係るレベルコンバータ回路 100 と比較して、低消費電力で動作可能である。従来技術に係るレベルコンバータ回路 100 は、高電圧源から多量の貫通電流が流れるため消費電力が高くなる。

【0091】

また、図 18 において、従来技術に係るレベルコンバータ回路 100 の消費電力が、低電源電圧  $V_{DDL}$  の上昇とともに指数関数的に減少していることが確認できる。これは、低電源電圧  $V_{DDL}$  で動作するロジック回路の信号波形が原因である。低電源電圧  $V_{DDL}$  で動作するロジック回路においては、トランジスタの電流駆動能力が極めて低くなり、信号が緩やかに変化する。そのため、 $0.55\text{ V}$  程度の低電源電圧  $V_{DDL}$  では、信号の遷移時間が長くなり、高電圧源から多量の貫通電流が流れる。一方で、低電源電圧  $V_{DDL}$  の上昇とともに、信号は急峻に変化するため、高電圧源からの貫通電流が減少する。

【0092】

一方、レベルコンバータ回路 1 の消費電力は、低電源電圧  $V_{DDL}$  が変化しても、ほぼ変化しない。これは、低電源電圧  $V_{DDL}$  の上昇による次の 2 つの要因に起因する。

(1) 電流生成回路 10 によって生成される電流  $I_{A1}$  の増加。

(2) 低電源電圧  $V_{DDL}$  によって駆動されるロジック回路の信号の遅延改善。

図 14 に示すとおり、電流生成回路 10 によって生成される電流  $I_{A1}$  が、低電源電圧  $V_{DDL}$  の上昇に従って指数関数的に増加する。一方で、低電源電圧  $V_{DDL}$  の上昇に従って低電源電圧  $V_{DDL}$  で動作するロジック回路の遅延時間は指数関数的に減少する。これら 2 つの要因により、瞬間的に流れる電流  $I_{A1}$  は指数関数的に増加するが、電流  $I_{A1}$  が流れる時間は指数関数的に短くなるので、最終的に流れる電流  $I_{A1}$  の全体量はほぼ変化しない。したがって、レベルコンバータ回路 1 の消費電力は、低電源電圧  $V_{DDL}$  に対する依存性が小さい。

【0093】

表 1 は、図 3 B のレベルコンバータ回路 1 及び従来技術に係るレベルコンバータ回路 100 のプロセスバラツキ及び温度変化に対する耐性を示す。表 1 では、低電源電圧  $V_{DDL}$  は  $0.6\text{ V}$  である。また、表 1 中の  $FF$ ,  $FS$ ,  $TT$ ,  $SF$ ,  $SS$  は、 $n\text{ MOS}$  トランジスタ及び  $p\text{ MOS}$  トランジスタのコーナーモデルを表し、 $P$  は当該レベルコンバータ回路が正常に動作するパス状態を表し、 $F$  は当該レベルコンバータ回路が正常に動作しないフェイル状態を表す。

【0094】

10

20

30

【表 1】

タイプ	温度 (°C)	プロセスコーナー				
		FF	FS	TT	SF	SS
実施例 1 に係る レベルコンバータ	-20	P	P	P	P	P
	40	P	P	P	P	P
	100	P	P	P	P	P
従来技術に係る レベルコンバータ	-20	P	P	P	F	F
	40	P	P	P	P	F
	100	P	P	P	P	P

10

20

## 【0095】

従来技術に係るレベルコンバータ回路 100 は、プロセスバラツキ及び温度変化によって nMOS トランジスタのしきい値電圧が高くなると、正常に動作しなくなる。これは、遅延時間の低電源電圧  $V_{DDL}$  に対する依存性の結果と同様に、nMOS トランジスタ  $M_{N102}$  を流れる電流が pMOS トランジスタ  $M_{P102}$  を流れるリーク電流よりも小さくなることで、端子  $T102$  が放電されないためである。一方、レベルコンバータ回路 1 は、プロセスバラツキ及び温度変化に対して安定に動作する。

30

## 【0096】

本発明者らは、レベルコンバータ回路 1 の有効性を確認するために、チップを試作した。試作チップの信号波形及び消費電力の測定結果を以下に示す。使用したプロセスは 0.35  $\mu\text{m}$  2P-4M CMOS プロセスである。図 19 に試作チップの写真を示す。回路面積は、43  $\mu\text{m} \times 43 \mu\text{m}$  と小面積である。

40

## 【0097】

図 20 は、図 19 の試作チップの動作を測定するための測定環境を示すブロック図である。図 20 に示すように、パッケージされた試作チップ 402 をボード上に実装して測定を行った。ファンクションジェネレータ 401 を用いて低振幅の入力信号  $I_N$  を生成し、レベルコンバータ回路（試作チップ 402）に入力する。ファンクションジェネレータ 401 からの入力信号  $I_N$  及びレベルコンバータ回路からの出力信号  $O_U T$  をオシロスコープ 403 に入力して評価した。また、高電源電圧  $V_{DDH}$  は 3V である。

## 【0098】

図 21 (a) は、図 20 の測定環境において、試作チップ 402 への入力信号  $I_N$  の波形を示すグラフであり、図 21 (b) は、図 20 の測定環境において、試作チップからの

50

出力信号OUTの波形を示すグラフである。図21は、低電源電圧VDDLが0.4V、入力信号INの周波数が10kHzであるときの入力信号INの波形及び出力信号OUTの波形を示す。0.4Vの振幅を有する低振幅の入力信号INが、レベルコンバータ回路1によって3Vの振幅を有する大振幅の出力信号OUTにレベル変換されている様子が確認できる。

#### 【0099】

また、図21の結果から、入力信号INが変化してから、出力信号OUTが変化するまでの立ち上がり時間と立ち下がり時間とが異なることがわかる。その結果、出力信号OUTのデューティ比が50%以下となった。これは、レベルコンバータ回路1の特性に起因する。図3Bに示したレベルコンバータ回路1の端子T2の充放電は、pMOSトランジスタMP41及びnMOSトランジスタMN41に流れる電流によって行われる。このとき、出力信号OUTの立ち上がり時間は、pMOSトランジスタMP41を流れる電流、すなわち、カレントミラー回路を介して供給される電流生成回路10によって生成される電流 $I_{A1}$ に対応する電流によって決まる。一方、nMOSトランジスタMN41を流れる電流は、nMOSトランジスタMN41のゲートに印加される電圧によって決まる。nMOSトランジスタMN41のゲートの容量を充放電するための時間も、カレントミラー回路を介して供給される電流生成回路10によって生成される電流 $I_{A1}$ に対応する電流によって決まるが、差動増幅回路30の回路構成の特性から、pMOSトランジスタMP41によって端子T2が充電される時間と、nMOSトランジスタMN41によって端子T2が放電される時間とは異なる。そのため、出力信号OUTの立ち上がり時間と立ち下がり時間とが異なる結果となる。今後は、立ち上がり時間と立ち下がり時間とが等しくなるような回路を構成するなど、デューティ比を50%に近づける必要がある。

#### 【0100】

図22は、図19の試作チップのシュム(Shmoos)プロットを示す図である。低電源電圧VDDLに対して、レベルコンバータ回路1が動作可能な周波数帯をプロットしている。低電源電圧VDDLが0.4Vから0.64V付近であるとき、動作可能な最大周波数が指数関数的に増加している。これは、低電源電圧VDDLの上昇に従って電流生成回路10によって生成される電流 $I_{A1}$ が指数関数的に増加するためである。低電源電圧VDDLが0.64Vを超えると動作可能な周波数は2MHz付近からほぼ一定となる。これは、図17に示したシミュレーション結果と同様に、カレントミラー回路のローパスフィルタの効果により、電流生成回路10によって生成された電流 $I_{A1}$ の高周波成分が差動増幅回路30及びソース接地増幅回路40に供給されず、差動増幅回路30及びソース接地増幅回路40に流れる電流が制限されるためである。

#### 【0101】

図23は、低電源電圧VDDLの電圧値に対する図19の試作チップの消費電力を示すグラフである。ここでは、入力信号INの周波数は10kHzである。試作チップの消費電力は、低電源電圧VDDLへの依存性が小さく、低電源電圧VDDLの上昇とともに減少している。これは、図18のシミュレーション結果と一致する。

#### 【0102】

レベルコンバータ回路1は、クロスカップル型レベルコンバータ回路100よりも低消費電力で動作し、かつ低電源電圧VDDLが低電圧であっても安定に動作することから、低電圧動作LSIに有用である。

#### 【0103】

第1の実施形態では、回路ブロック間の電源電圧の差電圧が大きい場合でも安定に動作可能なレベルコンバータ回路1を提案した。レベルコンバータ回路1は、2段増幅回路を基本とした回路を構成することで、従来技術に係るレベルコンバータ回路100の問題点である充放電部分の電源電圧差依存性を緩和する。さらに、レベルコンバータ回路1は入力信号INが変化するときのみ電力を消費することから低消費電力で動作することができる。0.35 $\mu$ m標準CMOSプロセスを用いてチップを試作し、測定により動作を確認した。レベルコンバータ回路1を用いることで、0.4V振幅の低電圧信号を3V振幅の

高電圧信号に変換することができる。レベルコンバータ回路 1 は、低消費電力、低電圧動作 L S I に有用である。

【実施例 2】

【0104】

第 2 の実施形態に係るレベルコンバータ回路 1 A についてのシミュレーション評価（実施例 2）について以下説明する。本発明者らは、レベルコンバータ回路 1 A の動作を確認するためのシミュレーション評価を行った。使用した C M O S プロセスは、 $0.35\mu\text{m}$  C M O S プロセスである。

【0105】

本発明者らは、レベルコンバータ回路 1 A のシミュレーション評価を行った。ここで、低電源電圧  $V_{DDL}$  は  $0.4\text{V}$  であり、高電源電圧  $V_{DDH}$  は  $3.0\text{V}$  である。シミュレーションの結果を図 2 4 ~ 図 2 7 に示す。図 2 4 は、図 1 1 B のレベルコンバータ回路 1 A への入力信号  $I_N$ 、 $I_{NB}$  の波形及び図 1 1 B のレベルコンバータ回路 1 A からの出力信号  $O_{UT}$  の波形を示すグラフである。図 2 5 は、図 1 2 の変化時電流生成回路 1 1 によって生成される電流  $I_C$  の波形を示すグラフである。図 2 6 は、図 1 2 の立ち下がり電流生成回路 1 3 によって生成される電流  $I_F$  の波形を示すグラフである。図 2 7 は、図 1 2 の立ち上がり電流生成回路 1 2 によって生成される電流  $I_R$  の波形を示すグラフである。

【0106】

図 2 4 に示すように、入力信号  $I_N$  の論理に一致して出力信号  $O_{UT}$  がレベル変換されて出力されている。また、入力信号  $I_N$  の立ち上がりと入力信号  $I_{NB}$  の立ち下がりにおいては、波形が重なっているが、入力信号  $I_N$  の立ち下がりと入力信号  $I_{NB}$  の立ち上がりにおいては、波形が重なっていない。これは、入力信号  $I_N$  の立ち下がりでは電流  $I_C$  が正しく生成されないことを意味する。

【0107】

図 2 5 に示すように、入力信号  $I_N$  の立ち上がり時に、変化時電流生成回路 1 1 は、正常に電流  $I_C$  を生成している（1 ナノアンペアオーダーのピーク電流である。）。一方、入力信号  $I_N$  の立ち下がり時には、変化時電流生成回路 1 1 は、電流  $I_C$  を生成しているように見える（2 ナノアンペアオーダーのピーク電流である。）。しかし、上述のように、入力信号  $I_N$  の立ち下がりでは、入力信号  $I_N$  と入力信号  $I_{NB}$  とは重ならないため、変化時電流生成回路 1 1 が正常動作しているとはいえない。この電流  $I_C$  は、出力信号  $O_{UT}$  のキックバック現象によって生成された電流であり、変化時電流生成回路 1 1 によって生成された電流ではない。

【0108】

しかしながら、レベルコンバータ回路 1 A は、所望の動作（すなわち、ローレベルの出力信号  $O_{UT}$  を出力する。）を行っている。これは、レベルコンバータ回路 1 A のレベル変換動作が、差動増幅回路 3 0 及びソース接地増幅回路 4 0 における出力信号  $O_{UT}$  の立ち上がり時間の遅延時間並びに立ち下がり時間の遅延時間、及び電流生成回路 1 0 A の遅延時間に依存するためである。レベルコンバータ回路 1 A の差動増幅回路 3 0 及びソース接地増幅回路 4 0 では、出力信号  $O_{UT}$  の立ち上がり遅延時間は p M O S トランジスタ M P 4 1 の充電電流  $I_{A3}$  で決定され、出力信号  $O_{UT}$  の立ち下がり時間は n M O S トランジスタ M N 4 1 の放電電流  $I_{A4}$  で決定される。充電電流  $I_{A3}$  は電流生成回路 1 0 A によって生成される電流  $I_{A1}$  に依存する一方で、放電電流  $I_{A4}$  は電流生成回路 1 0 A によって生成される電流に依存しないことが考えられる。

【0109】

これを図 1 1 B に示す差動増幅回路 3 0 及びソース接地増幅回路 4 0 の回路図で考える。充電電流  $I_{A3}$  は、p M O S トランジスタ M P 2 1、M P 4 1 で構成されるカレントミラー回路を介して供給される電流生成回路 1 0 A によって生成された電流  $I_{A1}$  に対応する電流である。一方、放電電流  $I_{A4}$  は、ソース接地増幅回路 4 0 の n M O S トランジスタ M N 4 1 のゲート電圧、すなわち差動増幅回路 3 0 のノード N 3 1 の電圧に依存する。ノード N 3 1 の電圧は、入力信号  $I_N$  がローレベルとなると、ローレベルから第 1 のハイ

10

20

30

40

50



レベルの近傍電圧に変化する。ノードN31の電圧は、nMOSトランジスタMN41のゲートに印加されるため、出力信号OUTは立ち下がってローレベルとなる。ノードN31の電圧は、電流生成回路10Aによって生成される電流 $I_{A1}$ に依存せず、第1のハイレベルの近傍電圧となって出力信号OUTを立ち下げる。すなわち、差動増幅回路30及びソース接地増幅回路40では、出力信号OUTの立ち上がり遅延時間が長く、立ち下がり遅延時間が短い。立ち上がり遅延時間が長いため、入力信号INの立ち上がりにおいて論理不一致が生じ、電流生成回路10Aの立ち上がり電流生成回路12が論理不一致を検出し、電流 $I_R$ を生成して出力信号OUTの立ち上がりを加速させる。一方、レベルコンバータ回路1Aの差動増幅回路30及びソース接地増幅回路40は、出力信号OUTの立ち下がり時には素早く反応するため、立ち下がり電流生成回路13は動作せずともレベルコンバータ回路1Aはローレベルの出力信号OUTを出力することができる。

10

#### 【0110】

図26に示すように、電流 $I_F$ が生成されていないことが確認できる。これは、上述のように出力信号OUTの立ち下がり遅延時間が短いので、電流生成回路10Aが動作を開始する前に、出力信号OUTがローレベルに立ち下がるからである。一方、出力信号OUTの立ち上がりにおいて、図25に示すように電流 $I_C$ が生成されているが、出力信号OUTを立ち上げるのに十分な電流量とは言えず、立ち上がり電流生成回路12が論理不一致を検出し、電流 $I_R$ を生成する。図27に示すように、出力信号OUTの立ち上がりにおいて、電流 $I_R$ が生成されていることが確認できる。

20

#### 【0111】

図28は、低電源電圧VDDLの電圧値に対する図11Bのレベルコンバータ回路1A及び図3Bのレベルコンバータ回路1の遅延時間を示すグラフである。図28において、フィードバック制御を有するレベルコンバータ回路1Aの遅延時間は実線で示され、フィードバック制御を有しないレベルコンバータ回路1の遅延時間は破線で示される。図28に示すように、レベルコンバータ回路1Aの遅延時間は、低電源電圧VDDLの上昇とともに減少することが確認できる。また、レベルコンバータ回路1Aは、レベルコンバータ回路1と比較して、高速に動作することが確認できる。低電源電圧VDDLが約0.55V以下の低電圧では、レベルコンバータ回路1Aはレベルコンバータ回路1よりも数倍程度高速に動作し、低電源電圧VDDLが高くなるにつれて、その差は大きくなることが確認できる。立ち上がり電流生成回路12によって生成される電流 $I_R$ 及び立ち下がり電流生成回路13によって生成される電流 $I_F$ が差動増幅回路30及びソース接地増幅回路40の動作電流に加算されることが、レベルコンバータ回路1Aの高速動作に繋がっているといえる。

30

#### 【0112】

図29は、低電源電圧VDDLの電圧値に対する図11Bのレベルコンバータ回路1A及び図3Bのレベルコンバータ回路1の消費電力を示すグラフである。図29において、フィードバック制御を有するレベルコンバータ回路1Aの消費電力は実線で示され、フィードバック制御を有しないレベルコンバータ回路1の消費電力は破線で示される。レベルコンバータ回路1Aは、レベルコンバータ回路1よりも消費電力が多い。これは、立ち上がり電流生成回路12によって生成される電流 $I_R$ 及び立ち下がり電流生成回路13によって生成される電流 $I_F$ が、差動増幅回路30及びソース接地増幅回路40の動作電流に加算されるためである。しかし、増加する消費電力は、ナノワットオーダーの微小電力に抑えることができている。

40

#### 【0113】

本発明者らは、電流生成回路10Aの特性評価を行うためのシミュレーション評価を行った。ここでは、図12に示す電流生成回路10Aにおいて、以下の2つのシミュレーションを実行した。

シミュレーション1：入力信号INを第1のハイレベルに固定し、入力信号INBをローレベルに固定し、出力信号OUTを0Vから3Vまで変化させて、立ち上がり電流生成回路12によって生成される電流 $I_R$ 及び立ち下がり電流生成回路13によって生成される

50

電流  $I_F$  を測定する。

シミュレーション 2：入力信号  $I_N$  をローレベルに固定し、入力信号  $I_{NB}$  を第 1 のハイレベルに固定し、出力信号  $O_{UT}$  を 0 V から 3 V まで変化させて、立ち上がり電流生成回路 12 によって生成される電流  $I_R$  及び立ち下がり電流生成回路 13 によって生成される電流  $I_F$  を測定する。

【0114】

まず、シミュレーション 1 の結果について説明する。図 30A は、図 12 の電流生成回路 10A において、入力信号  $I_N$  を第 1 のハイレベルに固定し、入力信号  $I_{NB}$  をローレベルに固定し、出力信号  $O_{UT}$  を 0 V から 3 V に変化させた場合に生成される電流  $I_F$  を示すグラフである。また、図 30B は、図 12 の電流生成回路 10A において、入力信号  $I_N$  を第 1 のハイレベルに固定し、入力信号  $I_{NB}$  をローレベルに固定し、出力信号  $O_{UT}$  を 0 V から 3 V に変化させた場合に生成される電流  $I_R$  を示すグラフである。

10

【0115】

入力信号  $I_N$  が第 1 のハイレベルであり、入力信号  $I_{NB}$  がローレベルであるため、出力信号  $O_{UT}$  は第 2 のハイレベルであることが理想である。図 30B に示すように、出力信号  $O_{UT}$  が約 2.4 V 以下の低い電圧である場合、電流  $I_R$  が生成されることが確認できる。この電流  $I_R$  は、出力信号  $O_{UT}$  を上昇させるようにカレントミラー回路を介して差動増幅回路 30 及びソース接地増幅回路 40 に供給される。一方、出力信号  $O_{UT}$  が高い電圧、すなわち第 2 のハイレベルに近い場合、電流  $I_R$  は生成されないことが確認できる。また、このとき、入力信号  $I_{NB}$  はローレベルであり、出力信号  $O_{UT}$  を立ち下げる必要はないため、図 30A に示すように電流  $I_F$  は生成されない。電流  $I_R$  の電流量（シミュレーション 1 では約 17 nA である。）は、低電源電圧  $V_{DDL}$  の値（シミュレーション 1 では 0.4 V である。）に依存する。低電源電圧  $V_{DDL}$  が上昇すると、電流  $I_R$  は増大する。

20

【0116】

次に、シミュレーション 2 の結果について説明する。図 31A は、図 12 の電流生成回路 10A において、入力信号  $I_N$  をローレベルに固定し、入力信号  $I_{NB}$  を第 1 のハイレベルに固定し、出力信号  $O_{UT}$  を 0 V から 3 V に変化させた場合に生成される電流  $I_F$  を示すグラフである。また、図 31B は、図 12 の電流生成回路 10A において、入力信号  $I_N$  をローレベルに固定し、入力信号  $I_{NB}$  を第 1 のハイレベルに固定し、出力信号  $O_{UT}$  を 0 V から 3 V に変化させた場合に生成される電流  $I_R$  を示すグラフである。

30

【0117】

入力信号  $I_N$  がローレベルであり、入力信号  $I_{NB}$  が第 1 のハイレベルであるため、出力信号  $O_{UT}$  はローレベルであることが理想である。図 31A に示すように、出力信号  $O_{UT}$  が約 0.3 V 以上の高い電圧である場合、電流  $I_F$  が生成されることが確認できる。この電流  $I_F$  は、出力信号  $O_{UT}$  を低下させるようにカレントミラー回路を介して差動増幅回路 30 及びソース接地増幅回路 40 に供給される。一方、出力信号  $O_{UT}$  が低い電圧、すなわちローレベルに近い場合、電流  $I_F$  は生成されないことが確認できる。また、このとき、入力信号  $I_N$  はローレベルであり、出力信号  $O_{UT}$  を立ち上げる必要はないため、図 31B に示すように電流  $I_R$  は生成されない。電流  $I_F$  の電流量（シミュレーション 2 では約 17 nA である。）は、低電源電圧  $V_{DDL}$  の値（シミュレーション 2 では 0.4 V である。）に依存する。低電源電圧  $V_{DDL}$  が上昇すると、電流  $I_F$  は増大する。

40

【実施例 3】

【0118】

第 3 の実施形態に係るレベルコンバータ回路 1B についてのシミュレーション評価（実施例 3）について以下説明する。本発明者らは、レベルコンバータ回路 1B のシミュレーション評価を行った。その結果を図 32～図 35 に示す。図 32 は、図 13B のレベルコンバータ回路 1B への入力信号  $I_N$ 、 $I_{NB}$  の波形及び図 13B のレベルコンバータ回路 1B からの出力信号  $O_{UT}$  の波形を示すグラフである。図 33 は、図 12 の変化時電流生成回路 11 によって生成される電流  $I_C$  の波形を示すグラフである。図 34 は、図 12 の

50

立ち下がり電流生成回路 13 によって生成される電流  $I_F$  の波形を示すグラフである。図 35 は、図 12 の立ち上がり電流生成回路 12 によって生成される電流  $I_R$  の波形を示すグラフである。

【0119】

図 32 に示すように、入力信号  $I_N$  の論理に一致して出力信号  $OUT$  がレベル変換されて出力されている。また、入力信号  $I_N$  の立ち上がりと入力信号  $I_{NB}$  の立ち下がりにおいては、波形が重なっているが、入力信号  $I_N$  の立ち下がりと入力信号  $I_{NB}$  の立ち上がりにおいては、波形が重なっていない。このため、図 33 に示すように、入力信号  $I_N$  の立ち上がりでは電流  $I_C$  が生成されるが、入力信号  $I_N$  の立ち下がりでは電流  $I_C$  が生成されない。レベルコンバータ回路 1B は、レベルコンバータ回路 1A と比較して、2 段増幅回路の構成を変更したので、電流生成回路 10A が動作を開始する前に出力信号  $OUT$  がローレベルに立ち下がることなく、図 34 に示すように、電流  $I_F$  が解析通りに生成されている。また、図 35 に示すように、入力信号  $I_N$  の立ち上がりにおいて、電流  $I_R$  が生成されている。上述したように、電流生成回路 10A のすべての回路ブロック（変化時電流生成回路 11、立ち上がり電流生成回路 12、及び立ち下がり電流生成回路 13）が解析通りに動作することを確認した。

【産業上の利用可能性】

【0120】

以上詳述したように、本発明に係るレベルコンバータ回路によれば、電流生成回路によって生成される電流に対応する電流を増幅回路に印加して、信号レベルを変換するので、第 1 の信号レベルと第 2 の信号レベルとの間の差が大きい場合でも安定な動作が可能である。また、電流生成回路は、入力信号の信号レベルが変化するときのみ制御電流を生成し、入力信号の信号レベルが変化しないときは制御電流を生成しないので、レベルコンバータ回路は低消費電力で動作する。

【0121】

また、本発明に係るレベルコンバータ回路によれば、上記第 1 及び第 2 の  $nMOS$  トランジスタのしきい値電圧を上記レベルコンバータ回路に比較して低下させて、上記制御電流を上記レベルコンバータ回路に比較して増加させるように、上記第 1 及び第 2 の  $nMOS$  トランジスタの基板電位を変化させる制御回路をさらに備えるので、レベルコンバータ回路が上記レベルコンバータ回路に比較して高速に動作する。

【0122】

またさらに、本発明に係るレベルコンバータ回路によれば、上記制御電流を上記レベルコンバータ回路に比較して増加させるように、上記第 1 及び第 2 の  $nMOS$  トランジスタに対してそれぞれ並列に、別の  $nMOS$  トランジスタを接続するので、レベルコンバータ回路が上記レベルコンバータ回路に比較して高速に動作する。

【0123】

またさらに、本発明に係るレベルコンバータ回路によれば、入力信号と入力信号の反転信号とがともにハイレベルである期間が存在しない場合にも、立ち上がり電流生成回路又は立ち下がり電流生成回路が制御電流を生成するので、レベルコンバータ回路は正常に動作する。さらに、外部ノイズ等の外乱により出力信号の信号レベルが変化する場合にも、立ち上がり電流生成回路又は立ち下がり電流生成回路が制御電流を生成するので、レベルコンバータ回路は正常に動作する。

【符号の説明】

【0124】

1, 1A, 1B, 100...レベルコンバータ回路、  
10, 10a, 10b, 10c, 10d, 10A...電流生成回路、  
11...変化時電流生成回路、  
12...立ち上がり電流生成回路、  
13...立ち下がり電流生成回路、  
20...電流検出回路、

10

20

30

40

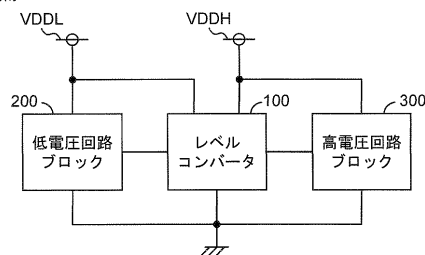
50

3 0 , 3 0 B ... 差動増幅回路、  
 4 0 ... ソース接地増幅回路、  
 4 0 B ... プッシュプル型ソース接地増幅回路、  
 5 0 ... 前処理回路、  
 2 0 0 ... 低電圧回路ブロック、  
 3 0 0 ... 高電圧回路ブロック、  
 4 0 1 ... ファンクションジェネレータ、  
 4 0 2 ... 試作チップ、  
 4 0 3 ... オシロスコープ、  
 5 0 1 ...  $V_{c1}$  発生器、  
 5 0 2 ...  $V_{c2}$  発生器、  
 5 0 3 ... コントローラ、  
 I V 1 0 1 ... インバータ、  
 M N 1 1 ~ M N 1 7 , M N 1 1 a , M N 1 2 a , M N 3 1 , M N 3 2 , M N 4 1 ~ M N 4 3 , M N 5 1 , M N 1 0 1 , M N 1 0 2 ... nMOS トランジスタ、  
 M P 1 1 , M P 2 1 , M P 3 1 ~ M P 3 3 , M P 4 1 ~ M P 4 3 , M P 5 1 , M P 1 0 1 , M P 1 0 2 ... pMOS トランジスタ、  
 N 1 1 , N 3 1 , N 1 0 1 ... ノード、  
 T 1 ~ T 9 , T 1 0 1 , T 1 0 2 ... 端子。

10

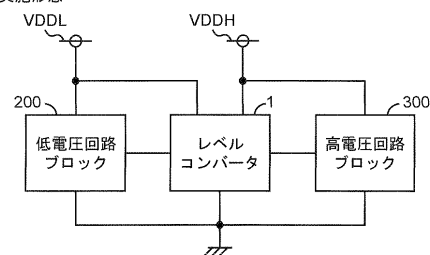
【図 1】

従来技術



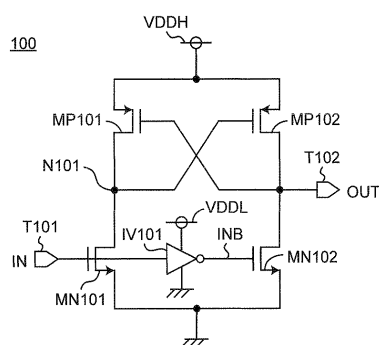
【図 3 A】

第1の実施形態



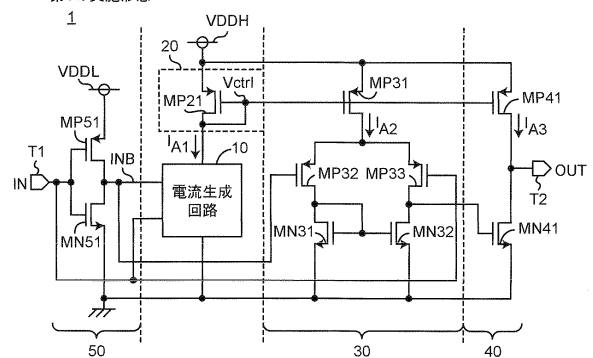
【図 2】

従来技術

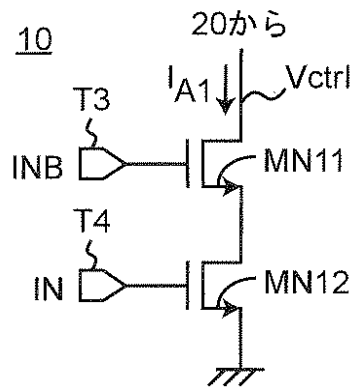


【図 3 B】

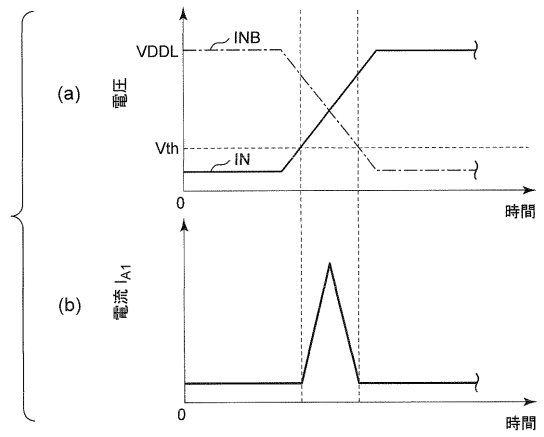
第1の実施形態



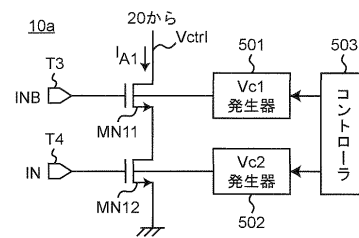
【図 4】



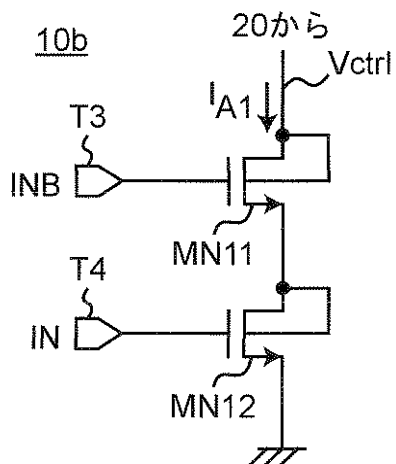
【図 5】



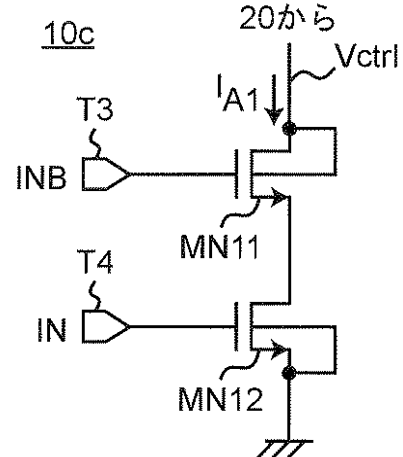
【図 6】



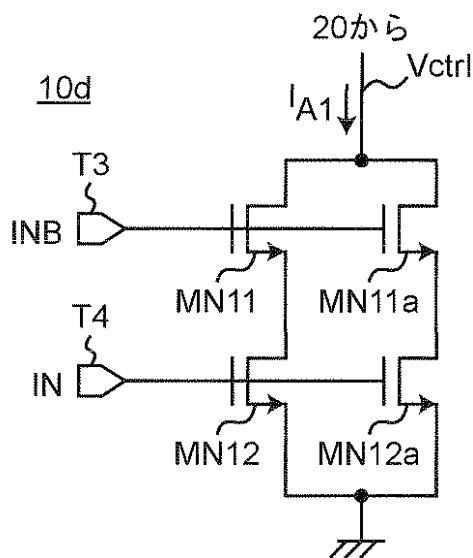
【図 7】



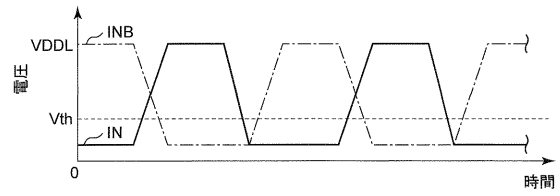
【図 8】



【図 9】

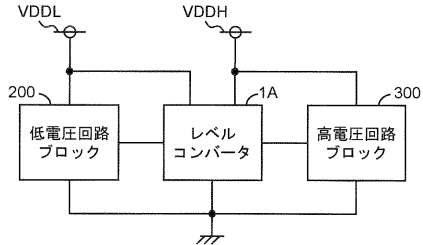


【図 10 B】

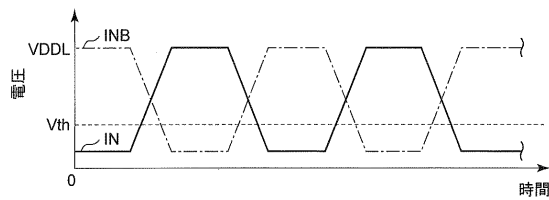


【図 11 A】

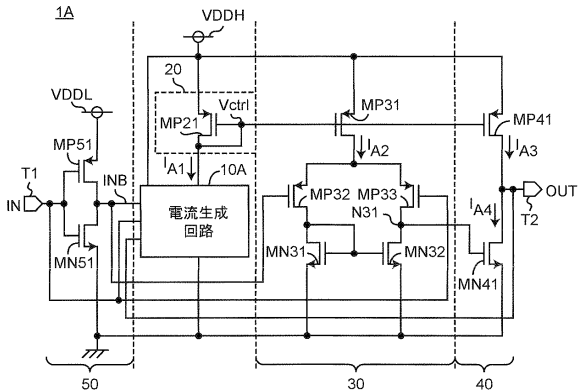
第2の実施形態



【図 10 A】

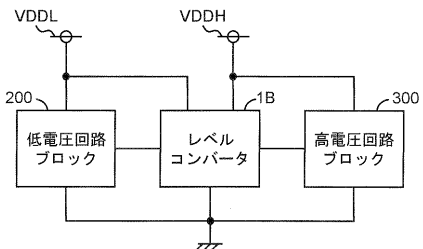


【図 11 B】

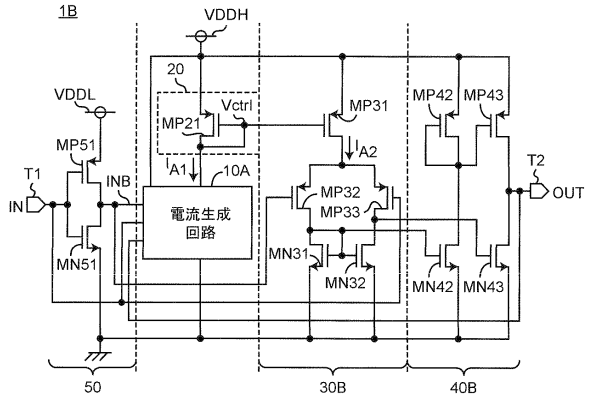
第2の実施形態  
1A

【図 13 A】

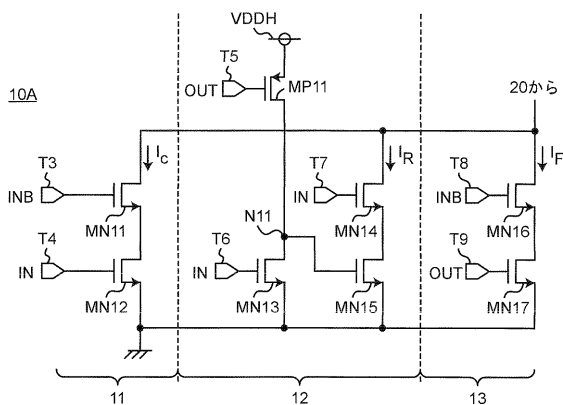
第3の実施形態



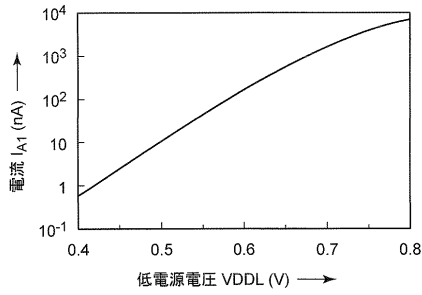
【図 13 B】

第3の実施形態  
1B

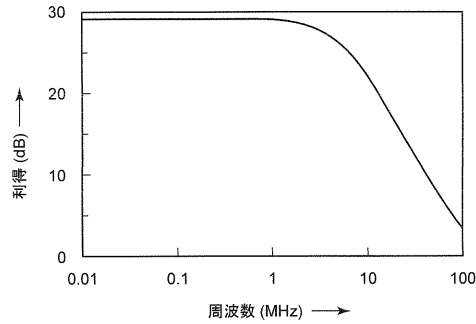
【図 12】



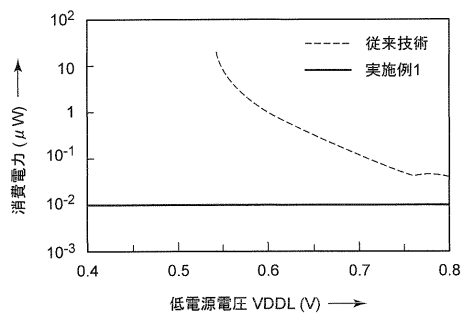
【図 14】



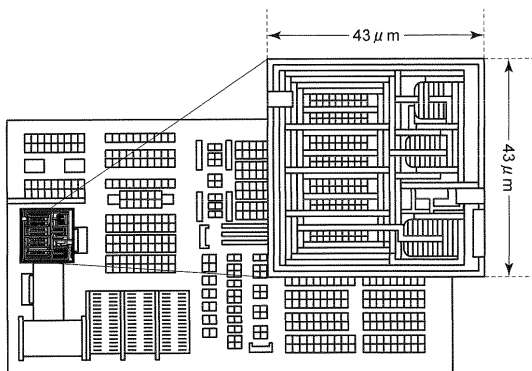
【図 15】



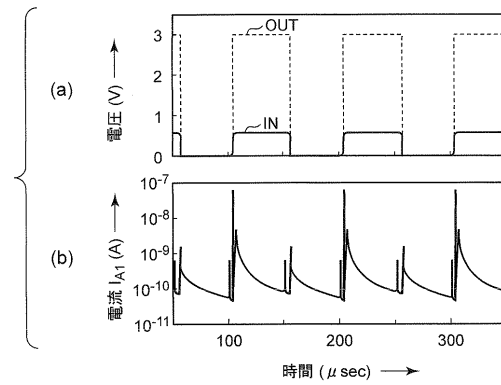
【図 18】



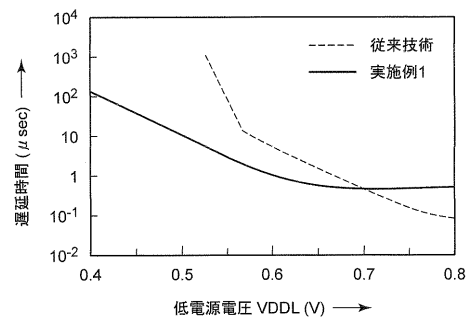
【図 19】



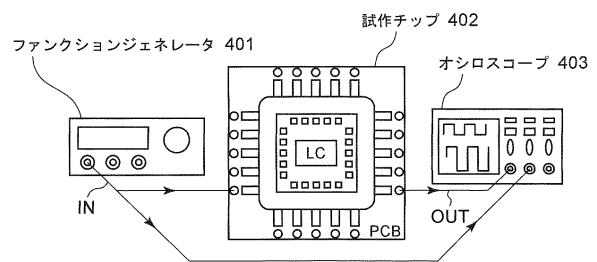
【図 16】



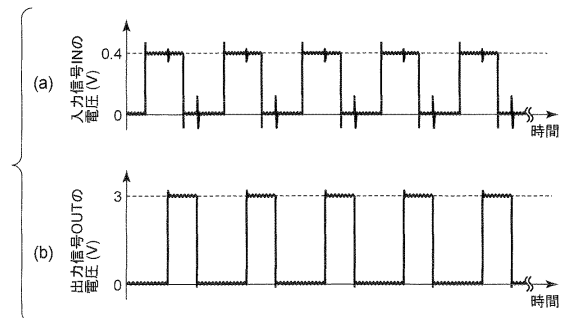
【図 17】



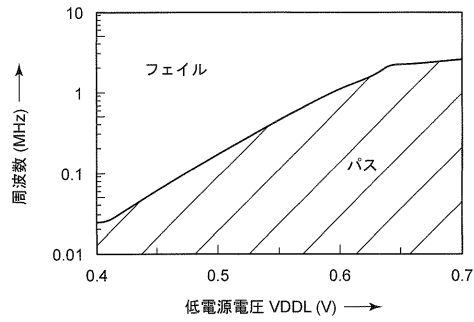
【図 20】



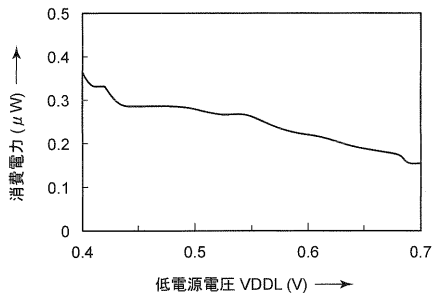
【図 21】



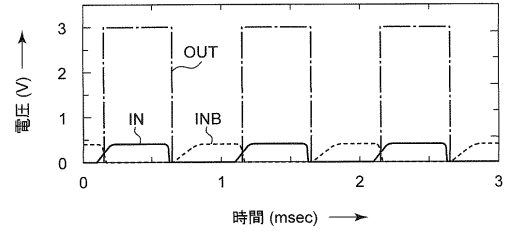
【図 2 2】



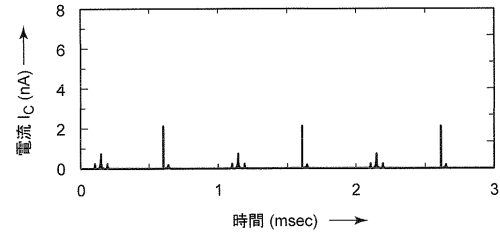
【図 2 3】



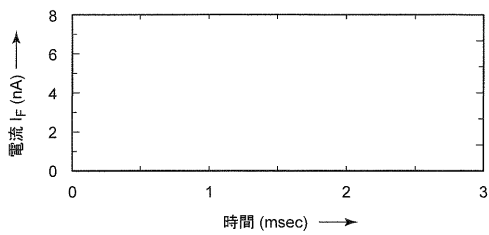
【図 2 4】



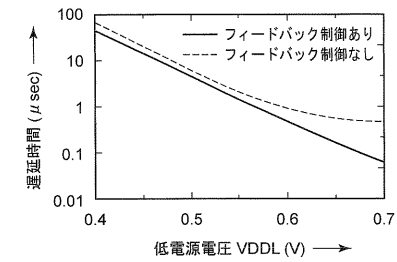
【図 2 5】



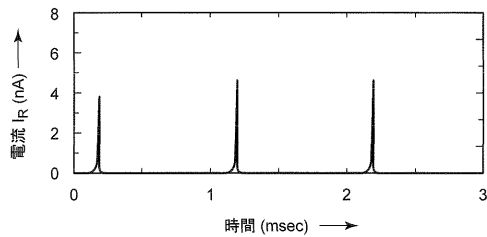
【図 2 6】



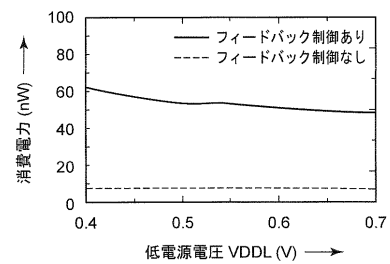
【図 2 8】



【図 2 7】

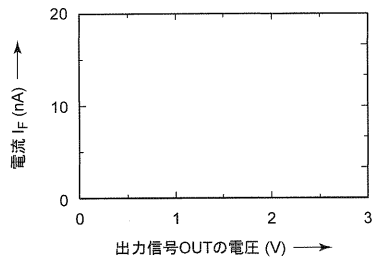


【図 2 9】

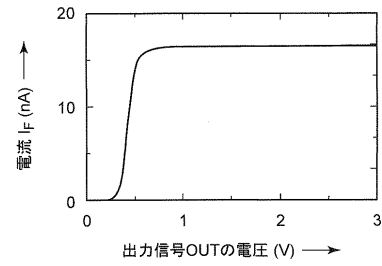




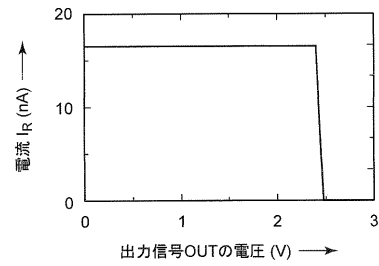
【図 3 0 A】



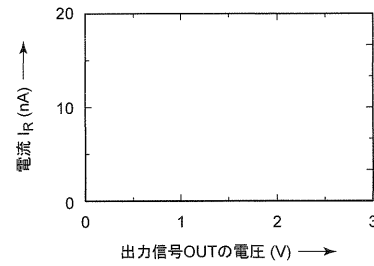
【図 3 1 A】



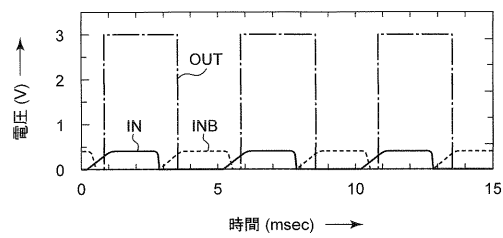
【図 3 0 B】



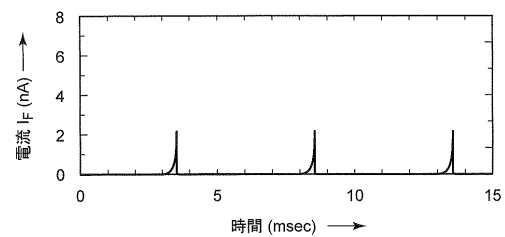
【図 3 1 B】



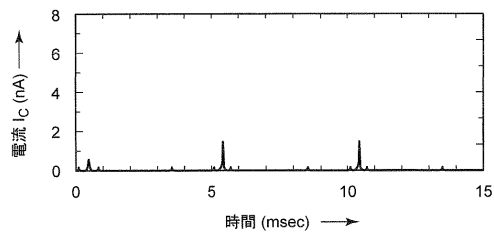
【図 3 2】



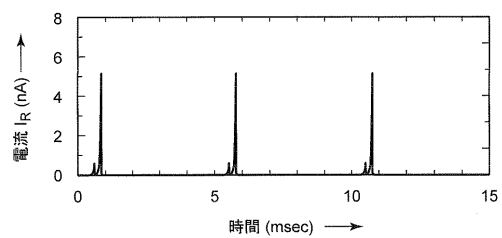
【図 3 4】



【図 3 3】



【図 3 5】



---

フロントページの続き

(72)発明者 大 崎 勇士

兵庫県神戸市灘区六甲台町 1 - 1 国立大学法人神戸大学内

(72)発明者 森 俊彦

神奈川県横浜市港北区新横浜三丁目 1 7 番地 2 友泉新横浜ビル 6 階 株式会社半導体理工学研究センター内

審査官 宮島 郁美

(56)参考文献 特開平 0 4 - 1 5 9 8 1 4 ( J P , A )

特開 2 0 0 2 - 3 1 1 0 6 3 ( J P , A )

特開平 1 1 - 0 8 8 1 3 6 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H 0 3 K 1 9 / 0 0 , 1 9 / 0 1 - 1 9 / 0 8 2 , 1 9 / 0 9 2 - 1 9 / 0 9 6