

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年1月28日(28.01.2021)



(10) 国際公開番号

WO 2021/014258 A1

(51) 国際特許分類:
H04N 5/347 (2011.01) *H04N 5/3745* (2011.01)
H01L 27/146 (2006.01)

(21) 国際出願番号: PCT/IB2020/056448

(22) 国際出願日: 2020年7月9日(09.07.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-133327 2019年7月19日(19.07.2019) JP
特願 2019-137548 2019年7月26日(26.07.2019) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷398 Kanagawa (JP).

(72) 発明者: 米田誠一(YONEDA, Seiichi); 〒2430036
神奈川県厚木市長谷398株式会社半導体
エネルギー研究所内 Kanagawa (JP). 根来
雄介(NEGORO, Yusuke); 〒2430036 神奈川県

厚木市長谷398株式会社半導体エネルギー
一研究所内 Kanagawa (JP).

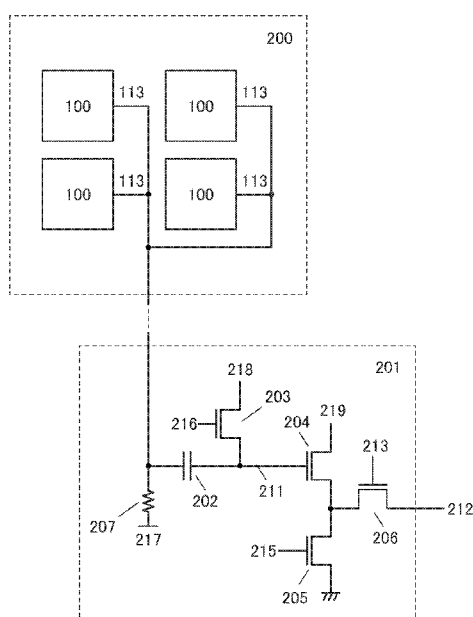
(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,

(54) Title: IMAGING DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称: 撮像装置および電子機器

図2



(57) Abstract: Provided is an imaging device that can perform image processing. Also provided is an imaging device with low power consumption. Also provided is a highly reliable imaging device. Also provided is an imaging device with enhanced pixel integration. Also provided is a low-cost imaging device. This imaging device has a photoelectric converting device, a first transistor formed in a first layer and having silicon in a channel forming region, and a capacitor formed in a second layer adhered to the first layer. One of the source and the drain of the first transistor is electrically connected to one electrode of the photoelectric converting device, and the other of the drain and the source is electrically connected to one electrode of the capacitor. The imaging device has a pixel having a function for generating first data and a function for generating second data by multiplying the first data by an arbitrary magnification, the first data and the second data being analog values.

LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）
- 一 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

(57) 要約：画像処理を行うことができる撮像装置を提供する。低消費電力の撮像装置を提供する。信頼性の高い撮像装置を提供する。画素の集積度を高めた撮像装置を提供する。コストの低い撮像装置を提供する。光電変換デバイス、第1の層に形成されチャネル形成領域にシリコンを有する第1のトランジスタ、第1の層と貼り合わせられる第2の層に形成されるキャパシタを有し、第1のトランジスタのソースまたはドレインの一方は光電変換デバイスの一方の電極と、他方はキャパシタの一方の電極と電気的に接続され、第1のデータを生成する機能、および第1のデータを任意の倍率に乗算して第2のデータを生成する機能を有する画素を有し、第1のデータおよび第2のデータはアナログ値である撮像装置。

明細書

発明の名称

撮像装置および電子機器

技術分野

[0001]

本発明の一態様は、撮像装置に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、記憶装置、撮像装置、それらの駆動方法、または、それらの製造方法、を一例として挙げることができる。

[0003]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタ、半導体回路は半導体装置の一態様である。また、記憶装置、表示装置、撮像装置、電子機器は、半導体装置を有する場合がある。

背景技術

[0004]

基板上に形成された酸化物半導体薄膜を用いてトランジスタを構成する技術が注目されている。例えば、酸化物半導体を有するオフ電流が極めて低いトランジスタを画素回路に用いる構成の撮像装置が特許文献1に開示されている。

[0005]

また、撮像装置に演算機能を付加する技術が特許文献2に開示されている。

[0006]

特許文献3は、複数のセンサチップが接合された撮像素子を示している。

[先行技術文献]

[特許文献]

[0007]

[特許文献1] 特開2011-119711号公報

[特許文献2] 特開2016-123087号公報

[特許文献3] 特開2018-117027号公報

発明の概要

発明が解決しようとする課題

[0008]

CMOSイメージセンサなどの固体撮像素子を備える撮像装置では、技術発展により高画質な画像が容易に撮影できるようになっている。次世代においては、撮像装置にさらに知的な機能を搭載することが求められている。

[0009]

画像データの圧縮や画像認識などは、現状では画像データ（アナログデータ）をデジタルデータ

に変換し、撮像装置の外部に取り出した後に処理が行われる。当該処理を撮像装置内で行うことができれば、外部の機器との連携がより高速となり、使用者の利便性が向上する。また、周辺装置などの負荷や消費電力も低減することができる。また、アナログデータの状態で複雑なデータ処理が行えれば、データ変換に要する時間も短縮することができる。

[0010]

したがって、本発明の一態様では、画像処理を行うことができる撮像装置を提供することを目的の一つとする。または、低消費電力の撮像装置を提供することを目的の一つとする。または、信頼性の高い撮像装置を提供することを目的の一つとする。または、新規な撮像装置などを提供することを目的の一つとする。または、上記撮像装置の駆動方法を提供することを目的の一つとする。

[0011]

または、本発明の一態様では、アナログデータの変動を抑えて、データ処理を行うことができる撮像装置を提供することを目的の一つとする。または、消費電力を抑制して、アナログデータの処理を行うことができる撮像装置を提供することを目的の一つとする。または、回路面積が縮小された撮像装置を提供することを目的の一つとする。または、光電変換デバイスの面積を高めた撮像装置を提供することを目的の一つとする。または、画素の集積度を高めた撮像装置を提供することを目的の一つとする。または、コストの低い撮像装置を提供することを目的の一つとする。または、新規な半導体装置などを提供することを目的の一つとする。

[0012]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0013]

本発明の一態様は、画素内にデータを保持しつつ、当該データを演算処理することのできる撮像装置に関する。

[0014]

本発明の一態様は、画素ブロックと、第1の回路と、を有し、画素ブロックは、マトリクス状に配置された複数の画素を有し、画素ブロックと第1の回路は電氣的に接続され、複数の画素のそれぞれは光電変換デバイスと、第1のトランジスタと、第2のトランジスタと、キャパシタと、を有し、光電変換デバイスと第1のトランジスタは、第1の層に形成され、キャパシタは、第2の層に形成され、第2の層は、第1の層に接合され、第1のトランジスタおよび第2のトランジスタはそれぞれ、チャンネル形成領域にシリコンを有し、第1のトランジスタのソースまたはドレインの一方は光電変換デバイスの一方の電極と電氣的に接続され、他方はキャパシタの一方の電極と電氣的に接続され、第2のトランジスタのソースまたはドレインの一方はキャパシタの他方の電極と電氣的に接続され、複数の画素のそれぞれは、第1のデータを生成する機能と、第1のデータを任意の倍率に乗算して第2のデータを生成する機能と、を有し、第1の回路は、複数の画素のそれぞれが生成する第1のデータの和に相当する第3のデータを生成する機能と、複数の画素のそれぞれが生成する第2のデータの和に相当する電位を、容量結合により第3のデータに加算して第4のデータを生成する機能と、を有し、第1のデータおよび第2のデータはアナログ値である撮像装置である。

画素ブロックが有する複数の画素と第1の回路は電氣的に接続される。

[0015]

または、本発明の一態様は、画素ブロックと、第1の回路と、を有し、画素ブロックは、マトリクス状に配置された複数の画素を有し、複数の画素と第1の回路とは電氣的に接続され、複数の画素のそれぞれは光電変換デバイスと、第1のトランジスタと、第2のトランジスタと、キャパシタと、を有し、光電変換デバイスと第1のトランジスタは、第1の層に形成され、キャパシタと、第2のトランジスタは、第2の層に形成され、第2の層は、貼り合わせ工程により第1の層に接合され、第1のトランジスタおよび第2のトランジスタはそれぞれ、チャンネル形成領域にシリコンを有し、第1のトランジスタのソースまたはドレインの一方は光電変換デバイスの一方の電極と電氣的に接続され、他方はキャパシタの一方の電極と電氣的に接続され、第2のトランジスタのソースまたはドレインの一方はキャパシタの他方の電極と電氣的に接続され、複数の画素のそれぞれは、第1のデータを生成する機能と、第1のデータを任意の倍率に乗算して第2のデータを生成する機能と、を有し、第1の回路は、複数の画素のそれぞれが生成する第1のデータの和に相当する第3のデータを生成する機能と、複数の画素のそれぞれが生成する第2のデータの和に相当する電位を、容量結合により第3のデータに加算して第4のデータを生成する機能と、を有し、第1のデータおよび第2のデータはアナログ値である撮像装置である。

[0016]

また、上記構成において、第1の層は、第1のシリコン基板上に形成され、光電変換デバイスが有するn型領域と、第1のトランジスタのソースまたはドレインの一方と、が共有されることが好ましい。

[0017]

また、上記構成において、キャパシタはトレンチキャパシタであることが好ましい。

[0018]

または、本発明の一態様は、上記に記載の撮像装置と、表示装置と、を有する電子機器である。

発明の効果

[0019]

本発明の一態様を用いることで、画像処理を行うことができる撮像装置を提供することができる。また、低消費電力の撮像装置を提供することができる。また、信頼性の高い撮像装置を提供することができる。また、新規な撮像装置などを提供することができる。また、上記撮像装置の駆動方法を提供することができる。

[0020]

また、本発明の一態様を用いることで、アナログデータの変動を抑えて、データ処理を行うことができる撮像装置を提供することができる。また、消費電力を抑制して、アナログデータの処理を行うことができる撮像装置を提供することができる。また、回路面積が縮小された撮像装置を提供することができる。また、光電変換デバイスの面積を高めた撮像装置を提供することができる。また、画素の集積度を高めた撮像装置を提供することができる。また、コストの低い撮像装置を提供することができる。また、新規な半導体装置などを提供することができる。

図面の簡単な説明

[0021]

図1は、撮像装置を説明するブロック図である。

図2は、画素ブロック200および回路201を説明する図である。

図3A、図3Bは、画素100を説明する図である。

図4A、図4Bは、画素ブロック200および回路201の動作を説明するタイミングチャートである。

図5A、図5Bは、回路301および回路302を説明する図である。

図6は、回路302が有する画素を説明する図である。

図7A、図7Bは、ニューラルネットワークの構成例を示す図である。

図8は、回路304を説明する図である。

図9は、回路304の動作を説明するタイミングチャートである。

図10は、回路304の動作を説明するタイミングチャートである。

図11Aは、ローリングシャッタの動作を説明する図である。図11Bは、グローバルシャッタの動作を説明する図である。図11Cは画素の一例である。

図12A乃至Fは、撮像装置の画素の構成を説明する図である。

図13Aは、画素を説明する断面図である。図13Bは、画素を説明する断面図である。

図14は、画素を説明する断面図である。

図15は、画素を説明する断面図である。

図16Aは、画素を説明する断面図である。図16Bは、画素を説明する断面図である。

図17Aは、画素を説明する断面図である。図17Bは、画素を説明する断面図である。

図18A乃至Cは、Siトランジスタを説明する図である。

図19A乃至Fは、撮像装置を収めたパッケージ、モジュールの斜視図である。

図20A乃至Fは、電子機器を説明する図である。

発明を実施するための形態

[0022]

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略することがある。なお、図を構成する同じ要素のハッチングを異なる図面間で適宜省略または変更する場合もある。

[0023]

また、回路図上では単一の要素として図示されている場合であっても、機能的に不都合がなければ、当該要素が複数で構成されてもよい。例えば、スイッチとして動作するトランジスタは、複数直列または並列に接続されてもよい場合がある。また、キャパシタを分割して複数の位置に配置する場合もある。

[0024]

また、一つの導電体が、配線、電極および端子のような複数の機能を併せ持っている場合があり、本明細書においては、同一の要素に対して複数の呼称を用いる場合がある。また、回路図上で要素間が直接接続されているように図示されている場合であっても、実際には当該要素間が複数の導電体を介して接続されている場合があり、本明細書ではこのような構成でも直接接続の範疇に含める。

[0025]

(実施の形態1)

本実施の形態では、本発明の一態様である撮像装置について、図面を参照して説明する。

[0026]

本発明の一態様は、画像認識などの付加機能を備えた撮像装置である。当該撮像装置は、撮像動作で取得したアナログデータ（画像データ）を画素に保持し、当該アナログデータと任意の重み係数とを乗じたデータを取り出すことができる。

[0027]

当該データをニューラルネットワークなどに取り込むことで、画像認識などの処理を行うことができる。膨大な画像データをアナログデータの状態で画素に保持することができるため、効率良く処理を行うことができる。

[0028]

図1は、本発明の一態様の撮像装置を説明するブロック図である。撮像装置は、画素アレイ300と、回路201と、回路301と、回路302と、回路303と、回路304と、回路305と、を有する。なお、回路201および回路301乃至回路305は、単一の回路構成に限らず、複数の回路で構成される場合がある。または、上記いずれか複数の回路が統合されていてもよい。画素アレイ300は、撮像機能および演算機能を有する。回路201、301は、演算機能を有する。回路302は、演算機能またはデータ変換機能を有する。回路303、304は、選択機能を有する。回路305は、画素に電位を供給する機能を有する。

[0029]

画素アレイ300は、複数の画素ブロック200を有する。画素ブロック200は、図2に示すように、マトリクス状に配置された複数の画素100を有し、それぞれの画素100は、回路201と電氣的に接続される。なお、回路201は画素ブロック200内に設けることもできる。

[0030]

画素100では画像データを取得することができる。なお、図2においては、一例として画素数を2×2としているが、これに限らない。

[0031]

画素ブロック200は、積和演算回路として動作する。また、画素ブロック200と電氣的に接続する回路201は、画素100から画像データと重み係数との積を抽出する機能を有する。また、回路201は、相関二重サンプリング回路（CDS回路）としての機能も有する。

[0032]

画素100は、図3Aに示すように、光電変換デバイス101と、トランジスタ102と、トランジスタ103と、キャパシタ104と、トランジスタ105と、トランジスタ106と、トランジスタ108と、キャパシタ150と、を有することができる。

[0033]

光電変換デバイス101の一方の電極は、トランジスタ102のソースまたはドレインの一方と電氣的に接続される。トランジスタ102のソースまたはドレインの他方は、トランジスタ103のソースまたはドレインの一方と電氣的に接続される。トランジスタ103のソースまたはドレインの一方は、キャパシタ104の一方の電極と電氣的に接続される。キャパシタ104の一方の電極は、トランジスタ105のゲートと電氣的に接続される。トランジスタ105のソースまたはド

レインの一方は、トランジスタ 108 のソースまたはドレインの一方と電氣的に接続される。キャパシタ 104 の他方の電極は、トランジスタ 106 のソースまたはドレインの一方と電氣的に接続される。

[0034]

キャパシタ 150 の一方の電極は、トランジスタ 105 のゲートと電氣的に接続される。キャパシタ 150 の他方の電極は、接地電位と電氣的に接続される。また、キャパシタ 150 の他方の電極は例えば、シリコン基板の基板電位に電氣的に接続されてもよい。図 3 A において、トランジスタ 105 のソースまたはドレインの他方はキャパシタ 150 の他方の電極に電氣的に接続される例を示すが、それぞれが異なる電位の配線等に接続されてもよい。また、図 3 A において、トランジスタ 105 のソースまたはドレインの他方は接地電位に電氣的に接続される例を示すが、トランジスタ 105 のソースまたはドレインの他方に信号線等が電氣的に接続されてもよい。

[0035]

ここで、トランジスタ 102 のソースまたはドレインの他方と、トランジスタ 103 のソースまたはドレインの一方と、キャパシタ 104 の一方の電極と、トランジスタ 105 のゲートとの電氣的な接続点をノード N とする。

[0036]

キャパシタ 104 およびキャパシタ 150 の容量を大きくすることにより、ノード N における電位変動を抑制することができる。なお、画素 100 はキャパシタ 104 およびキャパシタ 150 のいずれかを有さない構成としてもよい。

[0037]

キャパシタ 104 およびキャパシタ 150 の一方、あるいは両方の容量を大きくすることにより例えば、ノード N に蓄積される電荷量を大きくすることができ、リークによる電位変動を抑制することができる。また、容量を大きくすることにより例えば、配線 111 へ与える信号の電圧を低くすることができる。よって、回路 305 の消費電力を低減できる場合がある。

[0038]

光電変換デバイス 101 の他方の電極は、配線 114 と電氣的に接続される。トランジスタ 102 のゲートは、配線 116 と電氣的に接続される。トランジスタ 103 のソースまたはドレインの他方は、配線 115 に電氣的に接続される。トランジスタ 103 のゲートは、配線 117 と電氣的に接続される。トランジスタ 105 のソースまたはドレインの他方は、GND 配線などと電氣的に接続される。トランジスタ 108 のソースまたはドレインの他方は、配線 113 と電氣的に接続される。トランジスタ 106 のソースまたはドレインの他方は、配線 111 と電氣的に接続される。トランジスタ 106 のゲートは、配線 112 と電氣的に接続される。トランジスタ 108 のゲートは、配線 122 と電氣的に接続される。

[0039]

配線 114、115 は、電源線としての機能を有することができる。例えば、配線 114 は高電位電源線、配線 115 は低電位電源線として機能させることができる。配線 112、116、117、122 は、各トランジスタの導通を制御する信号線として機能させることができる。配線 111 は、画素 100 に重み係数に相当する電位を供給する配線として機能させることができる。配線 113 は、画素 100 と回路 201 とを電氣的に接続する配線として機能させることができる。

[0040]

回路303は、配線112に信号を与える機能を有する。回路304は、配線122に信号を与える機能を有する。回路305は、配線111に信号を与える機能を有する。

[0041]

なお、配線113には、増幅回路やゲイン調整回路が電氣的に接続されていてもよい。

[0042]

光電変換デバイス101としては、フォトダイオードを用いることができる。低照度時の光検出感度を高めたい場合は、アバランシェフォトダイオードを用いることが好ましい。

[0043]

トランジスタ102は、ノードNの電位を制御する機能を有することができる。トランジスタ103は、ノードNの電位を初期化する機能を有することができる。トランジスタ105は、ノードNの電位に応じて回路201が流す電流を制御する機能を有することができる。トランジスタ108は、画素を選択する機能を有することができる。トランジスタ106は、ノードNに重み係数に相当する電位を供給する機能を有することができる。

[0044]

なお、トランジスタ105およびトランジスタ108は、図3Bに示すように、トランジスタ105のソースまたはドレインの一方とトランジスタ108のソースまたはドレインの一方を電氣的に接続し、トランジスタ105のソースまたはドレインの他方を配線113に接続し、トランジスタ108のソースまたはドレインの他方をGND配線などと電氣的に接続する構成としてもよい。

[0045]

本発明の一態様の撮像装置では、キャパシタ104の容量値を大きくすることにより、ノードNで電荷を保持できる期間を極めて長くすることができる。そのため、回路構成や動作方法を複雑にすることなく、全画素で同時に電荷の蓄積動作を行うグローバルシャッタ方式を適用することができる。また、ノードNに画像データを保持させつつ、当該画像データを用いた複数回の演算を行うこともできる。

[0046]

また例えば、第1の時刻において所望の画素におけるノードNに画像データを保持し、第1の時刻から所望の時間が経過した第2の時刻において、ノードNに保持された画像データ（以下、第1のデータ）の読み出しを行い、所望の画素において露光を行い、露光に応じたデータ（以下、第2のデータ）をノードNに蓄積し、第1のデータと第2のデータの比較を行うことができる。

[0047]

画素100に用いるトランジスタとして、様々なトランジスタを用いることができる。本発明の一態様のトランジスタは例えば、チャネル形成領域にシリコンを有することが好ましい。また、トランジスタはチャネル形成領域にシリコンに加えてゲルマニウムを有してもよい。

[0048]

画素100に用いるトランジスタとして例えば、シリコンをチャネル形成領域に用いたトランジスタ（以下、Siトランジスタ）を用いることができる。Siトランジスタとしては、アモルファスシリコンを有するトランジスタ、結晶性のシリコン（微結晶シリコン、低温ポリシリコン、単結晶シリコン）を有するトランジスタなどが挙げられる。

[0049]

トランジスタ105は、増幅特性が優れていることが望まれる。また、トランジスタ106、1

08は頻繁にオンオフが繰り返されることがあるため、高速動作が可能な移動度が高いトランジスタであることが好ましい。したがって、特にトランジスタ105、106、108には、Siトランジスタを適用することが好ましい。

[0050]

なお、本発明の一態様の撮像装置に用いるトランジスタとして、チャネル形成領域に金属酸化物を有し、金属酸化物は、Inと、Znと、M（MはAl、Ti、Ga、Ge、Sn、Y、Zr、La、Ce、NdまたはHf）と、を有するトランジスタ（以下、OSトランジスタ）を用いてもよい。OSトランジスタは例えば、基板上に設けられる絶縁層上に形成されることが好ましい。またOSトランジスタは例えば、Siトランジスタと積層して設けることができる。OSトランジスタのゲート、ソース領域およびドレイン領域は例えば、シリコン基板上に設けられるトランジスタ、キャパシタ、等と絶縁層を隔てて設けられ、該絶縁層内に設けられる導電層を介して電氣的に接続される。

[0051]

画素100におけるノードNの電位は、配線115から供給されるリセット電位および光電変換デバイス101による光電変換で生成される電位（画像データ）が加算された電位と、配線111から供給される重み係数に相当する電位との容量結合で確定される。すなわち、トランジスタ105には、画像データと任意の重み係数との積が含まれたデータに応じた電流が流れる。

[0052]

図2に示すように、各画素100は、配線113で互いに電氣的に接続される。回路201は、各画素100のトランジスタ105に流れる電流の和を用いて演算を行うことができる。

[0053]

回路201は、キャパシタ202と、トランジスタ203と、トランジスタ204と、トランジスタ205と、トランジスタ206と、抵抗207を有する。

[0054]

キャパシタ202の一方の電極は、トランジスタ203のソースまたはドレインの一方と電氣的に接続される。トランジスタ203のソースまたはドレインの一方は、トランジスタ204のゲートと電氣的に接続される。トランジスタ204のソースまたはドレインの一方は、トランジスタ205のソースまたはドレインの一方と電氣的に接続される。トランジスタ205のソースまたはドレインの一方は、トランジスタ206のソースまたはドレインの一方と電氣的に接続される。抵抗207の一方の電極は、キャパシタ202の他方の電極と電氣的に接続される。

[0055]

キャパシタ202の他方の電極は、配線113と電氣的に接続される。トランジスタ203のソースまたはドレインの他方は、配線218と電氣的に接続される。トランジスタ204のソースまたはドレインの他方は、配線219と電氣的に接続される。トランジスタ205のソースまたはドレインの他方は、GND配線などの基準電源線と電氣的に接続される。トランジスタ206のソースまたはドレインの他方は、配線212と電氣的に接続される。抵抗207の他方の電極は、配線217と電氣的に接続される。トランジスタ203のゲートは、配線216と電氣的に接続される。トランジスタ205のゲートは、配線215と電氣的に接続される。トランジスタ206のゲートは、配線213と電氣的に接続される。

[0056]

配線 217、218、219 は、電源線としての機能を有することができる。例えば、配線 218 は、読み出し用の専用電位を供給する配線としての機能を有することができる。配線 217、219 は、高電位電源線として機能させることができる。配線 213、215、216 は、各トランジスタの導通を制御する信号線として機能させることができる。配線 212 は出力線であり、例えば、図 1 に示す回路 301 と電氣的に接続することができる。

[0057]

トランジスタ 203 は、配線 211 の電位を配線 218 の電位にリセットする機能を有することができる。トランジスタ 204、205 は、ソースフォロア回路としての機能を有することができる。トランジスタ 206 は、読み出しを制御する機能を有することができる。

[0058]

本発明の一態様では、画像データ（電位 X）と重み係数（電位 W）との積以外のオフセット成分を除去し、目的のデータである WX を抽出する。WX は、同じ画素に対して、撮像あり、なしのデータと、そのそれぞれに対して、重みを加えたときのデータを利用して算出することができる。

[0059]

撮像ありのときに画素 100 に流れる電流（ I_p ）の合計は $k \sum (X - V_{th})^2$ 、重みを加えたときに画素 100 に流れる電流（ I_p ）の合計は $k \sum (W + X - V_{th})^2$ となる。また、撮像なしのときに画素 100 に流れる電流（ I_{ref} ）の合計は $k \sum (0 - V_{th})^2$ 、重みを加えたときに画素 100 に流れる電流（ I_{ref} ）の合計は $k \sum (W - V_{th})^2$ となる。ここで、 k は定数、 V_{th} はトランジスタ 105 のしきい値電圧である。

[0060]

まず、撮像ありのデータと、当該データに重みを加えたデータとの差分（データ A）を算出する。 $k \sum ((X - V_{th})^2 - (W + X - V_{th})^2) = k \sum (-W^2 - 2W \cdot X + 2W \cdot V_{th})$ となる。

[0061]

次に、撮像なしのデータと、当該データに重みを加えたデータとの差分（データ B）を算出する。 $k \sum ((0 - V_{th})^2 - (W - V_{th})^2) = k \sum (-W^2 + 2W \cdot V_{th})$ となる。

[0062]

そして、データ A とデータ B との差分をとる。 $k \sum (-W^2 - 2W \cdot X + 2W \cdot V_{th} - (-W^2 + 2W \cdot V_{th})) = k \sum (-2W \cdot X)$ となる。すなわち、画像データ（X）と重み係数（W）との積以外のオフセット成分を除去することができる。

[0063]

回路 201 では、データ A およびデータ B を読み出すことができる。なお、データ A とデータ B との差分演算は回路 301 で行うことができる。

[0064]

図 4A は、画素ブロック 200 および回路 201 において、撮像ありのデータと、当該データに重みを加えたデータとの差分（データ A）を算出する動作を説明するタイミングチャートである。なお、便宜的に各信号が変換するタイミングをあわせて図示しているが、実際には回路内部の遅延を考慮してずらすことが好ましい。

[0065]

まず、期間 T1 に配線 117 の電位を“H”、配線 116 の電位を“H”とし、画素 100 のノード N をリセット電位とする。また、配線 111 の電位を“L”、配線 112__1 および 112__

2（1および2行目の配線112）を“H”とし、重み係数0を書き込む。

[0066]

期間T2まで配線116の電位を“H”に維持し、配線117の電位を“L”とすることで光電変換デバイス101の光電変換によりノードNに電位X（画像データ）を書き込む。

[0067]

期間T3に配線122__1、122__2の電位を“H”として画素ブロック内のすべての画素100を選択する。このとき、各画素100のトランジスタ105には、電位Xに応じた電流が流れる。また、配線216を“H”とすることで、配線211に配線218の電位 V_r を書き込む。期間T1乃至T3の動作は撮像ありのデータの取得に相当し、当該データは、配線211の電位 V_r として表される。

[0068]

期間T4において、配線111の電位を重み係数 W_{111} （1行目の画素に加える重み）に相当する電位とし、配線112__1の電位を“H”とすることで、1行目の画素100のノードNにキャパシタ104の容量結合で重み係数 W_{111} を加算する。

[0069]

期間T5において、配線111の電位を重み係数 W_{112} （2行目の画素に加える重み）に相当する電位とし、配線112__2の電位を“H”とすることで、2行目の画素100のノードNにキャパシタ104の容量結合で重み係数 W_{112} を加算する。期間T4およびT5の動作は、撮像ありのデータに重みを加えたデータの生成に相当する。

[0070]

期間T6に配線122__1、122__2の電位を“H”として画素ブロック内のすべての画素100を選択する。このとき、1行目の画素100のトランジスタ105には、電位 $W_{111} + X$ に応じた電流が流れる。また、2行目の画素100のトランジスタ105には、電位 $W_{112} + X$ に応じた電流が流れる。ここで、配線113に流れる電流に従ってキャパシタ202の他方の電極の電位が変化し、その変化分Yが容量結合によって配線211の電位 V_r に加算される。したがって、配線211の電位は、“ $V_r + Y$ ”になる。ここで、 $V_r = 0$ と考えると、Yは差分そのものであり、データAが算出されたことになる。

[0071]

また、配線213、配線215を“H”とすることで、回路201はソースフォロア動作により1行目の画素ブロック200のデータAに応じた信号電位を出力することができる。

[0072]

図4Bは、画素ブロック200および回路201において、撮像なしのデータと、当該データに重みを加えたデータとの差分（データB）を算出する動作を説明するタイミングチャートである。なお、ここでは、画素ブロック200からデータBを連続して取得する動作を説明するが、データBの取得は、図4に示したデータAの取得と交互に行ってもよい。また、データBを先に取得したのちにデータAを取得してもよい。

[0073]

まず、期間T1乃至T2に配線117の電位を“H”、配線116の電位を“H”とし、画素100のノードNをリセット電位（0）とする。期間T2の終わりには、配線117の電位を“L”、配線116の電位を“L”とする。すなわち、当該期間中において、ノードNの電位は、光電変換

デバイス 101 の動作にかかわらずリセット電位である。

[0074]

また、期間 T1 では、配線 111 の電位を “L”、配線 112__1、112__2 を “H” とし、重み係数 0 を書き込む。当該動作は、ノード N の電位がリセット電位である期間中に行えばよい。

[0075]

期間 T3 に配線 122__1、122__2 の電位を “H” として画素ブロック内のすべての画素 100 を選択する。このとき、各画素 100 のトランジスタ 105 には、リセット電位に応じた電流が流れる。また、配線 216 を “H” とすることで、配線 211 に配線 218 の電位 V_r を書き込む。期間 T1 乃至 T3 の動作は撮像なしのデータの取得に相当し、当該データは、配線 211 の電位 V_r として表される。

[0076]

期間 T4 において、配線 111 の電位を重み係数 W_{111} （1 行目の画素に加える重み）に相当する電位とし、配線 112__1 の電位を “H” とすることで、1 行目の画素 100 のノード N にキャパシタ 104 の容量結合で重み係数 W_{111} を加算する。

[0077]

期間 T5 において、配線 111 の電位を重み係数 W_{112} （2 行目の画素に加える重み）に相当する電位とし、配線 112__2 の電位を “H” とすることで、2 行目の画素 100 のノード N にキャパシタ 104 の容量結合で重み係数 W_{112} を加算する。期間 T4 および T5 の動作は、撮像なしのデータに重みを加えたデータの生成に相当する。

[0078]

期間 T6 に配線 122__1、122__2 の電位を “H” として画素ブロック内のすべての画素 100 を選択する。このとき、1 行目の画素 100 のトランジスタ 105 には、電位 $W_{111} + 0$ に応じた電流が流れる。また、1 行目の画素 100 のトランジスタ 105 には、電位 $W_{112} + 0$ に応じた電流が流れる。ここで、配線 113 に流れる電流に従ってキャパシタ 202 の他方の電極の電位が変化し、その変化分 Y が配線 211 の電位 V_r に加算される。したがって、配線 211 の電位は、“ $V_r + Y$ ” になる。ここで、 $V_r = 0$ と考えると、 Y は差分そのものであり、データ B が算出されたことになる。

[0079]

また、配線 213、配線 215 を “H” とすることで、回路 201 はソースフォロア動作により 1 行目の画素ブロック 200 のデータ B に応じた信号電位を出力することができる。

[0080]

上記動作によって回路 201 から出力されるデータ A およびデータ B は、回路 301 に入力される。回路 301 では、データ A とデータ B の差分をとる演算が行われ、画像データ（電位 X ）と重み係数（電位 W ）との積以外の不要なオフセット成分を除去することができる。回路 301 としては、回路 201 のような演算回路を有する構成のほか、メモリ回路およびソフトウェア処理を利用して差分をとる構成としてもよい。

[0081] また、回路 301 がアナログデジタル変換回路を有する構成としてもよい。例えば、回路 301 に与えられるデータ、ここでは例えばデータ A およびデータ B をデジタル値に変換し、メモリ回路に格納し、演算を行ってもよい。

[0082]

なお、画像データ（電位X）と重み係数（電位W）との積の演算を行わない場合には、撮像装置において、図4Aおよび図4Bにおける期間T4および期間T5の動作を行わなくてもよい。例えば、配線111を“L”のままとすればよい。

[0083]

図5Aは、回路201と接続する回路301および回路302を説明する図である。回路201から出力される積和演算結果のデータは、回路301に順次入力される。回路301は、前述したデータAとデータBとの差分を演算する機能のほかに、様々な演算機能を有していてもよい。例えば、回路301は、回路201と同等の構成とすることができる。または、回路301の機能をソフトウェア処理で代替してもよい。

[0084]

また、回路301は活性化関数の演算を行う回路を有していてもよい。当該回路には、例えばコンパレータ回路を用いることができる。コンパレータ回路では、入力されたデータと、設定されたしきい値とを比較した結果を2値データとして出力する。すなわち、画素ブロック200、回路201および回路301はニューラルネットワークの一部の要素として作用することができる。

[0085]

また、画素ブロック200が出力するデータは複数ビットの画像データに相当するが、回路301で2値化できる場合は、画像データを圧縮しているともいえる。

[0086]

回路301から出力されたデータは、回路302に順次入力される。回路302は、例えばラッチ回路およびシフトレジスタなどを有する構成とすることができる。当該構成によって、パラレルシリアル変換を行うことができ、並行して入力されたデータを配線311にシリアルデータとして出力することができる。配線311の接続先は限定されない。例えば、ニューラルネットワーク、記憶装置、通信装置などと接続することができる。

[0087]

また、図5Bに示すように、回路302はニューラルネットワークを有していてもよい。当該ニューラルネットワークは、マトリクス状に配置されたメモリセルを有し、各メモリセルには重み係数が保持されている。回路301から出力されたデータはメモリセル320にそれぞれ入力され、積和演算を行うことができる。なお、図5Bに示すメモリセルの数は一例であり、限定されない。

[0088]

図5Bに示すニューラルネットワークは、マトリクス状に設置されたメモリセル320および参照メモリセル325と、回路330と、回路350と、回路360と、回路370を有する。

[0089]

図6にメモリセル320および参照メモリセル325の一例を示す。参照メモリセル325は、任意の一行に設けられる。メモリセル320および参照メモリセル325は同様の構成を有し、トランジスタ161と、トランジスタ162と、キャパシタ163と、を有する。

[0090]

トランジスタ161のソースまたはドレインの一方は、トランジスタ162のゲートと電気的に接続される。トランジスタ162のゲートは、キャパシタ163の一方の電極と電気的に接続される。ここで、トランジスタ161のソースまたはドレインの一方、トランジスタ162のゲート、キャパシタ163の一方の電極が接続される点をノードNMとする。

[0091]

トランジスタ161のゲートは、配線WLと電氣的に接続される。キャパシタ163の他方の電極は、配線RWと電氣的に接続される。トランジスタ162のソースまたはドレインの一方は、GND配線等の基準電位配線と電氣的に接続される。

[0092]

メモリセル320において、トランジスタ161のソースまたはドレインの他方は、配線WDと電氣的に接続される。トランジスタ162のソースまたはドレインの他方は、配線BLと電氣的に接続される。

[0093]

参照メモリセル325において、トランジスタ161のソースまたはドレインの他方は、配線WDrefと電氣的に接続される。トランジスタ162のソースまたはドレインの他方は、配線BLrefと電氣的に接続される。

[0094]

配線WLは、回路330と電氣的に接続される。回路330にはデコーダまたはシフトレジスタなどを用いることができる。

[0095]

配線RWは、回路301と電氣的に接続される。各メモリセルには、回路301から出力された2値のデータが書き込まれる。

[0096]

配線WDおよび配線WDrefは、回路350と電氣的に接続される。回路350には、デコーダまたはシフトレジスタなどを用いることができる。また、回路350は、D/AコンバータやSRAMを有していてもよい。回路350は、ノードNMに書き込まれる重み係数を出力することができる。

[0097]

配線BLおよび配線BLrefは、回路360および回路370と電氣的に接続される。回路360は電流源回路であり、回路370は、回路201と同等の構成とすることができる。回路360および回路370により、積和演算結果からオフセット成分を除いた信号を得ることができる。

[0098]

回路360は、回路370と電氣的に接続される。回路370は、活性化関数回路とも換言できる。活性化関数回路は、回路360から入力された信号を、あらかじめ定義された活性化関数に従って変換するための演算を行う機能を有する。活性化関数としては、例えば、シグモイド関数、tanh関数、softmax関数、ReLU関数、しきい値関数などを用いることができる。活性化関数回路によって変換された信号は、出力データとして外部に出力される。

[0099]

図7Aに示すように、ニューラルネットワークNNは、入力層IL、出力層OL、中間層（隠れ層）HLによって構成することができる。入力層IL、出力層OL、中間層HLは、それぞれ1または複数のニューロン（ユニット）を有する。なお、中間層HLは1層であつてもよいし2層以上であつてもよい。2層以上の中間層HLを有するニューラルネットワークはDNN（ディープニューラルネットワーク）と呼ぶこともできる。また、ディープニューラルネットワークを用いた学習は、深層学習と呼ぶこともできる。

[0100]

入力層 I L の各ニューロンには、入力データが入力される。中間層 H L の各ニューロンには、前層または後層のニューロンの出力信号が入力される。出力層 O L の各ニューロンには、前層のニューロンの出力信号が入力される。なお、各ニューロンは、前後の層の全てのニューロンと結合されていてよいし（全結合）、一部のニューロンと結合されていてよい。

[0101]

図 7 B に、ニューロンによる演算の例を示す。ここでは、ニューロン N e と、ニューロン N e に信号を出力する前層の 2 つのニューロンを示している。ニューロン N e には、前層のニューロンの出力 x_1 と、前層のニューロンの出力 x_2 が入力される。そして、ニューロン N e において、出力 x_1 と重み w_1 の乗算結果 ($x_1 w_1$) と出力 x_2 と重み w_2 の乗算結果 ($x_2 w_2$) の総和 $x_1 w_1 + x_2 w_2$ が計算された後、必要に応じてバイアス b が加算され、値 $a = x_1 w_1 + x_2 w_2 + b$ が得られる。そして、値 a は活性化関数 h によって変換され、ニューロン N e から出力信号 $y = h(a + b)$ が出力される。

[0102]

このように、ニューロンによる演算には、前層のニューロンの出力と重みの積を足し合わせる演算、すなわち積和演算が含まれる（上記の $x_1 w_1 + x_2 w_2$ ）。この積和演算は、プログラムを用いてソフトウェア上で行ってもよいし、ハードウェアによって行われてもよい。

[0103]

本発明の一態様では、ハードウェアとしてアナログ回路を用いて積和演算を行う。積和演算回路にアナログ回路を用いる場合、積和演算回路の回路規模の縮小、または、メモリへのアクセス回数の減少による処理速度の向上および消費電力の低減を図ることができる。

[0104]

図 8 は、回路 304 に用いることのできる回路の一例である。当該回路はシフトレジスタ回路であり、複数の論理回路 (SR) が電氣的に接続されている。それぞれの論理回路 (SR) には、配線 RES、配線 VSS_RDRS、配線 RPWC_SE [0 : 3]、配線 RCLK [0 : 3]、配線 RSP などの信号線が接続され、それぞれの信号線に適切な信号電位を入力することで、当該論理回路 (SR) から選択信号電位の出力を順次行うことができる。

[0105]

また、論理回路 (SR) には、回路 170 が電氣的に接続されている。回路 170 には複数のトランジスタが設けられ、配線 SE_SW [0 : 2]、配線 SX [0 : 2] などの信号線が接続され、それぞれの信号線に適切な信号電位を入力することでトランジスタの導通が制御される。回路 170 の制御により、選択する画素の行数を切り替えることができる。

[0106]

一つの論理回路 (SR) の出力端子には、一つのトランジスタのソースまたはドレインの一方が電氣的に接続され、当該トランジスタのソースまたはドレインの他方には配線 SE が接続される。配線 SE は、画素 100 を選択する配線 122 と電氣的に接続される。

[0107]

配線 SE [0] に接続されるトランジスタのゲートには、配線 SE_SW [0] から供給される信号電位を入力することができる。配線 SE [1] に接続されるトランジスタのゲートには、配線 SE_SW [1] から供給される信号電位を入力することができる。配線 SE [2] に接続される

トランジスタのゲートには、配線SE__SW [2] から供給される信号電位を入力することができる。配線SE [3] 以降に接続されるトランジスタのゲートには、同様の順で配線SE__SW [0 : 2] のいずれかから供給される信号電位を入力することができる。

[0108]

また、隣接する配線SE間には、一つのトランジスタを介して電氣的に接続され、配線SE [0] は、一つのトランジスタを介して電源線(VSS)と電氣的に接続される。

[0109]

電源線(VSS)と配線SE [0] とを電氣的に接続するトランジスタのゲートには、配線SX [0] から供給される信号電位を入力することができる。配線SE [0] と配線SE [1] とを電氣的に接続するトランジスタのゲートには、配線SX [1] から供給される信号電位を入力することができる。配線SE [1] と配線SE [2] とを電氣的に接続するトランジスタのゲートには、配線SX [2] から供給される信号電位を入力することができる。それ以降の配線SE間を電氣的に接続するトランジスタのゲートには、同様の順で配線SE__SX [0 : 2] から供給される信号電位のいずれかを入力することができる。

[0110]

図9は、図8に示す回路により、複数の行(3行)を同時選択する動作を説明するタイミングチャートである。(0)乃至(161)は、論理回路(SR)が配線SEに信号電位を出力するタイミングに相当する。

[0111]

タイミング(0)において、配線SX [0] の電位が“L”、配線SX [1] の電位が“H”、配線SX [2] の電位が“H”、配線SE__SW [0] の電位が“H”、配線SE__SW [1] の電位が“L”、配線SE__SW [2] の電位が“L”になると、各トランジスタの導通が制御され、配線SE [0] に“H”、配線SE [1] に“H”、配線SE [2] に“H”が出力される。その他の配線SEには“L”が出力される。

[0112]

したがって、3行を同時選択することができ、例えば3行3列の画素の積和演算を行うことができる。

[0113]

タイミング(1)において、配線SX [0] の電位が“H”、配線SX [1] の電位が“L”、配線SX [2] の電位が“H”、配線SE__SW [0] の電位が“L”、配線SE__SW [1] の電位が“H”、配線SE__SW [2] の電位が“L”になると、各トランジスタの導通が制御され、配線SE [0] に“L”、配線SE [1] に“H”、配線SE [2] に“H”、配線SE [3] に“H”が出力される。その他の配線SEには“L”が出力される。

[0114]

つまり、タイミング(1)では、タイミング(0)から1行分ずらしたストライド1の積和演算が可能となる。

[0115]

図10は、図8に示す回路により、1つの行を選択する動作を説明するタイミングチャートである。

[0116]

当該タイミングチャートに従った動作では、配線SE—SW[0:2]の電位が常時“H”であり、配線SX[0:2]の電位が常時“L”である。したがって、論理回路(SR)の出力がそのまま各配線SEに現れることから、1行毎の選択が可能となる。

[0117]

本発明の一態様の撮像装置に用いることができる撮像方式の一例として、ローリングシャッタ方式と、グローバルシャッタ方式について説明する。

[0118]

図11Aはローリングシャッタ方式の動作方法を模式化した図であり、図11Bはグローバルシャッタ方式を模式化した図である。Enはn列目(nは自然数)の露光(蓄積動作)、Rnはn列目の読み出し動作を表している。図11A、図11Bでは、1行目からM行目(Mは自然数)までの動作を示している。

[0119]

ローリングシャッタ方式は、露光とデータの読み出しを順次行う動作方法であり、ある行の読み出し期間と他の行の露光期間を重ねる方式である。露光後すぐに読み出し動作を行うため、データの保持期間が比較的短い回路構成であっても撮像を行うことができる。撮像の同時性がないデータで1フレームの画像が構成されるため、動体の撮像においては画像に歪が生じやすい。

[0120]

グローバルシャッタ方式は、全画素で同時に露光を行って各画素にデータを保持し、行毎にデータを読み出す動作方法である。したがって、動体の撮像であっても歪のない画像を得ることができる。

[0121]

本発明の一態様の撮像装置は、図3Aおよび図3Bに示すキャパシタ104等のキャパシタの容量値を大きくすることにより、露光により画素に蓄積されるデータ電位の変動を極めて小さくすることができる。データの保持時間を長くすることができるため、容易にグローバルシャッタ方式を実現することができる。なお、本発明の一態様の撮像装置をローリングシャッタ方式で動作させることもできる。

[0122]

また、図11Aおよび図11Bにおいて、Line[m](mは1以上M以下の自然数)が画素100のm行目、Enが画素100のn列目の露光、Rnが画素100のn列目の読み出し動作をそれぞれ指してもよいし、Line[m](mは1以上M以下の自然数)が画素ブロック200のm行目、Enが画素ブロック200のn列目の露光、Rnが画素ブロック200のn列目の読み出し動作をそれぞれ指してもよい。

[0123]

本発明の一態様の撮像装置は、図11Cに示す画素を有してもよい。

[0124]

図11Cに示す画素は、光電変換デバイス101と、トランジスタ102と、トランジスタ103と、キャパシタ171と、キャパシタ150と、トランジスタ105と、トランジスタ108と、トランジスタ172と、を有する。光電変換デバイス101からの信号は、トランジスタ102のソースまたはドレインの一方に与えられ、トランジスタ102のソースまたはドレインの他方は、トランジスタ103のソースまたはドレインの一方と、ノードN2と、に電氣的に接続され、トラ

ンジスタ103のソースまたはドレインの他方は配線115に電氣的に接続され、ノードN2はキャパシタ171の一方の電極に電氣的に接続され、キャパシタ171の他方の電極は、ノードNに電氣的に接続される。トランジスタ102のゲートは、配線116と電氣的に接続され、トランジスタ103のゲートは、配線117と電氣的に接続され、トランジスタ105のゲートは、ノードNと電氣的に接続され、トランジスタ108のゲートは、配線122と電氣的に接続され、トランジスタ172のゲートは、配線173と電氣的に接続される。

[0125]

図11Cにおいて、ノードNは、キャパシタ150の一方の電極と、トランジスタ105のゲートと、トランジスタ172のソースまたはドレインの一方に電氣的に接続される。

[0126]

第1の時刻において、トランジスタ102をオン状態とする信号を配線116からトランジスタ102のゲートに与え、光電変換デバイス101からの信号をノードN2に与える。ノードN2の電位は、与えられる信号に応じて変化し、電位V1 [V] になる。また、トランジスタ172をオン状態とする信号を配線173からトランジスタ172のゲートに与え、ノードNに基準電位を与える。ここでは基準電位として0 [V] を与える。

[0127]

第2の時刻において、トランジスタ102をオフ状態とする信号を配線116からトランジスタ102のゲートに与え、トランジスタ172をオフ状態とする信号を配線173からトランジスタ172のゲートに与え、トランジスタ103をオン状態とする信号を配線117からトランジスタ103のゲートに与え、ノードN2に基準電位を与える。ここでは基準電位としてVDD [V] を与え、ノードN2の電位が電位V1 [V] からVDD [V] に上昇する。ノードN2の電位の変化に応じて、容量結合によりノードNの電位も0 [V] からVDD-V1 [V] に上昇する。

[0128]

第3の時刻において、トランジスタ103をオフ状態とする信号を配線117からトランジスタ103のゲートに与え、トランジスタ172をオフ状態とする信号を配線173からトランジスタ172のゲートに与え、トランジスタ102をオン状態とする信号を配線116からトランジスタ102のゲートに与え、光電変換デバイス101からの信号をノードN2に与える。ノードN2の電位は電位V2 [V] になる。容量結合により、ノードNの電位は(V2-V1) [V] に下降する。すなわちノードNには、第1の時刻における光電変換デバイス101からの信号と、第3の時刻における光電変換デバイス101からの信号の差分が与えられる。

[0129]

よって図11Cに示す画素において、2つの時刻における信号の差分を演算し、出力することができる。第1の時刻において撮像される画像を基準画像とし、第3の時刻において撮像される画像を比較画像とし、2つの画像の比較を行うことによりモーション検出を行うことができる。

[0130]

本実施の形態は、他の実施の形態または実施例の記載と適宜組み合わせることができる。

[0131]

(実施の形態2)

本実施の形態では、本発明の一態様の撮像装置の構造例などについて説明する。

[0132]

図12A、図12Bに、撮像装置が有する画素の構造を例示する。図12Aに示す画素は、層502および層503の積層構造である例である。

[0133]

層502は、画素100と、光電変換デバイス101を有する。また、層503は、光学変換層およびマイクロレンズアレイを有する。

[0134]

光電変換デバイス101は、図12Cに示すように層565aと、層565bとの積層とすることができる。

[0135]

図12Cに示す光電変換デバイス101はpn接合型フォトダイオードであり、例えば、層565aにp型半導体、層565bにn型半導体を用いることができる。または、層565aにn型半導体、層565bにp型半導体を用いてもよい。

[0136]

また、光電変換デバイス101は、図12Dに示すように層565aと、層565bと、層565cとの積層とすることができる。

[0137]

図12Dに示す光電変換デバイス101はpn接合型フォトダイオードであり、例えば、層565aにp型半導体、層565bにn型半導体を用いることができる。層565aと層565bの積層によりpn接合型フォトダイオードを形成することができる。また、層565cにはp型半導体を用いることができる。層565cにp型半導体を用いることにより例えば、表面散乱を抑制できる場合がある。

[0138]

または、層565aにn型半導体、層565bにp型半導体、層565cにn型半導体を用いてもよい。

[0139]

または、図12Eに示すように、光電変換デバイスは、層565aと層565bの間にi型半導体である層565dを設ける構成としたpin接合型フォトダイオードであってもよい。

[0140]

上記pn接合型フォトダイオードまたはpin接合型フォトダイオードは、単結晶シリコンを用いて形成することができる。また、pin接合型フォトダイオードとしては、非晶質シリコン、微結晶シリコン、多結晶シリコンなどの薄膜を用いて形成することもできる。

[0141]

また、層502が有する光電変換デバイス101は、図12Fに示すように、層566aと、層566bと、層566cと、層566dとの積層としてもよい。図12Fに示す光電変換デバイス101はアバランシェフォトダイオードの一例であり、層566a、層566dは電極に相当し、層566b、566cは光電変換部に相当する。

[0142]

層566aは、低抵抗の金属層などとするのが好ましい。例えば、アルミニウム、チタン、タンゲステン、タンタル、銀またはそれらの積層を用いることができる。

[0143]

層 5 6 6 d は、可視光に対して高い透光性を有する導電層を用いることが好ましい。例えば、インジウム酸化物、錫酸化物、亜鉛酸化物、インジウム-錫酸化物、ガリウム-亜鉛酸化物、インジウム-ガリウム-亜鉛酸化物、またはグラフェンなどを用いることができる。なお、層 5 6 6 d を省く構成とすることもできる。

[0144]

図 1 2 A に示す層 5 0 2 としては、例えばシリコン基板を用いることができる。当該シリコン基板は、S i トランジスタ等を有する。当該 S i トランジスタを用いて、画素回路の他、当該画素回路を駆動する回路、画像信号の読み出し回路、画像処理回路、記憶回路等を設けることができる。具体的には、実施の形態 1 で説明した回路 2 0 1、3 0 1、3 0 2、3 0 3、3 0 4 および 3 0 5 が有する一部または全てのトランジスタを層 5 0 2 に設けることができる。

[0145]

また、画素は、図 1 2 B に示すように層 5 0 1、層 5 0 2 および層 5 0 3 の積層構造を有していてもよい。

[0146]

層 5 0 1 は、画素 1 0 0 が有するキャパシタを有することができる。

[0147]

層 5 0 1 に画素 1 0 0 が有するキャパシタ 1 0 4 あるいはキャパシタ 1 5 0 を設けることにより、キャパシタ 1 0 4 の容量値を大きくする場合においても、層 5 0 2 と重ねて設けることにより撮像装置の面積を小さくすることができる。また、キャパシタ 1 0 4 の作製工程と画素 1 0 0 が有するトランジスタの作製工程を分けることができる場合には、より低いコストで撮像装置を作製できる場合がある。

[0148]

また、層 5 0 1 は、キャパシタ 1 0 4 に加えて、画素 1 0 0 が有するトランジスタ、キャパシタ等の半導体素子の一部を有することができる。

[0149]

層 5 0 1 に、キャパシタ 1 0 4 に加えて、画素 1 0 0 が有するトランジスタの一部を設ける場合には、層 5 0 2 において、画素の面積に占める光電変換デバイス 1 0 1 の面積の割合を高めることができる。よって、撮像装置の感度をより高めることができる場合がある。また、撮像装置の解像度を高めることができる場合がある。

[0150]

また層 5 0 1 は、回路 2 0 1、3 0 1、3 0 2、3 0 3、3 0 4 および 3 0 5 が有する一部または全てのトランジスタを有してもよい。

[0151]

当該構成とすることで、画素回路を構成する要素および周辺回路を複数の層に分散させ、当該要素同士または当該要素と当該周辺回路を重ねて設けることができるため、撮像装置の面積を小さくすることができる。なお、図 1 2 B の構成において、層 5 0 1 を支持基板とし、層 5 0 2 に周辺回路を設けてもよい。

[0152]

[積層構造 1]

次に、撮像装置の積層構造について、断面図を用いて説明する。

[0153]

図13Aは、層502および層503を有する積層体の断面図の一例である。

[0154]

<層502>

層502は、シリコン基板に形成された画素100を有する。ここでは、画素100の一部として、トランジスタ102、トランジスタ103、キャパシタ104、キャパシタ150および光電変換デバイス101を示している。

[0155]

光電変換デバイス101は、シリコン基板に形成されたpn接合型のフォトダイオードであり、p型領域243およびn型領域244を有する。光電変換デバイス101は埋め込み型フォトダイオードであり、n型領域244の表面側に設けられたp型領域241によって暗電流を抑えノイズを低減させることができる。なお、p型領域241としてp型領域243を用いてもよい。p型領域243に比べて、p型領域241は抵抗が低いことが好ましい。またp型領域243に比べて、n型領域244は抵抗が低いことが好ましい。また、p型領域243、p型領域241およびn型領域244において、p型領域とn型領域を入れ替えてもよい。

[0156]

トランジスタ102およびトランジスタ103は、シリコン基板に形成されたトランジスタである。トランジスタ102およびトランジスタ103は、ゲートとして機能する導電層と、シリコン基板に形成されるソース、ドレイン、およびソースとドレインの間に位置するチャネル形成領域と、ゲートとして機能する導電層とチャネル形成領域との間に設けられるゲート絶縁層と、を有する。なお、図13Aに示す例においては、トランジスタ102およびトランジスタ103のソース領域およびドレイン領域がn型領域により形成されている。

[0157]

層502には、絶縁層242および絶縁層245が設けられる。絶縁層242は、素子分離層としての機能を有する。絶縁層245は、キャリアの流出を抑制する機能を有する。

[0158]

シリコン基板には画素を分離する溝が設けられ、絶縁層245はシリコン基板上面および当該溝に設けられる。絶縁層245が設けられることにより、光電変換デバイス101内で発生したキャリアが隣接する画素に流出することを抑えることができる。また、絶縁層245は、迷光の侵入を抑制する機能も有する。例えば、絶縁層245が溝を有することにより、隣接する画素からの迷光の侵入が抑制される場合がある。したがって、絶縁層245により、混色を抑制することができる。なお、シリコン基板の上面と絶縁層245との間に反射防止膜が設けられていてもよい。

[0159]

素子分離層は、LOCOS (LOCAl Oxidation of Silicon) 法、またはSTI (Shallow Trench Isolation) 法等を用いて形成することができる。絶縁層245としては、例えば、酸化シリコン膜、窒化シリコンなどの無機絶縁膜、ポリイミド、アクリルなどの有機絶縁膜を用いることができる。なお、絶縁層245は多層構成であってもよい。

[0160]

図13Aに示す例においては、光電変換デバイス101のn型領域244（カソードに相当）は、

トランジスタ 102 のソースまたはドレインの一方としても機能することができる。

[0161]

また、層 502 には、絶縁層 222、223、226、227、配線 121 が設けられる。絶縁層 222 は保護膜としての機能を有する。絶縁層 223、227 は、層間絶縁膜および平坦化膜としての機能を有する。絶縁層 226 は、キャパシタ 150 の誘電体層としての機能を有する。配線 121 は電源線としての機能を有する。p 型領域 243（アノード）は配線 121 と電氣的に接続される。

[0162]

保護膜としては、例えば、窒化シリコン膜、酸化シリコン膜、酸化アルミニウム膜などを用いることができる。層間絶縁膜および平坦化膜としては、例えば、酸化シリコン膜などの無機絶縁膜、アクリル樹脂、ポリイミド樹脂などの有機絶縁膜を用いることができる。キャパシタの誘電体層としては、窒化シリコン膜、酸化シリコン膜、酸化アルミニウム膜などを用いることができる。

[0163]

図 13A に示す Si トランジスタはシリコン基板にチャネル形成領域を有するプレーナー型である。なお、Si トランジスタは、図 18A に示すようにフィン型であってもよい。図 18B には、図 18A に示す A1-A2 の断面（チャネル幅方向の断面）を示す。

[0164]

または、図 18C に示すように、シリコン薄膜の半導体層 545 を有するトランジスタであってもよい。半導体層 545 は、例えば、シリコン基板 210 上の絶縁層 546 上に形成された単結晶シリコン（SOI（Silicon on Insulator））とすることができる。

[0165]

なお、デバイス間の電氣的な接続に用いられる配線、電極およびプラグとして用いることのできる導電体には、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を適宜選択して用いればよい。当該導電体は単層に限らず、異なる材料で構成された複数の層であってもよい。

[0166]

キャパシタ 104 は、シリコン基板に設けられたトレンチキャパシタである。図 13A に示すキャパシタ 104 は、シリコン基板の p 型領域 243 に形成されるトレンチと、トレンチ内を埋め込むように形成される導電層 151 と、p 型領域 243 と導電層 151 の間に形成される絶縁層 152 と、を有する。p 型領域 243 および導電層 151 は、キャパシタ 104 の電極としての機能を有する。

[0167]

シリコン基板に形成されるトレンチのアスペクト比は例えば、10 以上が好ましく、20 以上がより好ましい。アスペクト比を高めることにより、回路面積に対する容量値を高めることができる。トレンチのアスペクト比とはトレンチの深さをトレンチ上部の口径で割った値である。

[0168]

絶縁層 152 の膜厚は例えば 20 nm 以下が好ましく、15 nm 以下がより好ましく、10 nm

以下がさらに好ましい。絶縁層 152 の膜厚を薄くすることにより、キャパシタ 104 の容量値を高めることができる。一方、絶縁層 152 がある程度の厚さを有することにより、素子間のバラツキが小さくなる場合がある。よって絶縁層 152 の厚さは例えば 1 nm 以上、あるいは 2 nm 以上である。

[0169]

導電層 151 として例えば、配線、電極およびプラグとして用いることのできる導電体として上述した材料、および構成等を用いることができる。また、導電層 151 として低抵抗化のためにリン、ボロン等の不純物がドーピングされた多結晶シリコンを用いることができる。

[0170]

絶縁層 152 はキャパシタ 104 の誘電体として機能することができる。絶縁層 152 として例えば、シリコン基板に形成されるトレンチの表面を酸化して得られる熱酸化膜を用いることが好ましい。

[0171]

キャパシタ 104 およびキャパシタ 150 の一方、または両方において、誘電体は、酸化シリコン、酸化アルミニウム、酸化ハフニウムおよび酸化ジルコニウムから選ばれる一以上を有することが好ましい。また、これらの材料の積層構造を有してもよい。

[0172]

キャパシタ 104 およびキャパシタ 150 の一方、または両方において、誘電体は、シリコン、アルミニウム、チタン、鉛、バリウム、ストロンチウム、バリウム、ジルコニウム、ビスマスから選ばれる一以上を有する酸化物を有してもよい。例えば、チタン酸ストロンチウム、チタン酸バリウム、チタン酸バリウムストロンチウム等を有してもよい。また、これらの酸化物の積層構造を有してもよい。

[0173]

なお、図 13B は、図 13A とキャパシタ 104 の構成が異なる例を示す。なお、図 13B においては簡略化のため、層 503 の詳細は示さない。図 13B においては、キャパシタ 104 において、シリコン基板に設けられるトレンチの表面に、n 型領域を設ける例を示す。図 13B に示すキャパシタ 104 では、トレンチの表面に設けられる n 型領域と、導電層 151 と、がキャパシタ 104 の電極としての機能を有する。トレンチの表面に設けられる n 型領域は、p 型領域 243 よりも抵抗が低いことが好ましい。

[0174]

キャパシタ 150 は、絶縁層 226 を挟んで設けられる導電層 123 および導電層 124 を有する。導電層 123 および導電層 124 は、キャパシタ 150 の電極としての機能を有する。

[0175]

また、導電層 123 は絶縁層 223 内に形成される導電層を介して、トランジスタ 102 のソースまたはドレインの他方、およびトランジスタ 103 のソースまたはドレインの一方と電氣的に接続される。

[0176]

なお、図 13A、図 13B および後述する図 14 において、キャパシタ 104 とキャパシタ 150 を入れ替えてもよい。

[0177]

<層 503>

層 503 は、層 502 上に形成される。層 503 は、遮光層 251、光学変換層 250 およびマイクロレンズアレイ 255 を有する。

[0178]

遮光層 251 は、隣接する画素への光の流入を抑えることができる。遮光層 251 には、アルミニウム、タングステンなどの金属層を用いることができる。また、当該金属層と反射防止膜としての機能を有する誘電体膜を積層してもよい。

[0179]

光学変換層 250 には、カラーフィルタを用いることができる。カラーフィルタに R（赤）、G（緑）、B（青）、Y（黄）、C（シアン）、M（マゼンタ）などの色を画素別に割り当てることにより、カラー画像を得ることができる。

[0180]

また、光学変換層 250 に波長カットフィルタを用いれば、様々な波長領域における画像が得られる撮像装置とすることができる。

[0181]

例えば、光学変換層 250 に可視光線の波長以下の光を遮るフィルタを用いれば、赤外線撮像装置とすることができる。また、光学変換層 250 に近赤外線の波長以下の光を遮るフィルタを用いれば、遠赤外線撮像装置とすることができる。また、光学変換層 250 に可視光線の波長以上の光を遮るフィルタを用いれば、紫外線撮像装置とすることができる。

[0182]

また、光学変換層 250 にシンチレータを用いれば、X線撮像装置などに用いる放射線の強弱を可視化した画像を得る撮像装置とすることができる。被写体を透過したX線等の放射線がシンチレータに入射されると、フォトルミネッセンス現象により可視光線や紫外光線などの光（蛍光）に変換される。そして、当該光を光電変換デバイス 101 で検知することにより画像データを取得する。また、放射線検出器などに当該構成の撮像装置を用いてもよい。

[0183]

シンチレータは、X線やガンマ線などの放射線が照射されると、そのエネルギーを吸収して可視光や紫外光を発する物質を含む。例えば、 $Gd_2O_2S:Tb$ 、 $Gd_2O_2S:Pr$ 、 $Gd_2O_2S:Eu$ 、 $BaFCl:Eu$ 、 NaI 、 CsI 、 CaF_2 、 BaF_2 、 CeF_3 、 LiF 、 LiI 、 ZnO などを樹脂やセラミクスに分散させたものを用いることができる。

[0184]

光学変換層 250 上にはマイクロレンズアレイ 255 が設けられる。マイクロレンズアレイ 255 が有する個々のレンズを通る光が直下の光学変換層 250 を通り、光電変換デバイス 101 に照射されるようになる。マイクロレンズアレイ 255 を設けることにより、集光した光を光電変換デバイス 101 に入射することができるため、効率よく光電変換を行うことができる。マイクロレンズアレイ 255 は、可視光に対して透光性の高い樹脂またはガラスなどで形成することが好ましい。

[0185]

[積層構造 2]

図 14 は、図 13B とは異なる構成例を示す。

[0186]

図14に示す積層構造は、層501乃至層503を有し、層501と層502の間に貼り合わせ面を有する積層体の断面図の一例である。

[0187]

図14は、絶縁層231および導電層132を有する点、層501を有する点、およびキャパシタ104が図13Bとは異なる層に設けられる点、が図13Bと異なる。図13においてはキャパシタ104が層502に設けられる例を示すが、図14では、キャパシタ104が層501に設けられる例を示す。

[0188]

図14に示す層502は、絶縁層231および導電層132を有する。

[0189]

絶縁層231および導電層132は、貼り合わせ層としての機能を有する。

[0190]

導電層132は、導電層123と電氣的に接続される。

[0191]

<層501>

図14に示す層501は、シリコン基板153と、キャパシタ104と、を有する。キャパシタ104は、シリコン基板に設けられたトレンチキャパシタである。図14に示すキャパシタ104は、シリコン基板153に形成されるトレンチの表層近傍に形成されるn型領域154と、トレンチ内を埋め込むように形成される導電層155と、n型領域と導電層155の間に形成される絶縁層156と、を有する。n型領域154および導電層155は、キャパシタ104の電極としての機能を有する。絶縁層156は、キャパシタ104の誘電体層としての機能を有する。なお、図14に示すキャパシタ104において、n型領域154を設けない構成としてもよい。導電層155および絶縁層156に用いることができる材料、構成等について、導電層151および絶縁層152の記載を参照することができる。

[0192]

絶縁層156は例えば、シリコンの熱酸化により形成することができる。シリコンの熱酸化により得られる絶縁膜を形成することにより、緻密で、均一な厚さの薄膜を得ることができる。シリコンの熱酸化を用いることにより、より薄い絶縁膜を簡便に安定して作製することができ、高い容量値を有するキャパシタ104の作製に好適である。

[0193]

また、層501は、シリコン基板153と導電層155上に形成される絶縁層222bと、絶縁層223bと、絶縁層227bと、絶縁層229と、導電層158と、導電層131と、を有する。絶縁層222b、223b、227bは、層間絶縁膜および平坦化膜としての機能を有する。

[0194]

絶縁層229および導電層131は、貼り合わせ層としての機能を有する。導電層131は、絶縁層227b内に形成される導電層158、および絶縁層223b内に形成される導電層を介して、導電層155と電氣的に接続される。

[0195]

[積層構造3]

図15には、層501がトランジスタを有する例を示す。

[0196]

図15に示す積層構造は、層501乃至層503を有し、層501と層502の間に貼り合わせ面を有する。

[0197]

図15において、層501はキャパシタ104とトランジスタ106を有し、層502はトランジスタ102、トランジスタ103、光電変換デバイス101およびキャパシタ150を有し、層503は光学変換層250を有する。また本発明の一態様の撮像装置が有する画素において、層502がキャパシタ150を有さない構成としてもよい。図16Aは、図15においてキャパシタ150を有さない例を示す。

[0198]

図15に示すトランジスタ106は、ゲートとして機能することができる導電層263と、一方がソース領域、他方がドレイン領域として機能することができる、n型領域264およびn型領域265と、を有する。

[0199]

図15に示すキャパシタ104は、図14に示すキャパシタ104に加えて、導電層155上の導電層261を有する。導電層155と導電層261は電氣的に接続される。また導電層261と導電層263は同じ工程を用いて形成されてもよい。

[0200]

n型領域154とn型領域264の間には電流が流れる。

[0201]

n型領域265は、絶縁層222bおよび絶縁層223bに埋め込まれるように形成される導電層を介して、絶縁層223b上の導電層262と電氣的に接続される。導電層262は例えば、配線111として機能する。あるいは例えば、導電層262は配線111と電氣的に接続される。

[0202]

トランジスタ106のチャネル形成領域等には例えば、p型領域を用いることができる。該p型領域に比べて、n型領域264、265および154の抵抗は低いことが好ましい。また、トランジスタ106のチャネル領域等に用いるp型領域をn型領域に、n型領域264、265および154をp型領域に、それぞれ入れ替えてもよい。

[0203]

図14に比べて、図15および図16Aの構成とすることで、層502に配置されるトランジスタの個数を減らすことができ、画素面積に示す光電変換デバイス101の面積の割合を高くすることができる。よって、本発明の一態様の撮像装置の感度を高めることができる。また本発明の一態様の撮像装置の解像度を高めることができる。

[0204]

また、図15および図16Aの構成においてはn型領域264とn型領域154が接しており、ひと続きの構成とすることができる。よって、トランジスタ106とキャパシタ104の素子間の距離を小さくすることができ、回路の集積化が可能となる。

[0205]

また、キャパシタ104の構成として、図16Bに示す構成を用いてもよい。図16Bに示すキャパシタ104は、キャパシタ104が有する導電層155が、トレンチの浅い領域において、ト

ランジスタ 106 が有する n 型領域 264 と接する。また、図 16B に示すキャパシタ 104 においては、n 型領域 154 を設けなくてもよい。図 16B において、導電層 158 は、シリコン基板 153 の基板電位と電氣的に接続されることが好ましい。

[0206]

図 17A は、図 16A に示す構造に加えて、層 501 がトランジスタ 105 を有する例を示す。図 17A においてトランジスタ 105 は、シリコン基板 153 に形成されるトランジスタである。トランジスタ 105 が有する導電層 266 は、トランジスタ 105 のゲートとして機能することができる。導電層 266 は、導電層 158 を介して導電層 261 と電氣的に接続される。

[0207]

図 17B は、図 16A に示す構造に加えて、層 502 がトランジスタ 105 を有する例を示す。トランジスタ 105 は、シリコン基板に形成されるトランジスタである。トランジスタ 105 が有する導電層 267 は、トランジスタ 105 のゲートとして機能することができる。導電層 267 は、絶縁層 223 内に形成される導電層などを介して、トランジスタ 102 のソースまたはドレインの他方、およびトランジスタ 103 のソースまたはドレインの一方と電氣的に接続される。

[0208]

なお、図 16A、図 16B、図 17A および図 17B において、簡略化のため、層 503 の詳細な記載は省いている。

[0209]

図 13A、図 13B、図 14、図 15、図 16A、図 16B、図 17A、図 17B に示す構成を、図 11C に示す画素が有するトランジスタおよびキャパシタに適用してもよい。例えば、キャパシタ 104 の構成をキャパシタ 171 に適用してもよい。また、トランジスタ 106 の構成をトランジスタ 172 に適用してもよい。

[0210]

[貼り合わせ]

次に、層 501 と層 502 の貼り合わせについて、図 14 等を参照して説明する。

[0211]

層 501 には、絶縁層 229 および導電層 131 が設けられる。導電層 131 は、絶縁層 229 に埋設された領域を有する。また、絶縁層 229 および導電層 131 の表面は、それぞれ高さが一致するように平坦化されている。

[0212]

層 502 には、絶縁層 231 および導電層 132 が設けられる。導電層 132 は、絶縁層 231 に埋設された領域を有する。また、絶縁層 231 および導電層 132 の表面は、それぞれ高さが一致するように平坦化されている。

[0213]

ここで、導電層 131 および導電層 132 は、主成分が同一の金属元素であることが好ましい。また、絶縁層 229 および絶縁層 231 は、同一の成分で構成されていることが好ましい。

[0214]

例えば、導電層 131、132 には、Cu、Al、Sn、Zn、W、Ag、Pt または Au などを用いることができる。接合のしやすさから、好ましくは Cu、Al、W、または Au を用いる。また、絶縁層 229、231 には、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シ

リコン、窒化チタンなどを用いることができる。

[0215]

つまり、導電層131および導電層132のそれぞれに、上記に示す同一の金属材料を用いることが好ましい。また、絶縁層229および絶縁層231のそれぞれに、上記に示す同一の絶縁材料を用いることが好ましい。当該構成とすることで、層501と層502の境を接合位置とする、貼り合わせを、歩留まり高く行うことができる。

[0216]

なお、導電層131および導電層132は複数の層の多層構造であってもよく、その場合は、表層（接合面）が同一の金属材料であればよい。また、絶縁層229および絶縁層231も複数の層の多層構造であってもよく、その場合は、表層（接合面）が同一の絶縁材料であればよい。

[0217]

当該貼り合わせによって、導電層131および導電層132の電氣的な接続を良好に得ることができる。また、絶縁層229および絶縁層231の機械的な強度を十分に有する接続を得ることができる。

[0218]

金属層同士の接合には、表面の酸化膜および不純物の吸着層などをスパッタリング処理などで除去し、清浄化および活性化した表面同士を接触させて接合する表面活性化接合法を用いることができる。または、温度と圧力を併用して表面同士を接合する拡散接合法などを用いることができる。どちらも原子レベルでの結合が起こるため、電氣的だけでなく機械的にも優れた接合を得ることができる。

[0219]

また、絶縁層同士の接合には、研磨などによって高い平坦性を得たのち、酸素プラズマ等で親水性処理をした表面同士を接触させて仮接合し、熱処理による脱水で本接合を行う親水性接合法などを用いることができる。親水性接合法も原子レベルでの結合が起こるため、機械的に優れた接合を得ることができる。

[0220]

層501と、層502を貼り合わせる場合、それぞれの接合面には絶縁層と金属層が混在するため、例えば、表面活性化接合法および親水性接合法を組み合わせで行えばよい。

[0221]

例えば、研磨後に表面を清浄化し、金属層の表面に酸化防止処理を行ったのちに親水性処理を行って接合する方法などを用いることができる。また、金属層の表面をAuなどの難酸化性金属とし、親水性処理を行ってもよい。なお、上述した方法以外の接合方法を用いてもよい。

[0222]

上記の貼り合わせにより、層502が有するトランジスタ102、トランジスタ103、キャパシタ150等と、層501が有するキャパシタ104を電氣的に接続することができる。

[0223]

本実施の形態は、他の実施の形態または実施例の記載と適宜組み合わせることができる。

[0224]

(実施の形態3)

本実施の形態では、イメージセンサチップを収めたパッケージおよびカメラモジュールの一例に

について説明する。当該イメージセンサチップには、本発明の一態様の撮像装置の構成を用いることができる。

[0225]

図19Aは、イメージセンサチップを収めたパッケージの上面側の外観斜視図である。当該パッケージは、イメージセンサチップ650を固定するパッケージ基板610、カバーガラス620および両者を接着する接着剤630等を有する。

[0226]

図19Bは、当該パッケージの下面側の外観斜視図である。パッケージの下面には、半田ボールをバンプ640としたBGA (Ball grid array) を有する。なお、BGAに限らず、LGA (Land grid array) やPGA (Pin Grid Array) など、有していてもよい。

[0227]

図19Cは、カバーガラス620および接着剤630の一部を省いて図示したパッケージの斜視図である。パッケージ基板610上には電極パッド660が形成され、電極パッド660およびバンプ640はスルーホールを介して電氣的に接続されている。電極パッド660は、イメージセンサチップ650とワイヤ670によって電氣的に接続されている。

[0228]

また、図19Dは、イメージセンサチップをレンズ一体型のパッケージに収めたカメラモジュールの上面側の外観斜視図である。当該カメラモジュールは、イメージセンサチップ651を固定するパッケージ基板611、レンズカバー621、およびレンズ635等を有する。また、パッケージ基板611およびイメージセンサチップ651の間には撮像装置の駆動回路および信号変換回路などの機能を有するICチップ690も設けられており、SiP (System in package) としての構成を有している。

[0229]

図19Eは、当該カメラモジュールの下面側の外観斜視図である。パッケージ基板611の下面および側面には、実装用のランド641が設けられたQFN (Quad flat no-lead package) の構成を有する。なお、当該構成は一例であり、QFP (Quad flat package) や前述したBGAが設けられていてもよい。

[0230]

図19Fは、レンズカバー621およびレンズ635の一部を省いて図示したモジュールの斜視図である。ランド641は電極パッド661と電氣的に接続され、電極パッド661はイメージセンサチップ651またはICチップ690とワイヤ671によって電氣的に接続されている。

[0231]

イメージセンサチップを上述したような形態のパッケージに収めることでプリント基板等への実装が容易になり、イメージセンサチップを様々な半導体装置、電子機器に組み込むことができる。

[0232]

本実施の形態は、他の実施の形態または実施例の記載と適宜組み合わせることができる。

[0233]

(実施の形態4)

本発明の一態様に係る撮像装置を用いることができる電子機器として、表示機器、パーソナルコ

ンピュータ、記録媒体を備えた画像記憶装置または画像再生装置、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ＡＴＭ）、自動販売機などが挙げられる。これら電子機器の具体例を図２０Ａ乃至図２０Ｆに示す。

[０２３４]

図２０Ａは、携帯電話機の一例であり、筐体９８１、表示部９８２、操作ボタン９８３、外部接続ポート９８４、スピーカ９８５、マイク９８６、カメラ９８７等を有する。当該携帯電話機は、表示部９８２にタッチセンサを備える。電話を掛ける、或いは文字を入力するなどのあらゆる操作は、指やスタイラスなどで表示部９８２に触れることで行うことができる。当該携帯電話機における画像取得のための要素に本発明の一態様の撮像装置およびその動作方法を適用することができる。

[０２３５]

図２０Ｂは携帯データ端末であり、筐体９１１、表示部９１２、スピーカ９１３、カメラ９１９等を有する。表示部９１２が有するタッチパネル機能により情報の入出力を行うことができる。また、カメラ９１９で取得した画像から文字等を認識し、スピーカ９１３で当該文字を音声出力することができる。当該携帯データ端末における画像取得のための要素に本発明の一態様の撮像装置およびその動作方法を適用することができる。

[０２３６]

図２０Ｃは監視カメラであり、支持台９５１、カメラユニット９５２、保護カバー９５３等を有する。カメラユニット９５２には回転機構などが設けられ、天井に設置することで全周囲の撮像が可能となる。当該カメラユニットにおける画像取得のための要素に本発明の一態様の撮像装置およびその動作方法を適用することができる。なお、監視カメラとは慣用的な名称であり、用途を限定するものではない。例えば監視カメラとしての機能を有する機器はカメラ、またはビデオカメラとも呼ばれる。

[０２３７]

図２０Ｄはビデオカメラであり、第１筐体９７１、第２筐体９７２、表示部９７３、操作キー９７４、レンズ９７５、接続部９７６、スピーカ９７７、マイク９７８等を有する。操作キー９７４およびレンズ９７５は第１筐体９７１に設けられており、表示部９７３は第２筐体９７２に設けられている。当該ビデオカメラにおける画像取得のための要素に本発明の一態様の撮像装置およびその動作方法を適用することができる。

[０２３８]

図２０Ｅはデジタルカメラであり、筐体９６１、シャッターボタン９６２、マイク９６３、発光部９６７、レンズ９６５等を有する。当該デジタルカメラにおける画像取得のための要素に本発明の一態様の撮像装置およびその動作方法を適用することができる。

[０２３９]

図２０Ｆは腕時計型の情報端末であり、表示部９３２、筐体兼リストバンド９３３、カメラ９３９等を有する。表示部９３２は、情報端末の操作を行うためのタッチパネルを備える。表示部９３２および筐体兼リストバンド９３３は可撓性を有し、身体への装着性が優れている。当該情報端末における画像取得のための要素に本発明の一態様の撮像装置およびその動作方法を適用することが

できる。

[0240]

本実施の形態は、他の実施の形態または実施例の記載と適宜組み合わせることができる。

[符号の説明]

[0241]

: 100:画素、101:光電変換デバイス、102:トランジスタ、103:トランジスタ、104:キャパシタ、105:トランジスタ、106:トランジスタ、108:トランジスタ、111:配線、112:配線、112__1:配線、112__2:配線、113:配線、114:配線、115:配線、116:配線、117:配線、121:配線、122:配線、122__1:配線、122__2:配線、123:導電層、124:導電層、131:導電層、132:導電層、150:キャパシタ、151:導電層、152:絶縁層、153:シリコン基板、154:n型領域、155:導電層、156:絶縁層、158:導電層、161:トランジスタ、162:トランジスタ、163:キャパシタ、170:回路、171:キャパシタ、172:トランジスタ、173:配線、200:画素ブロック、201:回路、202:キャパシタ、203:トランジスタ、204:トランジスタ、205:トランジスタ、206:トランジスタ、207:抵抗、210:シリコン基板、211:配線、212:配線、213:配線、215:配線、216:配線、217:配線、218:配線、219:配線、222:絶縁層、222b:絶縁層、223:絶縁層、223b:絶縁層、226:絶縁層、227:絶縁層、227b:絶縁層、229:絶縁層、231:絶縁層、241:p型領域、242:絶縁層、243:p型領域、244:n型領域、245:絶縁層、250:光学変換層、251:遮光層、255:マイクロレンズアレイ、261:導電層、262:導電層、263:導電層、264:n型領域、265:n型領域、266:導電層、267:導電層、300:画素アレイ、301:回路、302:回路、303:回路、304:回路、305:回路、311:配線、320:メモリセル、325:参照メモリセル、330:回路、350:回路、360:回路、370:回路、501:層、502:層、503:層、545:半導体層、546:絶縁層、565a:層、565b:層、565c:層、565d:層、566a:層、566b:層、566c:層、566d:層、610:パッケージ基板、611:パッケージ基板、620:カバーガラス、621:レンズカバー、630:接着剤、635:レンズ、640:バンプ、641:ランド、650:イメージセンサチップ、651:イメージセンサチップ、660:電極パッド、661:電極パッド、670:ワイヤ、671:ワイヤ、690:ICチップ、911:筐体、912:表示部、913:スピーカ、919:カメラ、932:表示部、933:筐体兼リストバンド、939:カメラ、951:支持台、952:カメラユニット、953:保護カバー、961:筐体、962:シャッターボタン、963:マイク、965:レンズ、967:発光部、971:筐体、972:筐体、973:表示部、974:操作キー、975:レンズ、976:接続部、977:スピーカ、978:マイク、981:筐体、982:表示部、983:操作ボタン、984:外部接続ポート、985:スピーカ、986:マイク、987:カメラ

請求の範囲

[請求項 1]

画素ブロックと、第 1 の回路と、を有し、
前記画素ブロックは、マトリクス状に配置された複数の画素を有し、
前記画素ブロックと前記第 1 の回路は電氣的に接続され、
前記複数の画素のそれぞれは、光電変換デバイスと、第 1 のトランジスタと、第 2 のトランジスタと、キャパシタと、を有し、
前記光電変換デバイスと前記第 1 のトランジスタは、第 1 の層に形成され、
前記キャパシタは、第 2 の層に形成され、
前記第 2 の層は、前記第 1 の層に接合され、
前記第 1 のトランジスタのソースまたはドレインの一方は前記光電変換デバイスの一方の電極と電氣的に接続され、他方は前記キャパシタの一方の電極と電氣的に接続され、
前記第 2 のトランジスタのソースまたはドレインの一方は前記キャパシタの他方の電極と電氣的に接続され、
前記複数の画素のそれぞれは、第 1 のデータを生成する機能と、前記第 1 のデータを任意の倍率に乗算して第 2 のデータを生成する機能と、を有し、
前記第 1 の回路は、前記複数の画素のそれぞれが生成する前記第 1 のデータの和に相当する第 3 のデータを生成する機能と、前記複数の画素のそれぞれが生成する前記第 2 のデータの和に相当する電位を、容量結合により前記第 3 のデータに加算して第 4 のデータを生成する機能と、を有し、
前記第 1 のデータおよび前記第 2 のデータはアナログ値である撮像装置。

[請求項 2]

請求項 1 において、
前記第 1 のトランジスタおよび前記第 2 のトランジスタはそれぞれ、チャネル形成領域にシリコンを有する撮像装置。

[請求項 3]

請求項 1 または請求項 2 において、前記第 1 の層は、第 1 のシリコン基板上に形成され、
前記光電変換デバイスが有する n 型領域と、前記第 1 のトランジスタのソースまたはドレインの一方と、が共有される撮像装置。

[請求項 4]

請求項 1 乃至請求項 3 のいずれか一において、
前記キャパシタはトレンチキャパシタである撮像装置。

[請求項 5]

画素ブロックと、第 1 の回路と、を有し、
前記画素ブロックは、マトリクス状に配置された複数の画素を有し、
前記画素ブロックと前記第 1 の回路とは電氣的に接続され、
前記複数の画素のそれぞれは、光電変換デバイスと、第 1 のトランジスタと、第 2 のトランジスタと、キャパシタと、を有し、
前記光電変換デバイスと前記第 1 のトランジスタは、第 1 の層に形成され、
前記キャパシタと、前記第 2 のトランジスタは、第 2 の層に形成され、
前記第 2 の層は、前記第 1 の層に接合され、

前記第1のトランジスタのソースまたはドレインの一方は前記光電変換デバイスの一方の電極と電氣的に接続され、他方は前記キャパシタの一方の電極と電氣的に接続され、

前記第2のトランジスタのソースまたはドレインの一方は前記キャパシタの他方の電極と電氣的に接続され、

前記複数の画素のそれぞれは、第1のデータを生成する機能と、前記第1のデータを任意の倍率に乗算して第2のデータを生成する機能と、を有し、

前記第1の回路は、前記複数の画素のそれぞれが生成する前記第1のデータの和に相当する第3のデータを生成する機能と、前記複数の画素のそれぞれが生成する前記第2のデータの和に相当する電位を、容量結合により前記第3のデータに加算して第4のデータを生成する機能と、を有し、

前記第1のデータおよび前記第2のデータはアナログ値である撮像装置。

[請求項6]

請求項5において、

前記第1のトランジスタおよび前記第2のトランジスタはそれぞれ、チャネル形成領域にシリコンを有する撮像装置。

[請求項7]

請求項5または請求項6において、

前記第1の層は、第1のシリコン基板上に形成され、

前記光電変換デバイスが有するn型領域と、前記第1のトランジスタのソースまたはドレインの一方と、が共有される撮像装置。

[請求項8]

請求項5乃至請求項7のいずれか一において、

前記キャパシタはトレンチキャパシタである撮像装置。

[請求項9]

請求項1乃至8のいずれか一項に記載の撮像装置と、表示装置と、を有する電子機器。

图 1

1/20

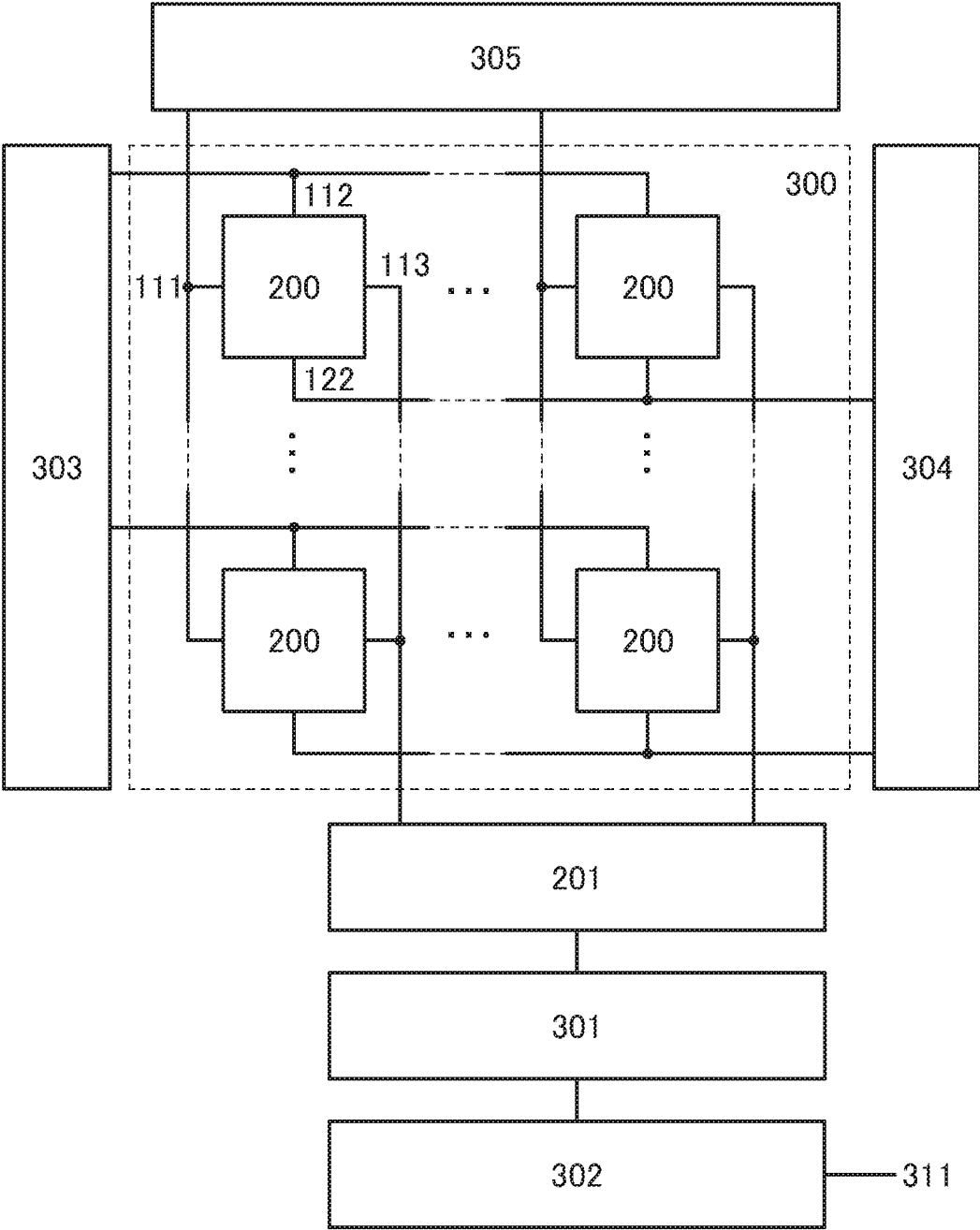
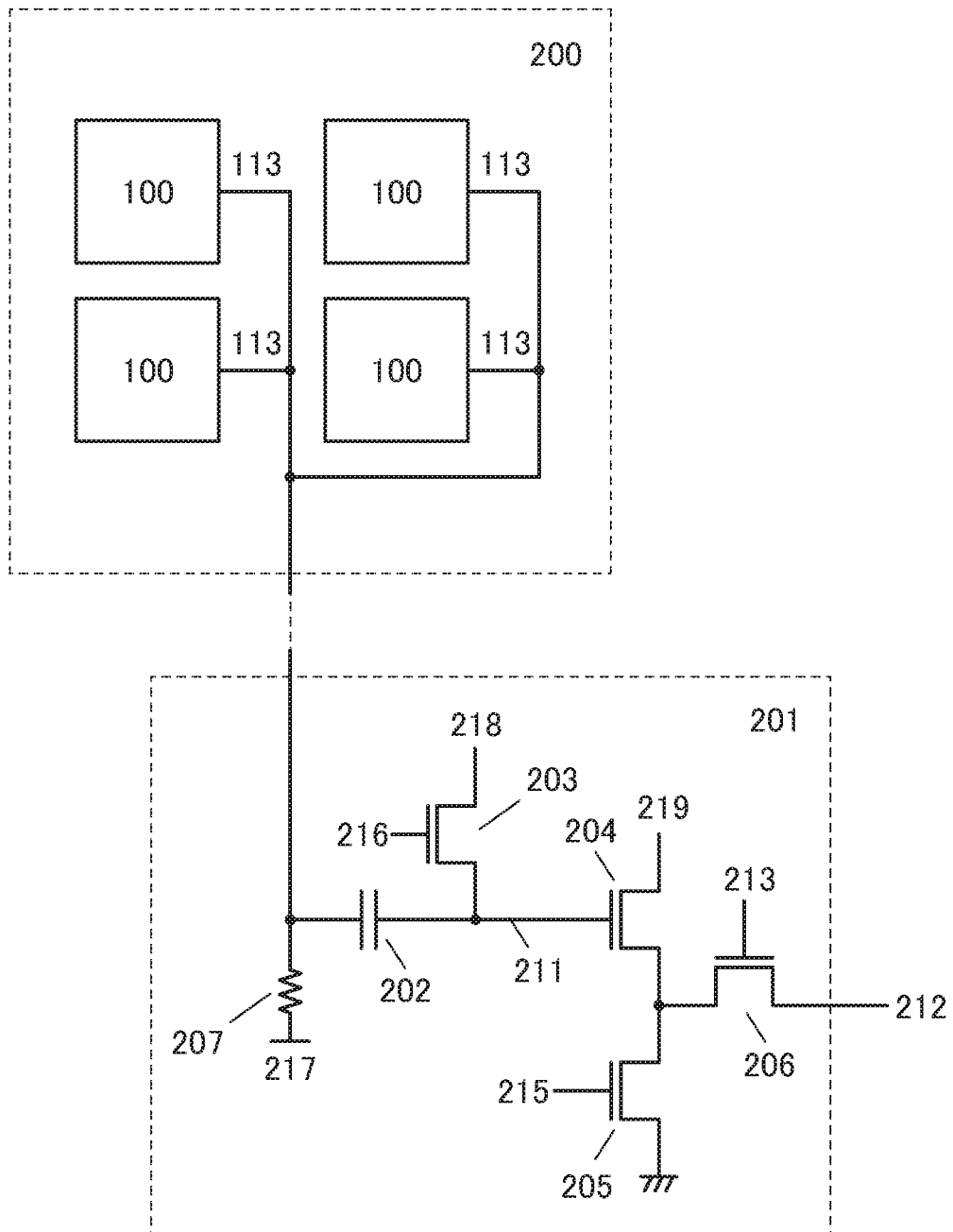


图2

2/20



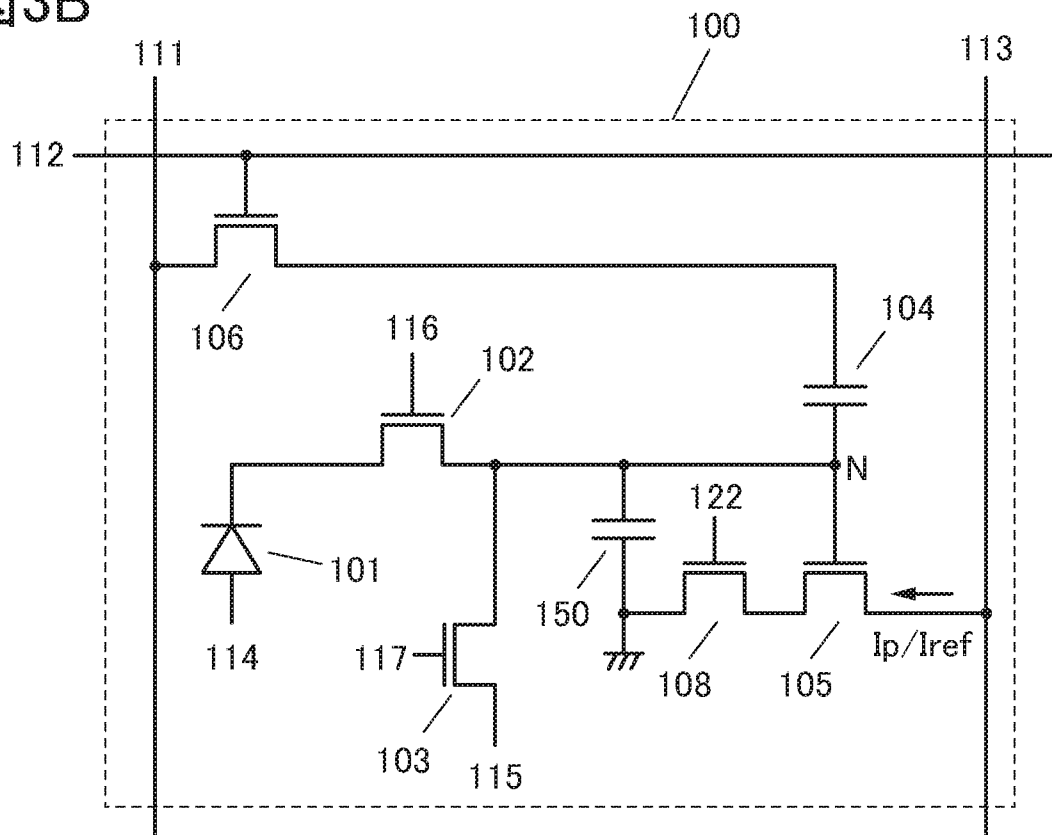
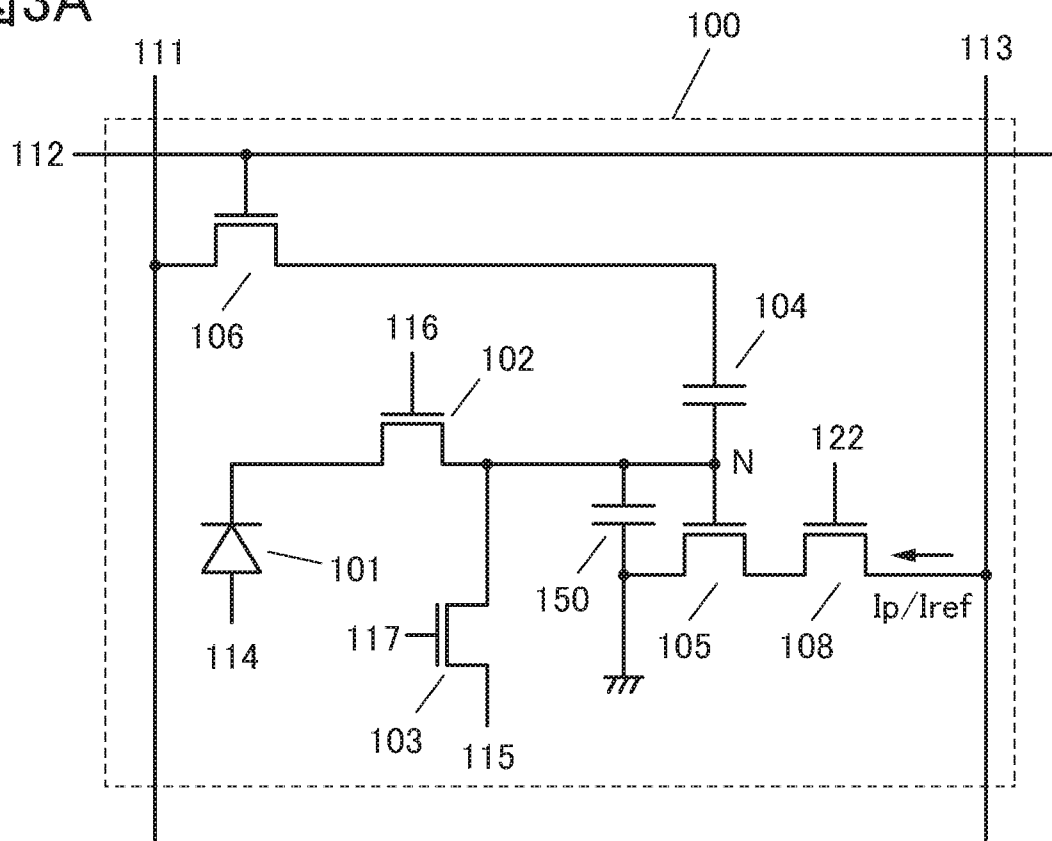
 3A

図4A

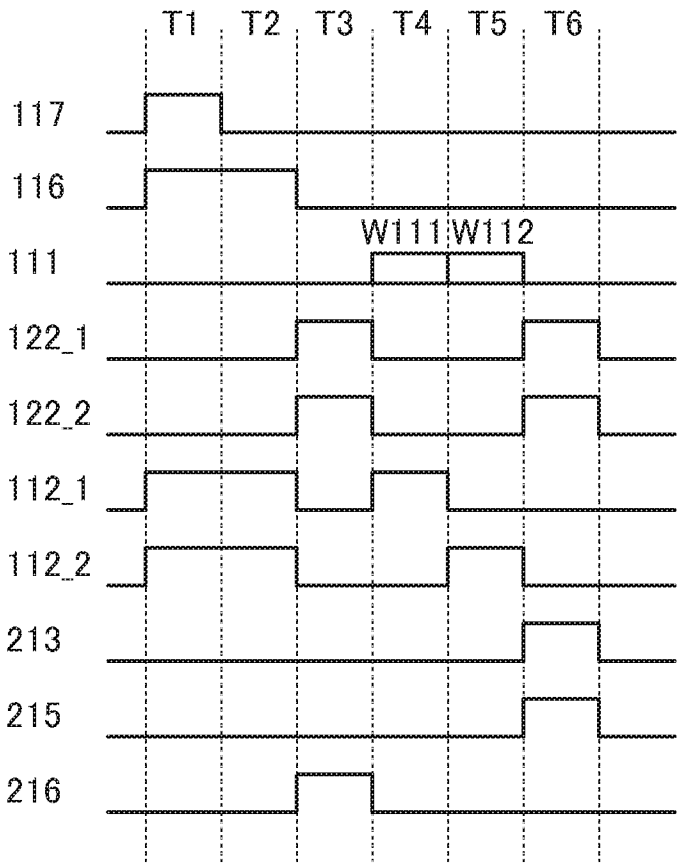
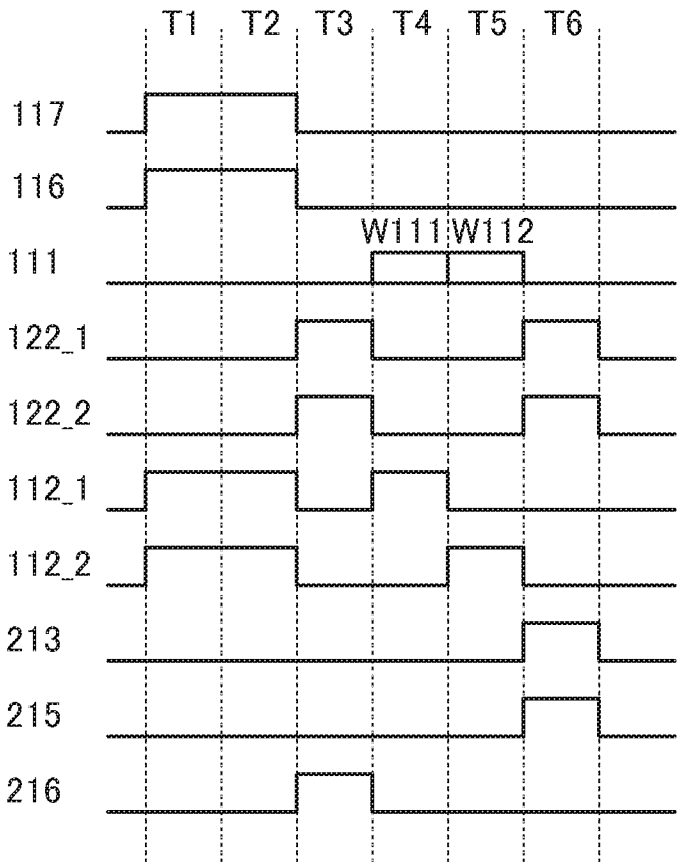


図4B



5/20

図5A

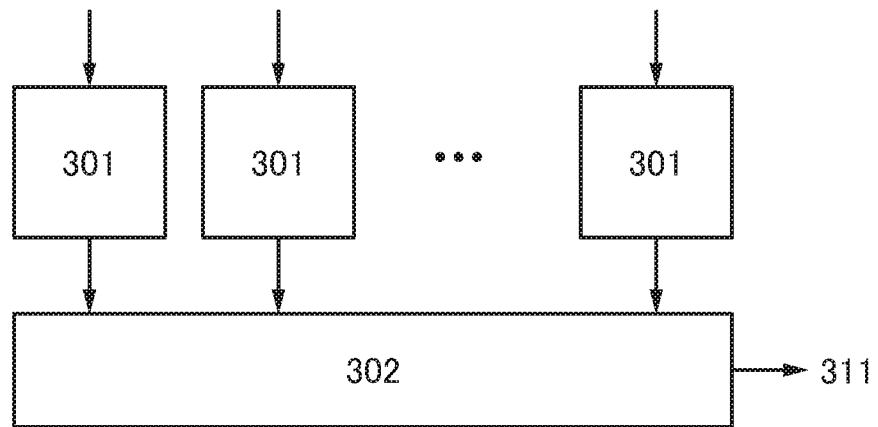


図5B

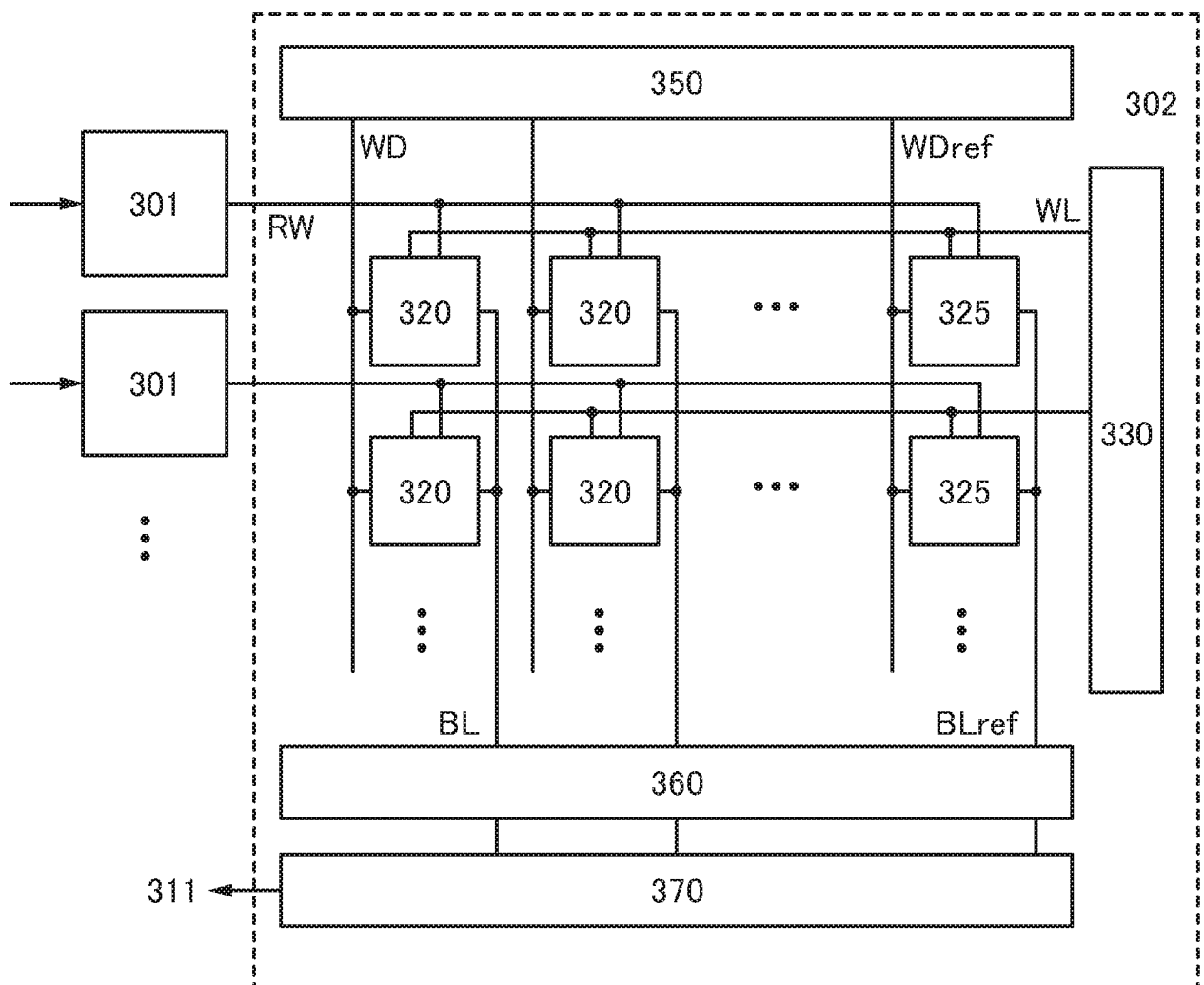


图6

6/20

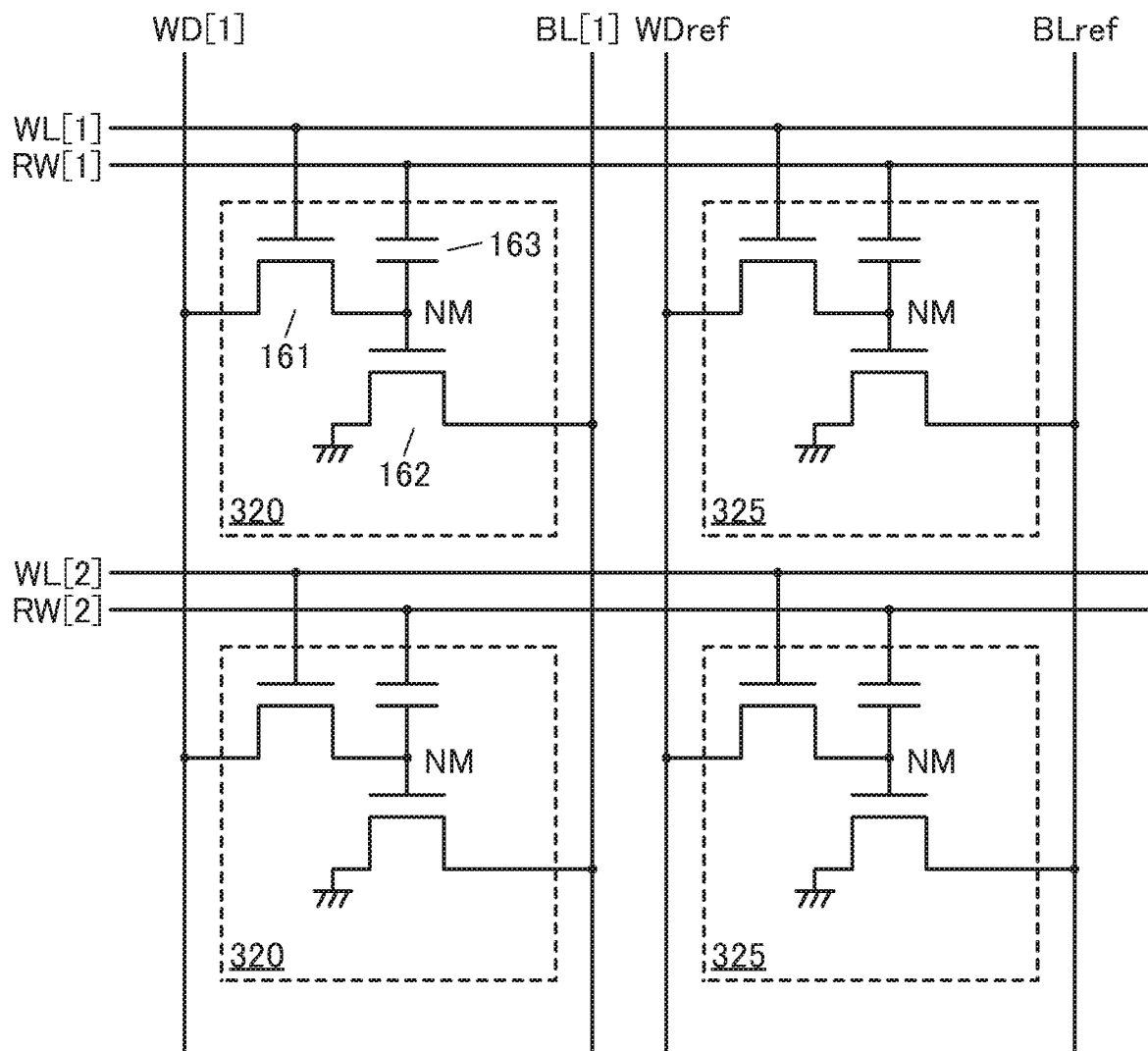


图 7A

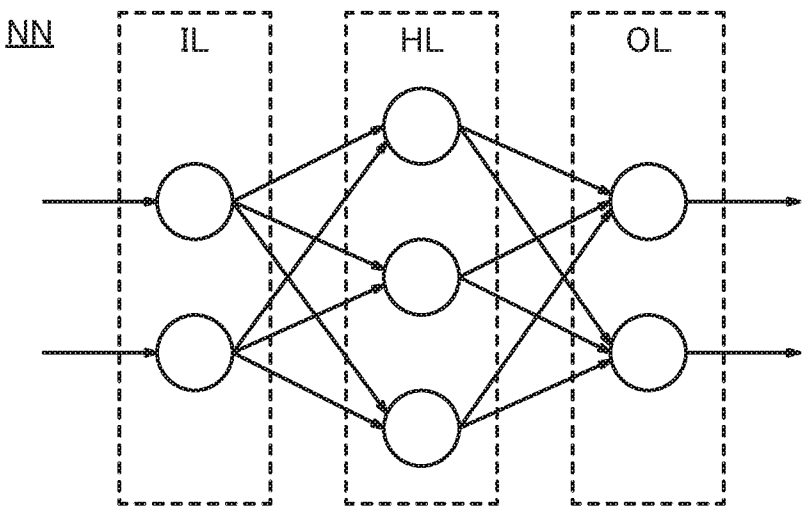
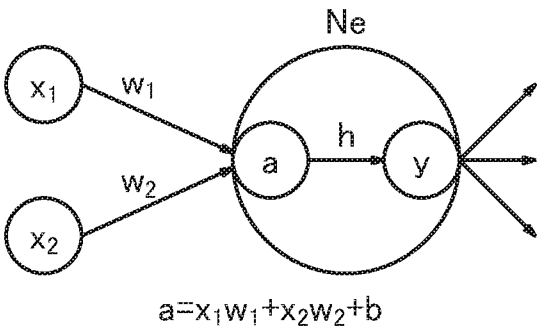
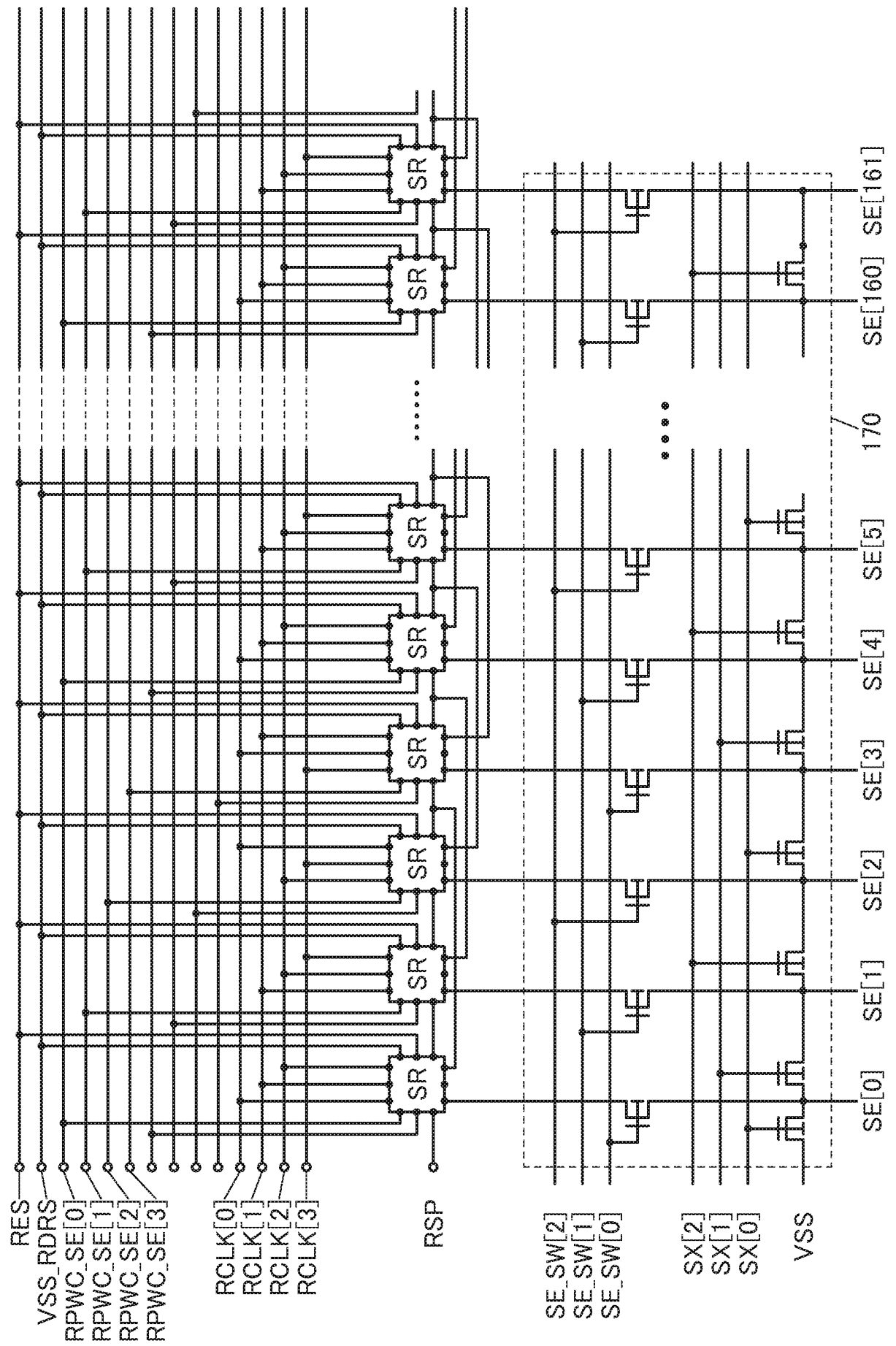


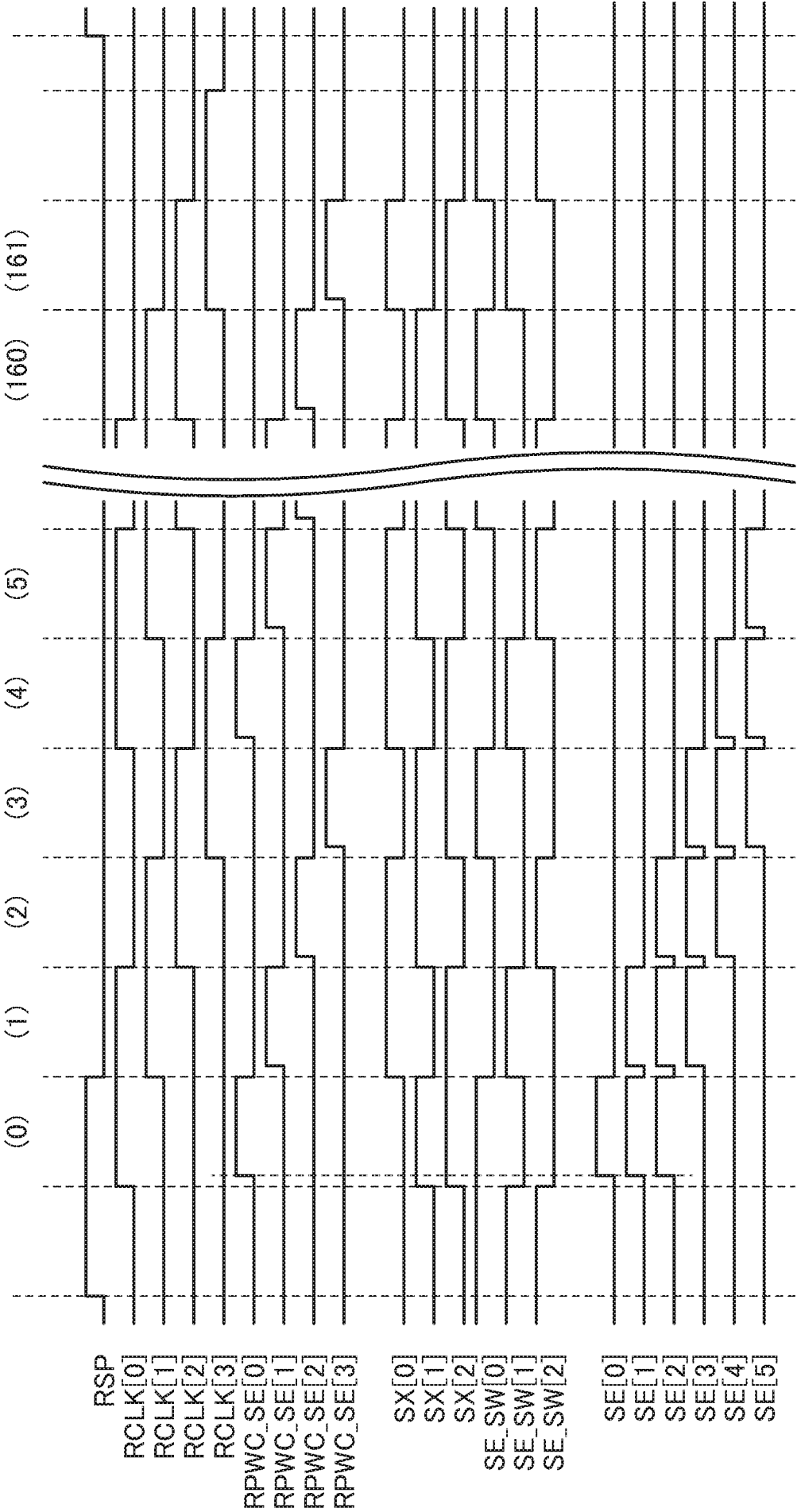
图 7B





9/20

図9



10/20

図10

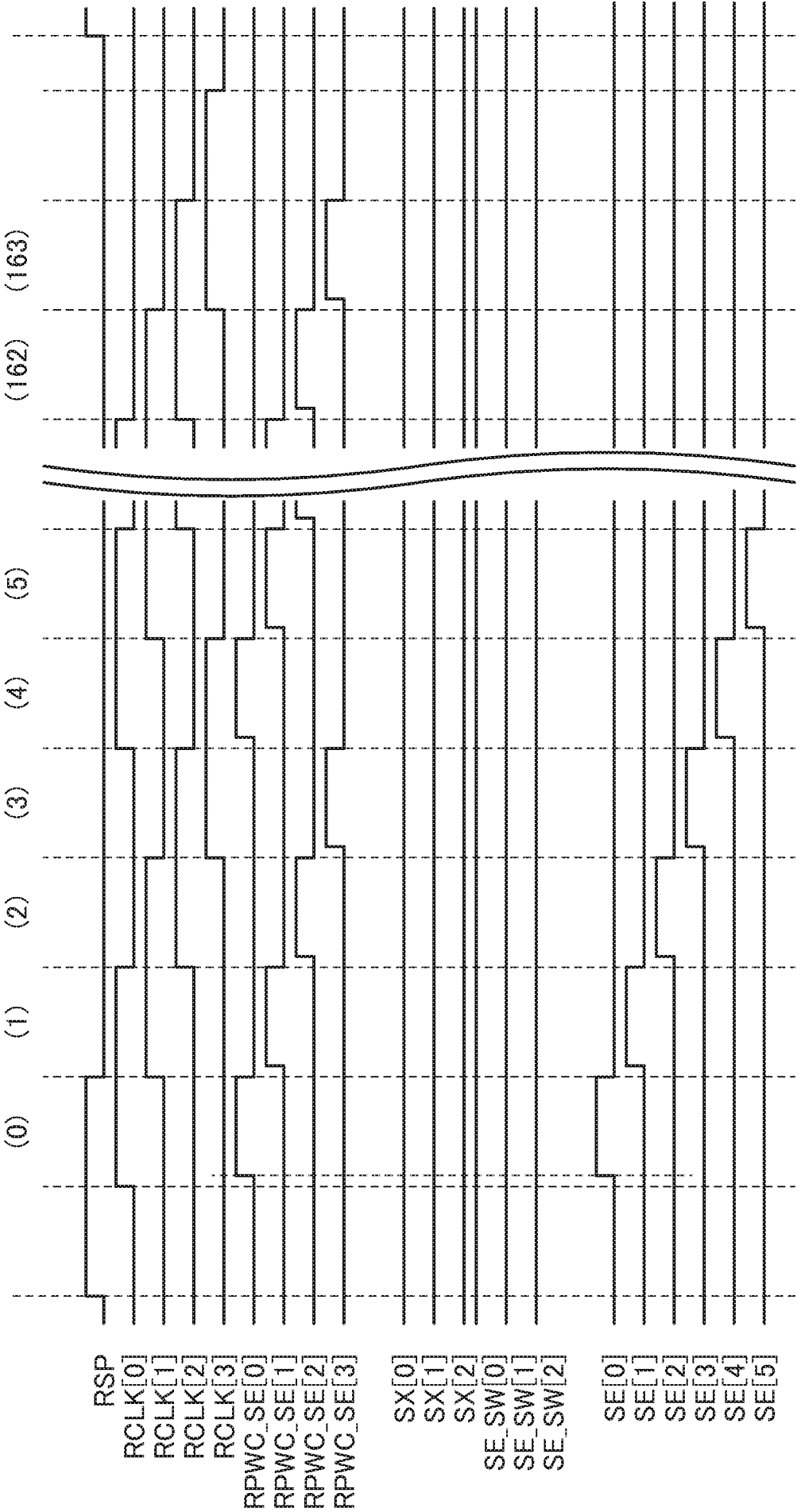


Figure 11A

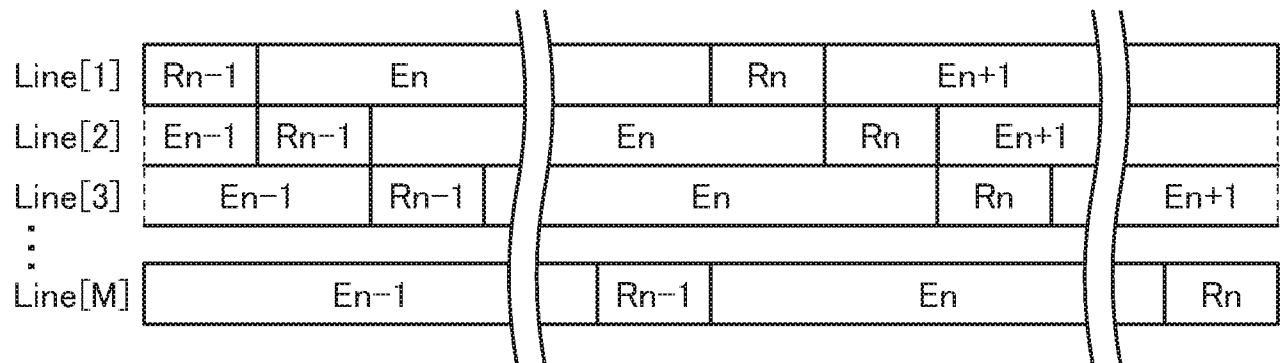
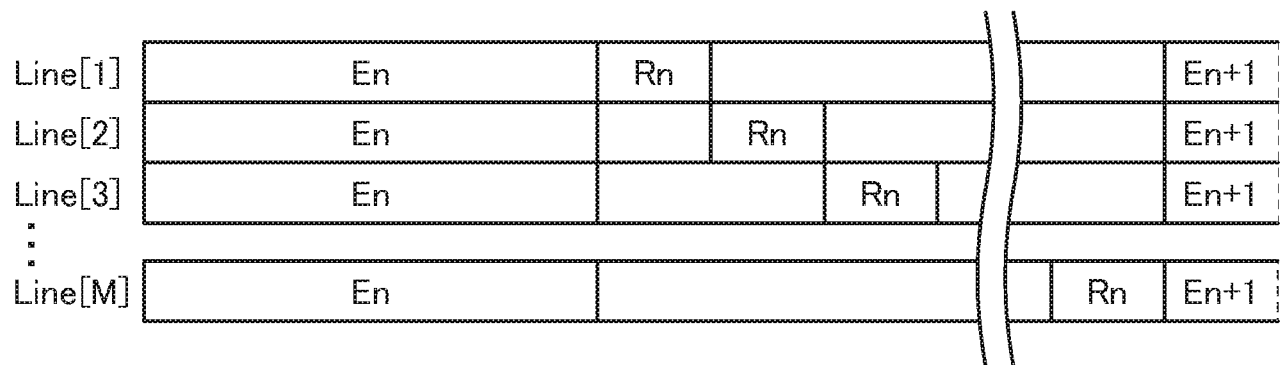
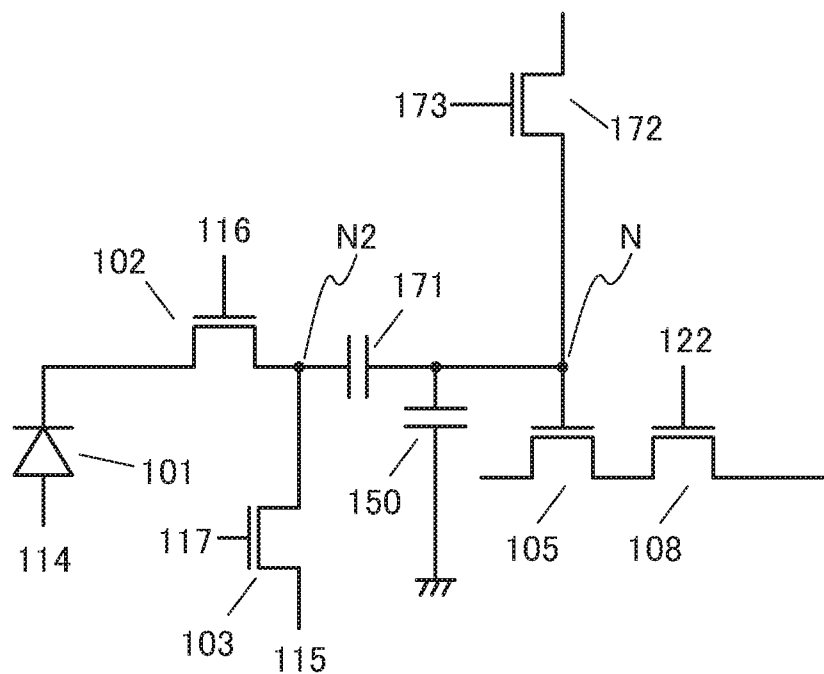


图 11B



11C



12/20

図12A

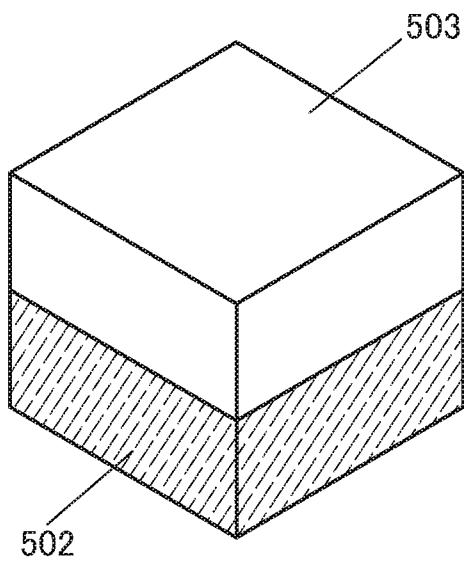


図12B

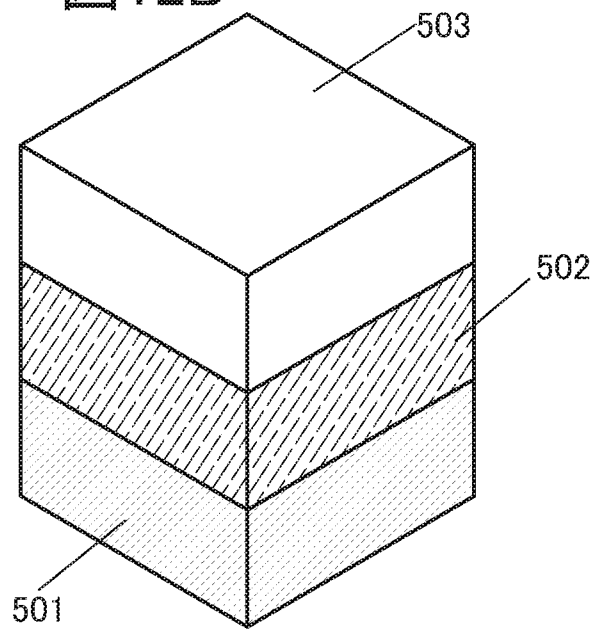


図12C

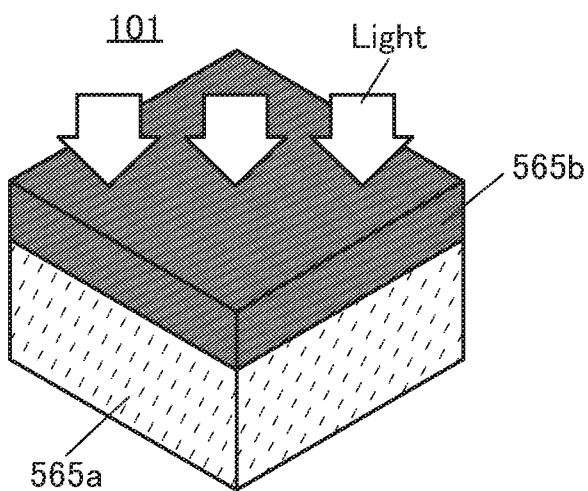


図12D

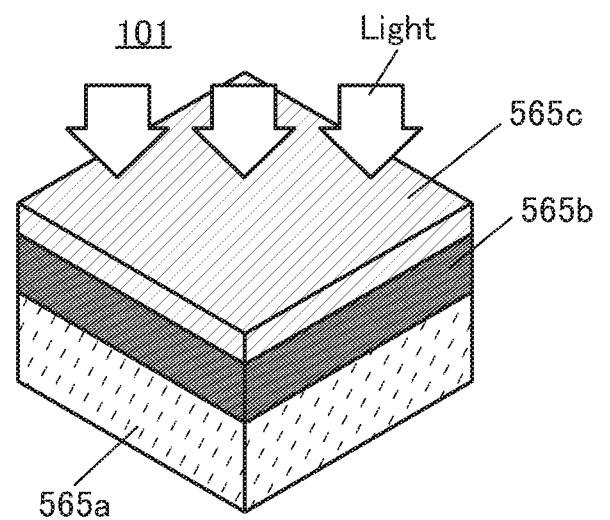


図12E

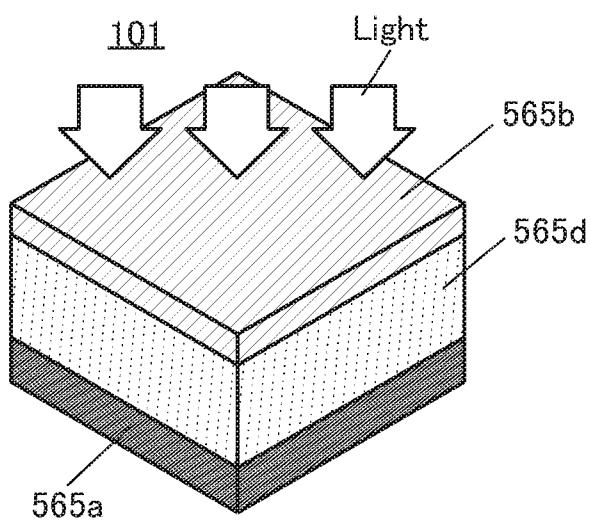
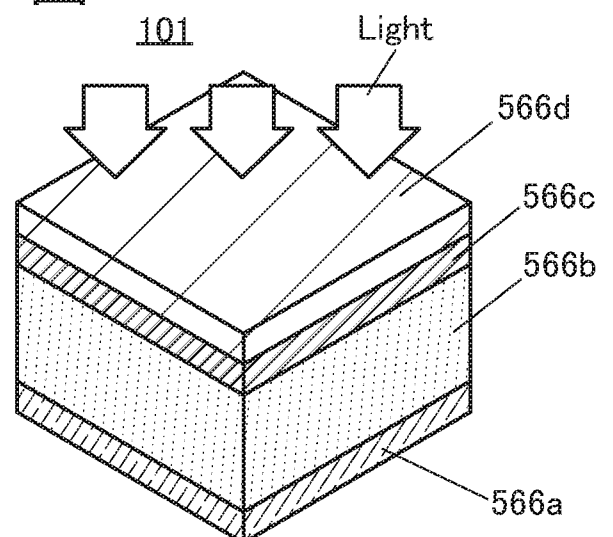
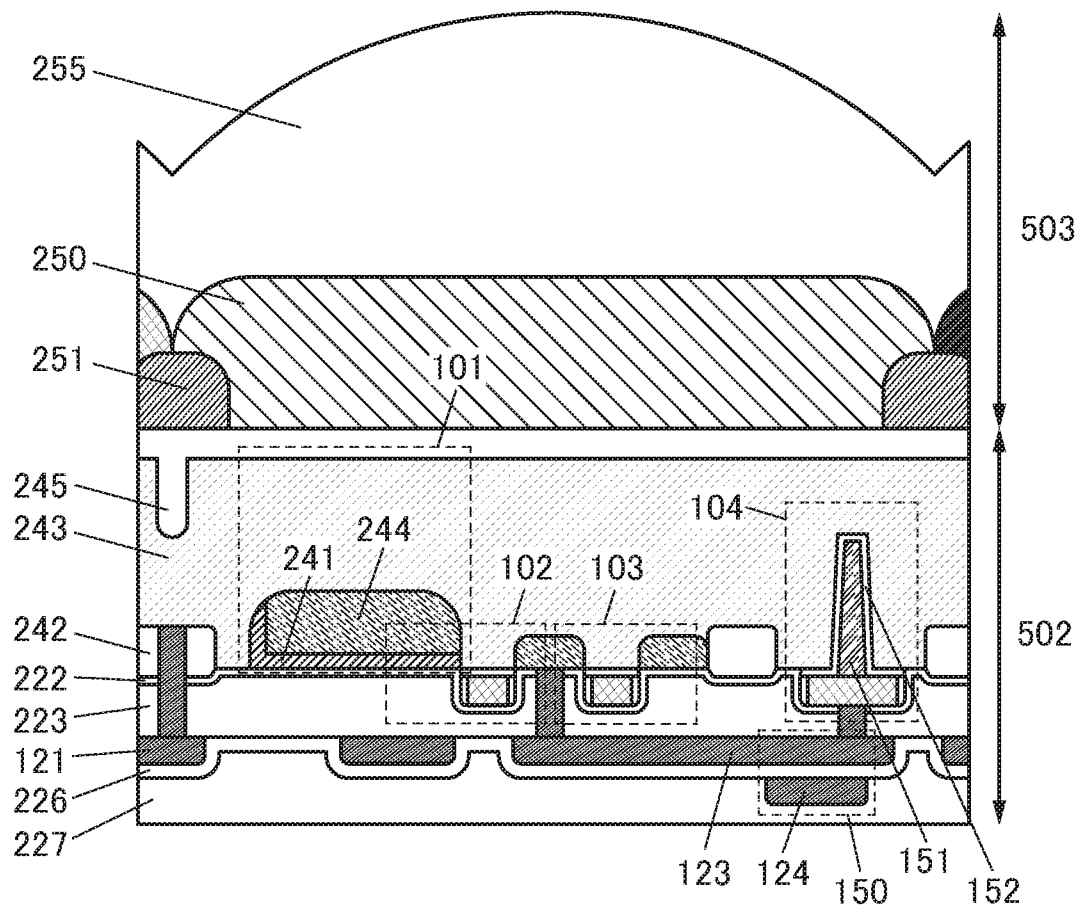


図12F



13A



13B

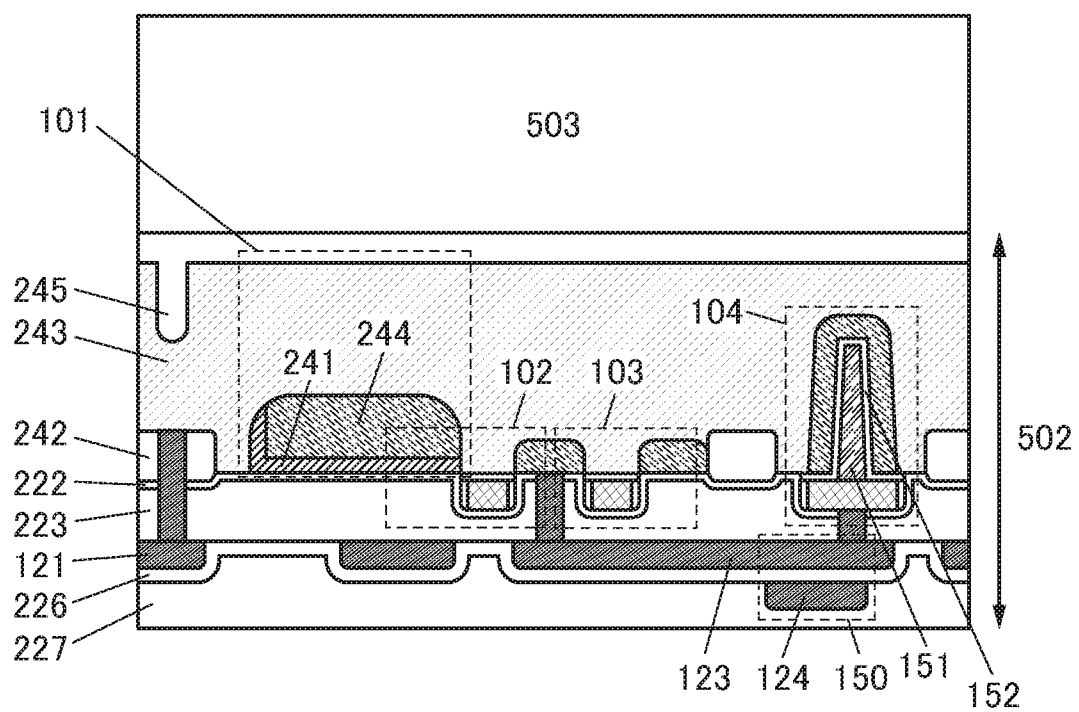


图14

14/20

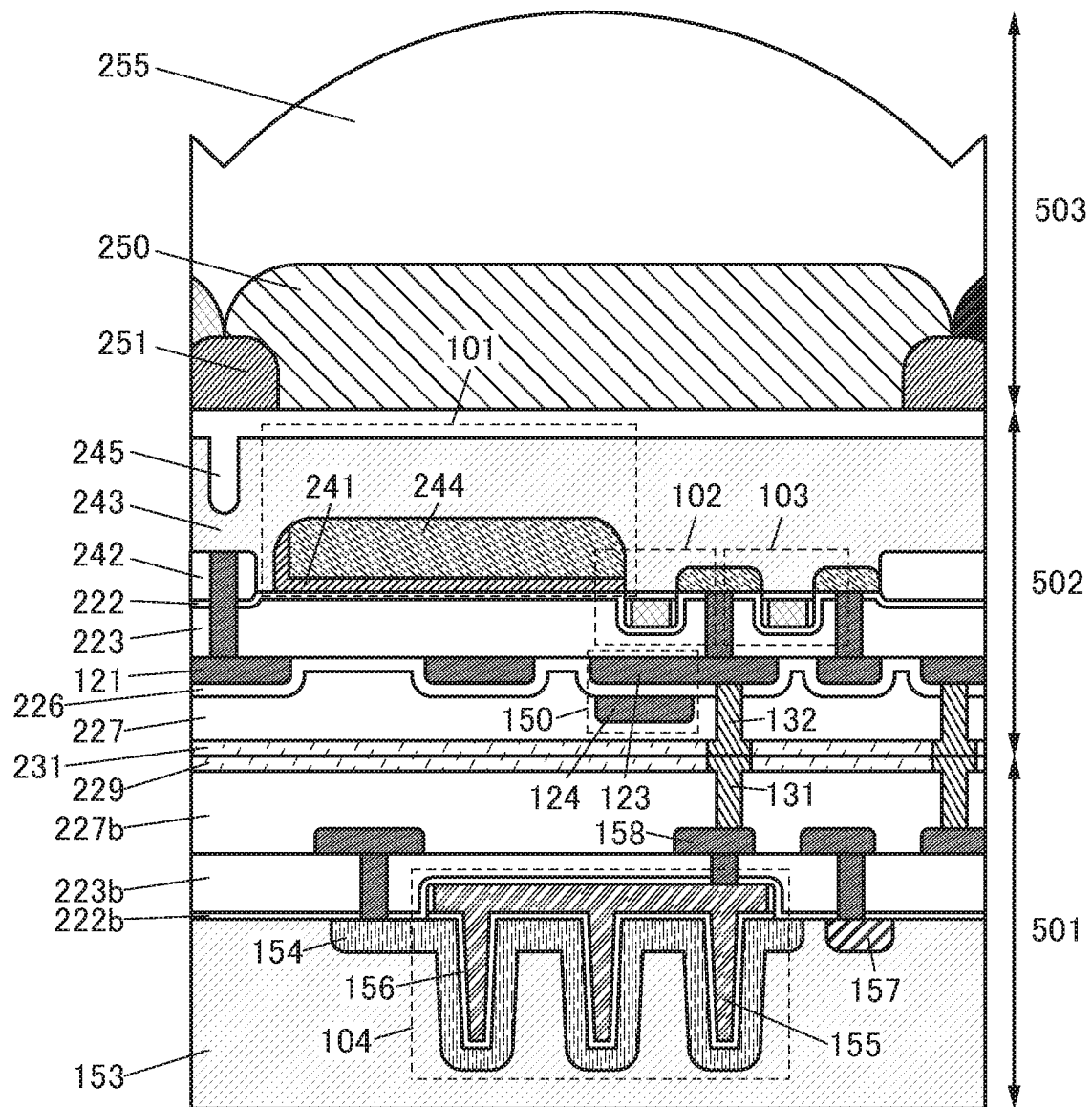


図15

15/20

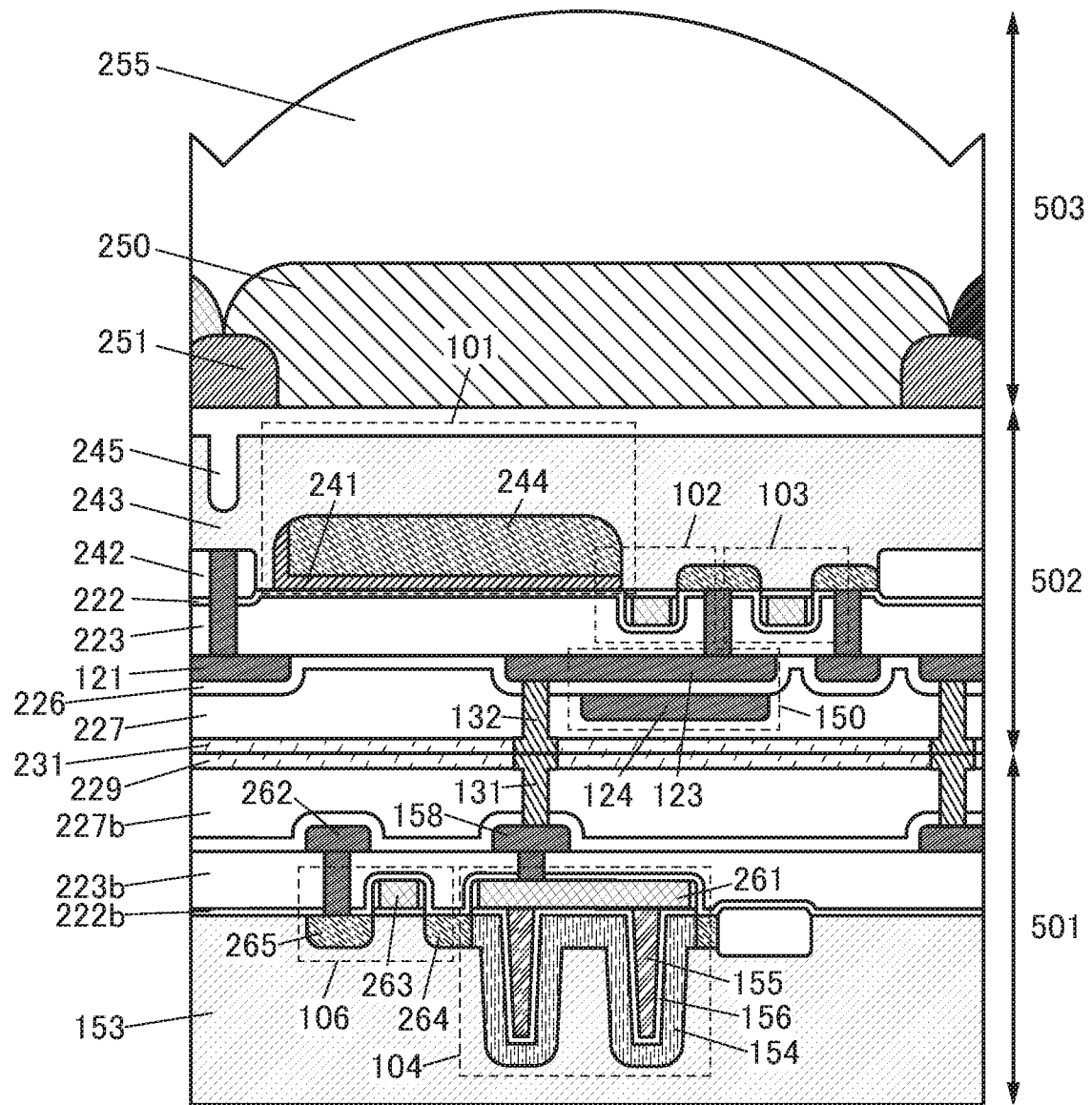


図17A

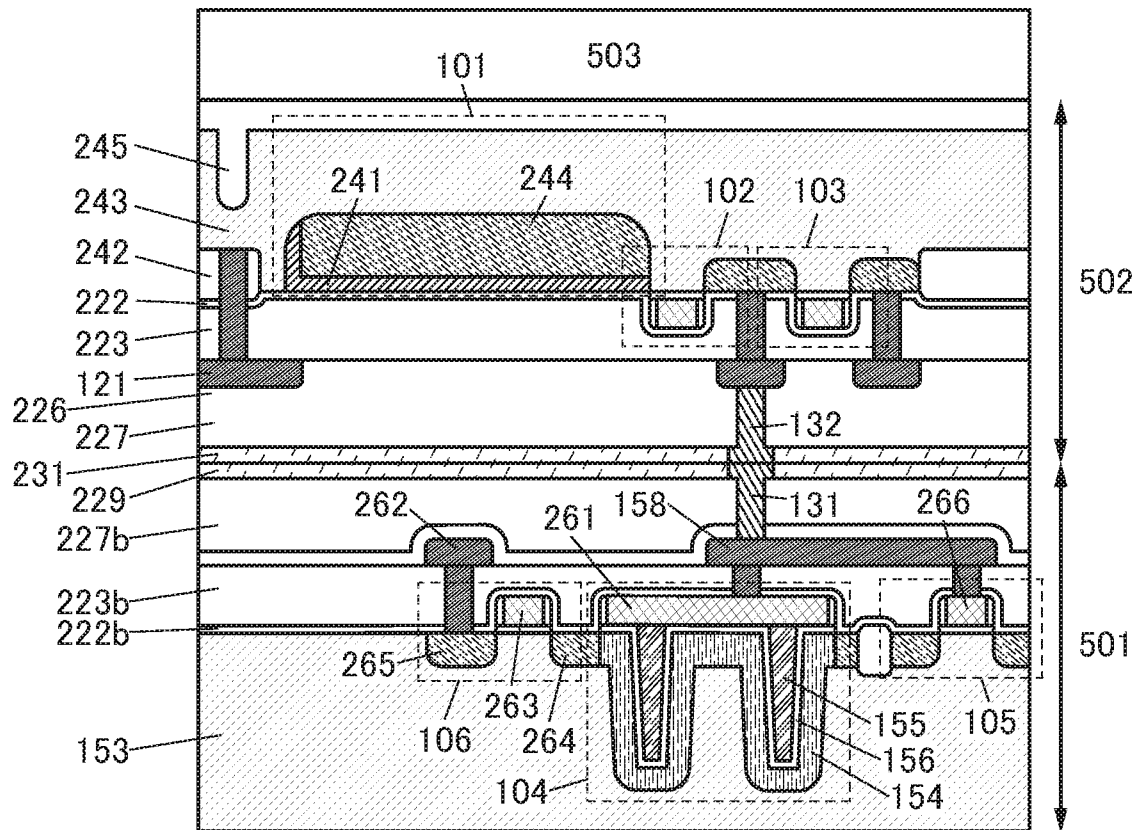


図17B

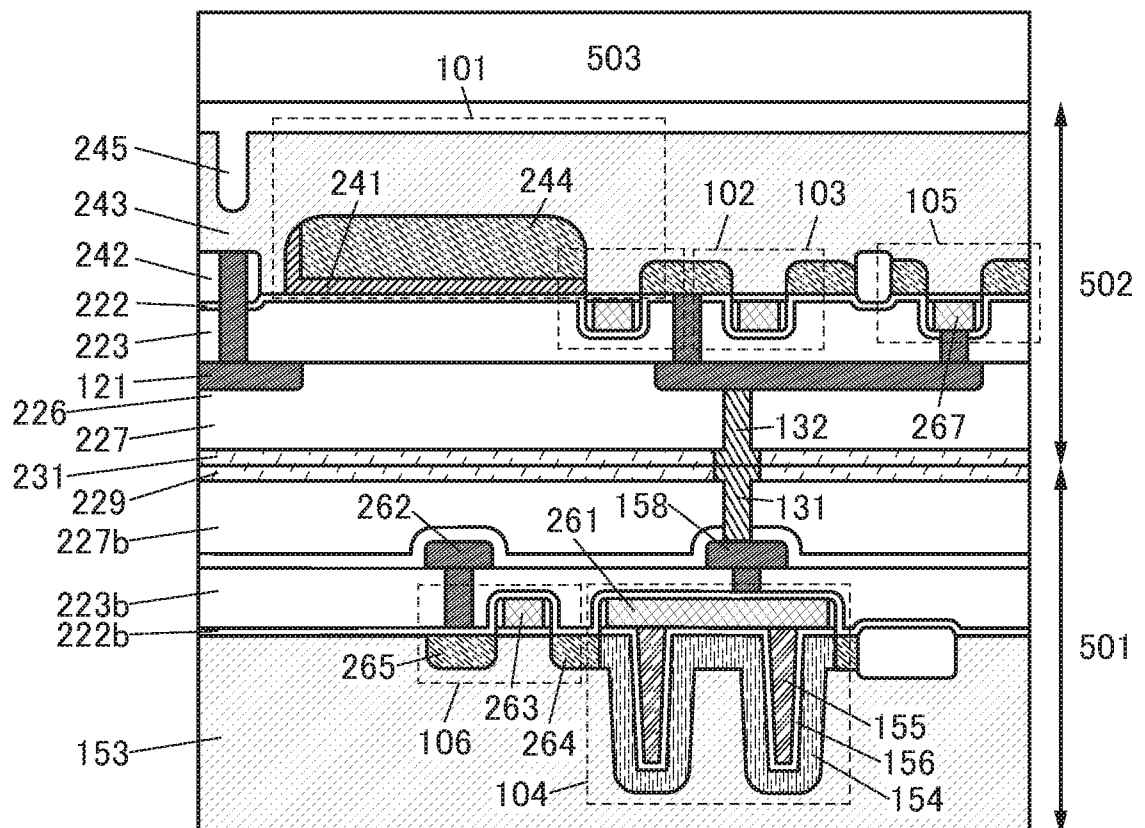


図18A

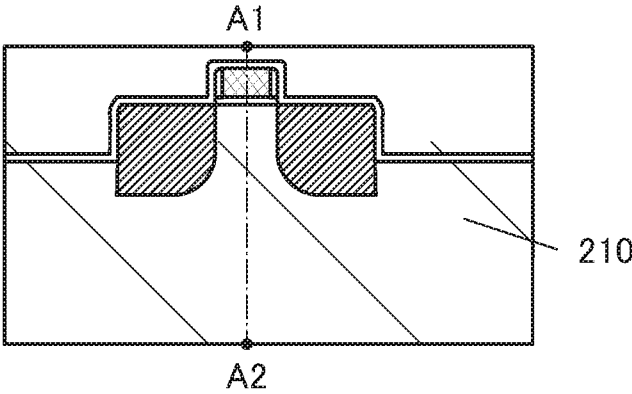


図18B

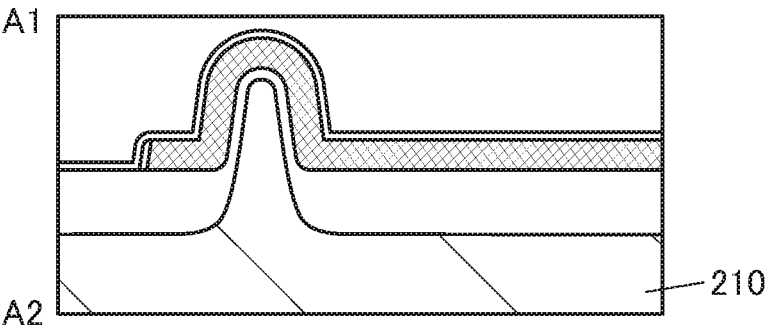


図18C

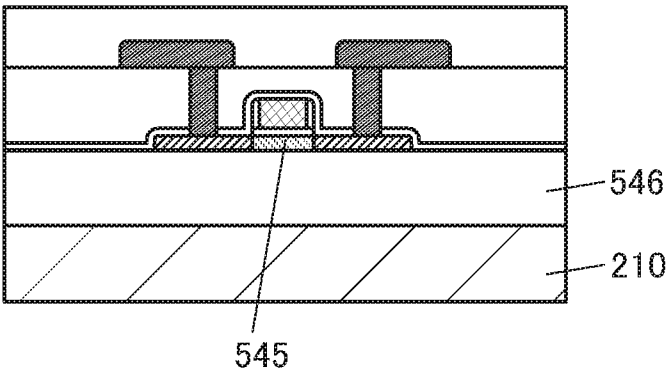


图 19A

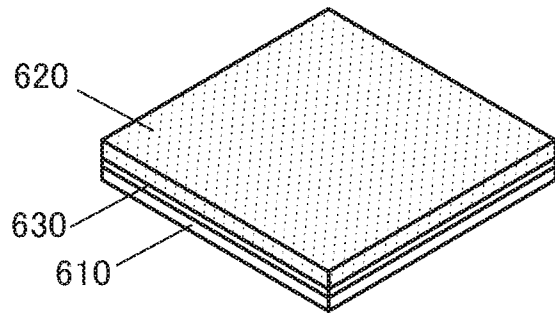


图 19D

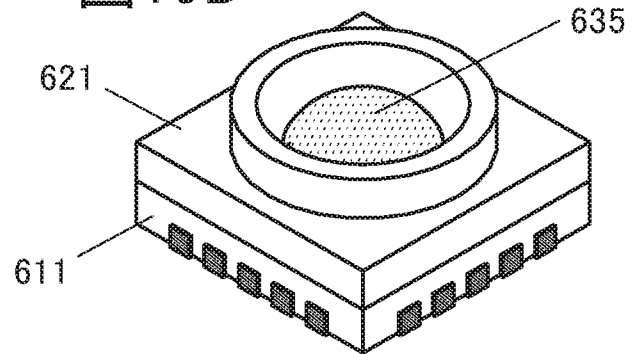


图 19B

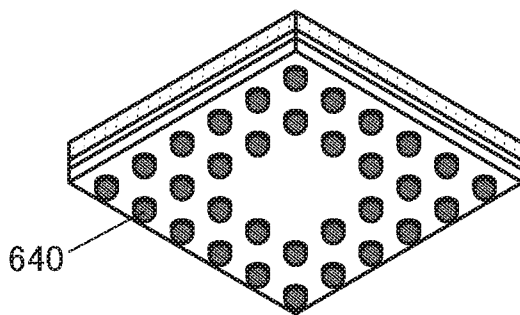


图 19E

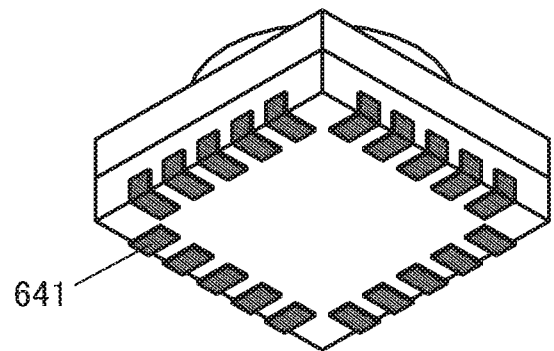


图 19C

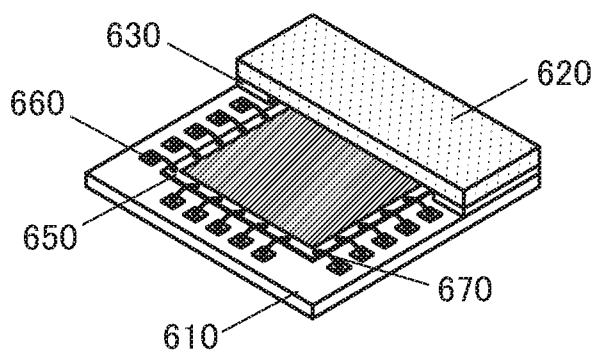


图 19F

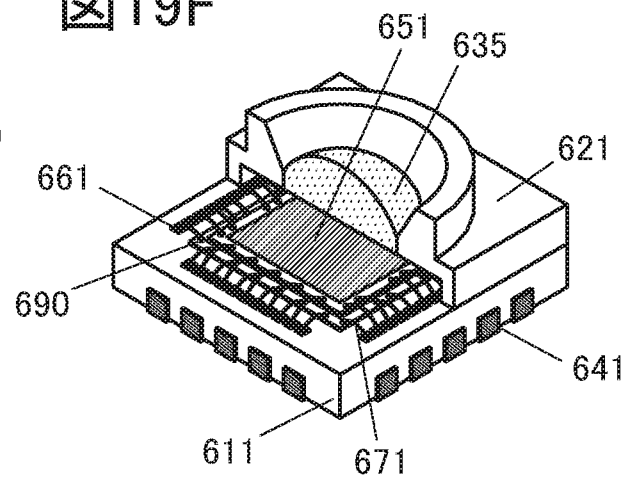


図20A

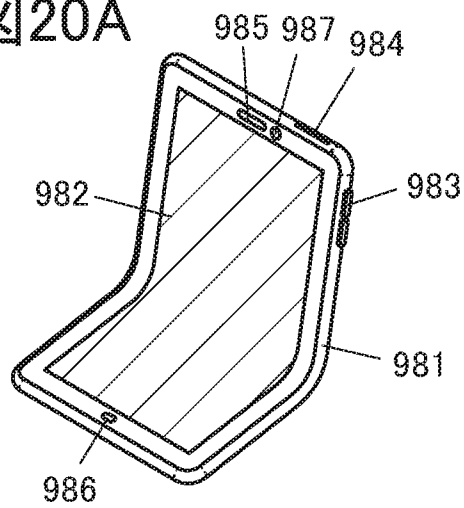


図20B

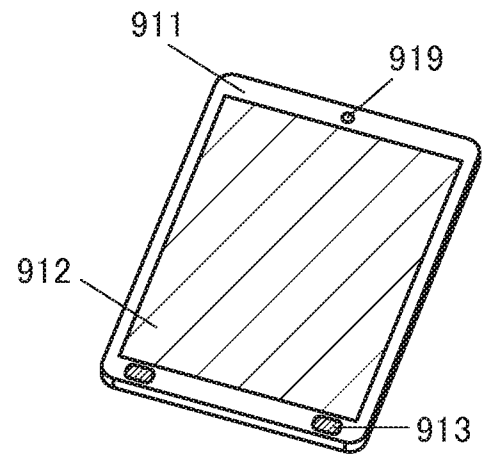


図20C

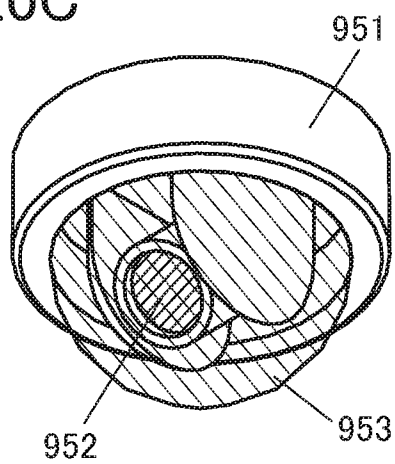


図20D

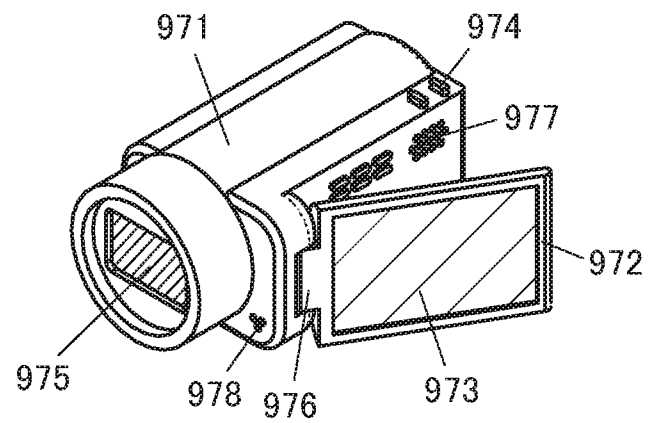


図20E

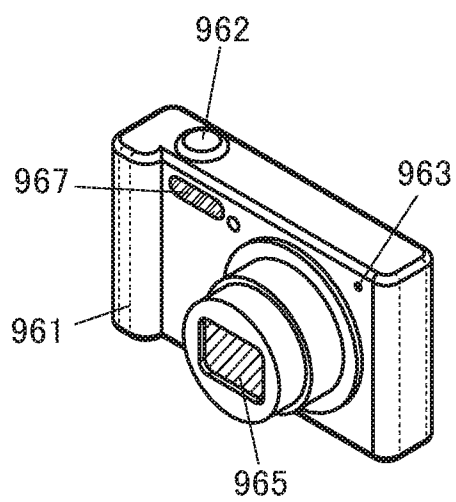
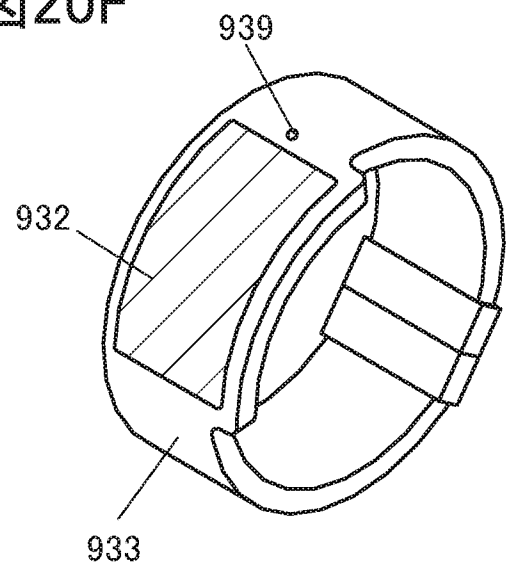


図20F



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2020/056448

A. CLASSIFICATION OF SUBJECT MATTER

H04N 5/347(2011.01)i; H01L 27/146(2006.01)i; H04N 5/3745(2011.01)i

FI: H04N5/347; H04N5/3745; H01L27/146 A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/347; H01L27/146; H04N5/3745

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2018/215882 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 29 November 2018 (2018-11-29) paragraphs [0050]-[0078], fig. 2, 6	1-9
A	WO 2018/224910 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 13 December 2018 (2018-12-13) paragraphs [0067]-[0085], fig. 4-6	1-9
A	JP 2016-123087 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 07 July 2016 (2016-07-07) paragraphs [0049]-[0100], fig. 1-4	1-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 September 2020 (25.09.2020)Date of mailing of the international search report
06 October 2020 (06.10.2020)Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2020/056448

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
WO 2018/215882 A1	29 Nov. 2018	CN 110651468 A paragraphs [0082]- [0110], fig. 2, 6	
WO 2018/224910 A1	13 Dec. 2018	KR 10-2020-0012917 A US 2020/0091214 A1 paragraphs [0086]- [0104], fig. 4-6	
JP 2016-123087 A	07 Jul. 2016	US 2016/0172410 A1 paragraphs [0097]- [0148], fig. 1-4	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 5/347(2011.01)i; H01L 27/146(2006.01)i; H04N 5/3745(2011.01)i FI: H04N5/347; H04N5/3745; H01L27/146 A														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H04N5/347; H01L27/146; H04N5/3745														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2020年													
日本国実用新案登録公報	1996 - 2020年													
日本国登録実用新案公報	1994 - 2020年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	WO 2018/215882 A1（株式会社半導体エネルギー研究所）29.11.2018（2018 - 11 - 29） 段落 [0050] - [0078]、図2,6	1-9												
A	WO 2018/224910 A1（株式会社半導体エネルギー研究所）13.12.2018（2018 - 12 - 13） 段落 [0067] - [0085]、図4-6	1-9												
A	JP 2016-123087 A（株式会社半導体エネルギー研究所）07.07.2016（2016 - 07 - 07） 段落 [0049] - [0100]、図1-4	1-9												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 25.09.2020	国際調査報告の発送日 06.10.2020													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 鈴木 明 5V 9185 電話番号 03-3581-1101 内線 3571													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2020/056448

引用文献			公表日	パテントファミリー文献	公表日
WO	2018/215882	A1	29.11.2018	CN 110651468 A 段落 [0082] - [0110]、図 2, 6 KR 10-2020-0012917 A	
WO	2018/224910	A1	13.12.2018	US 2020/0091214 A1 段落 [0086] - [0104]、図 4-6	
JP	2016-123087	A	07.07.2016	US 2016/0172410 A1 段落 [0097] - [0148]、図 1-4	