

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成27年12月17日(2015.12.17)

【公表番号】特表2015-512585(P2015-512585A)

【公表日】平成27年4月27日(2015.4.27)

【年通号数】公開・登録公報2015-028

【出願番号】特願2015-503189(P2015-503189)

【国際特許分類】

H 03M 13/15 (2006.01)

【F I】

H 03M 13/15

【手続補正書】

【提出日】平成27年10月28日(2015.10.28)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

K桁のメッセージのL桁の部分を、P個のパリティディジットを有するN桁の符号化メッセージに並列符号化するためのエンコーダモジュールであって、

前記K桁のメッセージの前記L桁の部分を受信するように構成された入力と、

前記N桁の符号化メッセージを出力するように構成された出力と、

L桁入力シフトレジスタ回路とを含み、前記L桁入力シフトレジスタの入力が、前記エンコーダモジュールの前記入力に連結され、前記L桁入力シフトレジスタの出力が、前記エンコーダモジュールの前記出力に連結され、

順次連結されたP/L個のパリティシフトレジスタを含み、前記P/L個のパリティシフトレジスタのうち最後のパリティシフトレジスタの入力が、前記エンコーダモジュールの前記入力に連結され、前記最後のパリティシフトレジスタの出力が、前記エンコーダモジュールの前記出力に連結され、

P/L個のパリティ生成モジュールを備えるフィードバック回路を含み、前記P/L個のパリティ生成モジュールの各々が、スイッチによって前記最後のパリティシフトレジスタの前記出力に連結され、さらに前記P/L個のパリティシフトレジスタのうち対応する1つのパリティシフトレジスタの入力に連結され、

前記P/L個のパリティ生成モジュールの各々は、前記スイッチが閉合されているときに、前記P/L個のパリティシフトレジスタのうち1つに対応するパリティシフトレジスタに格納されるべきL個のパリティディジットを生成するように構成され、

L, K, NおよびPは正の整数であり、Lは1よりも大きく、PはLの倍数である、エンコーダモジュール。

【請求項2】

(K/L)個のクロックサイクルの各々において、

前記フィードバック回路の前記スイッチは、閉合され、

前記エンコーダモジュールは、入力で受信した前記K桁のメッセージの前記L桁の部分のうち1つを、前記L桁入力シフトレジスタと、前記最後のパリティシフトレジスタの前記入力とに転送し、

前記最後のパリティシフトレジスタは、格納されたパリティディジットを、前記フィードバック回路の前記P/L個のパリティ生成モジュールの各々に転送し、前記P/L個の

パリティ生成モジュールの各々は、前記 P / L 個のパリティシフトレジスタのうち 1 つに 対応するパリティシフトレジスタに格納されるべき L 個のパリティディジットを生成し、

前記最後のパリティシフトレジスタ以外の前記 P / L 個のパリティシフトレジスタの各々は、格納されたパリティディジットを前記 P / L 個のパリティシフトレジスタのうち次のパリティシフトレジスタに転送し、

前記 L 桁入力シフトレジスタは、格納されたデータを前記エンコーダモジュールの前記出力に転送し、当該データは、前記 K 桁のメッセージの前記 L 桁の部分のうち 1 つを含み

(K / L) + 1 クロックサイクルにおいて、

前記 L 桁入力シフトレジスタは、格納されたデータを前記エンコーダモジュールの前記出力に転送し、当該データは、前記 K 桁のメッセージの前記 L 桁の部分のうち 1 つを含み

前記エンコーダモジュールは、入力で受信したゼロ入力を前記 L 桁入力シフトレジスタおよび前記最後のパリティシフトレジスタの前記入力に転送することによって、前記 FIFO バック回路の前記スイッチを開放し、

前記 (K / L) + 2 ~ (N / L) + 1 個のクロックサイクルの各々において、

前記最後のパリティシフトレジスタは、格納されたパリティディジットを前記エンコーダモジュールの前記出力に転送し、

前記最後のパリティシフトレジスタ以外の前記 P / L 個のパリティシフトレジスタの各々は、格納されたパリティディジットを前記 P / L 個のパリティシフトレジスタのうち次のパリティシフトレジスタに転送する、請求項 1 に記載のエンコーダモジュール。

【請求項 3】

前記最後のパリティシフトレジスタの前記出力と前記 L 桁入力シフトレジスタの出力とは、マルチプレクサを介して前記エンコーダモジュールの前記出力に連結されている、請求項 2 に記載のエンコーダモジュール。

【請求項 4】

前記 (K / L) 個のクロックサイクルの各々において前記最後のパリティシフトレジスタの前記入力に転送された前記 L 桁の部分は、同一クロックサイクルにおいて前記最後のパリティシフトレジスタに格納された前記パリティディジットと合併される、請求項 2 に記載のエンコーダモジュール。

【請求項 5】

前記 (K / L) 個のクロックサイクルの各々において前記 P / L 個のパリティ生成モジュールの各々 によって生成された前記 L 個のパリティディジットは、同一クロックサイクルにおいて対応するパリティシフトレジスタに格納された前記パリティディジットと合併される、請求項 2 に記載のエンコーダモジュール。

【請求項 6】

前記 (K / L) + 1 クロックサイクルにおいて前記 P / L 個のパリティシフトレジスタの各々に格納された前記パリティディジットは、最終パリティディジット値である、請求項 2 に記載のエンコーダモジュール。

【請求項 7】

前記 P 個のパリティディジットは、前記 (K / L) + 2 ~ (N / L) + 1 個のクロックサイクルにおいて、前記エンコーダモジュールによって出力される、請求項 1 に記載のエンコーダモジュール。

【請求項 8】

前記 P 個のパリティディジットは、L 桁の並列出力として出力される、請求項 7 に記載のエンコーダモジュール。

【請求項 9】

前記 P / L 個のパリティシフトレジスタは、前記 P / L 個のパリティシフトレジスタの各々に連絡された制御信号によって制御される、請求項 1 に記載のエンコーダモジュール。

【請求項 10】

前記エンコーダモジュールによって受信された前記K桁のメッセージの前記L桁の部分は、(K/L) + 1クロックサイクルにおいて、前記エンコーダモジュールによって出力される、請求項1に記載のエンコーダモジュール。

【請求項 11】

K桁のメッセージのL桁の部分を、P個のパリティディジットを有するN桁の符号化メッセージに並列符号化するためのエンコーダモジュールであって、

前記K桁のメッセージの前記L桁の部分を受信するように構成された入力と、

前記N桁の符号化メッセージを出力するように構成された出力とを含み、前記エンコーダモジュールの前記入力が、前記出力に結合され、

P/L段遅延器を含み、前記P/L段遅延器の入力は、前記エンコーダモジュールの前記入力に連結され、前記P/L段遅延器の出力は、前記エンコーダモジュールの出力に連結され、

順次連結されたP/L個のパリティシフトレジスタを含み、前記P/L個のパリティシフトレジスタのうち最初のパリティシフトレジスタの入力が、前記エンコーダモジュールの前記入力に連結され、前記P/L個のパリティシフトレジスタのうち最後のパリティシフトレジスタの出力が、前記エンコーダモジュールの前記出力に連結され、前記P/L個のパリティシフトレジスタの各々は、L個のパリティディジットを格納する容量を有し、

P/L個のパリティ生成モジュールを備えるフィードバック回路を含み、前記P/L個のパリティ生成モジュールの各々が、対応するスイッチによって、前記P/L個のパリティシフトレジスタのうち1つの対応するパリティシフトレジスタの出力に連結され、さらに、前記最初のパリティシフトレジスタの前記入力に連結され、前記P/L個のパリティ生成モジュールの各々は、対応するスイッチが閉合されているときに、前記最初のパリティシフトレジスタの前記入力への転送のためのL個のパリティディジットを生成するよう構成され、

L, K, NおよびPは正の整数であり、Lは1よりも大きく、PはLの倍数である、エンコーダモジュール。

【請求項 12】

(K/L)個のクロックサイクルの各々において、

前記フィードバック回路の前記対応するスイッチの各々は、閉合され、

前記エンコーダモジュールは、入力で受信した前記K桁のメッセージの前記L桁の部分のうち1つを、前記最初のパリティシフトレジスタと、前記エンコーダモジュールの前記出力とに転送し、

前記P/L個のパリティシフトレジスタの各々は、格納されたパリティディジットを前記P/L個のパリティ生成モジュールのうち対応する1つのパリティ生成モジュールに転送し、前記対応する1つのパリティ生成モジュールは、前記最初のパリティシフトレジスタに転送されるべき前記L個のパリティディジットを生成し、

前記最後のパリティシフトレジスタ以外の前記P/L個のパリティシフトレジスタの各々は、さらに、格納されたパリティディジットを前記P/L個のパリティシフトレジスタのうち次のパリティシフトレジスタに転送し、

(K/L) + 1 ~ (P/L)個のクロックサイクルの各々において、

前記エンコーダモジュールは、入力で受信したゼロ入力を、前記最初のパリティシフトレジスタに転送し、

前記フィードバック回路の1以上の前記対応するスイッチは、次々と開放され、

前記P/L個のパリティシフトレジスタの各々は、格納されたパリティディジットを、前記P/L個のパリティ生成モジュールのうち1つの対応するパリティ生成モジュールに転送し、

前記((K/L) + (P/L)) ~ ((N/L) + (P/L))個のクロックサイクルの各々において、

前記最後のパリティシフトレジスタは、格納されたパリティディジットを前記エンコ-

ダモジュールの前記出力に転送し、

前記最後のパリティシフトレジスタ以外の前記 P / L 個のパリティシフトレジスタの各々は、格納されたパリティディジットを前記 P / L 個のパリティシフトレジスタのうち次のパリティシフトレジスタに転送する、請求項 1_1 に記載のエンコーダモジュール。

【請求項 1_3】

前記最後のパリティシフトレジスタの前記出力と前記エンコーダモジュールの前記入力とは、マルチプレクサを介して前記エンコーダモジュールの前記出力に連結されている、請求項 1_2 に記載のエンコーダモジュール。

【請求項 1_4】

前記 (K / L) 個のクロックサイクルの各々において前記最初のパリティシフトレジスタの前記入力に転送された前記 L 枝の部分のうちの 1 つは、同一クロックサイクルにおいて前記最初のパリティシフトレジスタに格納された前記パリティディジットと合併される、請求項 1_2 に記載のエンコーダモジュール。

【請求項 1_5】

前記 (K / L) 個のクロックサイクルの各々において前記 P / L 個のパリティ生成モジュールの各々によって生成された前記 L 個のパリティディジットは、前記最初のパリティシフトレジスタに格納された前記パリティディジットと合併される、請求項 1_2 に記載のエンコーダモジュール。

【請求項 1_6】

前記エンコーダモジュールによって受信された前記 K 枝のメッセージの前記 L 枝の部分は、(K / L) 個のクロックサイクルにおいて、前記エンコーダモジュールによって出力される、請求項 1_1 に記載のエンコーダモジュール。

【請求項 1_7】

前記 P 個のパリティディジットは、前記 (K / L) + 1 ~ (P / L) 個のクロックサイクルにおいて、前記エンコーダモジュールによって出力される、請求項 1_1 に記載のエンコーダモジュール。

【請求項 1_8】

前記 P 個のパリティディジットは、L 枝の並列出力として出力される、請求項 1_7 に記載のエンコーダモジュール。

【請求項 1_9】

前記 P / L 個のパリティシフトレジスタは、前記 P / L 個のパリティシフトレジスタの各々に連結された制御信号によって制御される、請求項 1_1 に記載のエンコーダモジュール。

【請求項 2_0】

前記最初のパリティシフトレジスタの前記入力に関連付けられた加算器モジュールをさらに含む、請求項 1_1 に記載のエンコーダモジュール。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 9

【補正方法】変更

【補正の内容】

【0 0 3 9】

4 つのパリティシフトレジスタ 2 0 3 / 2 0 3 は、1 つのパリティシフトレジスタ 2 0 3 / 2 0 3 の出力が(次のパリティシフトレジスタが存在する場合に)次のパリティシフトレジスタ 2 0 3 / 2 0 3 の入力に連結されるように、順次連結されている。各 4 枝パリティシフトレジスタ 2 0 3 / 2 0 3 は、各パリティ生成モジュール 2 0 7 に対応しており、各パリティ生成モジュール 2 0 7 は、対応するパリティシフトレジスタ 2 0 3 / 2 0 3 の入力に連結される。加算器モジュール A が、複数のソース(たとえば、1 つのパリティ生成モジュールおよび先行するパリティシフトレジスタ)に連結された各パリティシフトレジスタ 2 0 3 / 2 0 3 の入力に関連されてもよい。加算器モジュール A は

、パリティシフトレジスタ203 / 203 の入力で受信したデータを格納するために、データの合併を容易にする。4つの4桁パリティシフトレジスタ203 / 203 のうち最後のパリティシフトレジスタ203 の出力は、エンコーダモジュールの入力D_{i_n}に連結されかつフィードバック回路205の各パリティ生成モジュール207の出力に連結される。最後のパリティシフトレジスタ203 の出力は、さらに、マルチプレクサを介してエンコーダモジュール200の出力D_{out}に連結される。追加の加算器モジュールAは、最後のパリティシフトレジスタ203 の出力に関連されてもよい。追加の加算器モジュールAは、最後のパリティシフトレジスタ203 の出力で受信したデータをフィードバック回路205のパリティ生成モジュール207に送信するために、データの合併を容易にする。同様に、エンコーダモジュール200の入力D_{i_n}は、マルチプレクサを介してエンコーダモジュール200の出力D_{out}に連結される。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0041

【補正方法】変更

【補正の内容】

【0041】

図1の直列エンコーダモジュール100は、それぞれ単一のディジットを格納するパリティシフトレジスタ103 / 103 を含む。これに対して、図2のエンコーダモジュール200は、1回に4つのディジットを格納する4桁パリティシフトレジスタ203 / 203 を含む。同様に、図1のフィードバック回路105のパリティ生成モジュール107は、1回に単一のメッセージディジットを処理する。これに対して、図2のフィードバック回路のパリティ生成モジュールは、1回に4つのメッセージディジットを処理する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0079

【補正方法】変更

【補正の内容】

【0079】

最初のK / L個のクロックサイクルにおいて、フィードバック回路405の各スイッチS1, S2, S3, S4は、閉合されている。最初の(K / L)個のクロックサイクルの各クロックサイクルにおいて、K桁のメッセージの4桁の部分は、エンコーダモジュール400の入力D_{i_n}で受信され、最初のパリティシフトレジスタ403 の出力転送される。同時に、各パリティシフトレジスタ403 / 403 / 403 は、格納されたデータを対応するパリティ生成モジュール407および(次のパリティシフトレジスタが存在する場合に)次のパリティシフトレジスタ403 / 403 / 403 に転送する。各パリティ生成モジュール407は、最初のパリティシフトレジスタ403 にフィードバックされるパリティディジットを生成する。フィードバック回路405のパリティ生成モジュール407により生成された新たなパリティディジットが最初のパリティシフトレジスタ403 にフィードバックされるため、各パリティシフトレジスタ403 / 403 / 403 に格納されたデータは、クロックサイクル毎に更新される。各パリティ生成モジュール407は、擬似コード(L = 4, P = 16)に従って、K桁のメッセージの各ディジットに対しパリティディジットを生成するように構成されている。