

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 27 年 12 月 17 日 (2015.12.17)

【公表番号】特表 2015-512585 (P2015-512585A)

【公表日】平成 27 年 4 月 27 日 (2015.4.27)

【年通号数】公開・登録公報 2015-028

【出願番号】特願 2015-503189 (P2015-503189)

【国際特許分類】

H 0 3 M 13/15 (2006.01)

【F I】

H 0 3 M 13/15

【手続補正書】

【提出日】平成 27 年 10 月 28 日 (2015.10.28)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

K 桁のメッセージの L 桁の部分を、P 個のパリティディジットを有する N 桁の符号化メッセージに並列符号化するためのエンコーダモジュールであって、

前記 K 桁のメッセージの前記 L 桁の部分を受信するように構成された入力と、

前記 N 桁の符号化メッセージを出力するように構成された出力と、

L 桁入力シフトレジスタ回路とを含み、前記 L 桁入力シフトレジスタの入力が、前記エンコーダモジュールの前記入力に連結され、前記 L 桁入力シフトレジスタの出力が、前記エンコーダモジュールの前記出力に連結され、

順次連結された P / L 個のパリティシフトレジスタを含み、前記 P / L 個のパリティシフトレジスタのうち最後のパリティシフトレジスタの入力が、前記エンコーダモジュールの前記入力に連結され、前記最後のパリティシフトレジスタの出力が、前記エンコーダモジュールの前記出力に連結され、

P / L 個のパリティ生成モジュールを備えるフィードバック回路を含み、前記 P / L 個のパリティ生成モジュールの各々が、スイッチによって前記最後のパリティシフトレジスタの前記出力に連結され、さらに前記 P / L 個のパリティシフトレジスタのうち対応する 1 つのパリティシフトレジスタの入力に連結され、

前記 P / L 個のパリティ生成モジュールの各々は、前記スイッチが閉合されているときに、前記 P / L 個のパリティシフトレジスタのうち 1 つに対応するパリティシフトレジスタに格納されるべき L 個のパリティディジットを生成するように構成され、

L, K, N および P は正の整数であり、L は 1 よりも大きく、P は L の倍数である、エンコーダモジュール。

【請求項 2】

(K / L) 個のクロックサイクルの各々において、

前記フィードバック回路の前記スイッチは、閉合され、

前記エンコーダモジュールは、入力で受信した前記 K 桁のメッセージの前記 L 桁の部分のうち 1 つを、前記 L 桁入力シフトレジスタと、前記最後のパリティシフトレジスタの前記入力とに転送し、

前記最後のパリティシフトレジスタは、格納されたパリティディジットを、前記フィードバック回路の前記 P / L 個のパリティ生成モジュールの各々に転送し、前記 P / L 個の

パリティ生成モジュールの各々は、前記 P / L 個のパリティシフトレジスタのうち 1 つに対応するパリティシフトレジスタに格納されるべき L 個のパリティディジットを生成し、

前記最後のパリティシフトレジスタ以外の前記 P / L 個のパリティシフトレジスタの各々は、格納されたパリティディジットを前記 P / L 個のパリティシフトレジスタのうち次のパリティシフトレジスタに転送し、

前記 L 桁入力シフトレジスタは、格納されたデータを前記エンコーダモジュールの前記出力に転送し、当該データは、前記 K 桁のメッセージの前記 L 桁の部分のうち 1 つを含み

、
(K / L) + 1 クロックサイクルにおいて、

前記 L 桁入力シフトレジスタは、格納されたデータを前記エンコーダモジュールの前記出力に転送し、当該データは、前記 K 桁のメッセージの前記 L 桁の部分のうち 1 つを含み

、
前記エンコーダモジュールは、入力で受信したゼロ入力を前記 L 桁入力シフトレジスタおよび前記最後のパリティシフトレジスタの前記入力に転送することによって、前記フィードバック回路の前記スイッチを開放し、

前記 (K / L) + 2 ~ (N / L) + 1 個のクロックサイクルの各々において、

前記最後のパリティシフトレジスタは、格納されたパリティディジットを前記エンコーダモジュールの前記出力に転送し、

前記最後のパリティシフトレジスタ以外の前記 P / L 個のパリティシフトレジスタの各々は、格納されたパリティディジットを前記 P / L 個のパリティシフトレジスタのうち次のパリティシフトレジスタに転送する、請求項 1 に記載のエンコーダモジュール。

【請求項 3】

前記最後のパリティシフトレジスタの前記出力と前記 L 桁入力シフトレジスタの出力とは、マルチプレクサを介して前記エンコーダモジュールの前記出力に連結されている、請求項 2 に記載のエンコーダモジュール。

【請求項 4】

前記 (K / L) 個のクロックサイクルの各々において前記最後のパリティシフトレジスタの前記入力に転送された前記 L 桁の部分は、同一クロックサイクルにおいて前記最後のパリティシフトレジスタに格納された前記パリティディジットと合併される、請求項 2 に記載のエンコーダモジュール。

【請求項 5】

前記 (K / L) 個のクロックサイクルの各々において前記 P / L 個のパリティ生成モジュールの各々によって生成された前記 L 個のパリティディジットは、同一クロックサイクルにおいて対応するパリティシフトレジスタに格納された前記パリティディジットと合併される、請求項 2 に記載のエンコーダモジュール。

【請求項 6】

前記 (K / L) + 1 クロックサイクルにおいて前記 P / L 個のパリティシフトレジスタの各々に格納された前記パリティディジットは、最終パリティディジット値である、請求項 2 に記載のエンコーダモジュール。

【請求項 7】

前記 P 個のパリティディジットは、前記 (K / L) + 2 ~ (N / L) + 1 個のクロックサイクルにおいて、前記エンコーダモジュールによって出力される、請求項 1 に記載のエンコーダモジュール。

【請求項 8】

前記 P 個のパリティディジットは、 L 桁の並列出力として出力される、請求項 7 に記載のエンコーダモジュール。

【請求項 9】

前記 P / L 個のパリティシフトレジスタは、前記 P / L 個のパリティシフトレジスタの各々に連結された制御信号によって制御される、請求項 1 に記載のエンコーダモジュール。

【請求項 10】

前記エンコーダモジュールによって受信された前記 K 桁のメッセージの前記 L 桁の部分は、 $(K/L) + 1$ クロックサイクルにおいて、前記エンコーダモジュールによって出力される、請求項 1 に記載のエンコーダモジュール。

【請求項 11】

K 桁のメッセージの L 桁の部分を、P 個のパリティディジットを有する N 桁の符号化メッセージに並列符号化するためのエンコーダモジュールであって、

前記 K 桁のメッセージの前記 L 桁の部分を受信するように構成された入力と、

前記 N 桁の符号化メッセージを出力するように構成された出力とを含み、前記エンコーダモジュールの前記入力が、前記出力に結合され、

P / L 段遅延器を含み、前記 P / L 段遅延器の入力は、前記エンコーダモジュールの前記入力に連結され、前記 P / L 段遅延器の出力は、前記エンコーダモジュールの出力に連結され、

順次連結された P / L 個のパリティシフトレジスタを含み、前記 P / L 個のパリティシフトレジスタのうち最初のパリティシフトレジスタの入力が、前記エンコーダモジュールの前記入力に連結され、前記 P / L 個のパリティシフトレジスタのうち最後のパリティシフトレジスタの出力が、前記エンコーダモジュールの前記出力に連結され、前記 P / L 個のパリティシフトレジスタの各々は、L 個のパリティディジットを格納する容量を有し、

P / L 個のパリティ生成モジュールを備えるフィードバック回路を含み、前記 P / L 個のパリティ生成モジュールの各々が、対応するスイッチによって、前記 P / L 個のパリティシフトレジスタのうち 1 つの対応するパリティシフトレジスタの出力に連結され、さらに、前記最初のパリティシフトレジスタの前記入力に連結され、前記 P / L 個のパリティ生成モジュールの各々は、対応するスイッチが閉合されているときに、前記最初のパリティシフトレジスタの前記入力への転送のための L 個のパリティディジットを生成するように構成され、

L, K, N および P は正の整数であり、L は 1 よりも大きく、P は L の倍数である、エンコーダモジュール。

【請求項 12】

(K/L) 個のクロックサイクルの各々において、

前記フィードバック回路の前記対応するスイッチの各々は、閉合され、

前記エンコーダモジュールは、入力で受信した前記 K 桁のメッセージの前記 L 桁の部分のうち 1 つを、前記最初のパリティシフトレジスタと、前記エンコーダモジュールの前記出力とに転送し、

前記 P / L 個のパリティシフトレジスタの各々は、格納されたパリティディジットを前記 P / L 個のパリティ生成モジュールのうち対応する 1 つのパリティ生成モジュールに転送し、前記対応する 1 つのパリティ生成モジュールは、前記最初のパリティシフトレジスタに転送されるべき前記 L 個のパリティディジットを生成し、

前記最後のパリティシフトレジスタ以外の前記 P / L 個のパリティシフトレジスタの各々は、さらに、格納されたパリティディジットを前記 P / L 個のパリティシフトレジスタのうち次のパリティシフトレジスタに転送し、

$(K/L) + 1 \sim (P/L)$ 個のクロックサイクルの各々において、

前記エンコーダモジュールは、入力で受信したゼロ入力を、前記最初のパリティシフトレジスタに転送し、

前記フィードバック回路の 1 以上の前記対応するスイッチは、次々と開放され、

前記 P / L 個のパリティシフトレジスタの各々は、格納されたパリティディジットを、前記 P / L 個のパリティ生成モジュールのうち 1 つの対応するパリティ生成モジュールに転送し、

前記 $((K/L) + (P/L)) \sim ((N/L) + (P/L))$ 個のクロックサイクルの各々において、

前記最後のパリティシフトレジスタは、格納されたパリティディジットを前記エンコー

ダモジュールの前記出力に転送し、

前記最後のパリティシフトレジスタ以外の前記 P / L 個のパリティシフトレジスタの各々は、格納されたパリティディジットを前記 P / L 個のパリティシフトレジスタのうち次のパリティシフトレジスタに転送する、請求項 1 1 に記載のエンコーダモジュール。

【請求項 1 3】

前記最後のパリティシフトレジスタの前記出力と前記エンコーダモジュールの前記入力とは、マルチプレクサを介して前記エンコーダモジュールの前記出力に連結されている、請求項 1 2 に記載のエンコーダモジュール。

【請求項 1 4】

前記 (K / L) 個のクロックサイクルの各々において前記最初のパリティシフトレジスタの前記入力に転送された前記 L 桁の部分のうちの 1 つは、同一クロックサイクルにおいて前記最初のパリティシフトレジスタに格納された前記パリティディジットと合併される、請求項 1 2 に記載のエンコーダモジュール。

【請求項 1 5】

前記 (K / L) 個のクロックサイクルの各々において前記 P / L 個のパリティ生成モジュールの各々によって生成された前記 L 個のパリティディジットは、前記最初のパリティシフトレジスタに格納された前記パリティディジットと合併される、請求項 1 2 に記載のエンコーダモジュール。

【請求項 1 6】

前記エンコーダモジュールによって受信された前記 K 桁のメッセージの前記 L 桁の部分は、 (K / L) 個のクロックサイクルにおいて、前記エンコーダモジュールによって出力される、請求項 1 1 に記載のエンコーダモジュール。

【請求項 1 7】

前記 P 個のパリティディジットは、前記 $(K / L) + 1 \sim (P / L)$ 個のクロックサイクルにおいて、前記エンコーダモジュールによって出力される、請求項 1 1 に記載のエンコーダモジュール。

【請求項 1 8】

前記 P 個のパリティディジットは、 L 桁の並列出力として出力される、請求項 1 7 に記載のエンコーダモジュール。

【請求項 1 9】

前記 P / L 個のパリティシフトレジスタは、前記 P / L 個のパリティシフトレジスタの各々に連結された制御信号によって制御される、請求項 1 1 に記載のエンコーダモジュール。

【請求項 2 0】

前記最初のパリティシフトレジスタの前記入力に関連付けられた加算器モジュールをさらに含む、請求項 1 1 に記載のエンコーダモジュール。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 9

【補正方法】変更

【補正の内容】

【0 0 3 9】

4 つのパリティシフトレジスタ 2 0 3 / 2 0 3 は、1 つのパリティシフトレジスタ 2 0 3 / 2 0 3 の出力が（次のパリティシフトレジスタが存在する場合に）次のパリティシフトレジスタ 2 0 3 / 2 0 3 の入力に連結されるように、順次連結されている。各 4 桁パリティシフトレジスタ 2 0 3 / 2 0 3 は、各パリティ生成モジュール 2 0 7 に対応しており、各パリティ生成モジュール 2 0 7 は、対応するパリティシフトレジスタ 2 0 3 / 2 0 3 の入力に連結される。加算器モジュール A が、複数のソース（たとえば、1 つのパリティ生成モジュールおよび先行するパリティシフトレジスタ）に連結された各パリティシフトレジスタ 2 0 3 / 2 0 3 の入力に関連されてもよい。加算器モジュール A は

、パリティシフトレジスタ 203 / 203 の入力を受信したデータを格納するために、データの合併を容易にする。4つの4桁パリティシフトレジスタ 203 / 203 のうち最後のパリティシフトレジスタ 203 の出力は、エンコーダモジュールの入力 D_{in} に連結されかつフィードバック回路 205 の各パリティ生成モジュール 207 の出力に連結される。最後のパリティシフトレジスタ 203 の出力は、さらに、マルチプレクサを介してエンコーダモジュール 200 の出力 D_{out} に連結される。追加の加算器モジュール A は、最後のパリティシフトレジスタ 203 の出力に関連されてもよい。追加の加算器モジュール A は、最後のパリティシフトレジスタ 203 の出力で受信したデータをフィードバック回路 205 のパリティ生成モジュール 207 に送信するために、データの合併を容易にする。同様に、エンコーダモジュール 200 の入力 D_{in} は、マルチプレクサを介してエンコーダモジュール 200 の出力 D_{out} に連結される。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0041

【補正方法】変更

【補正の内容】

【0041】

図1の直列エンコーダモジュール 100 は、それぞれ単一のディジットを格納するパリティシフトレジスタ 103 / 103 を含む。これに対して、図2のエンコーダモジュール 200 は、1回に4つのディジットを格納する4桁パリティシフトレジスタ 203 / 203 を含む。同様に、図1のフィードバック回路 105 のパリティ生成モジュール 107 は、1回に単一のメッセージディジットを処理する。これに対して、図2のフィードバック回路のパリティ生成モジュールは、1回に4つのメッセージディジットを処理する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0079

【補正方法】変更

【補正の内容】

【0079】

最初の K/L 個のクロックサイクルにおいて、フィードバック回路 405 の各スイッチ S_1, S_2, S_3, S_4 は、閉合されている。最初の (K/L) 個のクロックサイクルの各クロックサイクルにおいて、 K 桁のメッセージの4桁の部分は、エンコーダモジュール 400 の入力 D_{in} で受信され、最初のパリティシフトレジスタ 403 の出力転送される。同時に、各パリティシフトレジスタ 403 / 403 / 403 は、格納されたデータに対応するパリティ生成モジュール 407 および（次のパリティシフトレジスタが存在する場合に）次のパリティシフトレジスタ 403 / 403 / 403 に転送する。各パリティ生成モジュール 407 は、最初のパリティシフトレジスタ 403 にフィードバックされるパリティディジットを生成する。フィードバック回路 405 のパリティ生成モジュール 407 により生成された新たなパリティディジットが最初のパリティシフトレジスタ 403 にフィードバックされるため、各パリティシフトレジスタ 403 / 403 / 403 に格納されたデータは、クロックサイクル毎に更新される。各パリティ生成モジュール 407 は、擬似コード ($L = 4$ 、 $P = 16$) に従って、 K 桁のメッセージの各ディジットに対しパリティディジットを生成するように構成されている。