



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년01월13일
(11) 등록번호 10-2351237
(24) 등록일자 2022년01월11일

(51) 국제특허분류(Int. Cl.)
G06F 12/1009 (2016.01) G06F 12/06 (2006.01)
G06F 12/0811 (2016.01) G06F 12/1081 (2016.01)
G06F 3/06 (2006.01)
(52) CPC특허분류
G06F 12/1009 (2013.01)
G06F 12/0638 (2013.01)
(21) 출원번호 10-2021-0055471
(22) 출원일자 2021년04월29일
심사청구일자 2021년04월29일
(56) 선행기술조사문헌
JP2020123038 A*
KR1020190004400 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
정하늘
경기도 수원시 권선구 동수원로146번길 226-17, 404호(곡반정동)
(74) 대리인
특허법인가산

전체 청구항 수 : 총 17 항

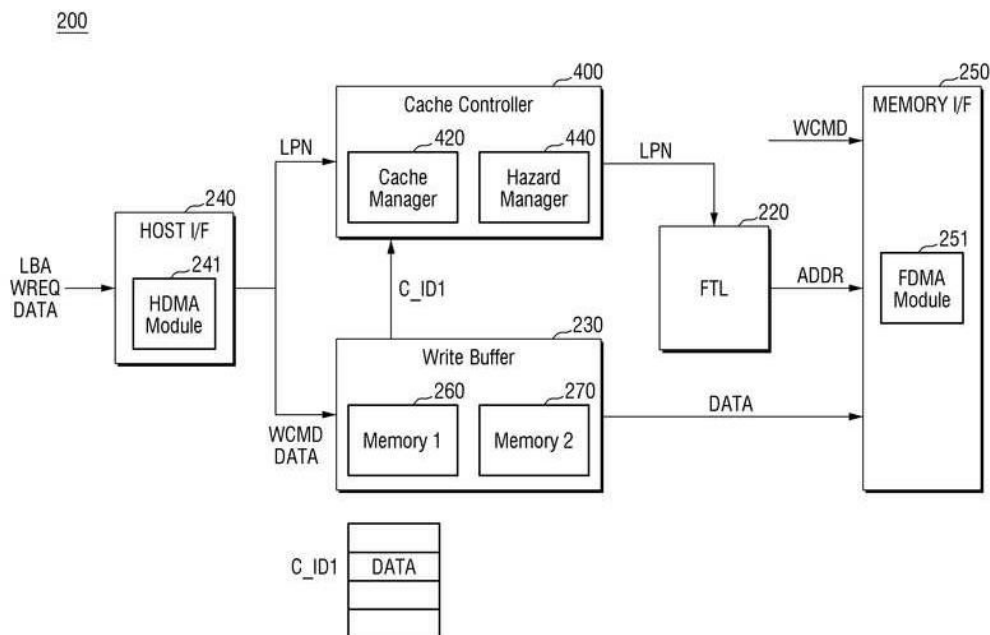
심사관 : 안지현

(54) 발명의 명칭 메모리 저장 장치 및 통신 시스템

(57) 요약

메모리 시스템의 신뢰성을 향상시킬 수 있는 메모리 저장 장치가 제공된다. 메모리 저장 장치는 외부로부터 데이터 및 논리 어드레스를 수신하는 메모리 컨트롤러 및 메모리 컨트롤러에 연결된 비휘발성 메모리를 포함하고, 메모리 컨트롤러는, 데이터를 버퍼링하는 제1 버퍼 메모리, 제1 버퍼 메모리와 다른 제2 버퍼 메모리, 및 라이트 (뒷면에 계속)

대표도



커맨드, 논리 어드레스를 변환시킨 물리 어드레스 및 제1 버퍼 메모리부터 제공된 데이터를 비휘발성 메모리에 제공하는 메모리 인터페이스 장치를 포함하고, 비휘발성 메모리는 물리 어드레스에 기초하여 데이터를 페이지 버퍼에 버퍼링하고, 페이지 버퍼에 대한 버퍼링 완료 후에 메모리 인터페이스 장치에 라이트 완료 신호를 제공하고, 메모리 컨트롤러는 제공받은 라이트 완료 신호에 응답하여 제1 버퍼 메모리에 버퍼링된 데이터를 제2 버퍼 메모리에 복사하고, 제2 버퍼 메모리에 대한 데이터의 복사 완료 후에 제1 버퍼 메모리에 버퍼링된 데이터를 제거하고, 외부로부터 논리 어드레스 및 리드 요청 신호를 수신하고, 제2 버퍼 메모리에 대한 데이터의 복사 완료 전에 리드 요청 신호에 응답하여 제1 버퍼 메모리에 버퍼링된 데이터를 제공하고, 제2 버퍼 메모리에 대한 데이터의 복사 완료 후에 리드 요청 신호에 응답하여 제2 버퍼 메모리에 복사된 데이터를 제공한다.

(52) CPC특허분류

G06F 12/0811 (2013.01)

G06F 12/0882 (2013.01)

G06F 12/1081 (2013.01)

G06F 3/0614 (2013.01)

G06F 3/0656 (2013.01)

명세서

청구범위

청구항 1

외부로부터 데이터 및 논리 어드레스를 수신하는 메모리 컨트롤러; 및
 상기 메모리 컨트롤러에 연결된 비휘발성 메모리를 포함하고,
 상기 메모리 컨트롤러는,
 상기 데이터를 버퍼링하는 제1 버퍼 메모리;
 상기 제1 버퍼 메모리와 다른 제2 버퍼 메모리; 및
 라이트 커맨드, 상기 논리 어드레스를 변환시킨 물리 어드레스 및 상기 제1 버퍼 메모리로부터 제공된 데이터를
 상기 비휘발성 메모리에 제공하는 메모리 인터페이스 장치를 포함하고,
 상기 비휘발성 메모리는 상기 물리 어드레스에 기초하여 상기 데이터를 페이지 버퍼에 버퍼링하고, 상기 페이지
 버퍼에 대한 버퍼링 완료 후에 상기 메모리 인터페이스 장치에 라이트 완료 신호를 제공하고, 상기 라이트 완료
 신호의 제공 후에, 상기 페이지 버퍼에 버퍼링된 데이터를 메모리 셀 어레이에 프로그램하고,
 상기 메모리 컨트롤러는,
 상기 제공받은 라이트 완료 신호에 응답하여 상기 제1 버퍼 메모리에 버퍼링된 상기 데이터를 상기 제2 버퍼 메
 모리에 복사하고, 상기 제2 버퍼 메모리에 대한 데이터의 복사 완료 후에 상기 제1 버퍼 메모리에 버퍼링된 상
 기 데이터를 제거하고,
 상기 외부로부터 상기 논리 어드레스 및 리드 요청 신호를 수신하고, 상기 제2 버퍼 메모리에 대한 데이터의 복
 사 완료 전에 상기 리드 요청 신호에 응답하여 상기 제1 버퍼 메모리에 버퍼링된 상기 데이터를 제공하고,
 상기 제2 버퍼 메모리에 대한 데이터의 복사 완료 후에 상기 리드 요청 신호에 응답하여 상기 제2 버퍼 메모리
 에 복사된 상기 데이터를 제공하고,
 상기 데이터가 상기 메모리 셀 어레이에 프로그램되는 동안에 상기 데이터를 상기 제2 버퍼 메모리에 복사하는
 메모리 저장 장치.

청구항 2

제 1항에 있어서,
 상기 제1 버퍼 메모리는 SRAM(static RAM)을 포함하고,
 상기 제2 버퍼 메모리는 DRAM(dynamic RAM)을 포함하는 메모리 저장 장치.

청구항 3

제 2항에 있어서,
 상기 제1 버퍼 메모리의 저장 용량은 상기 제2 버퍼 메모리의 저장 용량보다 작은 메모리 저장 장치.

청구항 4

제 2항에 있어서,
 상기 제1 버퍼 메모리의 데이터 처리 속도는 상기 제2 버퍼 메모리의 데이터 처리 속도보다 큰 메모리 저장 장
 치.

청구항 5

삭제

청구항 6

제 1항에 있어서,

상기 메모리 컨트롤러는 상기 데이터가 상기 메모리 셀 어레이에 프로그램 완료된 후에, 상기 제2 버퍼 메모리에 복사된 상기 데이터를 제거하는 메모리 저장 장치.

청구항 7

제 1항에 있어서,

상기 메모리 컨트롤러는 상기 제2 버퍼 메모리에 대한 데이터의 복사 완료 전에 상기 리드 요청 신호에 응답하여 상기 제1 버퍼 메모리에 대하여 히트를 발생시키고, 상기 제2 버퍼 메모리에 대한 데이터의 복사 완료 후에 상기 리드 요청 신호에 응답하여 상기 제2 버퍼 메모리에 대하여 히트를 발생시키는 메모리 저장 장치.

청구항 8

제 1항에 있어서,

상기 비휘발성 메모리 및 상기 메모리 컨트롤러와 연결된 라이트 완료 신호 생성 모듈을 더 포함하고,

상기 라이트 완료 신호 생성 모듈은,

상기 비휘발성 메모리에 대한 상기 데이터의 DMA(direct memory access) 완료 후에 상기 라이트 완료 신호를 생성하는 메모리 저장 장치.

청구항 9

제 8항에 있어서,

상기 라이트 완료 신호 생성 모듈은 상기 라이트 완료 신호를 상기 메모리 인터페이스 장치에 제공하는 메모리 저장 장치.

청구항 10

외부로부터 데이터 및 논리 어드레스를 수신하는 메모리 컨트롤러; 및

상기 메모리 컨트롤러에 연결된 비휘발성 메모리를 포함하고,

상기 메모리 컨트롤러는,

제1 시간 구간 동안 상기 데이터를 버퍼링하는 제1 버퍼 메모리;

상기 제1 시간 구간과 다른 제2 시간 구간 동안 상기 데이터를 버퍼링하고, 상기 제1 버퍼 메모리와 이종의 메모리인 제2 버퍼 메모리; 및

상기 제1 및 제2 버퍼 메모리에 대한 해저드를 관리하는 해저드 관리 모듈을 포함하고,

상기 메모리 컨트롤러는 상기 제1 버퍼 메모리에 버퍼링된 상기 데이터를 상기 비휘발성 메모리에 제공하고,

상기 해저드 관리 모듈은,

상기 제1 시간 구간 동안에 상기 외부로부터 제공된 상기 논리 어드레스 및 리드 커맨드에 응답하여 상기 제1 버퍼 메모리의 어드레스를 제공하고, 상기 제1 버퍼 메모리에 버퍼링된 상기 데이터를 상기 제2 버퍼 메모리에 복사하고,

상기 제2 시간 구간 동안에 상기 외부로부터 제공된 상기 논리 어드레스 및 상기 리드 커맨드에 응답하여 상기 제2 버퍼 메모리의 어드레스를 제공하고,

상기 비휘발성 메모리는 상기 데이터에 대한 응답으로 상기 데이터를 제3 시간 구간 동안에 프로그램하고,

상기 제3 시간 구간은 상기 제1 및 제2 시간 구간과 다른 메모리 저장 장치.

청구항 11

제 10항에 있어서,
 상기 제1 버퍼 메모리는 SRAM을 포함하고,
 상기 제2 버퍼 메모리는 DRAM을 포함하는 메모리 저장 장치.

청구항 12

제 10항에 있어서,
 상기 메모리 컨트롤러는 상기 제1 시간 구간 동안에 상기 리드 커맨드에 응답하여 상기 제1 버퍼 메모리에 버퍼링된 상기 데이터를 제공하고, 상기 제2 시간 구간 동안에 상기 리드 커맨드에 응답하여 상기 제2 버퍼 메모리에 버퍼링된 상기 데이터를 제공하는 메모리 저장 장치.

청구항 13

제 10항에 있어서,
 상기 제2 시간 구간은 상기 제1 시간 구간에 후속하는 메모리 저장 장치.

청구항 14

제 10항에 있어서,
 상기 메모리 컨트롤러는 상기 제2 시간 구간 동안 상기 제1 버퍼 메모리에 버퍼링된 상기 데이터를 제거하는 메모리 저장 장치.

청구항 15

제 10항에 있어서,
 상기 제1 시간 구간과 상기 제2 시간 구간의 합(sum)은 상기 제3 시간 구간을 오버랩하는 메모리 저장 장치.

청구항 16

제 10항에 있어서,
 상기 해저드 관리 모듈은 상기 제1 시간 구간 동안에 상기 제1 버퍼 메모리에 대한 히트(hit)를 발생시키고, 상기 제2 시간 구간 동안에 상기 제2 버퍼 메모리에 대한 히트를 발생시키는 메모리 저장 장치.

청구항 17

외부로부터 데이터 및 논리 어드레스를 수신하는 메모리 컨트롤러; 및
 상기 메모리 컨트롤러에 연결된 비휘발성 메모리를 포함하고,
 상기 메모리 컨트롤러는,
 상기 데이터를 동시에 버퍼링하는 서로 다른 제1 버퍼 메모리 및 제2 버퍼 메모리; 및
 라이트 커맨드, 상기 논리 어드레스를 변환시킨 물리 어드레스 및 상기 제1 버퍼 메모리로부터 제공된 데이터를 상기 비휘발성 메모리에 제공하는 메모리 인터페이스 장치를 포함하고,
 상기 비휘발성 메모리는 상기 물리 어드레스에 기초하여 상기 데이터를 페이지 버퍼에 버퍼링하고, 상기 페이지 버퍼에 대한 버퍼링 완료 후에 상기 메모리 인터페이스 장치에 라이트 완료 신호를 제공하고,
 상기 메모리 컨트롤러는,
 상기 제공받은 라이트 완료 신호에 응답하여 상기 제1 버퍼 메모리에 버퍼링된 상기 데이터를 제거하고,
 상기 외부로부터 제공된 상기 논리 어드레스 및 리드 커맨드에 응답하여 상기 제2 버퍼 메모리의 어드레스를 제공하고,
 상기 라이트 완료 신호를 수신하기 전에, 상기 외부로부터 제공된 상기 논리 어드레스 및 상기 리드 커맨드에 응답하여 상기 제1 버퍼 메모리의 어드레스를 제공하는 메모리 저장 장치.

청구항 18

삭제

청구항 19

삭제

청구항 20

제 17항에 있어서,

상기 제1 버퍼 메모리는 SRAM을 포함하고,

상기 제2 버퍼 메모리는 DRAM을 포함하는 메모리 저장 장치.

발명의 설명

기술 분야

[0001] 본 발명은 비휘발성 메모리를 포함하는 메모리 저장 장치, 메모리 저장 장치의 구동 방법 및 호스트 장치의 구동 방법에 대한 것이다.

배경 기술

[0002] 반도체 메모리 장치들은 휘발성 메모리 장치들 및 비휘발성 메모리 장치들을 포함한다. 휘발성 메모리 장치의 리드(Read) 및 라이트(write) 속도는 빠른 반면, 휘발성 메모리 장치는 전원-오프일때, 저장된 내용을 잃을 수 있다. 반대로, 비휘발성 메모리 장치들은 전원-오프인 경우에도, 저장된 내용을 유지하므로, 비휘발성 메모리 장치들은 전원 공급 여부에 관계 없이 유지되어야 하는 콘텐츠를 저장하는 데 이용된다.

[0003] 예컨대, 휘발성 메모리 장치는 정적 램(SRAM: static RAM), 동적 램(DRAM: dynamic RAM), 동기식 디램(SDRAM: synchronous DRAM) 등을 포함한다. 비휘발성 메모리 장치들은 전원-오프인 경우에도, 저장된 내용을 유지한다. 예컨대, 비휘발성 메모리 장치는 롬(ROM: read only memory), 프로그래머블 롬(PROM: programmable ROM), 전기적 프로그래머블 롬(EEPROM: electrically programmable ROM), 전기적 소거 및 프로그램 가능 롬(EEPROM: electrically erasable and programmable ROM), 플래시 메모리(flash memory), 상변화 램(PRAM: phase change RAM), 마그네틱 램(MRAM: magnetic RAM), 저항성 램(RRAM: resistive RAM), 강유전체 램(FRAM: ferroelectric RAM) 등을 포함한다. 플래시 메모리는 NOR 타입 플래시 메모리 및 NAND 타입 플래시 메모리로 분류될 수 있다.

[0004] 특히, 플래시 메모리 장치는 일반적인 EEPROM과 비교할 때, 고-집적화된 보조 대용량 저장 장치와 같은 것으로 구현될 수 있는 장점이 있다.

[0005] 다양한 메모리 시스템들은 플래시 메모리를 이용하여 생산되고 있다. 메모리 시스템은 프로토콜을 통해 플래시 메모리로 데이터를 저장하거나 플래시 메모리로부터 데이터를 리드할 수 있다.

[0006] 플래시 메모리의 성능이 향상되면서, 메모리 저장 장치의 메모리 컨트롤러에 캐시되는 데이터의 양이 증가되고, 메모리 컨트롤러의 캐시 버퍼 메모리의 성능이 개선되었다. 이 경우에 메모리 컨트롤러의 버퍼 메모리에 캐시된 데이터가 제거되어 히트율이 감소되는 문제점이 있었다.

발명의 내용

해결하려는 과제

[0007] 본 발명이 해결하고자 하는 기술적 과제는, 메모리 시스템의 신뢰성을 향상시킬 수 있는 메모리 저장 장치를 제공하는 것이다.

[0008] 본 발명이 해결하고자 하는 다른 기술적 과제는, 버퍼 메모리에 대한 히트율을 개선시킬 수 있는 메모리 저장 장치를 제공하는 것이다.

[0009] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0010] 상기 기술적 과제를 달성하기 위한 몇몇 실시예에 따른 메모리 저장 장치는 외부로부터 데이터 및 논리 어드레스를 수신하는 메모리 컨트롤러 및 메모리 컨트롤러에 연결된 비휘발성 메모리를 포함하고, 메모리 컨트롤러는, 데이터를 버퍼링하는 제1 버퍼 메모리, 제1 버퍼 메모리와 다른 제2 버퍼 메모리, 및 라이트 커맨드, 논리 어드레스를 변환시킨 물리 어드레스 및 제1 버퍼 메모리로부터 제공된 데이터를 비휘발성 메모리에 제공하는 메모리 인터페이스 장치를 포함하고, 비휘발성 메모리는 물리 어드레스에 기초하여 데이터를 페이지 버퍼에 버퍼링하고, 페이지 버퍼에 대한 버퍼링 완료 후에 메모리 인터페이스 장치에 라이트 완료 신호를 제공하고, 메모리 컨트롤러는 제공받은 라이트 완료 신호에 응답하여 제1 버퍼 메모리에 버퍼링된 데이터를 제2 버퍼 메모리에 복사하고, 제2 버퍼 메모리에 대한 데이터의 복사 완료 후에 제1 버퍼 메모리에 버퍼링된 데이터를 제거하고, 외부로부터 논리 어드레스 및 리드 요청 신호를 수신하고, 제2 버퍼 메모리에 대한 데이터의 복사 완료 전에 리드 요청 신호에 응답하여 제1 버퍼 메모리에 버퍼링된 데이터를 제공하고, 제2 버퍼 메모리에 대한 데이터의 복사 완료 후에 리드 요청 신호에 응답하여 제2 버퍼 메모리에 복사된 데이터를 제공할 수 있다.
- [0011] 상기 기술적 과제를 달성하기 위한 몇몇 실시예에 따른 메모리 저장 장치는 외부로부터 데이터 및 논리 어드레스를 수신하는 메모리 컨트롤러, 및 메모리 컨트롤러에 연결된 비휘발성 메모리를 포함하고, 메모리 컨트롤러는, 제1 시간 구간 동안 데이터를 버퍼링하는 제1 버퍼 메모리, 제1 시간 구간과 다른 제2 시간 구간 동안 데이터를 버퍼링하고, 제1 버퍼 메모리와 이종의 메모리인 제2 버퍼 메모리, 및 제1 및 제2 버퍼 메모리에 대한 해저드를 관리하는 해저드 관리 모듈을 포함하고, 해저드 관리 모듈은, 제1 시간 구간 동안에 외부로부터 제공된 논리 어드레스 및 리드 커맨드에 응답하여 제1 버퍼 메모리의 어드레스를 제공하고, 제2 시간 구간 동안에 외부로부터 제공된 논리 어드레스 및 리드 커맨드에 응답하여 제2 버퍼 메모리의 어드레스를 제공할 수 있다.
- [0012] 상기 기술적 과제를 달성하기 위한 몇몇 실시예에 따른 메모리 저장 장치는 외부로부터 데이터 및 논리 어드레스를 수신하는 메모리 컨트롤러, 및 메모리 컨트롤러에 연결된 비휘발성 메모리를 포함하고, 메모리 컨트롤러는, 데이터를 버퍼링하는 제1 버퍼 메모리, 데이터를 버퍼링하고, 제1 버퍼 메모리와 다른 제2 버퍼 메모리, 및 라이트 커맨드, 논리 어드레스를 변환시킨 물리 어드레스 및 제1 버퍼 메모리로부터 제공된 데이터를 비휘발성 메모리에 제공하는 메모리 인터페이스 장치를 포함하고, 비휘발성 메모리는 물리 어드레스에 기초하여 데이터를 페이지 버퍼에 버퍼링하고, 페이지 버퍼에 대한 버퍼링 완료 후에 메모리 인터페이스 장치에 라이트 완료 신호를 제공하고, 메모리 컨트롤러는, 제공받은 라이트 완료 신호에 응답하여 제1 버퍼 메모리에 버퍼링된 데이터를 제거하고, 외부로부터 제공된 논리 어드레스 및 리드 커맨드에 응답하여 제2 버퍼 메모리의 어드레스를 제공할 수 있다.
- [0013] 상기 기술적 과제를 달성하기 위한 몇몇 실시예에 따른 전자 시스템은 호스트 장치, 및 호스트 장치와 신호를 주고받는 메모리 저장 장치를 포함하고, 메모리 저장 장치는, 호스트 장치로부터 데이터 및 논리 어드레스를 수신하는 메모리 컨트롤러, 및 메모리 컨트롤러에 연결된 비휘발성 메모리를 포함하고, 메모리 컨트롤러는, 데이터를 버퍼링하는 제1 버퍼 메모리, 제1 버퍼 메모리와 다른 제2 버퍼 메모리, 및 라이트 커맨드, 논리 어드레스를 변환시킨 물리 어드레스 및 제1 버퍼 메모리로부터 제공된 데이터를 비휘발성 메모리에 제공하는 메모리 인터페이스 장치를 포함하고, 비휘발성 메모리는 물리 어드레스에 기초하여 데이터를 페이지 버퍼에 버퍼링하고, 페이지 버퍼에 대한 버퍼링 완료 후에 메모리 컨트롤러에 라이트 완료 신호를 제공하고, 메모리 컨트롤러는 제공받은 라이트 완료 신호에 응답하여 제1 버퍼 메모리에 버퍼링된 데이터를 제2 버퍼 메모리에 복사하고, 제2 버퍼 메모리에 대한 데이터의 복사 완료 후에 제1 버퍼 메모리에 버퍼링된 데이터를 제거할 수 있다..
- [0014] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

- [0015] 도 1은 몇몇 실시예에 따른 전자 장치를 설명하기 위한 블록도이다.
- 도 2는 도 1의 메모리 컨트롤러를 설명하기 위한 블록도이다.
- 도 3은 도 1의 비휘발성 메모리를 설명하기 위한 블록도이다.
- 도 4는 도 1의 메모리 컨트롤러와 비휘발성 메모리에 대한 블록도이다.
- 도 5는 도 1의 메모리 컨트롤러, 메모리 인터페이스 및 비휘발성 메모리에 대한 블록도이다.

도 6은 몇몇 실시예에 따른 메모리 셀 어레이를 도시한 예시적인 회로도이다.

도 7은 몇몇 실시예에 따른 비휘발성 메모리 내부를 간략히 도시한 예시적인 도면이다.

도 8은 몇몇 실시예에 따른 메모리 컨트롤러를 설명하기 위한 블록도이다.

도 9는 몇몇 실시예에 따른 메모리 컨트롤러와 비휘발성 메모리의 동작을 설명하기 위한 블록도이다.

도 10은 몇몇 실시예에 따른 호스트와 메모리 저장 장치의 동작을 설명하기 위한 래더 다이어그램이다.

도 11은 몇몇 실시예에 따른 메모리 컨트롤러의 동작을 설명하기 위한 블록도이다.

도 12는 몇몇 실시예에 따른 메모리 컨트롤러의 동작을 설명하기 위한 순서도이다.

도 13은 몇몇 실시예에 따른 메모리 컨트롤러의 동작을 설명하기 위한 래더 다이어그램이다.

도 14 및 도 15는 몇몇 실시예에 따른 메모리 컨트롤러의 동작을 설명하기 위한 블록도들이다.

도 16 및 도 17은 몇몇 실시예에 따른 메모리 컨트롤러에 대한 블록도들이다.

도 18은 몇몇 실시예에 따른 메모리 저장 장치에 대한 블록도이다.

도 19는 몇몇 실시예에 따른 메모리 저장 장치의 동작을 설명하기 위한 래더 다이어그램이다.

도 20은 몇몇 실시예에 따른 메모리 저장 장치에 대한 블록도이다.

도 21은 몇몇 실시예에 따른 메모리 저장 장치의 동작을 설명하기 위한 래더 다이어그램이다.

도 22는 몇몇 실시예에 따른 메모리 저장 장치의 동작을 설명하기 위한 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0016] 이하 첨부된 도면을 참조하여, 본 발명의 기술적 사상에 따른 실시예들에 대해 설명한다.
- [0017] 이하 도 1 내지 도 3을 참조하여 호스트(100), 메모리 컨트롤러(200) 및 비휘발성 메모리(300)를 포함하는 전자 장치(1)를 설명한다.
- [0018] 도 1은 몇몇 실시예에 따른 전자 장치를 설명하기 위한 블록도이다. 도 2는 도 1의 메모리 컨트롤러를 설명하기 위한 블록도이다. 도 3은 도 1의 비휘발성 메모리를 설명하기 위한 블록도이다.
- [0019] 도 1을 참조하면, 전자 장치(1)는 호스트(100) 및 메모리 저장 장치(10)를 포함할 수 있다. 호스트(100)와 메모리 저장 장치(10)는 전기적으로 연결될 수 있다. 호스트(100)는 메모리 저장 장치(10)에 논리 블록 어드레스(LBA)(logical block address) 및 요청 신호(REQ)(request signal)를 제공할 수 있으며, 호스트(100)와 메모리 저장 장치(10)는 데이터(DATA)를 주고받을 수 있다. 예를 들어, 호스트(100)는 메모리 컨트롤러(200)와 연결될 수 있다.
- [0020] 호스트(100)는 예를 들어, PC(personal computer), 노트북(laptop), 휴대폰(mobile phone), 스마트 폰(smart phone), 태블릿(tablet) PC, 서버 등을 포함할 수 있다.
- [0021] 메모리 저장 장치(10)는 메모리 컨트롤러(200) 및 비휘발성 메모리(300)를 포함할 수 있다. 메모리 저장 장치(10)는 하나의 반도체 장치로 집적될 수 있다. 예를 들어, 메모리 저장 장치(10)는 임베디드 UFS(Universal Flash Storage) 메모리 장치, eMMC(embedded Multi-Media Card), 또는 SSD(Solid State Drive) 등을 포함할 수 있다. 또한 예를 들어, 메모리 저장 장치(10)는 탈부착이 가능한 UFS 메모리 카드, CF(Compact Flash), SD(Secure Digital), Micro-SD(Micro Secure Digital), Mini-SD(Mini Secure Digital), xD(extreme Digital) 또는 메모리 스틱(Memory Stick) 등을 포함할 수 있다. 메모리 저장 장치(10)가 SSD인 경우, 메모리 저장 장치(10)는 NVMe(non-volatile memory express) 표준을 따르는 장치일 수 있다.
- [0022] 비휘발성 메모리(300)는 NAND 플래시 메모리(NAND flash memory)를 포함할 수 있다. 하지만, 본 발명의 기술적 사상에 따른 실시예는 이에 제한되지 않으며, 비휘발성 메모리(300)는 NOR 플래시 메모리(NOR flash memory)를 포함하거나, PRAM(Phase-change RAM), MRAM(Magneto resistive RAM), FeRAM(Ferroelectric RAM) 및 RRAM(Resistive RAM)과 같은 저항성 메모리를 포함할 수 있다.
- [0023] 메모리 컨트롤러(200)는 비휘발성 메모리(300)에 연결되어, 비휘발성 메모리(300)를 제어할 수 있다. 예를 들어, 메모리 컨트롤러(200)는 호스트(100)로부터 수신한 논리 블록 어드레스(LBA), 요청 신호(REQ) 등에 응답

하여 비휘발성 메모리(300)에 어드레스(ADDR), 커맨드(CMD), 제어 신호(CTRL) 등을 제공할 수 있다. 즉, 메모리 컨트롤러(200)는 비휘발성 메모리(300)에 신호들을 제공하여, 비휘발성 메모리(300)에 데이터를 라이트하거나, 비휘발성 메모리(300)로부터 데이터를 독출하도록 제어할 수 있다. 또한, 메모리 컨트롤러(200)와 비휘발성 메모리(300)는 데이터(DATA)를 주고받을 수 있다.

[0024] 도 2를 참조하면, 메모리 컨트롤러(200)는 프로세서(210), FTL(flash translation layer)(220), 라이트 버퍼(230), 호스트 인터페이스(240), 메모리 인터페이스(250), 캐시 컨트롤러(400) 등을 포함할 수 있다.

[0025] 프로세서(210)는 중앙처리장치(Central Processing Unit, CPU), 컨트롤러(Controller), 또는 주문형 반도체(Application Specific Integrated Circuit, ASIC) 등을 포함할 수 있다. 프로세서(210)는 메모리 컨트롤러(200)의 전반적인 동작을 제어할 수 있다. 프로세서(210)는 FTL(220)에 로딩된 펌웨어를 구동하여 메모리 컨트롤러(200)를 제어할 수 있다.

[0026] 호스트 인터페이스(240)는 호스트(100)와 패킷(packet)을 송수신할 수 있다. 호스트(100)로부터 호스트 인터페이스(240)로 전송되는 패킷은 커맨드(command) 혹은 비휘발성 메모리(300)에 라이트될 데이터 등을 포함할 수 있으며, 호스트 인터페이스(240)로부터 호스트(100)로 전송되는 패킷은 커맨드에 대한 응답(response) 혹은 비휘발성 메모리(300)로부터 리드된 데이터 등을 포함할 수 있다.

[0027] 메모리 인터페이스(250)는 비휘발성 메모리(300)에 라이트될 데이터를 비휘발성 메모리(300)로 송신하거나, 비휘발성 메모리(300)로부터 리드된 데이터를 수신할 수 있다. 이러한 메모리 인터페이스(250)는 토글(Toggle) 혹은 온파이(ONFI)와 같은 표준 규약을 준수하도록 구현될 수 있다.

[0028] FTL(220)은 비휘발성 메모리(300)의 라이트, 리드 및 이레이즈 동작 등을 관리하는 시스템 소프트웨어를 포함할 수 있다. 예를 들어, FTL(220)은 펌웨어를 포함할 수 있다. FTL(220)의 펌웨어는 프로세서(210)에 의해 실행될 수 있다. 또한 FTL(220)은 소프트웨어 또는 하드웨어를 포함할 수 있다.

[0029] FTL(220)은 어드레스 매핑(address mapping), 웨어-레벨링(wear-leveling), 가비지 콜렉션(garbage collection)과 같은 여러 기능을 수행할 수 있다. 어드레스 매핑 동작은 호스트로부터 수신한 논리 어드레스(logical address)를, 비휘발성 메모리(300) 내에 데이터를 실제로 저장하는 데 사용되는 물리 어드레스(physical address)로 바꾸는 동작이다. 웨어-레벨링은 비휘발성 메모리(300) 내의 블록(block)들이 균일하게 사용되도록 하여 특정 블록의 과도한 열화를 방지하기 위한 기술로, 예시적으로 물리 블록(physical block)들의 소거 카운트들을 밸런싱하는 펌웨어 기술을 통해 구현될 수 있다. 가비지 콜렉션은, 블록의 유효 데이터를 새 블록에 복사한 후 기존 블록을 소거(erase)하는 방식을 통해 비휘발성 메모리(300) 내에서 사용 가능한 용량을 확보하기 위한 기술이다.

[0030] 라이트 버퍼(230)는 메모리 저장 장치(10)의 초기 부팅에 필요한 코드 데이터를 저장할 수 있다. 라이트 버퍼(230)는 호스트(100)로부터 전달받은 논리 블록 어드레스(LBA), 요청 신호(REQ), 데이터(DATA), 커맨드 등을 버퍼링할 수 있다. 라이트 버퍼(230)에 버퍼링된 신호들은 메모리 인터페이스(250)를 통해 비휘발성 메모리(300)에 전달되어 이용될 수 있다. 예를 들어, 라이트 버퍼(230)에 버퍼링된 데이터(DATA)는 비휘발성 메모리(300)에 프로그램될 수 있다. 즉 라이트 버퍼(230)는 일시적으로 데이터(DATA)를 저장하는 휘발성 메모리 장치일 수 있다. 또한, 라이트 버퍼(230)는 데이터(DATA)를 캐싱하는 캐시 메모리일 수 있다.

[0031] 도 3을 참조하면, 비휘발성 메모리(300)는 메모리 셀 어레이(310), 어드레스 디코더(320), 전압 발생기(330), 리드 라이트 회로(340) 및 제어 로직 회로(350)(control logic) 등을 포함할 수 있다.

[0032] 메모리 셀 어레이(310)는 워드 라인(WL)들을 통해 어드레스 디코더(320)에 연결될 수 있다. 메모리 셀 어레이(310)는 비트 라인(BL)들을 통해 리드 라이트 회로(340)에 연결될 수 있다. 메모리 셀 어레이(310)는 복수의 메모리 셀들을 포함할 수 있다. 예를 들어, 행(row) 방향으로 배열되는 메모리 셀들은 워드 라인(WL)에 연결될 수 있다. 예를 들어, 열(column) 방향으로 배열되는 메모리 셀들은 비트 라인(BL)에 연결될 수 있다.

[0033] 어드레스 디코더(320)는 워드 라인(WL)을 통해 메모리 셀 어레이(310)에 연결될 수 있다. 어드레스 디코더(320)는 제어 로직 회로(350)의 제어에 응답하여 동작할 수 있다. 어드레스 디코더(320)는 메모리 컨트롤러(200)로부터 어드레스(ADDR)를 제공받을 수 있다. 어드레스 디코더(320)는 전압 발생기(330)로부터 프로그램 및 리드 등의 동작에 필요한 전압을 제공받을 수 있다.

[0034] 어드레스 디코더(320)는 수신한 어드레스(ADDR) 중 행 어드레스를 디코딩할 수 있다. 어드레스 디코더(320)는 디코딩된 행 어드레스를 이용하여 워드 라인(WL)을 선택할 수 있다. 디코딩된 열 어드레스(DCA)는 리드 라이트

회로(340)에 제공될 수 있다. 예를 들어, 어드레스 디코더(320)는 행 디코더, 열 디코더 및 어드레스 버퍼 등을 포함할 수 있다.

[0035] 전압 발생기(330)는 제어 로직 회로(350)의 제어에 따라 액세스 동작에 필요한 전압을 생성할 수 있다. 예를 들어, 전압 발생기(330)는 프로그램 동작을 수행하기 위해 필요한 프로그램 전압과 프로그램 검증 전압을 생성할 수 있다. 예를 들어, 전압 발생기(330)는 리드 동작을 수행하기 위하여 필요한 리드 전압들을 생성하고, 이레이즈 동작을 수행하기 위하여 필요한 이레이즈 전압과 이레이즈 검증 전압 등을 생성할 수 있다. 또한, 전압 발생기(330)는 각 동작을 수행하기 위해 필요한 전압을 어드레스 디코더(320)에 제공할 수 있다.

[0036] 리드 라이트 회로(340)는 비트 라인(BL)을 통해 메모리 셀 어레이(310)에 연결될 수 있다. 리드 라이트 회로(340)는 메모리 컨트롤러(200)와 데이터(DATA)를 주고받을 수 있다. 리드 라이트 회로(340)는 제어 로직 회로(350)의 제어에 응답하여 동작할 수 있다. 리드 라이트 회로(340)는 어드레스 디코더(320)로부터 디코딩된 열 어드레스(DCA)를 제공받을 수 있다. 리드 라이트 회로(340)는 디코딩된 열 어드레스(DCA)를 이용하여 비트 라인(BL)을 선택할 수 있다.

[0037] 예를 들어, 리드 라이트 회로(340)는 수신한 데이터(DATA)를 메모리 셀 어레이(310)에 프로그램할 수 있다. 리드 라이트 회로(340)는 메모리 셀 어레이(310)로부터 데이터를 리드하고, 리드한 데이터를 외부(예를 들어, 메모리 컨트롤러(200))에 제공할 수 있다. 예를 들어, 리드 라이트 회로(340)는 감지 증폭기, 라이트 드라이버, 열 선택 회로 및 페이지 버퍼 등과 같은 구성을 포함할 수 있다. 즉, 리드 라이트 회로(340)는 메모리 컨트롤러(200)로부터 수신한 데이터(DATA)를 페이지 버퍼에 버퍼링하고, 버퍼링된 데이터(DATA)를 메모리 셀 어레이(310)에 프로그램할 수 있다.

[0038] 제어 로직 회로(350)는 어드레스 디코더(320), 전압 발생기(330) 및 리드 라이트 회로(340)와 연결될 수 있다. 제어 로직 회로(350)는 비휘발성 메모리(300)의 동작을 제어할 수 있다. 제어 로직 회로(350)는 메모리 컨트롤러(200)로부터 제공된 제어 신호(CRTL) 및 커맨드(CMD)(예를 들어, 라이트 커맨드 및 리드 커맨드 등)에 응답하여 동작할 수 있다.

[0039] 도 4는 도 1의 메모리 컨트롤러와 비휘발성 메모리에 대한 블록도이다.

[0040] 도 4를 참조하면, 메모리 저장 장치(10)는 메모리 컨트롤러(200) 및 비휘발성 메모리(300)를 포함할 수 있다. 메모리 저장 장치(10)는 복수의 채널들(CH1~CHm)을 지원할 수 있고, 메모리 컨트롤러(200) 및 비휘발성 메모리(300)는 복수의 채널들(CH1~CHm)을 통해 연결될 수 있다. 예를 들어, 메모리 저장 장치(10)는 SSD(Solid State Drive)와 같은 스토리지 장치로 구현될 수 있다.

[0041] 비휘발성 메모리(300)는 복수의 비휘발성 메모리 장치들(NVM11~NVMmn)을 포함할 수 있다. 비휘발성 메모리 장치들(NVM11~NVMmn) 각각은 대응하는 웨이(way)를 통해 복수의 채널들(CH1~CHm) 중 하나에 연결될 수 있다. 예를 들어, 비휘발성 메모리 장치들(NVM11~NVM1n)은 웨이들(W11~W1n)을 통해 제1 채널(CH1)에 연결되고, 비휘발성 메모리 장치들(NVM21~NVM2n)은 웨이들(W21~W2n)을 통해 제2 채널(CH2)에 연결될 수 있다. 예시적인 실시 예에서, 비휘발성 메모리 장치들(NVM11~NVMmn) 각각은 메모리 컨트롤러(200)로부터의 개별적인 명령에 따라 동작할 수 있는 임의의 메모리 단위로 구현될 수 있다. 예를 들어, 비휘발성 메모리 장치들(NVM11~NVMmn) 각각은 칩(chip) 또는 다이(die)로 구현될 수 있으나, 본 발명이 이에 한정되는 것은 아니다.

[0042] 메모리 컨트롤러(200)는 복수의 채널들(CH1~CHm)을 통해 비휘발성 메모리(300)와 신호들을 송수신할 수 있다. 예를 들어, 메모리 컨트롤러(200)는 채널들(CH1~CHm)을 통해 커맨드들(CMDa~CMDm), 어드레스들(ADDRa~ADDRm), 및 데이터(DATAa~DATAm)를 비휘발성 메모리(300)로 전송하거나, 비휘발성 메모리(300)로부터 데이터(DATAa~DATAm)를 수신할 수 있다.

[0043] 메모리 컨트롤러(200)는 각각의 채널을 통해 해당 채널에 연결된 비휘발성 메모리 장치들 중 하나를 선택하고, 선택된 비휘발성 메모리 장치와 신호들을 송수신할 수 있다. 예를 들어, 메모리 컨트롤러(200)는 제1 채널(CH1)에 연결된 비휘발성 메모리 장치들(NVM11~NVM1n) 중 비휘발성 메모리 장치(NVM11)를 선택할 수 있다. 메모리 컨트롤러(200)는 선택된 비휘발성 메모리 장치(NVM11)로 제1 채널(CH1)을 통해 커맨드(CMDa), 어드레스(ADDRa), 및 데이터(DATAa)를 전송하거나, 선택된 비휘발성 메모리 장치(NVM11)로부터 데이터(DATAa)를 수신할 수 있다.

[0044] 메모리 컨트롤러(200)는 서로 다른 채널들을 통해 비휘발성 메모리(300)와 신호들을 병렬적으로 송수신할 수 있다. 예를 들어, 메모리 컨트롤러(200)는 제1 채널(CH1)을 통해 비휘발성 메모리(300)로 커맨드(CMDa)를 전송하는 동안 제2 채널(CH2)을 통해 비휘발성 메모리(300)로 커맨드(CMDb)를 전송할 수 있다. 예를 들어, 메모리 컨트롤러(200)는 제1 채널(CH1)을 통해 비휘발성 메모리(300)로부터 데이터(DATAa)를 수신하는 동안 제2 채널

(CH2)을 통해 비휘발성 메모리(300)로부터 데이터(DATAB)를 수신할 수 있다.

- [0045] 메모리 컨트롤러(200)는 비휘발성 메모리(300)의 전반적인 동작을 제어할 수 있다. 메모리 컨트롤러(200)는 채널들(CH1~CHm)로 신호를 전송하여 채널들(CH1~CHm)에 연결된 비휘발성 메모리 장치들(NVM11~NVMmn) 각각을 제어할 수 있다. 예를 들어, 메모리 컨트롤러(200)는 제1 채널(CH1)로 커맨드(CMDa) 및 어드레스(ADDRa)를 전송하여 비휘발성 메모리 장치들(NVM11~NVM1n) 중 선택된 하나를 제어할 수 있다.
- [0046] 비휘발성 메모리 장치들(NVM11~NVMmn) 각각은 메모리 컨트롤러(200)의 제어에 따라 동작할 수 있다. 예를 들어, 비휘발성 메모리 장치(NVM11)는 제1 채널(CH1)로 제공되는 커맨드(CMDa), 어드레스(ADDRa), 및 데이터(DATAa)에 따라 데이터(DATAa)를 프로그램할 수 있다. 예를 들어, 비휘발성 메모리 장치(NVM21)는 제2 채널(CH2)로 제공되는 커맨드(CMDb) 및 어드레스(ADDRb)에 따라 데이터(DATAB)를 독출하고, 독출된 데이터(DATAB)를 메모리 컨트롤러(200)로 전송할 수 있다.
- [0047] 도 4에는 비휘발성 메모리(300)가 m개의 채널을 통해 메모리 컨트롤러(200)와 통신하고, 비휘발성 메모리(300)가 각각의 채널에 대응하여 n개의 비휘발성 메모리 장치를 포함하는 것으로 도시되나, 채널들의 개수와 하나의 채널에 연결된 비휘발성 메모리 장치의 개수는 다양하게 변경될 수 있다.
- [0048] 도 5는 도 1의 메모리 컨트롤러, 메모리 인터페이스 및 비휘발성 메모리에 대한 블록도이다. 도 2의 메모리 인터페이스(250)는 도 5의 컨트롤러 인터페이스 회로(250a)를 포함할 수 있다.
- [0049] 비휘발성 메모리(300)는 제1 내지 제8 핀들(P11~P18), 메모리 인터페이스 회로(250b), 제어 로직 회로(350), 및 메모리 셀 어레이(310)를 포함할 수 있다. 여기서 제어 로직 회로(350) 및 메모리 셀 어레이(310)는 도 3의 제어 로직 회로(350) 및 메모리 셀 어레이(310)와 동일할 수 있다.
- [0050] 메모리 인터페이스 회로(250b)는 제1 핀(P11)을 통해 메모리 컨트롤러(200)로부터 칩 인에이블 신호(nCE)를 수신할 수 있다. 메모리 인터페이스 회로(250b)는 칩 인에이블 신호(nCE)에 따라 제2 내지 제8 핀들(P12~P18)을 통해 메모리 컨트롤러(200)와 신호들을 송수신할 수 있다. 예를 들어, 칩 인에이블 신호(nCE)가 인에이블 상태(예를 들어, 로우 레벨)인 경우, 메모리 인터페이스 회로(250b)는 제2 내지 제8 핀들(P12~P18)을 통해 메모리 컨트롤러(200)와 신호들을 송수신할 수 있다.
- [0051] 메모리 인터페이스 회로(250b)는 제2 내지 제4 핀들(P12~P14)을 통해 메모리 컨트롤러(200)로부터 커맨드 래치 인에이블 신호(CLE), 어드레스 래치 인에이블 신호(ALE), 및 쓰기 인에이블 신호(nWE)를 수신할 수 있다. 메모리 인터페이스 회로(250b)는 제7 핀(P17)을 통해 메모리 컨트롤러(200)로부터 데이터 신호(DQ)를 수신하거나, 메모리 컨트롤러(200)로 데이터 신호(DQ)를 전송할 수 있다. 데이터 신호(DQ)를 통해 커맨드(CMD), 어드레스(ADDR), 및 데이터(DATA)가 전달될 수 있다. 예를 들어, 데이터 신호(DQ)는 복수의 데이터 신호 라인들을 통해 전달될 수 있다. 이 경우, 제7 핀(P17)은 복수의 데이터 신호들에 대응하는 복수 개의 핀들을 포함할 수 있다.
- [0052] 메모리 인터페이스 회로(250b)는 쓰기 인에이블 신호(nWE)의 토글 타이밍들에 기초하여 커맨드 래치 인에이블 신호(CLE)의 인에이블 구간(예를 들어, 하이 레벨 상태)에서 수신되는 데이터 신호(DQ)로부터 커맨드(CMD)를 획득할 수 있다. 메모리 인터페이스 회로(250b)는 쓰기 인에이블 신호(nWE)의 토글 타이밍들에 기초하여 어드레스 래치 인에이블 신호(ALE)의 인에이블 구간(예를 들어, 하이 레벨 상태)에서 수신되는 데이터 신호(DQ)로부터 어드레스(ADDR)를 획득할 수 있다.
- [0053] 몇몇 실시예에서, 쓰기 인에이블 신호(nWE)는 고정된(static) 상태(예를 들어, 하이(high) 레벨 또는 로우(low) 레벨)를 유지하다가 하이 레벨과 로우 레벨 사이에서 토글할 수 있다. 예를 들어, 쓰기 인에이블 신호(nWE)는 커맨드(CMD) 또는 어드레스(ADDR)가 전송되는 구간에서 토글할 수 있다. 이에 따라, 메모리 인터페이스 회로(250b)는 쓰기 인에이블 신호(nWE)의 토글 타이밍들에 기초하여 커맨드(CMD) 또는 어드레스(ADDR)를 획득할 수 있다.
- [0054] 메모리 인터페이스 회로(250b)는 제5 핀(P15)을 통해 메모리 컨트롤러(200)로부터 읽기 인에이블 신호(nRE)를 수신할 수 있다. 메모리 인터페이스 회로(250b)는 제6 핀(P16)을 통해 메모리 컨트롤러(200)로부터 데이터 스트로브 신호(DQS)를 수신하거나, 메모리 컨트롤러(200)로 데이터 스트로브 신호(DQS)를 전송할 수 있다.
- [0055] 비휘발성 메모리(300)의 데이터(DATA) 출력 동작에서, 메모리 인터페이스 회로(250b)는 데이터(DATA)를 출력하기 전에 제5 핀(P15)을 통해 토글하는 읽기 인에이블 신호(nRE)를 수신할 수 있다. 메모리 인터페이스 회로(250b)는 읽기 인에이블 신호(nRE)의 토글링에 기초하여 토글하는 데이터 스트로브 신호(DQS)를 생성할 수 있다. 예를 들어, 메모리 인터페이스 회로(250b)는 읽기 인에이블 신호(nRE)의 토글링 시작 시간을 기준으로 미

리 정해진 딜레이(예를 들어, tDQSRE) 이후에 토글하기 시작하는 데이터 스트로브 신호(DQS)를 생성할 수 있다. 메모리 인터페이스 회로(250b)는 데이터 스트로브 신호(DQS)의 토글 타이밍에 기초하여 데이터(DATA)를 포함하는 데이터 신호(DQ)를 전송할 수 있다. 이에 따라, 데이터(DATA)는 데이터 스트로브 신호(DQS)의 토글 타이밍에 정렬되어 메모리 컨트롤러(200)로 전송될 수 있다.

[0056] 비휘발성 메모리(300)의 데이터(DATA) 입력 동작에서, 메모리 컨트롤러(200)로부터 데이터(DATA)를 포함하는 데이터 신호(DQ)가 수신되는 경우, 메모리 인터페이스 회로(250b)는 메모리 컨트롤러(200)로부터 데이터(DATA)와 함께 토글하는 데이터 스트로브 신호(DQS)를 수신할 수 있다. 메모리 인터페이스 회로(250b)는 데이터 스트로브 신호(DQS)의 토글 타이밍에 기초하여 데이터 신호(DQ)로부터 데이터(DATA)를 획득할 수 있다. 예를 들어, 메모리 인터페이스 회로(250b)는 데이터 스트로브 신호(DQS)의 상승 에지 및 하강 에지에서 데이터 신호(DQ)를 샘플링함으로써 데이터(DATA)를 획득할 수 있다.

[0057] 메모리 인터페이스 회로(250b)는 제8 핀(P18)을 통해 레디/비지 출력 신호(nR/B)를 메모리 컨트롤러(200)로 전송할 수 있다. 메모리 인터페이스 회로(250b)는 레디/비지 출력 신호(nR/B)를 통해 비휘발성 메모리(300)의 상태 정보를 메모리 컨트롤러(200)로 전송할 수 있다. 비휘발성 메모리(300)가 비지 상태인 경우(즉, 비휘발성 메모리(300) 내부 동작들이 수행 중인 경우), 메모리 인터페이스 회로(250b)는 비지 상태를 나타내는 레디/비지 출력 신호(nR/B)를 메모리 컨트롤러(200)로 전송할 수 있다. 비휘발성 메모리(300)가 레디 상태인 경우(즉, 비휘발성 메모리(300) 내부 동작들이 수행되지 않거나 완료된 경우), 메모리 인터페이스 회로(250b)는 레디 상태를 나타내는 레디/비지 출력 신호(nR/B)를 메모리 컨트롤러(200)로 전송할 수 있다.

[0058] 예를 들어, 비휘발성 메모리(300)가 페이지 리드 명령에 응답하여 메모리 셀 어레이(310)로부터 데이터(DATA)를 리드하는 동안, 메모리 인터페이스 회로(250b)는 비지 상태(예를 들어, 로우 레벨)를 나타내는 레디/비지 출력 신호(nR/B)를 메모리 컨트롤러(200)로 전송할 수 있다. 예를 들어, 비휘발성 메모리(300)가 프로그램 명령에 응답하여 메모리 셀 어레이(310)로 데이터(DATA)를 프로그램하는 동안, 메모리 인터페이스 회로(250b)는 비지 상태를 나타내는 레디/비지 출력 신호(nR/B)를 메모리 컨트롤러(200)로 전송할 수 있다.

[0059] 제어 로직 회로(350)는 비휘발성 메모리(300)의 각종 동작을 전반적으로 제어할 수 있다. 제어 로직 회로(350)는 메모리 인터페이스 회로(250b)로부터 획득된 커맨드/어드레스(CMD/ADDR)를 수신할 수 있다. 제어 로직 회로(350)는 수신된 커맨드/어드레스(CMD/ADDR)에 따라 비휘발성 메모리(300)의 다른 구성 요소들을 제어하기 위한 제어 신호들을 생성할 수 있다. 예를 들어, 제어 로직 회로(350)는 메모리 셀 어레이(310)에 데이터(DATA)를 프로그래밍하거나, 또는 메모리 셀 어레이(310)로부터 데이터(DATA)를 리드하기 위한 각종 제어 신호들을 생성할 수 있다.

[0060] 메모리 셀 어레이(310)는 제어 로직 회로(350)의 제어에 따라 메모리 인터페이스 회로(250b)로부터 획득된 데이터(DATA)를 저장할 수 있다. 메모리 셀 어레이(310)는 제어 로직 회로(350)의 제어에 따라 저장된 데이터(DATA)를 메모리 인터페이스 회로(250b)로 출력할 수 있다.

[0061] 메모리 셀 어레이(310)는 복수의 메모리 셀들을 포함할 수 있다. 예를 들어, 복수의 메모리 셀들은 플래시 메모리 셀들일 수 있다. 그러나, 본 발명은 이에 한정되지 않으며, 메모리 셀들은 RRAM(Resistive Random Access Memory) 셀, FRAM(Ferroelectric Random Access Memory) 셀, PRAM(Phase Change Random Access Memory) 셀, TRAM(Thyristor Random Access Memory) 셀, MRAM(Magnetic Random Access Memory) 셀들일 수 있다. 이하에서는, 메모리 셀들이 낸드(NAND) 플래시 메모리 셀들인 실시 예를 중심으로 본 발명의 실시 예들이 설명될 것이다.

[0062] 메모리 컨트롤러(200)는 제1 내지 제8 핀들(P21~P28), 및 컨트롤러 인터페이스 회로(250a)를 포함할 수 있다. 제1 내지 제8 핀들(P21~P28)은 비휘발성 메모리(300)의 제1 내지 제8 핀들(P11~P18)에 대응할 수 있다.

[0063] 컨트롤러 인터페이스 회로(250a)는 제1 핀(P21)을 통해 비휘발성 메모리(300)로 칩 인에이블 신호(nCE)를 전송할 수 있다. 컨트롤러 인터페이스 회로(250a)는 칩 인에이블 신호(nCE)를 통해 선택한 비휘발성 메모리(300)와 제2 내지 제8 핀들(P22~P28)을 통해 신호들을 송수신할 수 있다.

[0064] 컨트롤러 인터페이스 회로(250a)는 제2 내지 제4 핀들(P22~P24)을 통해 커맨드 래치 인에이블 신호(CLE), 어드레스 래치 인에이블 신호(ALE), 및 쓰기 인에이블 신호(nWE)를 비휘발성 메모리(300)로 전송할 수 있다. 컨트롤러 인터페이스 회로(250a)는 제7 핀(P27)을 통해 비휘발성 메모리(300)로 데이터 신호(DQ)를 전송하거나, 비휘발성 메모리(300)로부터 데이터 신호(DQ)를 수신할 수 있다.

[0065] 컨트롤러 인터페이스 회로(250a)는 토글하는 쓰기 인에이블 신호(nWE)와 함께 커맨드(CMD) 또는 어드레스(ADD

R)를 포함하는 데이터 신호(DQ)를 비휘발성 메모리(300)로 전송할 수 있다. 컨트롤러 인터페이스 회로(250a)는 인에이블 상태를 가지는 커맨드 래치 인에이블 신호(CLE)를 전송함에 따라 커맨드(CMD)를 포함하는 데이터 신호(DQ)를 비휘발성 메모리(300)로 전송하고, 인에이블 상태를 가지는 어드레스 래치 인에이블 신호(ALE)를 전송함에 따라 어드레스(ADDR)를 포함하는 데이터 신호(DQ)를 비휘발성 메모리(300)로 전송할 수 있다.

[0066] 컨트롤러 인터페이스 회로(250a)는 제5 핀(P25)을 통해 비휘발성 메모리(300)로 읽기 인에이블 신호(nRE)를 전송할 수 있다. 컨트롤러 인터페이스 회로(250a)는 제6 핀(P26)을 통해 비휘발성 메모리(300)로부터 데이터 스트로브 신호(DQS)를 수신하거나, 비휘발성 메모리(300)로 데이터 스트로브 신호(DQS)를 전송할 수 있다.

[0067] 비휘발성 메모리(300)의 데이터(DATA) 출력 동작에서, 컨트롤러 인터페이스 회로(250a)는 토글하는 읽기 인에이블 신호(nRE)를 생성하고, 읽기 인에이블 신호(nRE)를 비휘발성 메모리(300)로 전송할 수 있다. 예를 들어, 컨트롤러 인터페이스 회로(250a)는 데이터(DATA)가 출력되기 전에 고정된 상태(예를 들어, 하이 레벨 또는 로우 레벨)에서 토글 상태로 변경되는 읽기 인에이블 신호(nRE)를 생성할 수 있다. 이에 따라, 비휘발성 메모리(300)에서 읽기 인에이블 신호(nRE)에 기초하여 토글하는 데이터 스트로브 신호(DQS)가 생성될 수 있다. 컨트롤러 인터페이스 회로(250a)는 비휘발성 메모리(300)로부터 토글하는 데이터 스트로브 신호(DQS)와 함께 데이터(DATA)를 포함하는 데이터 신호(DQ)를 수신할 수 있다. 컨트롤러 인터페이스 회로(250a)는 데이터 스트로브 신호(DQS)의 토글 타이밍에 기초하여 데이터 신호(DQ)로부터 데이터(DATA)를 획득할 수 있다.

[0068] 비휘발성 메모리(300)의 데이터(DATA) 입력 동작에서, 컨트롤러 인터페이스 회로(250a)는 토글하는 데이터 스트로브 신호(DQS)를 생성할 수 있다. 예를 들어, 컨트롤러 인터페이스 회로(250a)는 데이터(DATA)를 전송하기 전에 고정된 상태(예를 들어, 하이 레벨 또는 로우 레벨)에서 토글 상태로 변경되는 데이터 스트로브 신호(DQS)를 생성할 수 있다. 컨트롤러 인터페이스 회로(250a)는 데이터 스트로브 신호(DQS)의 토글 타이밍들에 기초하여 데이터(DATA)를 포함하는 데이터 신호(DQ)를 비휘발성 메모리(300)로 전송할 수 있다.

[0069] 컨트롤러 인터페이스 회로(250a)는 제8 핀(P28)을 통해 비휘발성 메모리(300)로부터 레디/비지 출력 신호(nR/B)를 수신할 수 있다. 컨트롤러 인터페이스 회로(250a)는 레디/비지 출력 신호(nR/B)에 기초하여 비휘발성 메모리(300)의 상태 정보를 판별할 수 있다.

[0070] 도 6은 몇몇 실시예에 따른 메모리 셀 어레이를 도시한 예시적인 회로도이다.

[0071] 도 6를 참조하면, 복수의 셀 스트링들(NS11, NS21, NS31, NS12, NS22, NS32, NS13, NS23, 및 NS33)이 기판(도시되지 않음) 상에 제1 방향(x) 및 제2 방향(y)으로 배치될 수 있다. 복수의 셀 스트링들(NS11, NS21, NS31, NS12, NS22, NS32, NS13, NS23, 및 NS33)은 제3 방향(z)으로 연장된 형태를 가질 수 있다. 복수의 셀 스트링들(NS11, NS21, NS31, NS12, NS22, NS32, NS13, NS23, 및 NS33)은 기판(도시되지 않음) 상에, 또는 기판(도시되지 않음) 내에 형성되는 공통 소스 라인(CSL: Common Source Line)에 공통으로 연결될 수 있다. 복수의 셀 스트링들(NS11, NS21, NS31, NS12, NS22, NS32, NS13, NS23, 및 NS33)의 제3 방향(z)으로의 최하단에 공통 소스 라인(CSL)이 연결되는 것으로 도시되어 있으나, 공통 소스 라인(CSL)은 복수의 셀 스트링들(NS11, NS21, NS31, NS12, NS22, NS32, NS13, NS23, 및 NS33)의 제3 방향(z)으로의 최하단에 전기적으로 연결되는 것으로 충분하며, 물리적으로 복수의 셀 스트링들(NS11, NS21, NS31, NS12, NS22, NS32, NS13, NS23, 및 NS33)의 하단에 위치하는 것으로 한정되지 않는다. 또한, 복수의 셀 스트링들(NS11, NS21, NS31, NS12, NS22, NS32, NS13, NS23, 및 NS33)은 3 x 3 배열로 배치되는 것으로 본 도면에 도시되었으나, 메모리 셀 어레이(310)에 배치된 복수의 셀 스트링들의 배치 형태와 수가 이에 제한되는 것은 아니다.

[0072] 몇몇 셀 스트링들(NS11, NS12, 및 NS13)은 제1 그라운드 선택 라인(GSL: Ground Select Line)(GSL1)과 연결될 수 있다. 몇몇 셀 스트링들(NS21, NS22, 및 NS23)은 제2 그라운드 선택 라인(GSL2)과 연결될 수 있다. 몇몇 셀 스트링들(NS31, NS32, 및 NS33)은 제3 그라운드 선택 라인(GSL3)과 연결될 수 있다.

[0073] 또한, 몇몇 셀 스트링들(NS11, NS12, 및 NS13)은 제1 스트링 선택 라인(SSL: String Select Line)(SSL1)과 연결될 수 있다. 몇몇 셀 스트링들(NS21, NS22, 및 NS23)은 제2 스트링 선택 라인(SSL2)과 연결될 수 있다. 몇몇 셀 스트링들(NS31, NS32, 및 NS33)은 제3 스트링 선택 라인(SSL3)과 연결될 수 있다.

[0074] 복수의 셀 스트링들(NS11, NS21, NS31, NS12, NS22, NS32, NS13, NS23, 및 NS33) 각각은 스트링 선택 라인 각각과 연결되는 스트링 선택 트랜지스터(SST: String Select Transistor)를 포함할 수 있다. 또한, 복수의 셀 스트링들(NS11, NS21, NS31, NS12, NS22, NS32, NS13, NS23, 및 NS33) 각각은 그라운드 선택 라인 각각과 연결되는 그라운드 선택 트랜지스터(GST: Ground Select Transistor)를 포함할 수 있다.

[0075] 복수의 셀 스트링들(NS11, NS21, NS31, NS12, NS22, NS32, NS13, NS23, 및 NS33) 각각의 그라운드 선택 트랜지

스터의 일단은 공통 소스 라인(CSL)과 연결될 수 있다. 또한, 복수의 셀 스트링들(NS11, NS21, NS31, NS12, NS22, NS32, NS13, NS23, 및 NS33) 각각은 그라운드 선택 트랜지스터와 스트링 선택 트랜지스터 사이에 복수의 메모리 셀들이 제3 방향(z)으로 차례로 적층될 수 있다. 본 도면엔 도시되지 않았으나, 복수의 셀 스트링들(NS11, NS21, NS31, NS12, NS22, NS32, NS13, NS23, 및 NS33) 각각은 그라운드 선택 트랜지스터와 스트링 선택 트랜지스터 사이에 더미 셀들이 포함될 수 있다. 또한, 각 스트링에 포함된 스트링 선택 트랜지스터의 개수가 본 도면에 제한되는 것은 아니다.

- [0076] 예를 들어, 셀 스트링(NS11)은 제3 방향(z)으로의 최하단에 배치된 그라운드 선택 트랜지스터(GST11)와, 그라운드 선택 트랜지스터(GST11) 상의 제3 방향(z)으로 차례로 적층된 복수의 메모리 셀들(M11_1 내지 M11_8)과, 최상단 메모리 셀(M11_8) 상의 제3 방향(z)으로 적층된 스트링 선택 트랜지스터(SST11)를 포함할 수 있다. 또한, 셀 스트링(NS21)은 제3 방향(z)으로의 최하단에 배치된 그라운드 선택 트랜지스터(GST21)와, 그라운드 선택 트랜지스터(GST21) 상의 제3 방향(z)으로 차례로 적층된 복수의 메모리 셀들(M21_1 내지 M21_8)과, 최상단 메모리 셀(M21_8) 상의 제3 방향(z)으로 적층된 스트링 선택 트랜지스터(SST21)를 포함할 수 있다. 또한, 셀 스트링(NS31)은 제3 방향(z)으로의 최하단에 배치된 그라운드 선택 트랜지스터(GST31)와, 그라운드 선택 트랜지스터(GST31) 상의 제3 방향(z)으로 차례로 적층된 복수의 메모리 셀들(M31_1 내지 M31_8)과, 최상단 메모리 셀(M31_8) 상의 제3 방향(z)으로 적층된 스트링 선택 트랜지스터(SST31)를 포함할 수 있다. 이하, 다른 스트링의 구성도 이와 유사할 수 있다.
- [0077] 기관(도시되지 않음) 또는 그라운드 선택 트랜지스터로부터 동일한 제3 방향(z)으로의 높이에 위치한 메모리 셀들은 각각의 워드 라인을 통해 전기적으로 공통으로 연결될 수 있다. 예를 들어, 메모리 셀들(M11_1, M21_1, 및 M31_1)이 형성된 높이의 메모리 셀들은 제1 워드 라인(WL1)과 연결될 수 있다. 또한, 메모리 셀들(M11_2, M21_2, 및 M31_2)이 형성된 높이의 메모리 셀들은 제2 워드 라인(WL2)과 연결될 수 있다. 이하, 제3 워드 라인(WL3) 내지 제8 워드 라인(WL8)과 연결되는 메모리 셀들의 배치 및 구조도 이와 유사하므로 설명을 생략한다.
- [0078] 복수의 셀 스트링들(NS11, NS21, NS31, NS12, NS22, NS32, NS13, NS23, 및 NS33) 각각의 스트링 선택 트랜지스터의 일단은 비트 라인(BL1, BL2, 및 BL3)과 연결될 수 있다. 예를 들어, 스트링 선택 트랜지스터(ST11, SST21, 및 SST31)는 제2 방향(y)으로 연장되는 비트 라인(BL1)과 연결될 수 있다. 비트 라인(BL2, 및 BL3)과 연결되는 다른 스트링 선택 트랜지스터에 대한 설명도 이와 유사하므로 설명을 생략한다.
- [0079] 하나의 스트링(또는 그라운드) 선택 라인 및 하나의 워드 라인에 대응하는 메모리 셀들은 하나의 페이지를 형성할 수 있다. 쓰기 동작 및 읽기 동작은 각 페이지의 단위로 수행될 수 있다. 각 페이지의 각 메모리 셀들은 둘 이상의 비트들을 저장할 수도 있다. 각 페이지의 메모리 셀들에 기입되는 비트들은 논리 페이지들을 형성할 수 있다.
- [0080] 메모리 셀 어레이(310)는 3차원 메모리 어레이로 제공될 수 있다. 3차원 메모리 어레이는 기관(도시되지 않음) 및 메모리 셀들의 동작에 연관된 회로의 위에 배치되는 활성 영역을 갖는 메모리 셀들의 어레이들의 하나 또는 그 이상의 물리 레벨들에 획일적으로(monolithically) 형성될 수 있다. 메모리 셀들의 동작에 연관된 회로는 기관 내에 또는 기관 위에 위치할 수 있다. 획일적으로 형성되는 것은, 3차원 어레이의 각 레벨의 레이어들이 3차원 어레이의 하위 레벨의 레이어들 위에 직접 증착될 수 있음을 의미한다. 또는, 메모리 셀들의 동작에 연관된 회로가 제3 방향(z)의 최상단의 컨택 부분과 연결될 수도 있다. 이에 대해서 도 7을 통해 자세히 살펴본다.
- [0081] 도 7은 몇몇 실시예에 따른 비휘발성 메모리 내부를 간략히 도시한 예시적인 도면이다.
- [0082] 도 7을 참조하면, 몇몇 실시예들에 따른, 비휘발성 메모리(300)는 C2C(chip to chip) 구조일 수 있다. 본 도면은, 비휘발성 메모리(300)의 셀 영역(CELL)이 도 6의 메모리 셀 어레이(310)에 대응될 수 있다.
- [0083] C2C 구조는 제1 웨이퍼 상에 셀 영역(CELL)을 포함하는 상부 칩을 제작하고, 제1 웨이퍼와 다른 제2 웨이퍼 상에 주변 회로 영역(PERI)을 포함하는 하부 칩을 제작한 후, 상기 상부 칩과 상기 하부 칩을 본딩(bonding) 방식에 의해 서로 연결하는 것을 의미할 수 있다. 일례로, 상기 본딩 방식은 상부 칩의 최상부 메탈층에 형성된 본딩 메탈과 하부 칩의 최상부 메탈층에 형성된 본딩 메탈을 서로 전기적으로 연결하는 방식을 의미할 수 있다. 예컨대, 상기 본딩 메탈이 구리(Cu)로 형성된 경우, 상기 본딩 방식은 Cu-Cu 본딩 방식일 수 있으며, 상기 본딩 메탈은 알루미늄 혹은 텅스텐으로도 형성될 수 있다.
- [0084] 몇몇 실시예들에 따른 비휘발성 메모리(300)의 주변 회로 영역(PERI)과 셀 영역(CELL) 각각은 외부 패드 본딩 영역(PA), 워드라인 본딩 영역(WLBA), 및 비트라인 본딩 영역(BLBA)을 포함할 수 있다.
- [0085] 주변 회로 영역(PERI)은 제1 기관(1210), 층간 절연층(1215), 제1 기관(1210)에 형성되는 복수의 회로 소자들

(1220a, 1220b, 1220c), 복수의 회로 소자들(1220a, 1220b, 1220c) 각각과 연결되는 제1 메탈층(1230a, 1230b, 1230c), 제1 메탈층(1230a, 1230b, 1230c) 상에 형성되는 제2 메탈층(1240a, 1240b, 1240c)을 포함할 수 있다. 일 실시예에서, 제1 메탈층(1230a, 1230b, 1230c)은 상대적으로 저항이 높은 텅스텐으로 형성될 수 있고, 제2 메탈층(1240a, 1240b, 1240c)은 상대적으로 저항이 낮은 구리로 형성될 수 있다.

[0086] 본 명세서에서는 제1 메탈층(1230a, 1230b, 1230c)과 제2 메탈층(1240a, 1240b, 1240c)만 도시 되고 설명되나, 이에 한정되는 것은 아니고, 제2 메탈층(1240a, 1240b, 1240c) 상에 적어도 하나 이상의 메탈층이 더 형성될 수도 있다. 제2 메탈층(1240a, 1240b, 1240c)의 상부에 형성되는 하나 이상의 메탈층 중 적어도 일부는, 제2 메탈층(1240a, 1240b, 1240c)을 형성하는 구리보다 더 낮은 저항을 갖는 알루미늄 등으로 형성될 수 있다.

[0087] 층간 절연층(1215)은 복수의 회로 소자들(1220a, 1220b, 1220c), 제1 메탈층(1230a, 1230b, 1230c), 및 제2 메탈층(1240a, 1240b, 1240c)을 커버하도록 제1 기판(1210) 상에 배치되며, 실리콘 산화물, 실리콘 질화물 등과 같은 절연 물질을 포함할 수 있다.

[0088] 워드 라인 본딩 영역(WLBA)의 제2 메탈층(1240b) 상에 하부 본딩 메탈(1271b, 1272b)이 형성될 수 있다. 워드 라인 본딩 영역(WLBA)에서, 주변 회로 영역(PERI)의 하부 본딩 메탈(1271b, 1272b)은 셀 영역(CELL)의 상부 본딩 메탈(1371b, 1372b)과 본딩 방식에 의해 서로 전기적으로 연결될 수 있으며, 하부 본딩 메탈(1271b, 1272b)과 상부 본딩 메탈(1371b, 1372b)은 알루미늄, 구리, 혹은 텅스텐 등으로 형성될 수 있다.

[0089] 셀 영역(CELL)은 적어도 하나의 메모리 블록을 제공할 수 있다. 셀 영역(CELL)은 제2 기판(1310)과 공통 소스 라인(1320, 도 6의 CSL에 해당)을 포함할 수 있다. 제2 기판(1310) 상에는, 제2 기판(1310)의 상면에 수직하는 제3 방향(z)을 따라 복수의 워드 라인들(1331-1338; 1330, 도 6의 WL1 내지 WL8에 해당)이 적층될 수 있다. 워드 라인들(1330)의 상부 및 하부 각각에는 스트링 선택 라인들과 접지 선택 라인이 배치될 수 있으며, 스트링 선택 라인들과 접지 선택 라인 사이에 복수의 워드 라인들(1330)이 배치될 수 있다.

[0090] 비트 라인 본딩 영역(BLBA)에서, 채널 구조체(CH)는 제2 기판(1310)의 상면에 수직하는 방향으로 연장되어 워드 라인들(1330), 스트링 선택 라인들, 및 접지 선택 라인을 관통할 수 있다. 채널 구조체(CH)는 데이터 저장층, 채널층, 및 매립 절연층 등을 포함할 수 있으며, 채널층은 제1 메탈층(1350c) 및 제2 메탈층(1360c)과 전기적으로 연결될 수 있다. 예컨대, 제1 메탈층(1350c)은 비트 라인 컨택일 수 있고, 제2 메탈층(1360c)은 비트 라인(도 5의 BL1 내지 BL3에 해당)일 수 있다. 일 실시예에서, 비트 라인(1360c)은 제2 기판(1310)의 상면에 평행한 제2 방향(y)을 따라 연장될 수 있다.

[0091] 도 7에 도시한 일 실시예에서, 채널 구조체(CH)와 비트 라인(1360c) 등이 배치되는 영역이 비트 라인 본딩 영역(BLBA)으로 정의될 수 있다. 비트 라인(1360c)은 비트 라인 본딩 영역(BLBA)에서 주변 회로 영역(PERI)에서 페이지 버퍼(1393)를 제공하는 회로 소자들(1220c)과 전기적으로 연결될 수 있다. 일례로, 비트 라인(1360c)은 주변 회로 영역(PERI)에서 상부 본딩 메탈(1371c, 1372c)과 연결되며, 상부 본딩 메탈(1371c, 1372c)은 페이지 버퍼(1393)의 회로 소자들(1220c)에 연결되는 하부 본딩 메탈(1271c, 1272c)과 연결될 수 있다.

[0092] 워드 라인 본딩 영역(WLBA)에서, 워드 라인들(1330)은 제2 기판(1310)의 상면에 평행한 제1 방향(x)을 따라 연장될 수 있으며, 복수의 셀 컨택 플러그들(1341-1347; 1340)와 연결될 수 있다. 워드 라인들(1330)과 셀 컨택 플러그들(1340)은, 제1 방향(x)을 따라 워드 라인들(1330) 중 적어도 일부가 서로 다른 길이로 연장되어 제공하는 패드들에서 서로 연결될 수 있다. 워드 라인들(1330)에 연결되는 셀 컨택 플러그들(1340)의 상부에는 제1 메탈층(1350b)과 제2 메탈층(1360b)이 차례로 연결될 수 있다. 셀 컨택 플러그들(1340)은 워드 라인 본딩 영역(WLBA)에서 셀 영역(CELL)의 상부 본딩 메탈(1371b, 1372b)과 주변 회로 영역(PERI)의 하부 본딩 메탈(1271b, 1272b)을 통해 주변 회로 영역(PERI)과 연결될 수 있다.

[0093] 셀 컨택 플러그들(1340)은 주변 회로 영역(PERI)에서 로우 디코더(1394)를 제공하는 회로 소자들(1220b)과 전기적으로 연결될 수 있다. 일 실시예에서, 로우 디코더(1394)를 제공하는 회로 소자들(1220b)의 동작 전압은, 페이지 버퍼(1393)를 제공하는 회로 소자들(1220c)의 동작 전압과 다를 수 있다. 일례로, 페이지 버퍼(1393)를 제공하는 회로 소자들(1220c)의 동작 전압이 로우 디코더(1394)를 제공하는 회로 소자들(1220b)의 동작 전압보다 클 수 있다.

[0094] 외부 패드 본딩 영역(PA)에는 공통 소스 라인 컨택 플러그(1380)가 배치될 수 있다. 공통 소스 라인 컨택 플러그(1380)는 금속, 금속 화합물, 또는 폴리실리콘 등의 도전성 물질로 형성되며, 공통 소스 라인(1320)과 전기적으로 연결될 수 있다. 공통 소스 라인 컨택 플러그(1380) 상부에는 제1 메탈층(1350a)과 제2 메탈층(1360a)이 차례로 적층될 수 있다. 일례로, 공통 소스 라인 컨택 플러그(1380), 제1 메탈층(1350a), 및 제2 메탈층(1360

a)이 배치되는 영역은 외부 패드 본딩 영역(PA)으로 정의될 수 있다.

- [0095] 한편 외부 패드 본딩 영역(PA)에는 입출력 패드들(1205, 1305)이 배치될 수 있다. 도 7을 참조하면, 제1 기관(1210)의 하부에는 제1 기관(1210)의 하면을 덮는 하부 절연막(1201)이 형성될 수 있으며, 하부 절연막(1201)상에 제1 입출력 패드(1205)가 형성될 수 있다. 제1 입출력 패드(1205)는 제1 입출력 컨택 플러그(1203)를 통해 주변 회로 영역(PERI)에 배치되는 복수의 회로 소자들(1220a, 1220b, 1220c) 중 적어도 하나와 연결되며, 하부 절연막(1201)에 의해 제1 기관(1210)과 분리될 수 있다. 또한, 제1 입출력 컨택 플러그(1203)와 제1 기관(1210) 사이에는 측면 절연막이 배치되어 제1 입출력 컨택 플러그(1203)와 제1 기관(1210)을 전기적으로 분리할 수 있다.
- [0096] 도 7을 계속하여 참조하면, 제2 기관(1310)의 상부에는 제2 기관(1310)의 상면을 덮는 상부 절연막(1301)이 형성될 수 있으며, 상부 절연막(1301)상에 제2 입출력 패드(1305)가 배치될 수 있다. 제2 입출력 패드(1305)는 제2 입출력 컨택 플러그(1303)를 통해 주변 회로 영역(PERI)에 배치되는 복수의 회로 소자들(1220a, 1220b, 1220c) 중 적어도 하나와 연결될 수 있다.
- [0097] 실시예들에 따라, 제2 입출력 컨택 플러그(1303)가 배치되는 영역에는 제2 기관(1310) 및 공통 소스 라인(1320) 등이 배치되지 않을 수 있다. 또한, 제2 입출력 패드(1305)는 제3 방향(z)에서 워드 라인들(1380)과 오버랩되지 않을 수 있다. 도 7을 참조하면, 제2 입출력 컨택 플러그(1303)는 제2 기관(1310)의 상면에 평행한 방향에서 제2 기관(1310)과 분리되며, 셀 영역(CELL)의 층간 절연층(1315)을 관통하여 제2 입출력 패드(1305)에 연결될 수 있다.
- [0098] 실시예들에 따라, 제1 입출력 패드(1205)와 제2 입출력 패드(1305)는 선택적으로 형성될 수 있다. 일례로, 몇몇 실시예들에 따른 비휘발성 메모리(300)는 제1 기관(1201)의 상부에 배치되는 제1 입출력 패드(1205)만을 포함하거나, 또는 제2 기관(1301)의 상부에 배치되는 제2 입출력 패드(1305)만을 포함할 수 있다. 또는, 비휘발성 메모리(300)가 제1 입출력 패드(1205)와 제2 입출력 패드(1305)를 모두 포함할 수도 있다.
- [0099] 셀 영역(CELL)과 주변 회로 영역(PERI) 각각에 포함되는 외부 패드 본딩 영역(PA)과 비트 라인 본딩 영역(BLBA) 각각에는 최상부 메탈층의 메탈 패턴이 더미 패턴(dummy pattern)으로 존재하거나, 최상부 메탈층이 비어있을 수 있다.
- [0100] 몇몇 실시예들에 따른 비휘발성 메모리(300)는 외부 패드 본딩 영역(PA)에서, 셀 영역(CELL)의 최상부 메탈층에 형성된 상부 메탈 패턴(1372a)에 대응하여 주변 회로 영역(PERI)의 최상부 메탈층에 셀 영역(CELL)의 상부 메탈 패턴(1372a)과 동일한 형태의 하부 메탈 패턴(1273a)을 형성할 수 있다. 주변 회로 영역(PERI)의 최상부 메탈층에 형성된 하부 메탈 패턴(1273a)은 주변 회로 영역(PERI)에서 별도의 콘택과 연결되지 않을 수 있다. 이와 유사하게, 외부 패드 본딩 영역(PA)에서 주변 회로 영역(PERI)의 최상부 메탈층에 형성된 하부 메탈 패턴에 대응하여 셀 영역(CELL)의 상부 메탈층에 주변 회로 영역(PERI)의 하부 메탈 패턴과 동일한 형태의 상부 메탈 패턴을 형성할 수도 있다.
- [0101] 워드 라인 본딩 영역(WLBA)의 제2 메탈층(1240b) 상에는 하부 본딩 메탈(1271b, 1272b)이 형성될 수 있다. 워드 라인 본딩 영역(WLBA)에서, 주변 회로 영역(PERI)의 하부 본딩 메탈(1271b, 1272b)은 셀 영역(CELL)의 상부 본딩 메탈(1371b, 1372b)과 본딩 방식에 의해 서로 전기적으로 연결될 수 있다.
- [0102] 또한, 비트 라인 본딩 영역(BLBA)에서, 주변 회로 영역(PERI)의 최상부 메탈층에 형성된 하부 메탈 패턴(1252)에 대응하여 셀 영역(CELL)의 최상부 메탈층에 주변 회로 영역(PERI)의 하부 메탈 패턴(1252)과 동일한 형태의 상부 메탈 패턴(1392)을 형성할 수 있다. 셀 영역(CELL)의 최상부 메탈층에 형성된 상부 메탈 패턴(1392) 상에는 콘택을 형성하지 않을 수 있다.
- [0103] 이하 도 8 내지 도 10을 참조하여 버퍼링 동작을 수행하는 메모리 컨트롤러(200)를 설명한다.
- [0104] 도 8은 몇몇 실시예에 따른 메모리 컨트롤러를 설명하기 위한 블록도이다. 도 9는 몇몇 실시예에 따른 메모리 컨트롤러와 비휘발성 메모리의 동작을 설명하기 위한 블록도이다. 도 10은 몇몇 실시예에 따른 호스트와 메모리 저장 장치의 동작을 설명하기 위한 래더 다이어그램이다.
- [0105] 도 8 및 도 10을 참조하면, 메모리 컨트롤러(200)는 호스트 인터페이스(240), 라이트 버퍼(230), 캐시 컨트롤러(400), FTL(220) 및 메모리 인터페이스(250)를 포함할 수 있다. 여기서, 메모리 컨트롤러(200)의 구성은 도 2에 도시된 메모리 컨트롤러(200)의 구성과 동일할 수 있다.
- [0106] 호스트(100)는 메모리 컨트롤러(200)에 논리 블록 어드레스(LBA), 라이트 요청 신호(WREQ) 및 데이터(DATA)를

제공할 수 있다(S500). 즉, 호스트(100)는 호스트 인터페이스(240)에 논리 블록 어드레스(LBA), 라이트 요청 신호(WREQ) 및 데이터(DATA)를 제공할 수 있다.

[0107] 호스트 인터페이스(240)는 호스트 DMA 모듈(241)을 포함할 수 있다. 호스트 인터페이스(240)는 호스트(100)로부터 논리 블록 어드레스(LBA), 라이트 요청 신호(WREQ) 및 데이터(DATA)를 수신할 수 있다. 여기서 호스트 인터페이스(240)는 전송한 NVMe 표준에 따라서 논리 블록 어드레스(LBA), 라이트 요청 신호(WREQ) 및 데이터(DATA)를 수신할 수 있고, 이를 변환시킬 수 있다. 호스트 DMA 모듈(241)은 수신한 논리 블록 어드레스(LBA), 라이트 요청 신호(WREQ) 및 데이터(DATA)를 이용하여 메모리 컨트롤러(200)에 데이터(DATA)를 입력시킬 수 있다. 여기서 호스트 DMA 모듈(241)은 데이터(DATA)의 직접 메모리 액세스(direct memory access)를 관리할 수 있다. 즉, 호스트 DMA 모듈(241)은 데이터(DATA)가 프로세서(210) 등을 거치지 않고 직접적으로 라이트 버퍼(230)에 입력되도록 관리할 수 있다. 하지만 본 발명의 실시예는 이에 제한되지 않는다.

[0108] 호스트 인터페이스(240)는 캐시 컨트롤러(400) 및 라이트 버퍼(230)에 논리 페이지 번호(LPN), 라이트 요청 신호(WREQ) 및 데이터(DATA)를 제공할 수 있다. 호스트 인터페이스(240)가 캐시 컨트롤러(400)에 논리 페이지 번호(LPN)를 제공하고, 라이트 버퍼(230)에 라이트 요청 신호(WREQ) 및 데이터(DATA)를 제공하는 것으로 도시되나, 본 발명의 실시예는 이에 제한되지 않는다. 여기서 논리 페이지 번호(LPN)는 FTL(220)을 이용하여 논리 블록 어드레스(LBA)로부터 변환된 논리적 어드레스일 수 있다. 즉, 논리 페이지 번호(LPN)는 호스트(100)가 데이터(DATA)를 라이트하기 원하는 메모리 저장 장치(10)의 어드레스일 수 있다.

[0109] 라이트 버퍼(230)는 제1 메모리(260) 및 제2 메모리(270)를 포함할 수 있다. 여기서 제1 메모리(260)는 제1 버퍼 메모리일 수 있고, 제2 메모리(270)는 제2 버퍼 메모리일 수 있다. 라이트 버퍼(230)는 호스트(100)로부터 전달된 데이터(DATA)를 버퍼링할 수 있다. 즉, 라이트 버퍼(230)는 데이터(DATA)를 라이트 커맨드(WCMD)에 따라서 일시적으로 저장할 수 있다. 여기서 라이트 버퍼(230)는 휘발성 메모리일 수 있다. 즉, 라이트 버퍼(230)는 비휘발성 메모리(300)에 데이터(DATA)가 프로그램되는 시간 또는 그 이후의 시간 동안에만 데이터(DATA)를 저장하고, 데이터(DATA)가 프로그램되는 시간 이후의 시간에는 데이터(DATA)를 제거할 수 있다. 또한, 라이트 버퍼(230)는 메모리 인터페이스(250) 또는 비휘발성 메모리(300)의 요청에 따라서 버퍼링된 데이터(DATA)를 메모리 인터페이스(250) 또는 비휘발성 메모리(300)에 제공할 수 있다.

[0110] 제1 메모리(260)는 SRAM(static random access memory)을 포함할 수 있다. 제2 메모리(270)는 DRAM(dynamic random access memory)을 포함할 수 있다. 제1 메모리(260)의 저장 용량은 제2 메모리(270)의 저장 용량보다 작을 수 있다. 또한, 제1 메모리(260)의 데이터 처리 속도는 제2 메모리(270)의 데이터 처리 속도보다 클 수 있다. 즉, 제1 메모리(260)인 SRAM이 특정 시간에 처리하는 데이터의 양이 제2 메모리(270)인 DRAM이 특정 시간에 처리하는 데이터의 양보다 클 수 있다.

[0111] 메모리 컨트롤러(200)는 제1 메모리(260)에 데이터(DATA)를 버퍼링할 수 있다(S501). 즉, 제1 메모리(260)는 호스트 인터페이스(240)로부터 수신한 데이터(DATA)를 라이트 커맨드(WCMD)에 따라서 저장할 수 있다. 제1 메모리(260)는 데이터(DATA)를 캐싱할 수 있다. 제1 메모리(260)는 제1 캐시 아이디(C_ID1)에 대응되는 메모리 장치에 데이터(DATA)를 일시적으로 저장할 수 있다. 여기서 제1 캐시 아이디(C_ID1)는 데이터(DATA)가 저장되는 제1 메모리(260)의 어드레스에 해당될 수 있다. 메모리 컨트롤러(200)는 제1 메모리(260)에만 데이터(DATA)를 버퍼링할 뿐, 제2 메모리(270)에는 데이터(DATA)를 버퍼링하지 않는다. 또한, 라이트 버퍼(230)는 캐시 컨트롤러(400)에 의해 제어될 수 있다.

[0112] 라이트 버퍼(230)는 제1 메모리(260)의 제1 캐시 아이디(C_ID1)를 캐시 컨트롤러(400)에 제공할 수 있다.

[0113] 캐시 컨트롤러(400)는 수신한 논리 페이지 번호(LPN) 및 제1 캐시 아이디(C_ID1)를 레지스터할 수 있다(S502). 캐시 컨트롤러(400)는 라이트 버퍼(230)의 전반적인 동작을 조절하고, 데이터(DATA)의 캐싱 동작을 제어할 수 있다. 캐시 컨트롤러(400)는 캐시 매니저(420) 및 해저드 매니저(440)를 포함할 수 있다. 여기서 캐시 매니저(420) 및 해저드 매니저(440)가 분리된 것으로 도시되지만, 이는 캐시 컨트롤러(400)에 의해 단일적으로 수행될 수 있다.

[0114] 캐시 매니저(420)는 라이트 버퍼(230)에 대한 캐싱 동작을 관리할 수 있다. 예를 들어, 캐시 매니저(420)는 라이트 버퍼(230)에 데이터(DATA)가 저장되도록 제어할 수 있다. 캐시 매니저(420)는 논리 페이지 번호(LPN)와 제1 캐시 아이디(C_ID1)를 대응되도록 저장할 수 있다. 즉, 호스트(100)로부터 논리 페이지 번호(LPN)에 대한 리드 요청을 수신하는 경우, 캐시 매니저(420)는 라이트 버퍼(230)의 제1 캐시 아이디(C_ID1)를 확인할 수 있다. 또한, 라이트 버퍼(230)에서 데이터(DATA)가 저장되는 어드레스가 변경되는 경우, 캐시 매니저(420)는 변경된

어드레스를 저장할 수 있다.

- [0115] 해저드 매니저(440)는 RAW(read after write)에 대한 해저드를 관리할 수 있다. 여기서 RAW는 메모리 저장 장치(10)가 라이트 요청 신호(WREQ)에 따라서 데이터(DATA)를 라이트하는 중에, 리드 요청 신호(RREQ)를 수신하는 경우에 해당한다. 이 때, 라이트 중인 데이터(DATA)를 리드하는 경우, 올드 데이터를 리드하는 위험이 발생할 수 있다. 따라서, 해저드 매니저(440)는 라이트 버퍼(230) 및 호스트 인터페이스(240)와 신호를 주고받음으로써 RAW에 대한 해저드를 방지할 수 있다. 예를 들어, 호스트(100)가 논리 페이지 번호(LPN)에 대한 리드를 요청하는 경우, 해저드 매니저(440)는 라이트 버퍼(230)에 해당하는 제1 캐시 아이디(C_ID1)를 호스트(100)에 제공할 수 있다. 이에 따라서, 호스트(100)는 라이트 버퍼(230)로부터 데이터(DATA)를 리드할 수 있다.
- [0116] 해저드 매니저(440) 또한 논리 페이지 번호(LPN) 및 제1 캐시 아이디(C_ID1)를 저장할 수 있으나, 본 발명의 실시예는 이에 제한되지 않는다. 예를 들어, 해저드 매니저(440)는 캐시 매니저(420)로부터 업데이트된 논리 페이지 번호(LPN) 및 제1 캐시 아이디(C_ID1)를 수신하여 사용할 수 있다.
- [0117] FTL(220)은 캐시 컨트롤러(400)로부터 논리 페이지 번호(LPN) 또는 논리 블록 어드레스(LBA) 등을 수신할 수 있다. 여기서 FTL(220)은 워킹 메모리에 해당될 수 있으며, 펌웨어로 동작할 수 있다. FTL(220)은 논리 페이지 번호(LPN)를 매핑 테이블에 따라서 물리 어드레스에 해당하는 어드레스(ADDR)로 변환시킬 수 있다. FTL(220)은 논리 페이지 번호(LPN)와 이에 대응되는 어드레스(ADDR)를 일시적으로 저장할 수 있다. 어드레스(ADDR)는 비휘발성 메모리(300)의 물리적인 어드레스에 해당할 수 있다.
- [0118] 메모리 인터페이스(250)는 라이트 커맨드(WCMD), 어드레스(ADDR) 및 데이터(DATA)를 수신할 수 있다. 여기서, 메모리 인터페이스(250)는 FTL(220)로부터 어드레스(ADDR)를 수신할 수 있고, 라이트 버퍼(230)로부터 데이터(DATA)를 수신할 수 있다. 여기서 라이트 버퍼(230)는 제1 메모리(260)에 버퍼링된 데이터(DATA)를 메모리 인터페이스(250)에 제공할 수 있다. 또한, 메모리 인터페이스(250)는 제1 메모리(260)에 저장된 데이터(DATA)를 액세스할 수 있다. 메모리 인터페이스(250)에 포함된 플래시 DMA 모듈(251)은 메모리 컨트롤러(200)와 비휘발성 메모리(300) 사이의 데이터(DATA)의 액세스를 제어할 수 있다. 즉, 플래시 DMA 모듈(251)은 제1 메모리(260)에 저장된 데이터(DATA)가 비휘발성 메모리(300)에 입력되도록 할 수 있다.
- [0119] 도 9 및 도 10을 참조하면, 메모리 컨트롤러(200)는 비휘발성 메모리(300)에 라이트 커맨드(WCMD), 어드레스(ADDR) 및 데이터(DATA)를 제공할 수 있다(S503). 즉, 메모리 인터페이스(250)는 비휘발성 메모리(300)에 라이트 커맨드(WCMD), 어드레스(ADDR) 및 데이터(DATA)를 제공할 수 있다. 비휘발성 메모리(300)는 어드레스(ADDR)에 기초하여 데이터(DATA)를 페이지 버퍼(341)에 버퍼링할 수 있다(S504). 여기서 페이지 버퍼(341)는 도 3의 리드 라이트 회로(340)에 포함될 수 있고, 휘발성 메모리일 수 있다. 예를 들어, 페이지 버퍼(341)는 SRAM을 포함할 수 있다. 페이지 버퍼(341)는 메모리 컨트롤러(200)의 제1 메모리(260)로부터 전달된 데이터(DATA)를 일시적으로 저장할 수 있다. 페이지 버퍼(341)에 데이터(DATA)가 버퍼링 완료된 후에, 비휘발성 메모리(300)의 메모리 셀 어레이(310)에 데이터(DATA)가 라이트될 수 있다.
- [0120] 비휘발성 메모리(300)는 메모리 컨트롤러(200)에 라이트 완료 신호(WDS)를 제공할 수 있다(S505). 보다 상세히, 비휘발성 메모리(300)는 페이지 버퍼(341)에 데이터(DATA)의 버퍼링이 완료된 후에 라이트 완료 신호(WDS)를 출력할 수 있다. 여기서, 라이트 완료 신호(WDS)가 출력된 후에도, 비휘발성 메모리(300)는 페이지 버퍼(341)에 저장된 데이터(DATA)를 메모리 셀 어레이(310)에 라이트할 수 있다. 즉, 데이터(DATA)가 메모리 셀 어레이(310)에 라이트되는 동안에, 라이트 완료 신호(WDS)는 메모리 컨트롤러(200)에 전달될 수 있다. 여기서 라이트 완료 신호(WDS)는 메모리 컨트롤러(200)의 메모리 인터페이스(250)에 제공될 수 있다.
- [0121] 메모리 컨트롤러(200)는 라이트 신호(WDS)를 수신하고, 이에 응답하여 버퍼 스위칭을 수행할 수 있다(S506). 메모리 컨트롤러(200)는 라이트 신호(WDS)에 응답하여 제1 메모리(260)에 저장된 데이터(DATA)를 제2 메모리(270)로 이동시킬 수 있다. 또한, 이에 따라서 캐시 컨트롤러(400)가 동작할 수 있다. 버퍼 스위칭에 대한 보다 상세한 내용은 도 11 및 도 12를 참조하여 설명한다.
- [0122] 도 11은 몇몇 실시예에 따른 메모리 컨트롤러의 동작을 설명하기 위한 블록도이다. 도 12는 몇몇 실시예에 따른 메모리 컨트롤러의 동작을 설명하기 위한 순서도이다.
- [0123] 도 11 및 도 12를 참조하면, 메모리 컨트롤러(200)는 라이트 완료 신호(WDS)를 수신할 수 있다(S510). 예를 들어, 캐시 매니저(420)는 메모리 인터페이스(250)로부터 라이트 완료 신호(WDS)를 수신할 수 있다.
- [0124] 캐시 컨트롤러(400)는 라이트 완료 신호(WDS)에 응답하여 버퍼를 스위칭하고 데이터를 복사할 수 있다(S511). 캐시 매니저(420)는 라이트 완료 캐시 엔트리 매니저(421), 버퍼 스위칭 모듈(422), 복사 모듈(423) 및 릴리즈 모듈

(424)를 포함할 수 있다.

- [0125] 라이트 완료 캐시 엔트리 매니저(421)는 논리 페이지 번호(LPN)에 대응되는 제1 캐시 아이디(C_ID1)를 저장할 수 있다. 즉, 라이트 완료 캐시 엔트리 매니저(421)는 제1 시간(ta)에 논리 페이지 번호(LPN)가 제1 캐시 아이디(C_ID1)에 대응된 캐시 엔트리를 저장할 수 있다. 여기서, 제1 캐시 아이디(C_ID1)는 제1 메모리(260)의 어드레스에 해당될 수 있다.
- [0126] 버퍼 스왑 모듈(422)은 라이트 완료 신호(WDS)에 응답하여 라이트 버퍼(230)에서 데이터(DATA)를 버퍼링하는 메모리를 변경시킬 수 있다. 즉, 버퍼 스왑 모듈(422)은 제1 메모리(260)로부터 제2 메모리(270)로 데이터(DATA)를 이동시키도록 캐시 매니저(420)를 제어할 수 있다. 버퍼 스왑 모듈(422)은 라이트 완료 캐시 엔트리 매니저(421)로부터 버퍼 스왑 요청을 수신할 수 있다. 버퍼 스왑 모듈(422)은 새로운 제2 메모리(270)를 할당받을 수 있다. 버퍼 스왑 모듈(422)은 제2 메모리(270)를 할당받은 후에, 복사 모듈(423)에 데이터(DATA)의 복사를 요청할 수 있다.
- [0127] 복사 모듈(423)은 버퍼 스왑 모듈(422)의 복사 요청에 응답하여 라이트 버퍼(230)의 제1 메모리(260)에 저장된 데이터(DATA)를 제2 메모리(270)에 복사할 수 있다. 여기서 제2 메모리(270)는 버퍼 스왑 모듈(422)에 의해 할당될 수 있다. 즉, 제1 메모리(260)의 제1 캐시 아이디(C_ID1)에 해당하는 메모리에 저장된 데이터(DATA)는 제2 메모리(270)의 제2 캐시 아이디(C_ID2)에 해당하는 메모리로 복사될 수 있다. 이 때, 제1 메모리(260)에 버퍼링된 데이터는 유지될 수 있다.
- [0128] 복사 모듈(423)에 의한 데이터(DATA)의 복사가 완료된 경우, 복사 모듈(423)은 라이트 완료 캐시 엔트리 매니저(421)에 복사가 완료되었음을 알릴 수 있다. 라이트 완료 캐시 엔트리 매니저(421)는 데이터(DATA)의 복사가 완료된 후에, 캐시 엔트리를 변경시킬 수 있다. 예를 들어, 라이트 완료 캐시 엔트리 매니저(421)는 논리 페이지 번호(LPN)에 대응하는 캐시 아이디를 제1 캐시 아이디(C_ID1)로부터 제2 캐시 아이디(C_ID2)로 변경시킬 수 있다. 여기서 캐시 엔트리 변경 시간은 제2 시간(tb)로 등록될 수 있다.
- [0129] 릴리즈 모듈(424)은 복사 모듈(423)로부터 복사 완료 신호(CDS)를 수신할 수 있고, 복사 완료 신호(CDS)에 응답하여 제1 메모리(260)를 릴리즈시킬 수 있다. 즉, 릴리즈 모듈(424)에 의하여, 제1 메모리(260)에 저장된 데이터(DATA)는 제거될 수 있다. 제2 메모리(270)로 데이터(DATA)의 복사가 완료된 후에 제1 메모리(260)에 저장된 데이터(DATA)가 제거됨에 따라서, 제1 메모리(260)는 새로운 데이터를 버퍼링할 수 있게 된다. 따라서, 릴리즈된 제1 메모리(260)를 포함하는 메모리 저장 장치(10)의 성능은 보다 개선될 수 있다.
- [0130] 해저드 매니저(440)는 라이트 버퍼(230)에 대하여 히트 동작을 수행할 수 있다. 예를 들어, 해저드 매니저(440)는 제1 메모리(260)에 제1 버퍼 히트 체크 신호(BHC1)를 제공하여 제1 메모리(260)에 대한 히트 동작을 수행할 수 있고, 제2 메모리(270)에 제2 버퍼 히트 체크 신호(BHC2)를 제공하여 제2 메모리(270)에 대한 히트 동작을 수행할 수 있다. 하지만, 본 발명의 실시예는 이에 제한되지 않고, 해저드 매니저(440)가 버퍼 히트 체크 신호 등을 출력하지 않고도, 라이트 버퍼(230)에 대한 해저드를 관리할 수도 있다.
- [0131] 제1 메모리(260)로부터 제2 메모리(270)로의 데이터(DATA)의 복사가 완료된 경우(S512-Yes), 메모리 컨트롤러(200)는 제2 메모리(270)에 히트 동작을 수행할 수 있다(S513). 여기서 히트 동작은, 호스트(100)로부터의 리드 요청 신호에 응답하여 해당되는 데이터가 라이트 버퍼(230)에 존재하는지 확인하는 동작에 해당한다. 즉, 히트율(hit rate)은 호스트(100)로부터 리드 요청되는 데이터가 라이트 버퍼(230)에 존재하는 확률을 의미할 수 있다. 예를 들어, 호스트(100)로부터 리드 요청되는 데이터가 라이트 버퍼(230)에 존재하는 경우, 히트가 발생될 수 있으며, 호스트(100)로부터 리드 요청되는 데이터가 라이트 버퍼(230)에 존재하지 않는 경우, 히트가 발생되지 않을 수 있다.
- [0132] 제1 메모리(260)로부터 제2 메모리(270)로의 데이터(DATA)의 복사가 완료되지 않은 경우(S512-No), 메모리 컨트롤러(200)는 제1 메모리(260)에 히트 동작을 수행할 수 있다(S514). 즉, 메모리 컨트롤러(200)는 데이터(DATA)의 복사 전후에 상관없이 호스트(100)로부터 리드 요청되는 데이터에 대하여 히트를 발생시킬 수 있다. 이에 따라서 데이터(DATA)가 메모리 셀 어레이(310)에 프로그램되는 동안에도, 히트율이 높게 유지될 수 있으며, RAW에 대한 해저드가 관리될 수 있다.
- [0133] 또한, 메모리 컨트롤러(200)는 제1 메모리(260)를 릴리즈시킬 수 있다(S515). 즉, 제2 메모리(270)로 데이터(DATA)가 복사된 후에, 제1 메모리(260)를 릴리즈시킴으로써, 새로운 데이터를 버퍼링할 수 있다. 즉, 제1 메모리(260)를 지속적으로 사용할 수 있으며, 데이터(DATA)가 복사된 제2 메모리(270)에 히트를 발생시킴으로써 보다 신뢰성이 향상된 메모리 저장 장치(10)가 제공될 수 있다.

- [0134] 다시 도 11을 참조하면, 릴리즈 모듈(424)는 제1 메모리(260)뿐만 아니라 제2 메모리(270)를 릴리즈시킬 수도 있다. 예를 들어, 제2 메모리(270)에 데이터(DATA)가 복사되고, 메모리 셀 어레이(310)에 대한 데이터(DATA)의 프로그램이 완료된 후에, 제2 메모리(270)는 릴리즈될 수 있다. 즉, 제2 메모리(270)에 저장된 데이터(DATA)는 제거될 수 있다. 하지만 본 발명의 실시예는 이에 제한되지 않으며, 제2 메모리(270)는 데이터(DATA)를 유지할 수도 있다.
- [0135] 이하, 라이트 버퍼(230)에 대한 히트 동작에 대하여 도 13 내지 도 15를 참조하여 상세히 설명한다.
- [0136] 도 13은 몇몇 실시예에 따른 메모리 컨트롤러의 동작을 설명하기 위한 래더 다이어그램이다. 도 14 및 도 15는 몇몇 실시예에 따른 메모리 컨트롤러의 동작을 설명하기 위한 블록도들이다.
- [0137] 도 13을 참조하면, 비휘발성 메모리(300)는 페이지 버퍼(341)에 데이터(DATA)가 버퍼링된 후에, 메모리 셀 어레이(310)에 데이터(DATA)를 라이트하기 시작할 수 있다(S540). 비휘발성 메모리(300)는 프로그램 시간 구간(tPROG) 동안에 데이터(DATA)를 메모리 셀 어레이(310)에 라이트할 수 있다. 프로그램 시간 구간(tPROG)이 지난 후에, 비휘발성 메모리(300)는 메모리 셀 어레이(310)에 데이터(DATA)를 라이트하는 것을 완료할 수 있다(S541). 즉, 비휘발성 메모리(300)는 호스트(100) 및 메모리 컨트롤러(200)의 동작과 별개로, 메모리 셀 어레이(310)에 데이터(DATA)를 라이트할 수 있다.
- [0138] 해저드 매니저(440)는 해저드 관리 시간 구간(tHZD) 동안에 호스트(100)로부터의 리드 요청 신호에 대한 RAW 해저드를 관리할 수 있다. 또한, 해저드 관리 시간 구간(tHZD)은 제1 해저드 관리 시간 구간(tHZD1)과 제2 해저드 관리 시간 구간(tHZD2)을 포함할 수 있다. 여기서 제1 해저드 관리 시간 구간(tHZD1)과 제2 해저드 관리 시간 구간(tHZD2)은 시간적으로 연속할 수 있다. 제1 해저드 관리 시간(tHZD1)은 메모리 컨트롤러(200)가 논리 블록 어드레스(LBA), 라이트 요청 신호(WREQ) 및 데이터(DATA)를 수신한 시간으로부터 버퍼 스왑을 완료할 때 까지의 시간 구간일 수 있다. 제2 해저드 관리 시간(tHZD2)은 메모리 컨트롤러(200)가 버퍼 스왑을 완료한 시간으로부터 메모리 셀 어레이(310)에 데이터(DATA)의 라이트가 완료되는 시간까지의 시간 구간일 수 있다. 또한 프로그램 시간 구간(tPROG)은 해저드 관리 시간 구간(tHZD)에 의해 오버랩될 수도 있다.
- [0139] 도 13 및 도 14를 참조하면, 호스트(100)는 메모리 컨트롤러(200)에 논리 블록 어드레스(LBA) 및 리드 요청 신호(RREQ)를 제공할 수 있다(S520). 호스트 인터페이스(240)는 논리 블록 어드레스(LBA) 및 리드 요청 신호(RREQ)를 수신하여 캐시 컨트롤러(400)에 논리 페이지 번호(LPN)를 제공할 수 있다. 이 때, 제1 해저드 관리 시간 구간(tHZD1)은 메모리 컨트롤러(200)의 버퍼 스왑이 완료되기 전의 시간에 해당된다.
- [0140] 해저드 매니저(440)는 수신한 논리 페이지 번호(LPN)와 대응되는 제1 메모리(260)에 대하여 히트를 수행할 수 있다(S521). 예를 들어, 해저드 매니저(440)는 라이트 버퍼(230)에 제1 버퍼 히트 체크 신호(BHC1)를 제공할 수 있고, 이에 대한 응답으로 제1 버퍼 히트 응답 신호(BHR1)를 수신할 수 있다. 이 때, 해저드 매니저(440)는 제1 메모리(260)에 논리 페이지 번호(LPN)에 대응되는 데이터(DATA)가 존재함을 확인할 수 있다. 하지만 본 발명의 실시예는 이에 제한되지 않으며, 제1 버퍼 히트 체크 신호(BHC1) 및 제1 버퍼 히트 응답 신호(BHR1)는 생략될 수도 있다.
- [0141] 해저드 매니저(440)는 데이터(DATA)가 저장된 제1 메모리(260)의 어드레스에 해당되는 제1 캐시 아이디(C_ID1)를 호스트 인터페이스(240)에 제공할 수 있다. 호스트 인터페이스(240)는 제1 캐시 아이디(C_ID1)를 호스트(100)에 제공할 수 있고(S522), 이에 대한 응답으로 제1 캐시 아이디(C_ID1)를 수신할 수 있다. 라이트 버퍼(230)는 제1 캐시 아이디(C_ID1)와 논리 페이지 번호(LPN)를 수신하고, 이에 대한 응답으로 제1 메모리(260)에 버퍼링된 데이터(DATA)를 호스트 인터페이스(240)에 제공할 수 있다. 호스트 인터페이스(240)는 데이터(DATA)를 호스트(100)에 제공할 수 있다. 따라서, 제1 해저드 관리 시간 구간(tHZD1) 동안에 RAW 위험 없이 호스트(100)는 데이터(DATA)를 리드할 수 있다.
- [0142] 메모리 컨트롤러(200)는 버퍼 스왑을 완료시킬 수 있고(S530), 제1 메모리를 릴리즈시킬 수 있다(S531). 버퍼 스왑이 완료된 후 또는 제1 메모리가 릴리즈된 후에, 해저드 매니저(440)는 제2 해저드 관리 시간 구간(tHZD2) 동안에 제2 메모리(270)에 대한 해저드를 관리할 수 있다.
- [0143] 도 13 및 도 15를 참조하면, 호스트(100)는 메모리 컨트롤러(200)에 논리 블록 어드레스(LBA) 및 리드 요청 신호(RREQ)를 제공할 수 있다(S532). 호스트 인터페이스(240)는 논리 블록 어드레스(LBA) 및 리드 요청 신호(RREQ)를 수신하여 캐시 컨트롤러(400)에 논리 페이지 번호(LPN)를 제공할 수 있다. 제2 해저드 관리 시간 구간(tHZD2)은 메모리 컨트롤러(200)의 버퍼 스왑이 완료된 후의 시간에 해당된다.

- [0144] 해저드 매니저(440)는 수신한 논리 페이지 번호(LPN)와 대응되는 제2 메모리(270)에 대하여 히트를 수행할 수 있다(S533). 예를 들어, 해저드 매니저(440)는 라이트 버퍼(230)에 제2 버퍼 히트 체크 신호(BHC2)를 제공할 수 있고, 이에 대한 응답으로 제2 버퍼 히트 응답 신호(BHR2)를 수신할 수 있다. 이 때, 해저드 매니저(440)는 제2 메모리(270)에 논리 페이지 번호(LPN)에 대응되는 데이터(DATA)가 존재함을 확인할 수 있다. 하지만 본 발명의 실시예는 이에 제한되지 않으며, 제2 버퍼 히트 체크 신호(BHC2) 및 제2 버퍼 히트 응답 신호(BHR2)는 생략될 수도 있다.
- [0145] 해저드 매니저(440)는 데이터(DATA)가 저장된 제2 메모리(270)의 어드레스에 해당되는 제2 캐시 아이디(C_ID2)를 호스트 인터페이스(240)에 제공할 수 있다. 호스트 인터페이스(240)는 제2 캐시 아이디(C_ID2)를 호스트(100)에 제공할 수 있고(S534), 이에 대한 응답으로 제2 캐시 아이디(C_ID2)를 수신할 수 있다. 라이트 버퍼(230)는 제2 캐시 아이디(C_ID2)와 논리 페이지 번호(LPN)를 수신하고, 이에 대한 응답으로 제2 메모리(270)에 버퍼링된 데이터(DATA)를 호스트 인터페이스(240)에 제공할 수 있다. 호스트 인터페이스(240)는 데이터(DATA)를 호스트(100)에 제공할 수 있다. 따라서, 제2 해저드 관리 시간 구간(tHZD2) 동안에 RAW 위험 없이 호스트(100)는 데이터(DATA)를 리드할 수 있다. 즉, 해저드 관리 시간 구간(tHZD) 동안에, 메모리 컨트롤러(200)는 라이트 버퍼(230)에 대한 해저드를 지속적으로 관리할 수 있으며, 이를 통해 신뢰성이 개선된 메모리 저장 장치(10)가 제공될 수 있다.
- [0146] 이하, 도 16 및 도 17을 참조하여 제1 내지 제mn 데이터(DATA1 내지 DATAmn)를 버퍼링하는 메모리 컨트롤러(200')에 대하여 설명한다.
- [0147] 도 16 및 도 17은 몇몇 실시예에 따른 메모리 컨트롤러에 대한 블록도들이다. 설명의 편의를 위해, 도 1 내지 도 15를 이용하여 설명한 것과 중복되는 부분은 간략히 설명하거나 생략한다.
- [0148] 도 16 및 도 17을 참조하면, 비휘발성 메모리(300)는 복수의 비휘발성 메모리 장치들(NVM11~NVMmn)을 포함할 수 있다. 이는 도 4를 참조하여 설명한 비휘발성 메모리 장치와 동일할 수 있다. 비휘발성 메모리 장치들(NVM11~NVMmn) 각각은 대응하는 웨이(way)를 통해 복수의 채널들(CH1~CHm) 중 하나에 연결될 수 있다. 또한, 메모리 컨트롤러(200')는 복수의 채널들(CH1~CHm)을 통해 비휘발성 메모리(300)와 신호들을 송수신할 수 있다.
- [0149] 메모리 컨트롤러(200')는 복수의 채널들(CH1~CHm)을 통해 비휘발성 메모리(300)와 신호들을 송수신할 수 있다. 예를 들어, 메모리 컨트롤러(200')는 채널들(CH1~CHm)을 통해 커맨드들(WCMD1~WCMDmn), 어드레스들(ADDR1~ADDRmn), 및 데이터(DATA1~DATAmn)를 비휘발성 메모리(300)로 전송하거나, 비휘발성 메모리(300)로부터 데이터(DATA1~DATAmn)를 수신할 수 있다.
- [0150] 라이트 버퍼(230)는 제1 메모리(260)에 제1 데이터 내지 제mn 데이터(DATA1 내지 DATAmn)를 버퍼링할 수 있고, 캐시 컨트롤러(400)에 제1 캐시 아이디 내지 제mn 캐시 아이디(C_ID1 내지 C_IDmn)를 제공할 수 있다. 캐시 컨트롤러(400)는 제1 캐시 아이디 내지 제mn 캐시 아이디(C_ID1 내지 C_IDmn)와 제1 논리 페이지 번호 내지 제mn 논리 페이지 번호(LPN1 내지 LPNmn)를 레지스터할 수 있다.
- [0151] 메모리 인터페이스(250)는 제1 내지 제mn 라이트 커맨드(WCMD1 내지 WCMDmn)을 수신할 수 있다. 메모리 인터페이스(250)는 FTL(220)에 의해 변환된 제1 내지 제mn 어드레스(ADDR1 내지 ADDRmn)를 수신할 수 있다. 또한, 메모리 인터페이스(250)는 라이트 버퍼(230)의 제1 메모리(260)로부터 버퍼링된 제1 데이터 내지 제mn 데이터(DATA1 내지 DATAmn)를 수신할 수 있다. 여기서 메모리 인터페이스(250)의 버퍼(252)는 상기 수신한 제1 내지 제mn 라이트 커맨드(WCMD1 내지 WCMDmn) 또는 제1 내지 제mn 어드레스(ADDR1 내지 ADDRmn)를 버퍼링할 수 있고, 이를 비휘발성 메모리(300)에 제공할 수 있다. 이 때, 제1 내지 제mn 어드레스(ADDR1 내지 ADDRmn)는 서로 다른 채널들(CH1~CHm) 및 웨이들(W11 내지 Wmn)에 따른 어드레스에 해당될 수 있다. 즉, 메모리 컨트롤러(200')는 복수의 비휘발성 메모리 장치들(NVM11~NVMmn) 각각에 대한 어드레스에 버퍼링된 데이터(DATA1 내지 DATAmn)를 라이트하도록 할 수 있다.
- [0152] 이하, 도 18 및 도 19를 참조하여 프로그램 파일 모듈(PFL)을 포함하는 메모리 저장 장치(10)에 대하여 설명한다.
- [0153] 도 18은 몇몇 실시예에 따른 메모리 저장 장치에 대한 블록도이다. 도 19는 몇몇 실시예에 따른 메모리 저장 장치의 동작을 설명하기 위한 래더 다이어그램이다. 설명의 편의를 위해, 도 1 내지 도 15를 이용하여 설명한 것과 중복되는 부분은 간략히 설명하거나 생략한다.
- [0154] 도 18 및 도 19를 참조하면, 메모리 저장 장치(10)는 프로그램 파일 모듈(PFL)을 더 포함할 수 있다. 프로그램

페일 모듈(PFL)은 메모리 컨트롤러(200) 및 비휘발성 메모리(300)에 모두 연결될 수 있다. 또는 프로그램 페일 모듈(PFL)은 메모리 컨트롤러(200) 및 비휘발성 메모리(300) 중 어느 하나에 포함될 수도 있다. 프로그램 페일 모듈(PFL)은 메모리 인터페이스(250)와 비휘발성 메모리(300)에 연결될 수 있다.

[0155] 메모리 컨트롤러(200) 또는 비휘발성 메모리(300)는 프로그램 페일 모듈(PFL)에 어드레스(ADDR), 라이트 커맨드(WCMD) 및 데이터(DATA) 등을 제공할 수 있다(S503'). 이어서 비휘발성 메모리(300)는 페이지 버퍼(341)에 데이터(DATA)를 버퍼링할 수 있다(S504).

[0156] 프로그램 페일 모듈(PFL)은 수신한 어드레스(ADDR), 라이트 커맨드(WCMD) 및 데이터(DATA)에 기초하여 패리티(PRT)를 생성할 수 있다(S550). 예를 들어, 프로그램 페일 모듈(PFL)은 패리티 생성기(PG) 및 패리티 메모리(PMEM)를 포함할 수 있다. 패리티 생성기(PG)는 어드레스(ADDR) 및 데이터(DATA)에 기초하여 패리티(PRT)를 생성할 수 있고, 패리티 메모리(PMEM)는 생성된 패리티(PRT)를 저장할 수 있다. 패리티 메모리(PMEM)는 SRAM일 수 있으나, 본 발명의 실시예는 이에 제한되지 않는다.

[0157] 비휘발성 메모리(300)의 메모리 셀 어레이(310)에 대한 프로그램이 실패할 수 있다(S551). 즉, SPO(sudden power off) 등의 상황이 발생하여, 비휘발성 메모리(300)의 데이터(DATA)에 대한 프로그램이 중단될 수 있다. 이 경우, 비휘발성 메모리(300)는 프로그램 페일 모듈(PFL)에 프로그램 페일 신호(PFS)를 제공할 수 있다(S552). 프로그램 페일 모듈(PFL)은 프로그램 페일 신호(PFS)에 응답하여 비휘발성 메모리(300)에 패리티(PRT)를 제공할 수 있다(S553). 이 때, 패리티(PRT)는 프로그램 페일 모듈(PFL)의 패리티 메모리(PMEM)에 저장된 것일 수 있다. 비휘발성 메모리(300)는 프로그램 페일 모듈(PFL)로부터 수신한 패리티(PRT)에 기초하여 데이터(DATA)의 프로그램을 계속할 수 있다.

[0158] 이 때, 프로그램 페일 모듈(PFL)은 메모리 컨트롤러(200)에 라이트 완료 신호(WDS)를 제공할 수 있다(S555). 즉, 비휘발성 메모리(300)가 라이트 완료 신호(WDS)를 제공하는 것이 아니라, 패리티(PRT)를 비휘발성 메모리(300)에 제공한 프로그램 페일 모듈(PFL)이 라이트 완료 신호(WDS)를 출력할 수 있다. 이 때, 메모리 컨트롤러(200)는 라이트 완료 신호(WDS)에 응답하여 버퍼 스위칭을 수행할 수 있다(S506).

[0159] 프로그램 페일 모듈(PFL)을 포함하는 메모리 저장 장치(10)는 작은 커패시터를 가지며, 프로그램 불가 상황이 발생하는 경우에 전력을 유지하는 전기 용량이 작을 수 있다. 따라서, 메모리 저장 장치(10)는 프로그램 페일 모듈(PFL)을 통하여 데이터(DATA)를 복원할 수 있고, 라이트 완료 신호(WDS)를 통하여 버퍼 스위칭을 수행하고, 제1 메모리(260)를 릴리즈시킬 수 있다.

[0160] 이하, 도 20 내지 도 22를 참조하여 다른 실시예에 따른 메모리 컨트롤러(200'')에 대하여 설명한다.

[0161] 도 20은 몇몇 실시예에 따른 메모리 저장 장치에 대한 블록도이다. 도 21은 몇몇 실시예에 따른 메모리 저장 장치의 동작을 설명하기 위한 래더 다이어그램이다. 도 22는 몇몇 실시예에 따른 메모리 저장 장치의 동작을 설명하기 위한 블록도이다. 설명의 편의를 위해, 도 1 내지 도 15를 이용하여 설명한 것과 중복되는 부분은 간략히 설명하거나 생략한다.

[0162] 도 20 및 도 21을 참조하면, 호스트(100)는 메모리 컨트롤러(200'')에 논리 블록 어드레스(LBA), 라이트 요청 신호(WREQ) 및 데이터(DATA)를 제공할 수 있다(S560).

[0163] 메모리 컨트롤러(200'')는 라이트 버퍼(230)의 제1 메모리(260) 및 제2 메모리(270)에 데이터(DATA)를 버퍼링할 수 있다(S561). 즉, 도 1 내지 도 15를 참조하여 설명한 메모리 컨트롤러(200)와 달리, 메모리 컨트롤러(200'')는 처음부터 제1 메모리(260)와 제2 메모리(270) 모두에 데이터(DATA)를 버퍼링할 수 있다. 데이터(DATA)가 저장된 제1 메모리(260)의 어드레스는 제1 캐시 아이디(C_ID1)에 해당할 수 있고, 데이터(DATA)가 저장된 제2 메모리(270)의 어드레스는 제2 캐시 아이디(C_ID2)에 해당할 수 있다.

[0164] 메모리 컨트롤러(200'')는 논리 페이지 번호(LPN), 제1 캐시 아이디(C_ID1) 및 제2 캐시 아이디(C_ID2)를 등록할 수 있다(S562). 즉, 캐시 컨트롤러(400)는 논리 페이지 번호(LPN), 제1 캐시 아이디(C_ID1) 및 제2 캐시 아이디(C_ID2)를 캐시 엔트리 또는 해저드 매니저(440)에 레지스터할 수 있다. 이 때, 해저드 매니저(440)는 제1 캐시 아이디(C_ID1) 및 제2 캐시 아이디(C_ID2)에 기초하여 제1 메모리(260) 및 제2 메모리(270)에 대한 해저드를 관리할 수 있다.

[0165] 메모리 컨트롤러(200'')는 비휘발성 메모리(300)에 어드레스(ADDR), 라이트 커맨드(WCMD) 및 데이터(DATA)를 제공할 수 있고(S563), 여기서 데이터(DATA)는 라이트 버퍼(230)의 제1 메모리(260)로부터 제공될 수 있다. 비휘발성 메모리(300)는 페이지 버퍼(341)에 데이터(DATA)를 버퍼링할 수 있고(S564), 버퍼링이 완료된 후에 메모리

컨트롤러(200')에 라이트 완료 신호(WDS)를 제공할 수 있다(S565).

[0166] 메모리 컨트롤러(200')는 라이트 완료 신호(WDS)에 응답하여 제1 메모리(260)를 릴리즈할 수 있다(S566). 즉, 메모리 컨트롤러(200')는 제1 메모리(260)에 버퍼링된 데이터(DATA)를 제거할 수 있다. 하지만, 제2 메모리(270)에 버퍼링된 데이터(DATA)는 제거되지 않을 수 있다.

[0167] 도 21 및 도 22를 참조하면, 제1 메모리(260)가 릴리즈된 후에, 호스트(100)는 논리 블록 어드레스(LBA) 및 리드 요청 신호(RREQ)를 메모리 컨트롤러(200')에 제공할 수 있다(S567). 메모리 컨트롤러(200')는 이에 응답하여 제2 메모리(270)에 대하여 히트를 수행할 수 있다(S568). 즉, 제1 메모리(260)가 릴리즈되고 데이터(DATA)를 버퍼링하는 제2 메모리(270)에 대한 히트가 수행될 수 있다.

[0168] 메모리 컨트롤러(200')는 호스트(100)에 제2 메모리(270)의 제2 캐시 아이디(C_ID2)를 제공할 수 있다(S569). 이에 따라서, 호스트(100)는 제2 캐시 아이디(C_ID2)를 메모리 컨트롤러(200')에 제공하여, 이에 대한 응답으로 데이터(DATA)를 수신할 수 있다. 이 경우, 처음부터 제1 메모리(260) 및 제2 메모리(270)에 데이터(DATA)가 버퍼링되기 때문에, 데이터(DATA)를 복사하는 시간이 감소될 수 있다. 이를 통해 신뢰성이 개선된 메모리 저장 장치(10)가 제공될 수 있다.

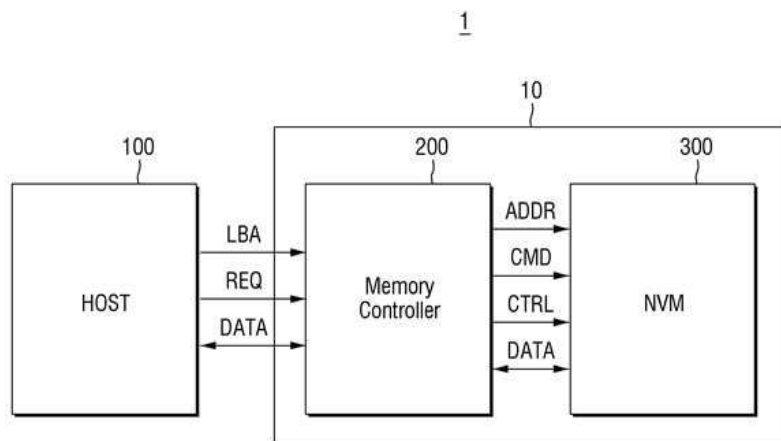
[0169] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였으나, 본 발명은 상기 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 제조될 수 있으며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

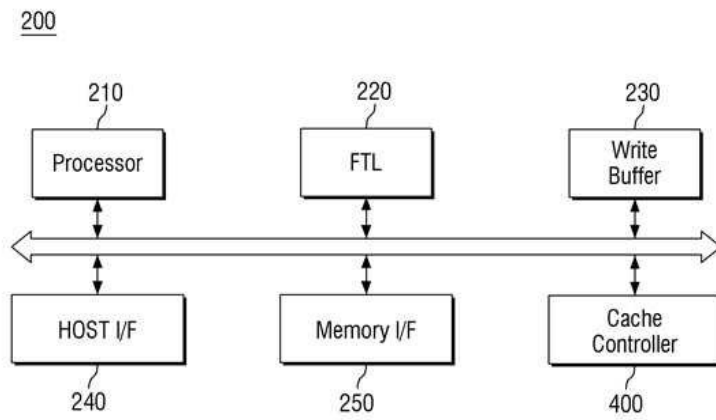
[0170] 1: 전자 장치	100: 호스트
200: 메모리 컨트롤러	210: 프로세서
220: FTL	230: 라이트 버퍼
240: 호스트 인터페이스	250: 메모리 인터페이스
260: 제1 메모리	270: 제2 메모리
300: 비휘발성 메모리	400: 캐시 컨트롤러
420: 캐시 매니저	440: 해저드 매니저

도면

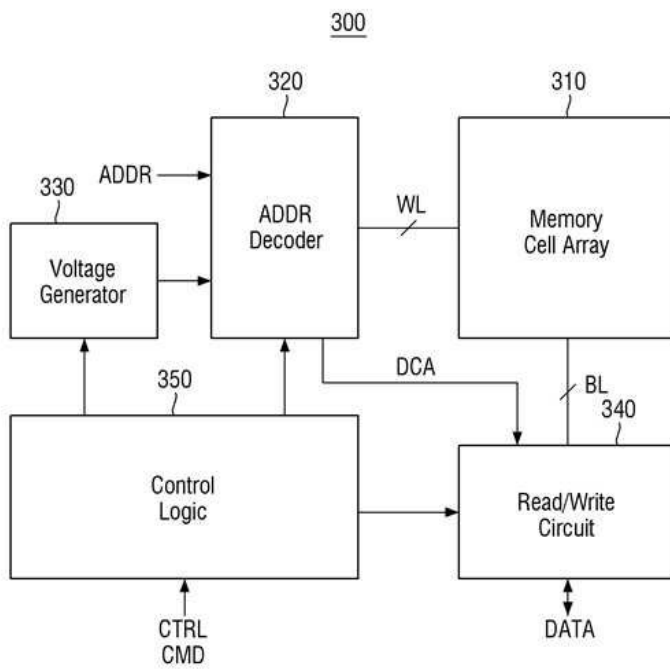
도면1



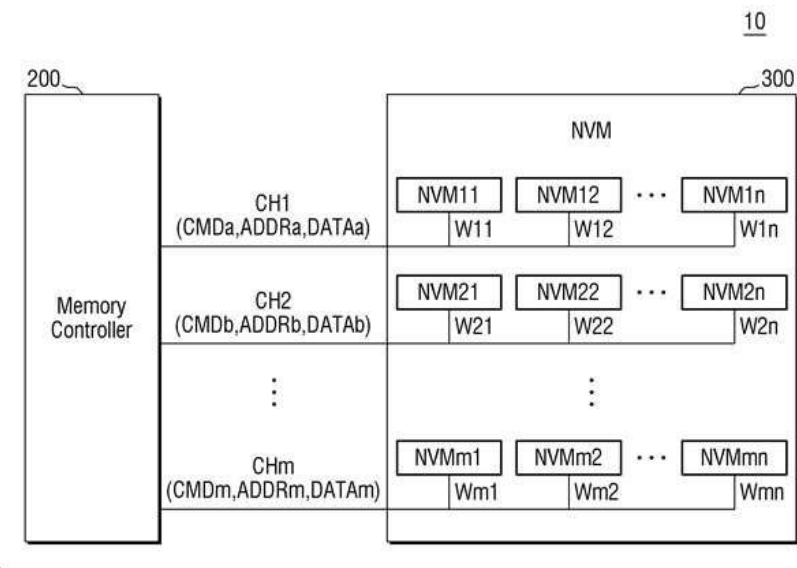
도면2



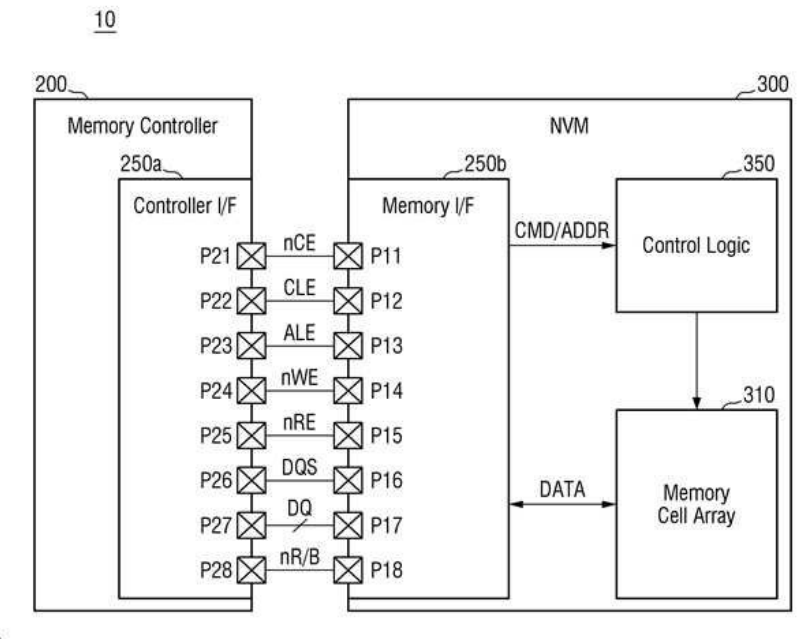
도면3



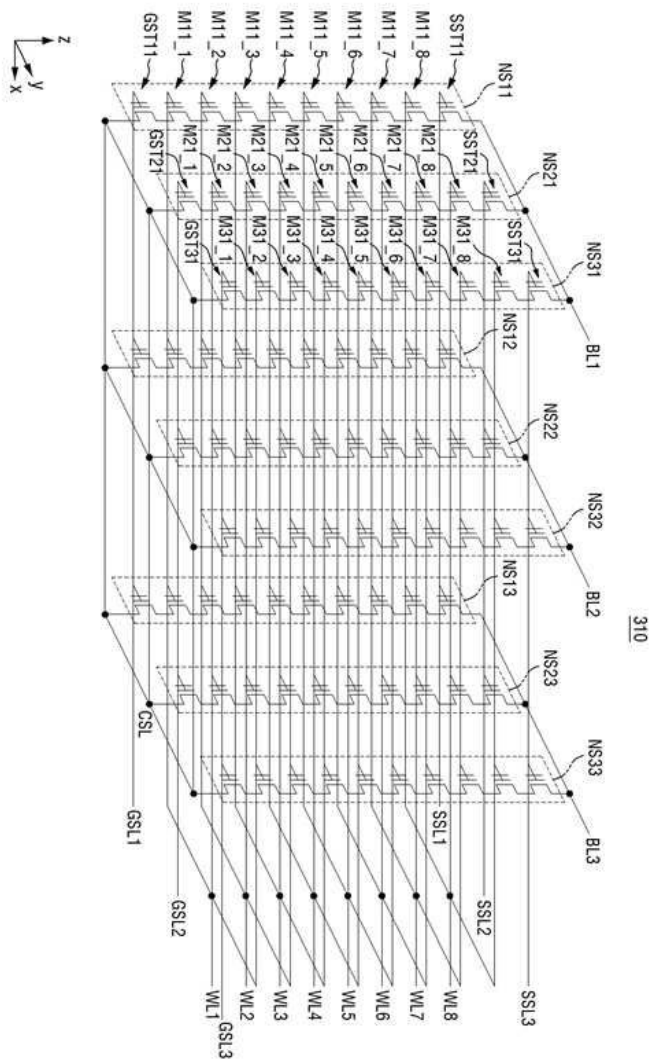
도면4



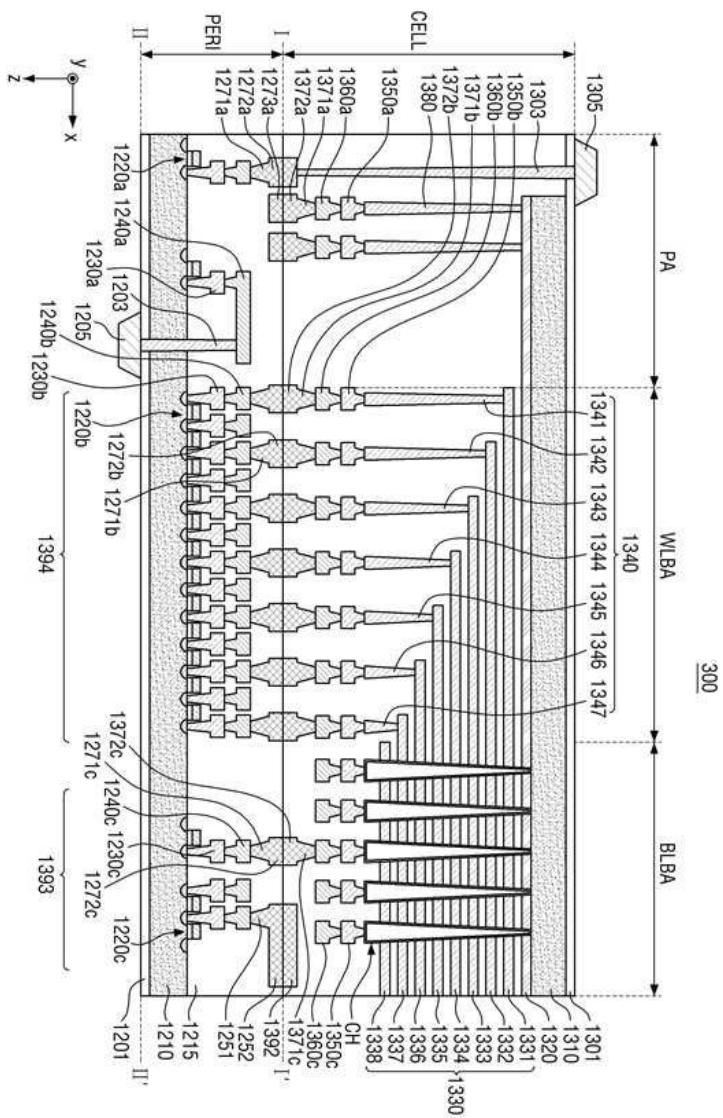
도면5



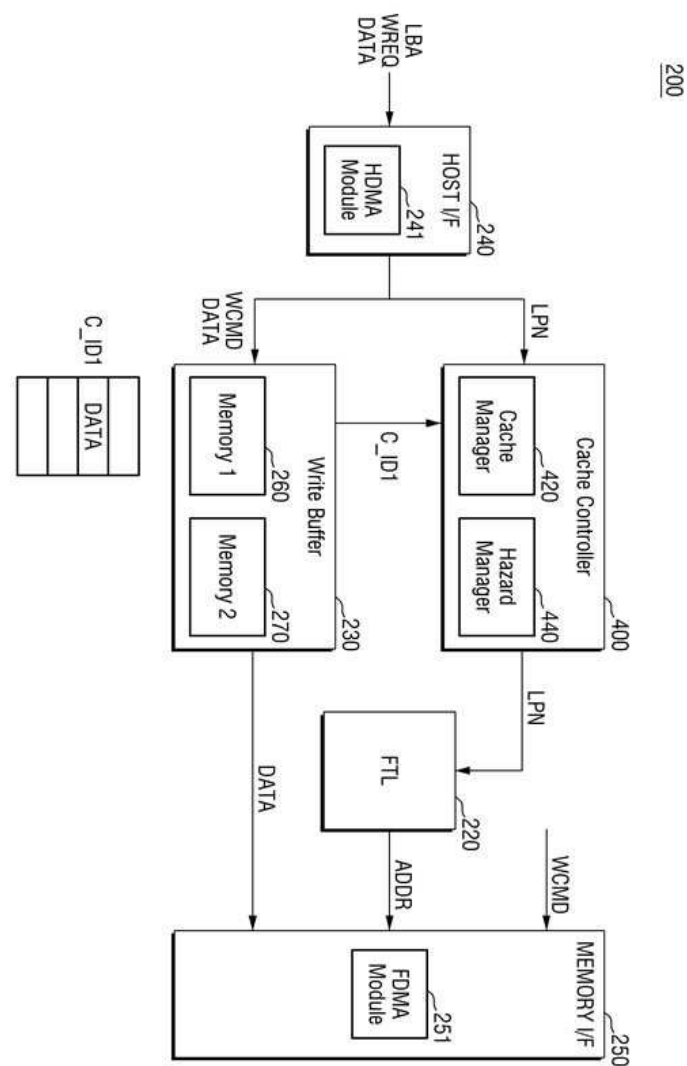
도면6



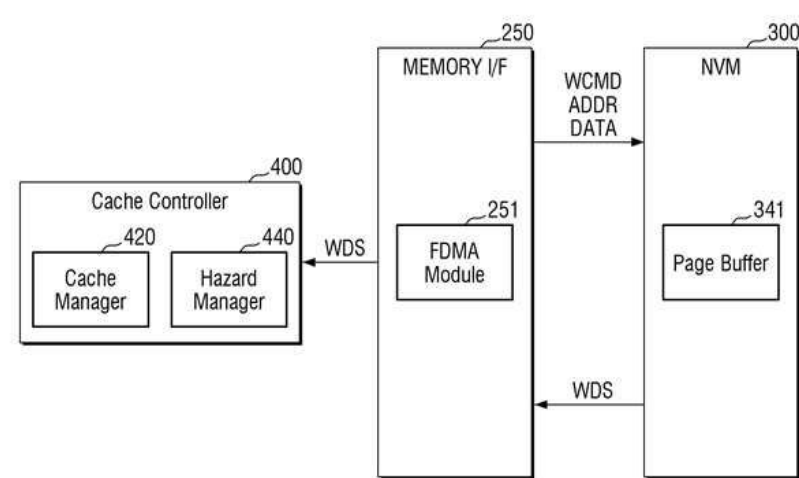
도면7



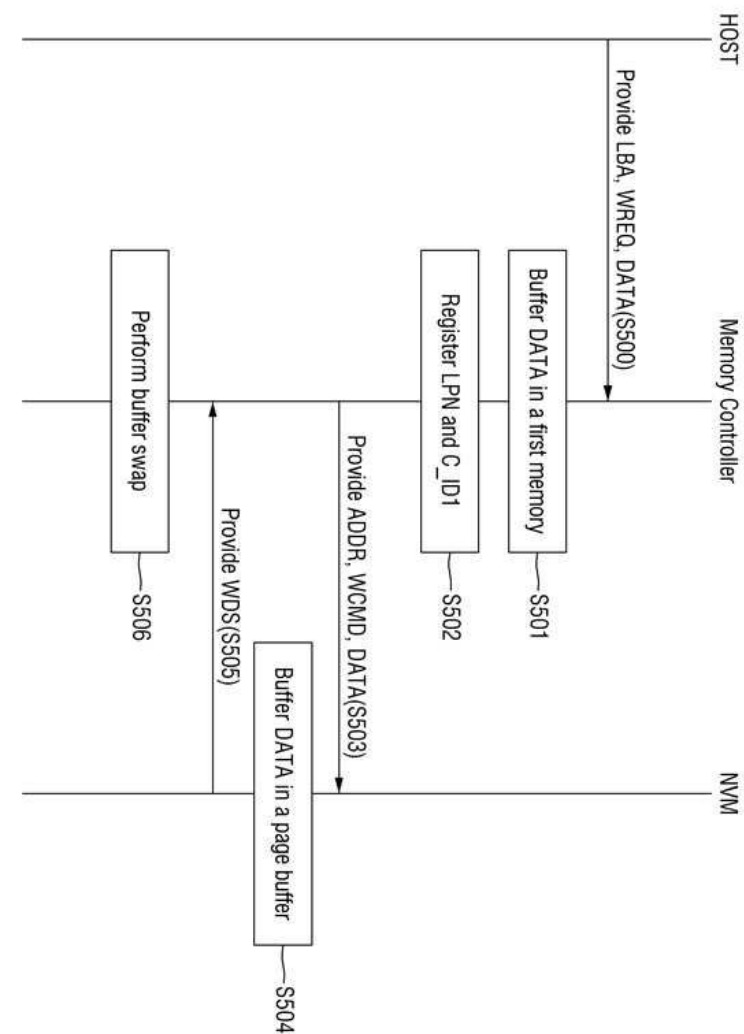
도면8



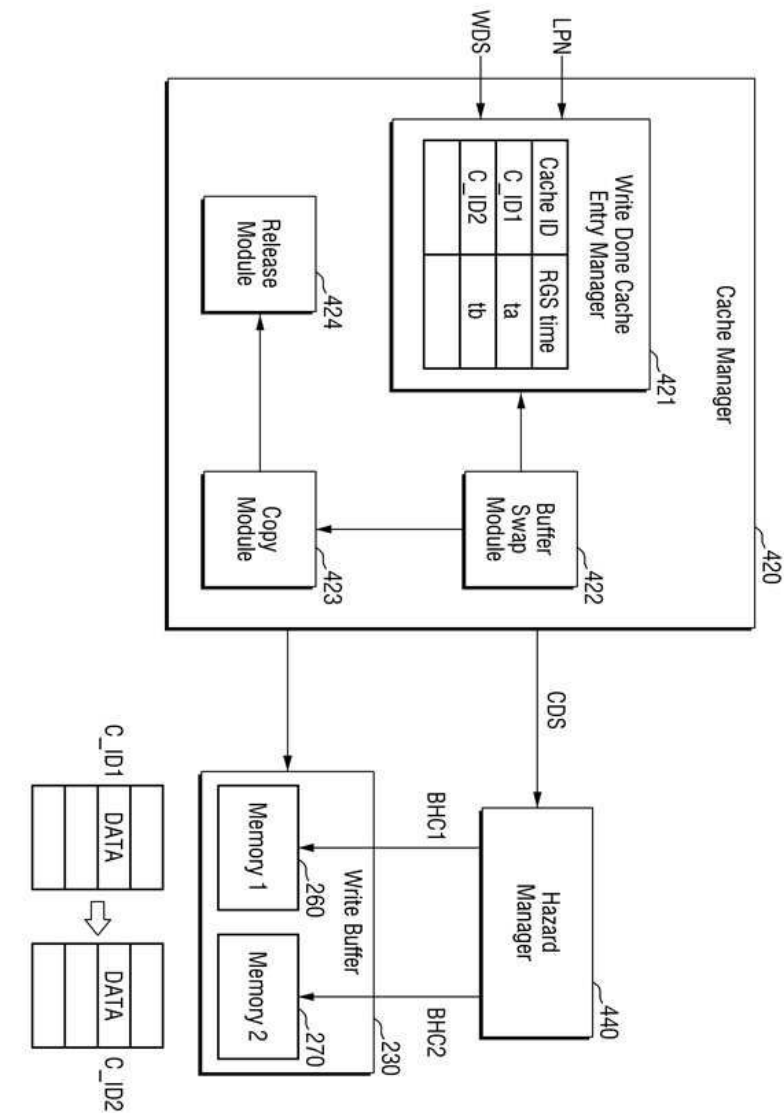
도면9



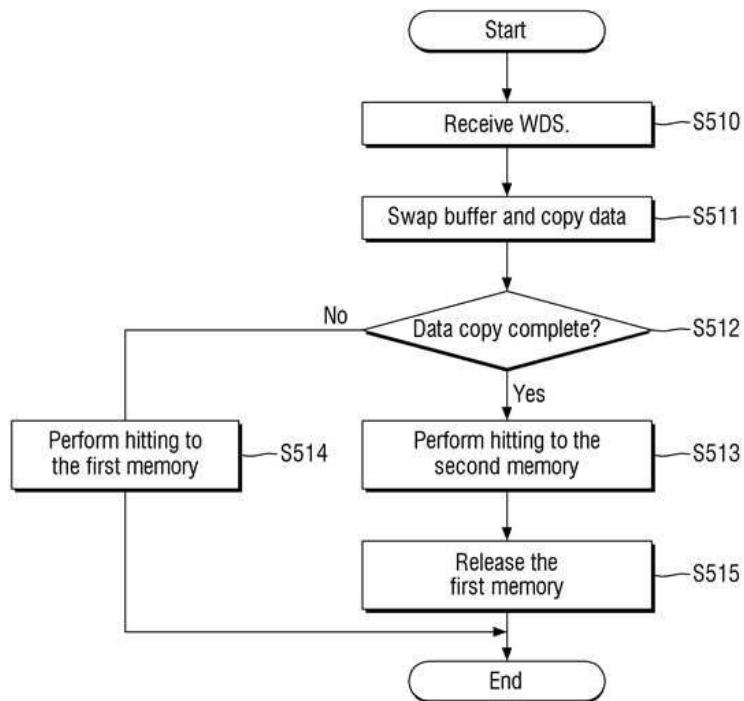
도면10



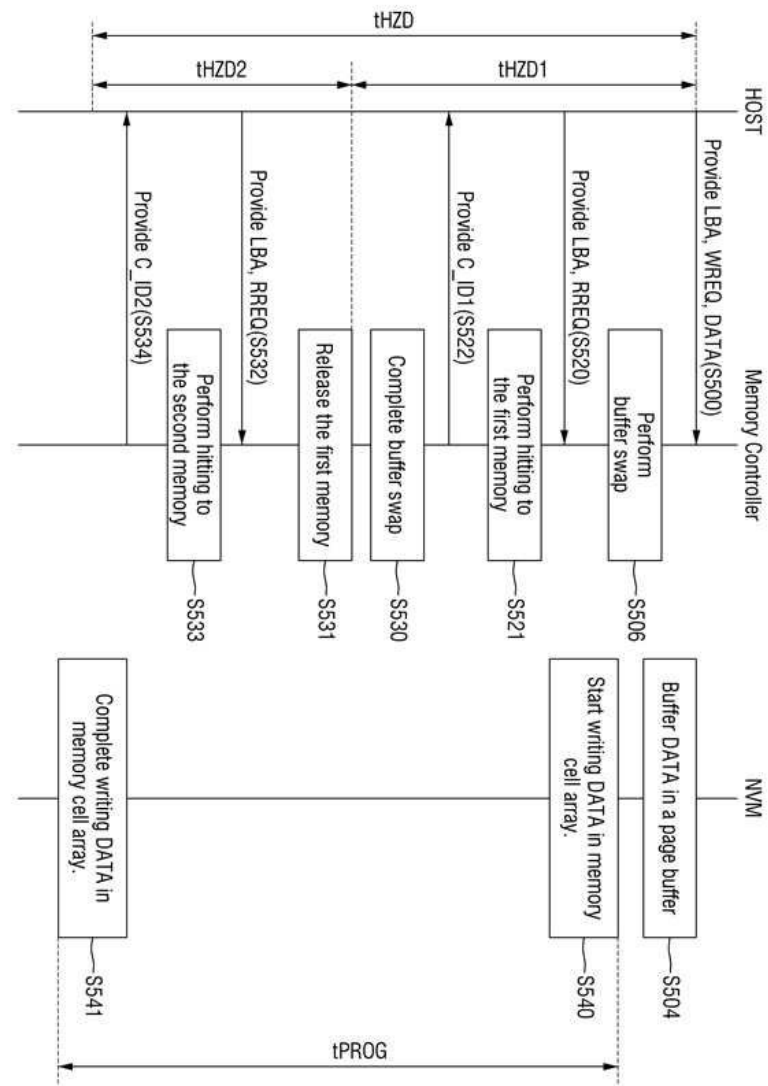
도면11



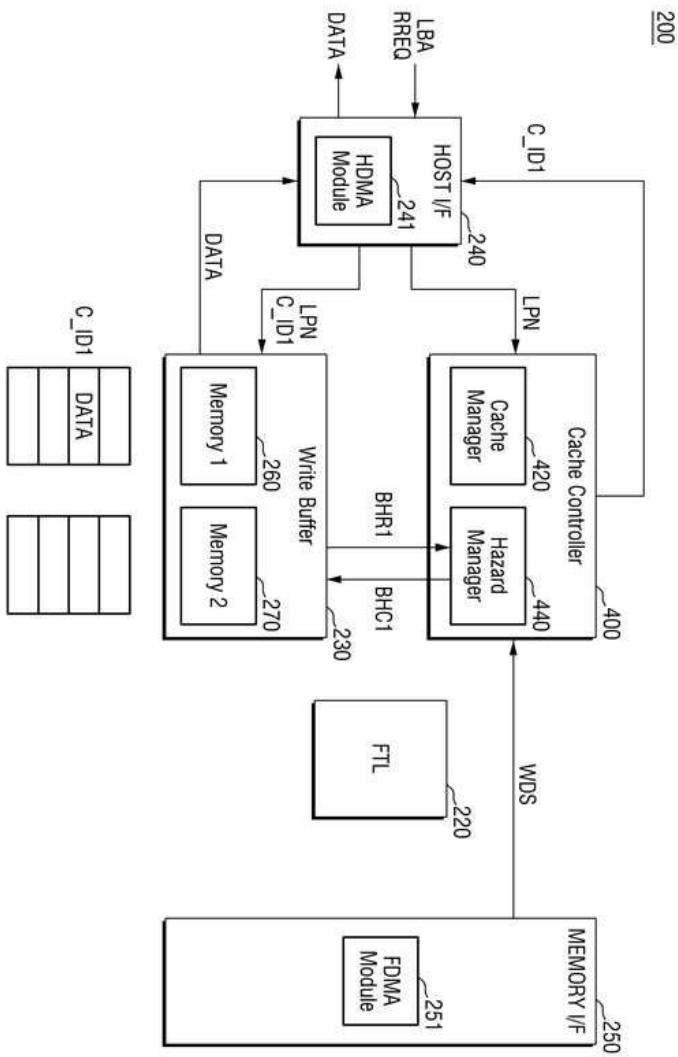
도면12



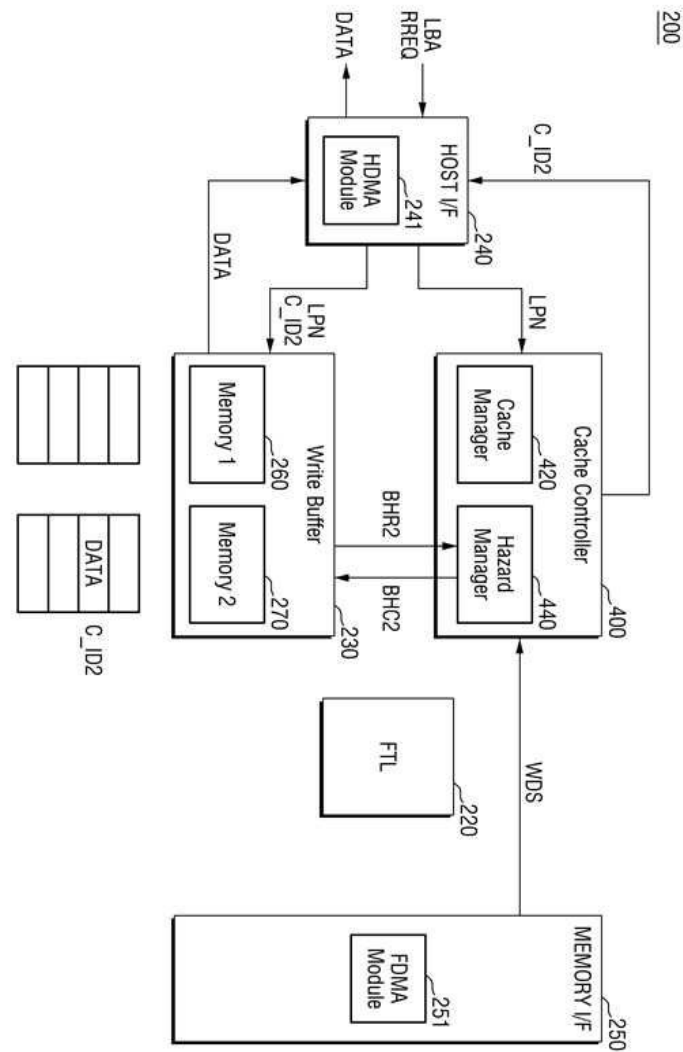
도면13



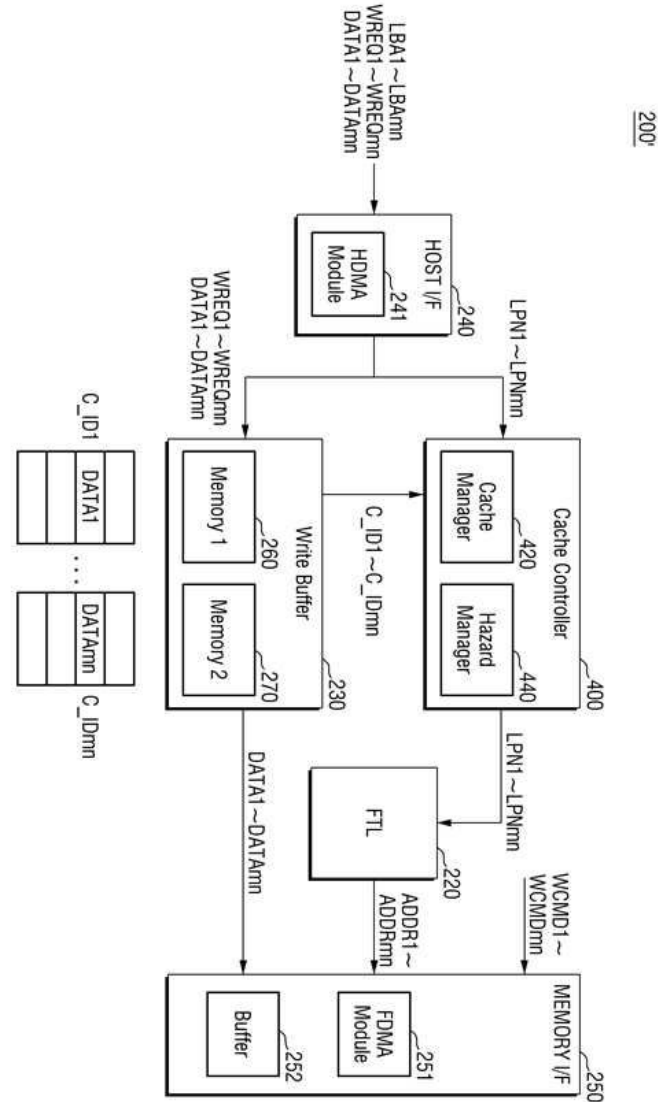
도면14



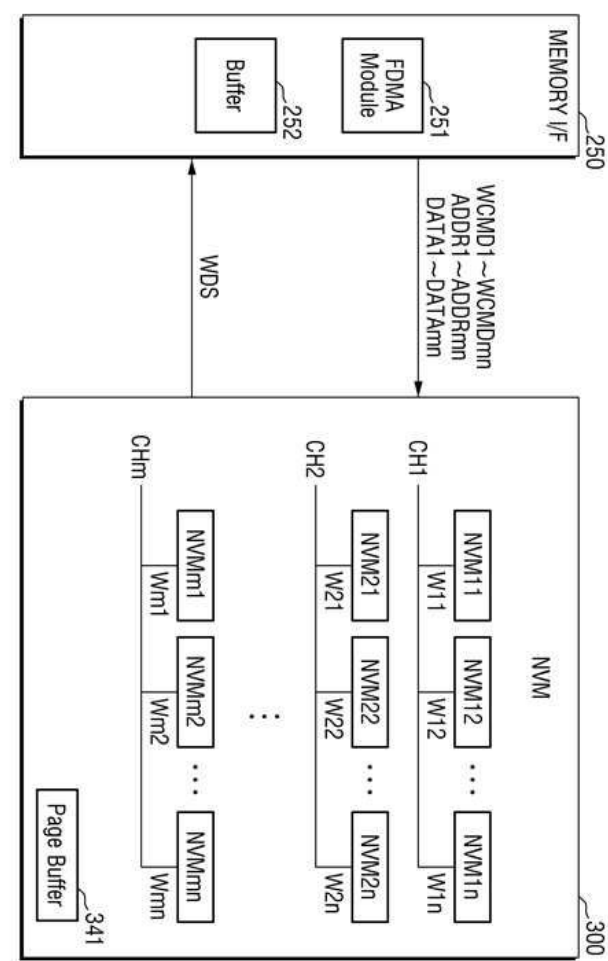
도면15



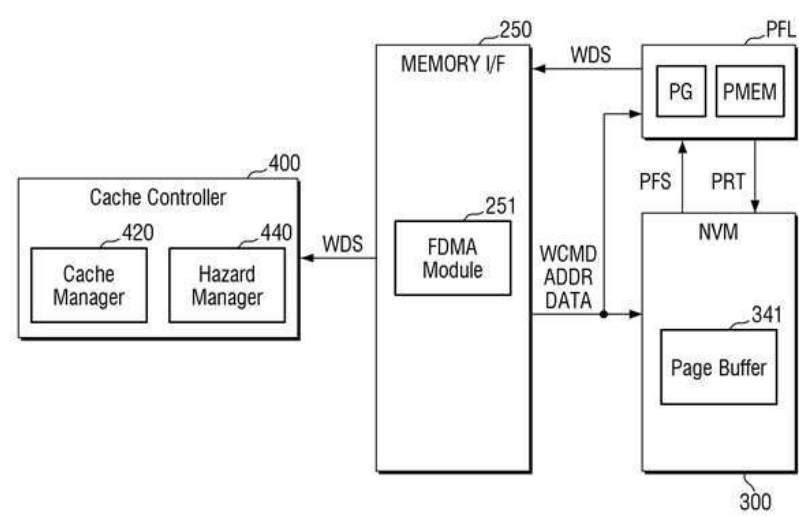
도면16



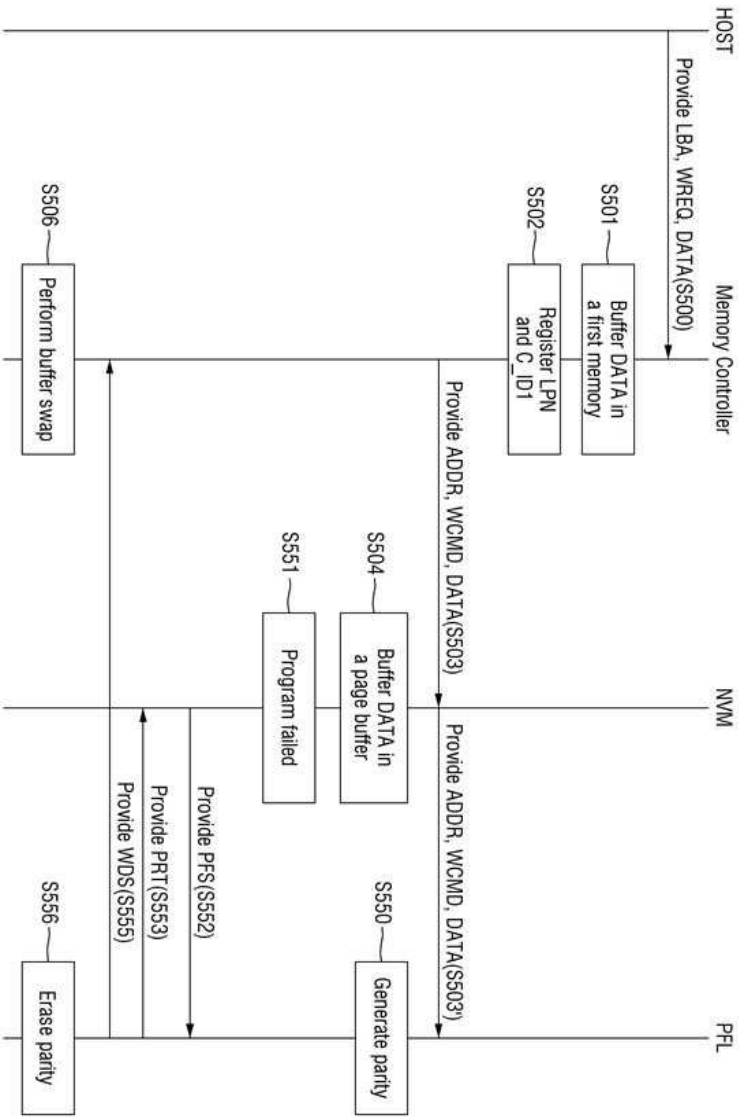
도면17



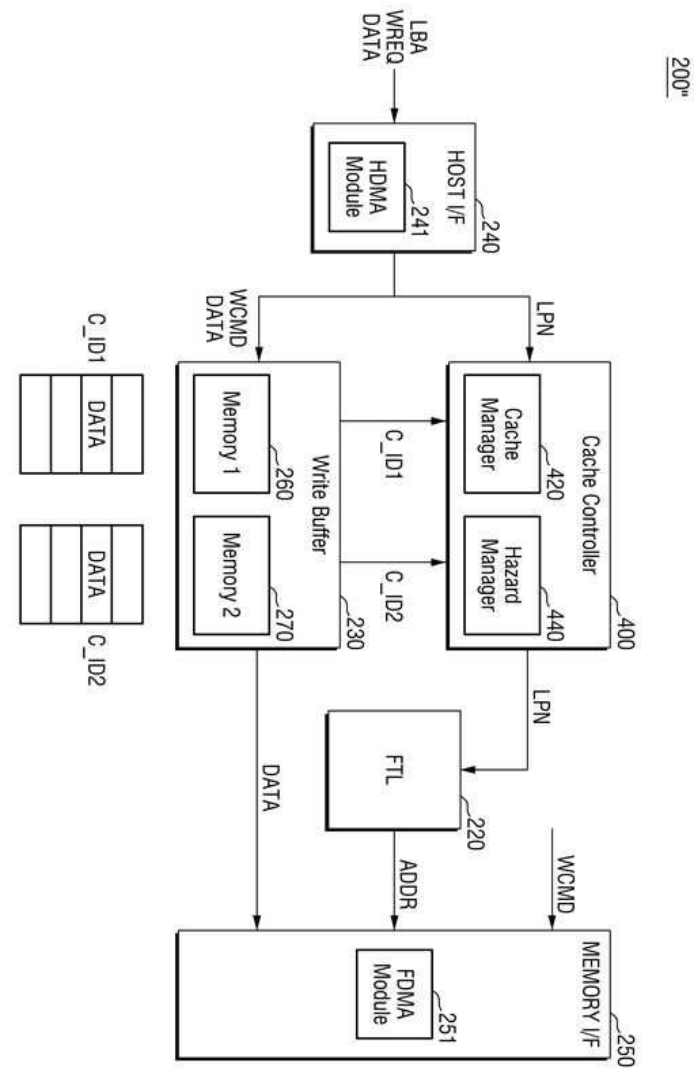
도면18



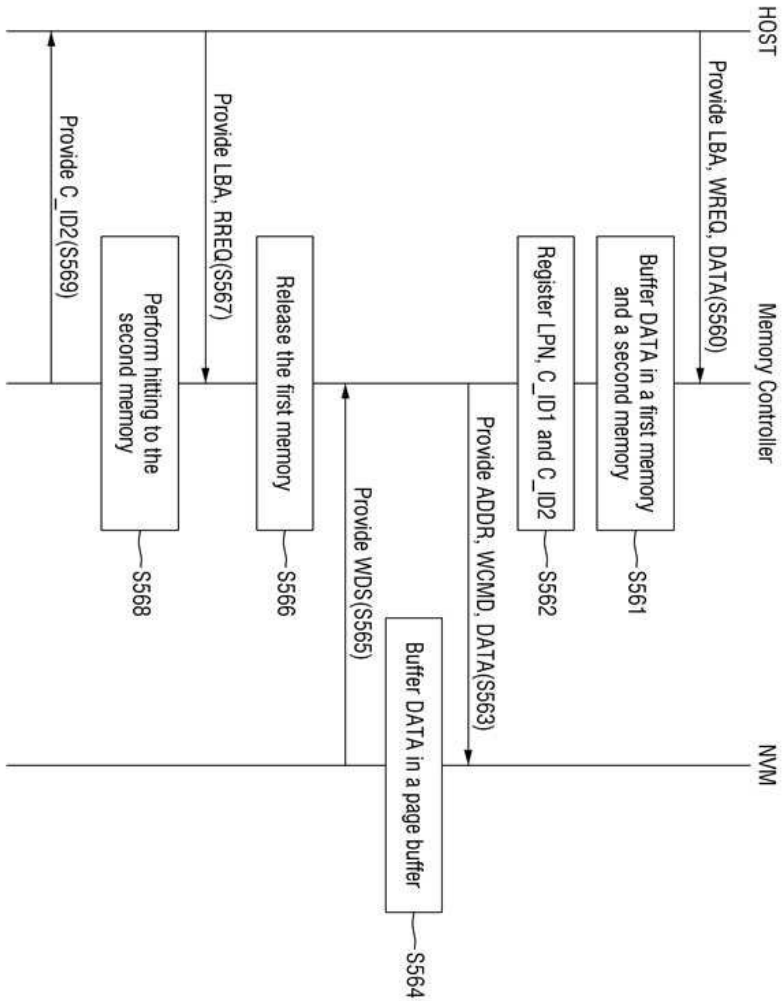
도면19



도면20



도면21



도면22

