

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：93134667

※ 申請日期：93 年 11 月 12 日

※IPC 分類：H01L 21/8238

一、發明名稱：(中文/英文)

整合矽化物接觸與矽化物閘極金屬的方法

METHOD FOR INTEGRATION OF SILICIDE CONTACTS AND
SILICIDE GATE METALS

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

萬國商業機器公司

INTERNATIONAL BUSINESS MACHINES CORPORATION

代表人：(中文/英文) 傑羅 羅森梭/ROSENTHAL, GERALD

住居所或營業所地址：(中文/英文)

美國紐約州 10504 亞芒克市新奧爾察德路

New Orchard Road, Armonk, NY 10504, U.S.A.

國 籍：(中文/英文) 美國/US

三、發明人：(共 6 人)

姓 名：(中文/英文)

1. 西瑞爾 卡布羅二世/CABRAL, JR., CYRIL
2. 亞克伯 T 克吉爾思基/KEDZIERSKI, JAKUB T.
3. 維特 裘/KU, VICTOR
4. 克麗斯丁 拉威雷/LAVIOE, CHRISTIAN
5. 衛賈 那雷雅南/NARAYANAN, VIJAY
6. 安 L 史堤根/STEEGEN, AN L.

國 籍：(中文/英文)

1. 美國/US
2. 美國/US
3. 中華民國/TW
4. 加拿大/CA
5. 印度/IN
6. 比利時/BE

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

美國；西元 2003 年 12 月 2 日；10/725,851

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種在半導體基板上製造電路元件的方法，尤其關於一種用以形成矽化物接觸以及矽化金屬閘極的互補式金氧半導體（CMOS）電晶體的製造方法。

【先前技術】

先前技術已證實在傳統的CMOS電晶體製程中，金屬閘極的整合有其困難度。在進行源極/汲極接面的活化退火所需要的高溫製程中，絕大部分的金屬閘極材料會與閘極介電層反應。為因應金屬閘極堆疊免於遭受高溫退火製程的需求，因而開發出「閘極最後製造（gate last）」或「替代閘極（replacement gate）」製程，其中閘極堆疊為最後製造，而且在之後的製程中將溫度維持在500°C以下。雖然習知的替代閘極製程增加了金屬閘極所可以選用的材料種類，卻也增加了製程複雜度及成本。

同一受讓人於2002年11月20日所申請的美國專利申請案號10/300,165中，描述一種在傳統的CMOS電晶體製程中，形成一金屬閘極矽化物的方法，其中並未使用到「替代閘極」的製程。在該替代方法中，減少了所需增加的製程步驟數目，因此使製程複雜度維持在最低並降低成本。

避免使用「替代閘極」製程是個很大的優點。而 '165 申請案中的替代方法的第二個優點是：可以藉由標準的物理氣相沉積 (PVD) 來沉積金屬，以形成矽化金屬閘極。由於在 '165 申請案中，金屬不是直接沉積在閘極介電層上，就不需要化學氣相沉積 (CVD) 或是原子層沉積 (ALD)，如此就可藉由避免使用電漿而減少對閘極介電層的傷害。

另一個優點是在形成矽化金屬閘極之後，可以很容易地形成閘極介電層的保護層。用傳統的爐管退火製程，氬氣輕易擴散穿過矽化物可以形成保護層。

目前的CMOS技術使用矽化物作為源極/汲極以及元件的閘極區域的接觸。目前所使用的低阻抗和低接觸阻抗的矽化物有C54相位(C54 phase)的 TiSi_2 、 CoSi_2 以及 NiSi 。這三種矽化物都以自行對準矽化製程(也就是「salicide」製程)整合。這樣的製程包含毯覆式沉積具有帽蓋層(例如 TiN 、鈦或鎢)的金屬(Ti 、 Co 或 Ni)；在第一低溫下退火以形成第一矽化物相位(也就是C49相位的 TiSi_2 、 CoSi_2 或 NiSi)；選擇性地濕蝕刻帽蓋層及不與矽接觸的未反應金屬；以及在第二較高溫度，退火以形成低阻抗金屬矽化物相位(C54相位的 TiSi_2 或 CoSi_2)等製程所組成。對於低阻抗的 NiSi ，則無須第二退火。

另一種形成矽化鎳的方法是在第一退火時，形成富含金屬的矽化鎳，接著在第二退火時形成 NiSi 。這樣特殊的

矽化物的優點是該些製程皆可以自行對準製程來進行，因此避免額外的微影步驟。

由上可知，仍需要一種整合方法可使矽化物接觸到源極/汲極區域以及閘極區域，並且可整合金屬矽化物閘極。此外，亦需要一種整合方法使多樣的矽化物相位或是矽化物類型，可作為閘極金屬及接觸。

【發明內容】

本發明提供一CMOS矽化金屬整合方法，使得矽化物接觸（汲極/源極和閘極）及金屬矽化物閘極使用自行對準製程（自行對準矽化製程），以及一道或多道微影製程整合。本發明的整合方法使製造包含矽化物接觸和矽化物閘極金屬的CMOS結構的複雜度以及成本減少到最低。

本發明的整合方法亦允許在半導體基板上，沉積兩種或更多種不同厚度的金屬，使得在一些CMOS電晶體上可以形成較薄的矽化金屬，並且用於形成閘極接觸，同時在其他的CMOS電晶體上可以形成較厚的矽化金屬，並且用於形成金屬矽化物閘極。本發明的整合方法也可以藉由改變金屬沉積的厚度，而形成金屬閘極時有不同數量的金屬，因而形成多種相位的金屬矽化物閘極。

本發明的另一項優點是整合方法可以形成多種矽化物類型的接觸以及金屬矽化物閘極。

不同相位的例子為：藉由改變Ni的厚度，使得一些金屬矽化物閘極可具有富含金屬的相位(metal rich phase)，而其他的則只有NiSi相位。不同矽化物類型的例子為：CoSi₂可以作為連接到一些元件的接觸，而該些閘極為大量摻雜的多晶矽，並且在上方有矽化物接觸，而且在其他的元件中可以使用NiSi作為金屬矽化物閘極，並消耗所有的閘極多晶矽。

本發明方法始於提供一平坦化結構，其包含位於一基板頂端的複數個圖案化多晶矽閘極區域。裸露各圖案化多晶矽閘極區域的上表面，亦即多晶矽閘極導體的上表面。在初始的結構中，每個CMOS電晶體都包含多晶矽閘極區域以及矽化源極/汲極區域。

在提供上述的結構後，在包含每個圖案化多晶矽閘極區域的裸露上表面的平坦化結構上，沉積包含第一含金屬層和第一帽蓋層的第一雙層結構。

接著，包含第一雙層的結構藉由微影製程圖案化，以露出一部份多晶矽閘極，而其他的多晶矽閘極仍被保護住。之後，在該結構上，形成包含第二含金屬層和第二帽

蓋層的第二雙層。第二含金屬層直接形成在裸露的多晶矽閘極上。

根據第一和第二含金屬層的厚度，以及使用於該些層中的金屬類型，可以描繪出最終的閘極結構。因此不同的矽化物類型以及相位，可作為連接到多晶矽和金屬閘極的閘極接觸。

接著進行自行對準矽化製程，使得第一和第二含金屬層和下面的含矽材料進行反應，如此接下來就可形成矽化物閘極接觸以及金屬矽化物閘極。

【實施方式】

圖1至圖5係顯示本發明之半導體CMOS結構在不同階段的剖面圖。雖然圖式顯示兩個多晶矽閘極（也就是包括p型場效電晶體（pFET）以及n型場效電晶體（nFET）的CMOS電晶體結構），但是本發明並不限於多晶矽閘極的數目。此外，本發明的整合製程適用於任何數目的多晶矽閘極。因此，單一個半導體結構中可能會出現複數個多晶矽閘極。

請注意圖1至圖5說明係根據本發明的一個可能的實施例，其中第一含金屬層係為用於形成矽化金屬閘極接觸的薄層，而第二含金屬層係為較厚的層，其係用於形成金

屬矽化物閘極。雖然以此實施例作為說明，但是本發明可以藉由改變沉積在每個雙層上的金屬厚度及種類而變化。如此得以實施不同類型和相位的矽化物閘極接觸以及矽化金屬閘極。

圖1顯示用於本發明之初始平坦化結構。而圖1所示之初始平坦化結構包含半導體基板10，其具有隔離區域12和矽化源極/汲極接觸26形成於其中。本發明之初始平坦化結構亦包含位於半導體基板10上方的數個圖案化多晶矽閘極區域18，每個區域包含一閘極介電層14以及一多晶矽閘極導體16。每個圖案化多晶矽閘極區域18亦包含至少一間隙壁20形成於其每個側壁上。在圖式中，顯示有兩個間隙壁22與24。

平坦化結構亦包含平坦化堆疊28，其包含第一介電層30以及第二介電層32，係位於半導體基板10上方且相鄰於圖案化多晶矽閘極區域18的區域。第二介電層32包含一上表面，係與各圖案化多晶矽閘極區域18(也就是每個多晶矽閘極導體層16)的上表面共平面。

圖1所顯示的初始結構的半導體基板10可以是任何半導體材料，例如但不限於：Si、Ge、SiGe、SiC、SiGeC、Ga、GaAs、InAs、InP以及所有其他 III/V族化合物半導體。半導體基板10也可以是層疊的半導體例如Si/SiGe、絕緣層上矽(SOI)、或絕緣層上矽鍺(SGOI)的結構。在

本發明的其他實施例中，半導體基板10較佳是由含矽的半導體材料所組成。半導體基板10可以是經摻雜的、未經摻雜的或是具有經摻雜或未經摻雜區域於其中。

在圖1中，參考標號11a為第一摻雜區（n-或p-），而參考標號11b為第二摻雜區（n-或p-）。第一摻雜區和第二摻雜區可以是相同的，或者是有不同的導電性。這些I/I摻雜的區域通稱為「井」。

隔離區域12接著形成至半導體基板10中。隔離區域12可以是如圖所示的淺溝渠隔離區域，或是場氧化隔離區域。淺溝渠隔離區域是藉由眾所皆知的傳統淺溝渠絕緣製程所形成。例如：微影、蝕刻以及用淺溝渠絕緣材料填塞淺溝渠，可形成淺溝渠隔離區域。在填塞淺溝渠前，可選擇性地在淺溝中形成襯層，在填塞淺溝渠後，可以進行緻密化步驟，而平坦化製程也可以在填塞淺溝渠後進行。場氧化區域可以使用習知的區域矽氧化製程來形成。

在半導體基板10中形成隔離區域12後，如果閘極介電層14是沉積的介電層，則該介電層係形成在包含半導體基板10以及隔離區域12頂部的整個結構表面。閘極介電層14可以藉由例如：氧化、氮化或是氧氮化的熱成長製程來形成。選替地，閘極介電層14可利用例如化學氣相沉積（CVD）、電漿輔助化學氣相沉積（plasma-assisted CVD）、原子層沉積（ALD）、蒸鍍、反應性濺鍍、化學溶液沉積或

其他沉積的製程。閘極介電層14也可以利用上述製程的組合來形成。

閘極介電層14是由絕緣材料組成，包含但不限於：氧化物、氮化物、氧氮化物及/或矽酸鹽類(silicate)。於一實施例中，閘極介電層14較佳是由氧化物組成，例如： SiO_2 、 HfO_2 、 ZrO_2 、 Al_2O_3 、 TiO_2 、 La_2O_3 、 SrTiO_3 、 LaAlO_3 及其混合物，並包含添加矽和氮。

閘極介電層14的實體厚度也許有不同，不過一般閘極介電層14的厚度是約0.5至約10nm，更典型的厚度是約0.5至約3nm。

形成閘極介電層14後，利用已知的沉積步驟，例如物理氣相沉積(PVD)、化學氣相沉積(CVD)或是蒸鍍，形成一毯覆式多晶矽(polySi)層16於閘極介電層14上。毯覆式多晶矽層16可經摻雜或是未摻雜。若是經摻雜的，可使用原址(in-situ)摻雜沉積製程來形成。選替地，摻雜的多晶矽層16可用沉積、離子植入及退火形成。

摻雜多晶矽層16將會改變所形成的矽化物閘極的功函數。可以用來摻雜的離子包含砷(As)、磷(P)、硼(B)、銻(Sb)、鉍(Bi)、銦(In)、鋁(Al)、鉭(Tl)、鎵(Ga)或其混合物。在本發明的這個階段所沉積的多晶矽層16的厚度，也就是高度，會隨著所使用的沉積製程而改變。一般

而言，多晶矽層16的垂直高度約為20至約180 nm，更典型的厚度是約為40至約150 nm。

接著以微影和蝕刻圖案化毯覆式多晶矽層16（以及選擇性地圖案化閘極介電層14），以形成圖案化多晶矽閘極區域18。圖案化多晶矽閘極區域18可以有相同的尺寸，也就是長度，或者是可以有不同的尺寸以增進元件的性能。微影步驟包含塗佈一光阻層在毯覆式沉積的多晶矽層16的上表面，於所要圖案的放射線中使光阻曝光，並且使用習知光阻顯影劑顯影經曝光的光阻。然後利用乾蝕刻製程，將光阻上的圖案轉移到毯覆式多晶矽層16上。在蝕刻完成後，移除圖案化的光阻。在一些實施例中，在形成光阻前，會先形成硬遮罩，且用於圖案化毯覆式多晶矽層16。

可用於本發明中形成多晶矽閘極區域18的合適乾蝕刻製程包含，但不限於：反應性離子蝕刻、離子束蝕刻、電漿蝕刻或是雷射熔蝕(laser ablation)。典型所使用的乾蝕刻製程對於位於下層的閘極介電層14有選擇性，因此這個蝕刻步驟一般不會移除閘極介電層14。不過在一些實施例中，這個蝕刻步驟仍可以用來移除部分未被圖案化多晶矽閘極區域18所保護住的閘極介電層14。

接著，至少一間隙壁20形成在每個圖案化多晶矽閘極區域18的裸露側壁上。此至少一間隙壁20由例如是氧化物、氮化物、氧氮化物及/或其任何組合的絕緣材料所組

成。此至少一間隙壁20係藉由沉積和蝕刻所形成，在圖式中顯示兩個間隙壁。

圖1特別顯示包含具有第一寬度的第一間隙壁22以及具有第二寬度的第二間隙壁24的結構，其中第一寬度小於第二寬度。在其他的實施例中，兩個間隙壁的設計以單一間隙壁取代，而該單一間隙壁的寬度實質上等於圖1中所示的第一寬度和第二寬度的總和。

當第一和第二間隙壁都使用時，第一和第二間隙壁是由不同的絕緣材料所組成。例如第一間隙壁22可以是由 SiO_2 所組成，而第二間隙壁是由 Si_3N_4 所組成。

間隙壁的寬度必須要夠寬，使得之後所形成的源極/汲極矽化物接觸不會侵蝕多晶矽閘極導體層16邊緣下方，而進入電晶體的通道區。一般而言，當間隙壁在底部的寬度大約是從20到約80 nm，源極/汲極矽化物接觸不會侵蝕閘極堆疊邊緣的下方。

形成間隙壁之後，源極/汲極擴散區域（未於圖中特別標明）形成於基板中。源極/汲極擴散區域利用離子植入以及退火的步驟形成。退火的步驟是用以活化之前植入步驟中所植入的摻雜質。離子植入以及退火的條件為熟知此技術人士所了解。

接著，若在之前的步驟尚未移除閘極介電層14的裸露部份，將以化學蝕刻製程選擇性地移除閘極介電層14。這個蝕刻的步驟會在半導體基板10的上表面以及隔離區域12的上表面停住。雖然任何的化學蝕刻劑都可以用於移除閘極介電層14的裸露部份，在一實施例中，稀釋的氫氟酸（DHF）可以用於此步驟。

接著，利用自行對準矽化製程形成源極/汲極矽化物接觸26，其包含在半導體基板10包括源極/汲極擴散區域的裸露表面沉積金屬的步驟；第一退火以形成金屬矽化物；選擇性地蝕刻任何未反應的金屬；以及視需要進行第二退火。絕緣帽蓋層可以置於多晶矽閘極區域16的頂端，以避免在源極/汲極矽化步驟中造成閘極的矽化。

當半導體基板10並不包含矽時，可以在半導體基板10的裸露表面成長初一層矽（未示於圖中），然後用於形成源極/汲極矽化物接觸26上。

用來形成源極/汲極矽化物接觸26的金屬包含任何可以和矽反應形成金屬矽化物的金屬材料。這樣的金屬材料的例子包含但不限於：鈦(Ti)、鉭(Ta)、鎢(W)、鈷(Co)、鎳(Ni)、鉑(Pt)、鈀(Pd)以及其合金。在一個實施例中，鈷是較佳的金屬材料。而在這樣的實施例中，就必須要進

行第二退火。在其他的實施例中，鎳或是鉑是較佳的金屬材料，而在這樣的實施例中，一般就無須進行第二退火。

該層金屬可以使用任何傳統的沉積步驟來進行沉積，例如使用濺鍍、化學氣相沉積、蒸鍍、化學溶液沉積、電鍍或是其他類似的製程。

第一退火通常是在低於第二退火的溫度下進行。一般而言，第一退火步驟是在大約300°C至約600°C的溫度下，以連續的加溫區域或是不同的升溫和降溫的循環來進行，如此可能會也可能不會形成高阻抗的矽化物相位的材料。較佳的情況是第一退火在大約350°C至大約550°C溫度下進行。第二退火則是在大約600°C至大約800°C溫度下，進行連續的加溫區域或是不同的升溫和降溫的循環。更佳的情況是，第二退火是在大約650°C至750°C的溫度下進行。第二退火一般會將高阻抗的矽化物轉換為低阻抗的矽化物相位。

自行對準矽化物退火是在氣態的氛圍下進行，例如於氦(He)、氬(Ar)、氮(N₂)或是其他形成氣體。源極/汲極矽化接觸退火步驟可以使用不同的氛圍，或是在相同的氛圍下進行退火步驟。例如：He可以使用於這兩種退火步驟，或是在第一退火步驟使用He，而在第二退火步驟使用形成氣體。

選擇性的蝕刻步驟包含任何可以選擇性地移除未反應金屬的一般蝕刻步驟。例如使用硫酸和過氧化氫溶液的濕蝕刻。

然後，形成圖案化介電層堆疊28，其包含第一介電層30以及第二介電層32。第一介電層30作為蝕刻的終止層，而第二介電層32作為層間介電層。圖案化介電層堆疊28中的第一和第二介電層是由不同的介電材料所組成，例如：氧化物、氮化物及氮氧化物。

在本發明的一個實施例中，介電層堆疊的第一介電層30是由 Si_3N_4 組成，而第二介電層32是由 SiO_2 所組成。如圖所示，圖案化介電層堆疊28覆蓋了隔離區域12以及源極/汲極矽化物接觸26，且裸露每個圖案化多晶矽閘極區域20的上表面。特別是裸露的上表面為多晶矽閘極導體層16的上表面。

第一介電層30和第二介電層32是利用相同或不同的沉積製程所形成。可用於形成介電層堆疊中的介電層30和32的適當沉積製程包含但不限於：化學氣相沉積、原子層沉積、物理氣相沉積、化學溶液沉積、蒸鍍以及其他類似的沉積製程。在平坦化之前的介電層堆疊的原始厚度可能會不同，但是其厚度必須要高於多晶矽閘極區域20的高度。

在形成第一和第二介電層後，第二介電層32以一般的平坦化製程平坦化，例如使用化學機械研磨及/或碾磨(grinding)。

接著例如圖2所示，第一雙層34形成於圖1所示的整個結構上。第一雙層34包括第一含金屬層36及第一帽蓋層38。如圖2所示，第一含金屬層36先形成，之後再形成第一帽蓋層38。根據第一含金屬層36的厚度，第一含金屬層36在本發明中可用以形成矽化物閘極接觸或是矽化金屬閘極。

第一雙層34的第一含金屬層36是由任何可以與多晶矽反應形成金屬矽化物的金屬材料所組成。這樣的金屬材料包含但不限於：鎳(Ni)、鈷(Co)、鉑(Pt)、鈦(Ti)、鎢(W)、鉬(Mo)、鉭(Ta)及其合金。這些金屬的堆疊也可以作為第一含金屬層36。在這些各種金屬中，較佳使用鈷和鎳。

在本發明的一些實施例中，第一含金屬層36所包含的金屬可以包含強化金屬矽化物形成的合金添加物。可使用於本發明的合金添加物包含如：碳(C)、鋁(Al)、鈦(Ti)、釩(V)、鉻(Cr)、錳(Mn)、鐵(Fe)、鈷(Co)、鎳(Ni)、銅(Cu)、鍺(Ge)、鋇(Zr)、鈮(Nb)、鉬(Mo)、鈦(Ru)、銠(Rh)、鈀(Pd)、銀(Ag)、銦(In)、錫(Sn)、鈪(Hf)、鉭(Ta)、鎢(W)、銼(Re)、銱(Ir)、鉑(Pt)或其混合物，但前提是合

金添加物和第一含金屬層36中的金屬不同。當使用合金添加物時，其量通常是約0.1到約50分子百分比。

在一實施例中，第一雙層34的第一含金屬層36為一薄膜，其厚度一般是大約5至約15nm，而更典型的厚度是約8至約12nm。在本發明的其他的實施例中，第一雙層34的第一含金屬層36為一厚層，其厚度通常是約5至約100nm，更典型的厚度是約10至約60nm。

第一雙層34的第一含金屬層36是利用任何習知的沉積製程形成，例如：濺鍍、化學氣相沉積、蒸鍍、化學溶液沉積、電鍍或是類似的製程。

第一雙層34中形成於第一含金屬層36上方的第一帽蓋層38，包含任何可避免氧氣進入下方用以形成矽化物的金屬的材料。這樣的帽蓋層可使用例如：TiN、W或Ti。一般第一帽蓋層38的厚度係約5至約50nm，更典型是約10至約25nm。第一帽蓋層38通常是以習知的沉積製程所形成，例如：物理氣相沉積或是化學氣相沉積。

接下來將光阻施加於圖2所示的結構，而光阻接著經過微影過程，以形成圖案化光阻40（請參照圖3），暴露出覆蓋於預選的圖案化多晶矽閘極20的第一雙層34部份，並同時保護其他圖案化多晶矽閘極20。所露出的覆蓋於預選的圖案化多晶矽閘極的材料，也就是第一雙層34，接著被

移除，以露出每個預選的多晶矽閘極20的至少含多晶矽的表面。特別是先移除露出的第一帽蓋層38的部分，接著再移除位於其下方的第一含金屬層36。

移除的步驟是以濕蝕刻製程進行，其選擇性地移除第一帽蓋層38露出的區域，以及其下的第一含金屬層36，並且會終止在下方多晶矽閘極16以及第二介電層的表面。舉例來說，濕蝕刻製程使用的蝕刻劑包含：20份的 H_2O 、1份的 H_2O_2 以及1份的 HCl 。應注意濕蝕刻製程應選擇性地移除露出的第一帽蓋層38以及移除下方的第一含金屬層36，卻不會對於圖案化光阻40造成破壞。

圖3顯示在濕蝕刻製程後的結構。在圖式的結構中，預選的多晶矽閘極20的含多晶矽表面被露出，而其他的閘極區域被覆蓋的圖案化光阻40所保護住。

在其他未繪示的選替實施例中，於光阻形成於該結構前，低溫氧化層（LTO）形成於第一帽蓋層38上。微影圖案化光阻後，以氫氟酸濕蝕刻將LTO自裸露的預選多晶矽閘極區域移除。光阻移除後，LTO作為硬遮罩，以利用濕蝕刻或反應性離子蝕刻移除裸露的第一帽蓋層38和下方的第一含金屬層36。

當對裸露的第一帽蓋層38以及下方的第一含金屬層36的蝕刻，停止在預選的多晶矽閘極區域20時，就以熟此技藝者知悉的習知剝離製程移除圖案化光阻40或是LTO。

此時，每個預選的多晶矽閘極20的裸露多晶矽表面16應被清潔，以自裸露的多晶矽表面移除氧化矽。任何可以移除氧化矽的清潔製程均可以使用於本發明。這樣的清潔製程係如稀釋的氫氟酸。

圖4顯示在圖3的結構上再形成第二雙層42後的結構。第二雙層42包含第二含金屬層44及第二帽蓋層46。如圖4所示，先形成第二含金屬層44，接著形成第二帽蓋層46。第二含金屬層44可在本發明中可用於形成矽化物閘極接觸或是矽化金屬閘極。

第二雙層42的第二含金屬層44是由任何可與多晶矽反應形成金屬矽化物的金屬材料所組成。第二含金屬層44可以由和第一含金屬層36相同或是不同的金屬材料所組成。可用於第二含金屬層44的金屬材料的例子，包含但不限於：Ni、Co、Pt、Ti、W、Mo、Ta或其合金。本發明亦可考慮這些金屬的堆疊，以作為第二含金屬層44。這些各種金屬中，較佳是以鈷或鎳作為第二含金屬層44。

在本發明的一些實施例中，第二含金屬層44中所包含的金屬，可包含足以強化金屬矽化物形成的合金添加物。

可使用於本發明的合金添加物例如：C、Al、Ti、V、Cr、Mn、Fe、Co、Ni、Cu、Ge、Zr、Nb、Mo、Ru、Rh、Pd、Ag、In、Sn、Hf、Ta、W、Re、Ir、Pt或是其混合物，但前提是合金添加物和第二含金屬層44中的金屬不同。使用合金添加物時，其量通常是0.1到50分子百分比。

在本發明的一實施例中，第二含金屬層44的厚度大於地一金屬層36的厚度。在該實施例中，第二含金屬層44的厚度是大約5至約100nm，更典型是約10至約60nm。

在本發明的另一實施例中，第二含金屬層44的厚度小於第一含金屬層36的厚度。在該實施例中，第二含金屬層44的厚度是大約5至約15nm，更典型是約8至約12nm。

在本發明的再一實施例中，第二含金屬層44的厚度實質上等於第一含金屬層36的厚度。

第二含金屬層44是利用任何習知沉積製程形成，例如：濺鍍、化學氣相沉積、蒸鍍、化學溶液沉積、電鍍或是類似的製程。

第二雙層42中的第二帽蓋層46包含任何可避免氧氣進入下方用來形成矽化物的金屬的材料。這樣的帽蓋層的例子如：TiN、W或Ti。一般第二帽蓋層46的厚度係為約5

至約50nm，更典型是約10至約25nm。第二帽蓋層46通常是以習知的沉積製程所形成，例如：物理氣相沉積或是化學氣相沉積。

在本發明的一個實施例中，圖3至圖5中所示的製程步驟可以重複數次，以形成多種矽化物種類或相位，以作為閘極接觸以及金屬矽化物閘極。若是使用不同的矽化物種類，必須要注意退火的溫度以及退熱溫度可能會不同。

圖5顯示在其中一個圖案化多晶矽閘極上方形成矽化物接觸48，以及形成金屬矽化物閘極50後的CMOS元件。特別是圖5所示的矽化物係以自行對準矽化製程形成，其包含以足以形成金屬矽化物的第一溫度所進行的第一退火；選擇性蝕刻以移除未反應的金屬以及帽蓋層；以及視需要可選擇進行足以形成最低可能阻抗的矽化物相位的第二溫度進行的第二退火。

第一退火通常是在低於第二退火的溫度下進行。一般而言，第一退火步驟是在大約300°C至600°C的溫度下，以連續的加溫區域或是不同的升溫和降溫的循環來進行，如此可能會也可能不會形成高阻抗的矽化物相位的材料。較佳的情況是第一退火在大約350°C至大約550°C溫度下進行。第二退火則是在大約600°C至大約800°C溫度下，進行連續的加溫區域或是不同的升溫和降溫的循環。較佳的情況是，第二退火是在大約650°C至750°C的溫度下進行。第

二退火一般會將高阻抗的矽化物轉變為低阻抗的矽化物相位。自行對準矽化物退火是在氣態的氛圍下進行，例如：He、Ar、N₂或是其他形成氣體。可以在第一次和第二退火中使用相同或是不同的氛圍。

在自行對準矽化物製程中使用的選擇性蝕刻步驟包含：任何可以從結構上移除未反應金屬以及帽蓋層的蝕刻步驟。可使用的選擇性蝕刻製程包含：使用硫酸和過氧化氫溶液或其組合。

綜上所述，雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖1係一剖面示意圖，顯示初始平坦化結構包含複數個具有矽化源極/汲極的多晶矽閘極區域。

圖2係一剖面示意圖，顯示於圖1之結構包含第一雙層，其包含第一含金屬層以及第一帽蓋層。

圖3係一剖面示意圖，顯示於圖2的結構在選擇性地圖案化第一雙層後，暴露出預選的圖案化多晶矽閘極區域。

圖4係一剖面示意圖，顯示於圖3的結構形成第二雙層，其包含第二含金屬層以及第二帽蓋層。

圖5係一剖面示意圖，顯示進行自行對準矽化製程以形成矽化物接觸和閘極後的結構。

【主要元件符號說明】

10 半導體基板	11a 第一摻雜區
11b 第二摻雜區	12 隔離區域
14 閘極介電層	16 多晶矽層
18 多晶矽閘極區域	20、22、24 間隙壁
26 源極/汲極接觸	28 堆疊
30 第一介電層	32 第二介電層
34 第一雙層	36 第一含金屬層
38 第一帽蓋層	40 光阻
42 第二雙層	44 第二含金屬層

46 第二帽蓋層

48 矽化物接觸

50 金屬矽化物閘極

五、中文發明摘要：

一種 CMOS 矽化金屬的整合方法，使得矽化物接觸（汲極/源極和閘極）及金屬矽化物閘極使用自行對準製程（自行對準矽化製程），以及一道或多道微影製程整合。本發明之整合方法，使製造包含矽化物接觸和矽化物閘極金屬的 CMOS 結構的複雜度以及成本減至最低。

六、英文發明摘要：

A CMOS silicide metal integration scheme that allows for the incorporation of silicide contacts (S/D and gates) and metal silicide gates using a self-aligned process (salicide) as well as one or more lithography steps is provided. The integration scheme of the present invention minimizes the complexity and cost associated in fabricating a CMOS structure containing silicide contacts and silicide gate metals.

十、申請專利範圍：

1. 一種形成互補式金氧半導體(CMOS)結構的方法，包含：

提供一平坦化結構，包含複數個圖案化多晶矽閘極區域，其中每一閘極區域具有一裸露的含多晶矽上表面，並位於一基板的頂端，該基板具有矽化源極/汲極接觸形成於其中；

形成包含一第一含金屬層的一第一雙層，該第一含金屬層與每一圖案化多晶矽閘極區域的該裸露的含多晶矽上表面接觸；

圖案化該第一雙層，以提供一圖案化結構，其中該第一雙層自複數個預選的圖案化多晶閘極區域移除；

形成一第二雙層，包含覆蓋該圖案化結構的一第二含金屬層，該第二含金屬層和各預選的圖案化多晶矽閘極區域的一裸露的含多晶矽上表面接觸；以及

進行一自行對準矽化製程，俾將該第一和該第二含金屬層轉化為金屬矽化物。

2. 如請求項1所述之方法，其中該提供平坦化結構的步驟包含：

在該基板上形成複數個圖案化多晶矽閘極區域；

在基板中形成該矽化源極/汲極接觸；

形成一介電層堆疊，包含一第一介電層和一第二介電層，於該基板以及該圖案化多晶矽閘極區域上；以及

平坦化該第二介電層。

3. 如請求項2所述之方法，更包含於各圖案化多晶矽閘極區域附近，形成至少一間隙壁。
4. 如請求項3所述之方法，其中該至少一間隙壁具有一厚度，足以避免該矽化源極/汲極接觸侵蝕該圖案化多晶矽閘極區域下方。
5. 如請求項1所述之方法，其中該複數個圖案化多晶矽閘極區域包含經摻雜的多晶矽閘極導體。
6. 如請求項5所述之方法，其中該多晶矽閘極導係以選自砷(As)、磷(P)、硼(B)、銻(Sb)、鉍(Bi)、銦(In)、鋁(Al)、銻(Tl)、鎳(Ga)及其混合物之一摻雜質加以摻雜。
7. 如請求項1所述之方法，其中該矽化源極/汲極區域係以自行對準矽化製程形成，其包含：

沉積一金屬於該基板中之經活化的源極/汲極區域上；

一第一退火製程，以形成一金屬矽化物；

選擇性地蝕刻未經反應的金屬；以及

可選用地執行一第二退火。

8. 如請求項7所述之方法，其中該金屬係選自：鈦(Ti)、鉭(Ta)、鎢(W)、鈷(Co)、鎳(Ni)、鉑(Pt)、鈀(Pd)及其合金所組成之群組。
9. 如請求項7所述之方法，其中該第一退火製程係在大約300°C到約600°C的溫度下於氬氣、氫氣、氮氣或其他形成氣體中進行。
10. 如請求項7所述之方法，其中該可選用地第二退火製程係在大約600°C到約800°C的溫度下於氬氣、氫氣、氮氣或其他形成氣體中進行。
11. 如請求項1所述之方法，其中該第一合金層包含一金屬係選自鎳(Ni)、鈷(Co)、鉑(Pt)、鈦(Ti)、鎢(W)、鉬(Mo)、鉭(Ta)及其合金所組成的群組。
12. 如請求項11所述之方法，其中該第一合金層包含鈷或鎳。
13. 如請求項11所述之方法，其中該第一合金層更包含一合金添加物。

14. 如請求項13所述之方法，其中該合金添加物係選自：碳(C)、鋁(Al)、鈦(Ti)、釩(V)、鉻(Cr)、錳(Mn)、鐵(Fe)、鈷(Co)、鎳(Ni)、銅(Cu)、鍮(Ge)、鋯(Zr)、鈮(Nb)、鉬(Mo)、鈳(Ru)、銩(Rh)、鈀(Pd)、銀(Ag)、銦(In)、錫(Sn)、鈱(Hf)、鉭(Ta)、鎢(W)、銼(Re)、銱(Ir)、鉑(Pt)及其混合物所組成之群組。
15. 如請求項1所述之方法，其中該第一含金屬層係用於形成矽化物閘極接觸。
16. 如請求項1所述之方法，其中該第一含金屬層係用於形成金屬矽化物閘極。
17. 如請求項1所述之方法，其中該圖案化製程包括微影及蝕刻。
18. 如請求項1所述之方法，其中該第二含金屬層包含一金屬係選自：鎳、鈷、鉑、鈦、鎢、鉬、鉭及其合金所組成之群組。
19. 如請求項18所述之方法，其中該第二含金屬層包含鈷或鎳。

20. 如請求項18所述之方法，其中該第二含金屬層更包含一合金添加物。
21. 如請求項20所述之方法，其中該合金添加物係選自：
碳、鋁、鈦、鈮、鉻、錳、鐵、鈷、鎳、銅、鍺、銦、銑、鉬、鈳、鈹、銀、銦、錫、鉛、鋇、鎢、銻、鉍、鉑及其混合物所組成之群組。
22. 如請求項1所述之方法，其中該第二含金屬層係用於形成矽化物閘極接觸。
23. 如請求項1所述之方法，其中該第二含金屬層係用於形成金屬矽化物閘極。
24. 如請求項1所述之方法，其中該自行對準矽化製程包含：
一第一退火製程以形成一金屬矽化物；
選擇性地蝕刻未經反應的金屬；以及
可選用地進行一第二退火。
25. 如請求項24所述之方法，其中該第一退火製程係在大約300°C到約600°C的溫度下於氫、氬、氮氣或其他形成氣體中進行。

26. 如請求項24所述之方法，其中該第一退火製程係在大約600°C到約800°C的溫度下於氦氣、氬氣、氮氣或其他形成氣體中進行。

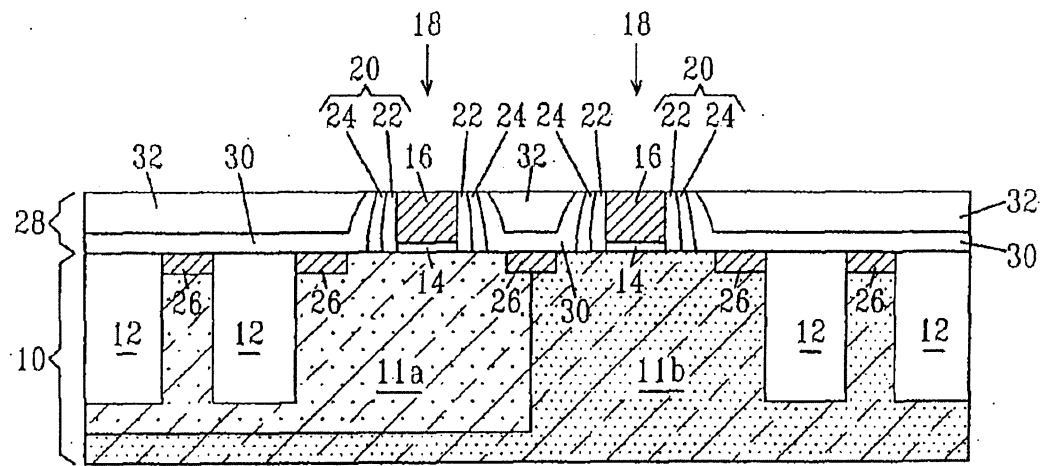


圖 1

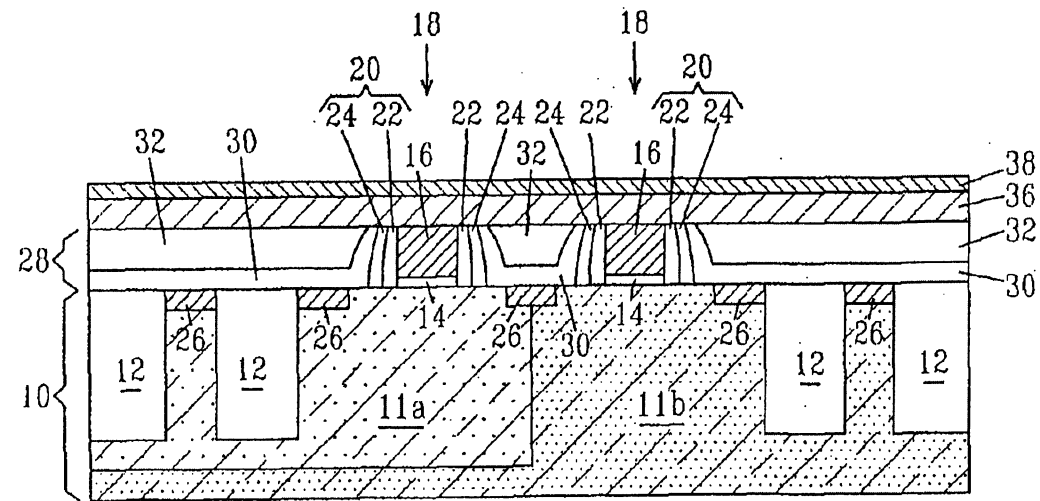


圖 2



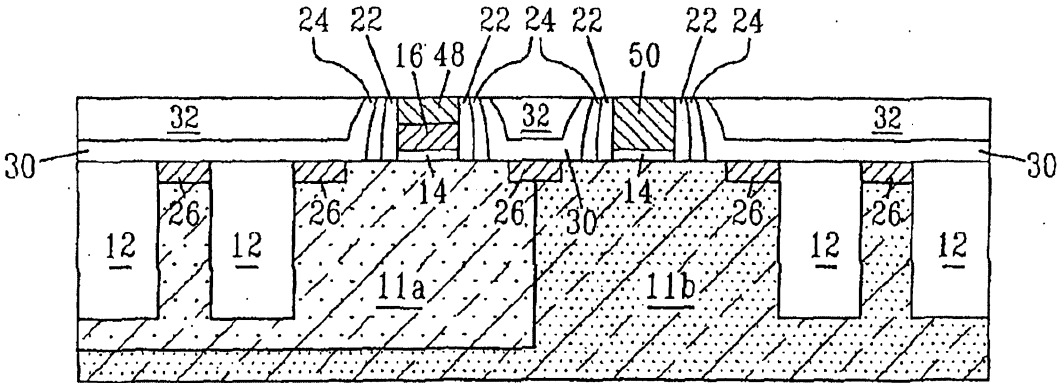


圖 5

七、指定代表圖：

(一)本案指定代表圖為：圖 4。

(二)本代表圖之元件符號簡單說明：

10	半導體基板	11a	第一摻雜區
11b	第二摻雜區	12	隔離區域
14	閘極介電層	16	多晶矽層
26	源極/汲極接觸	28	堆疊
30	第一介電層	32	第二介電層
36	第一含金屬層	38	第一帽蓋層
42	第二雙層	44	第二含金屬層
46	第二帽蓋層		

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：