



(12)发明专利

(10)授权公告号 CN 104679935 B

(45)授权公告日 2018.02.16

(21)申请号 201410684986.9

(51)Int.Cl.

(22)申请日 2014.11.25

G06F 17/50(2006.01)

(65)同一申请的已公布的文献号

H01L 27/02(2006.01)

申请公布号 CN 104679935 A

(56)对比文件

(43)申请公布日 2015.06.03

US 2006214307 A1, 2006.09.28,

(30)优先权数据

US 2008104554 A1, 2008.05.01,

61/911,021 2013.12.03 US
14/535,328 2014.11.07 US

JP 特开2001-313339 A, 2001.11.09,

US 2005028123 A1, 2005.02.03,

审查员 刘洛

(73)专利权人 联发科技股份有限公司

地址 中国台湾新竹科学工业园区新竹市笃
行一路一号

(72)发明人 方家伟 黄升佑

(74)专利代理机构 北京万慧达知识产权代理有
限公司 11111

代理人 张金芝 代峰

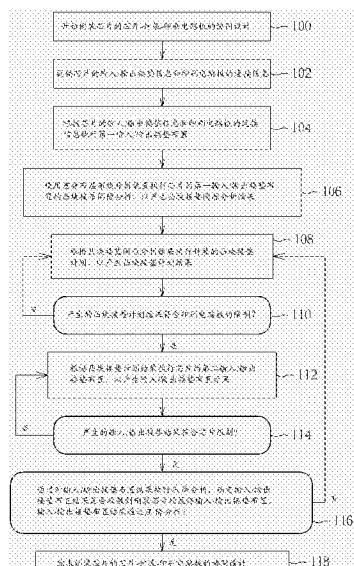
权利要求书3页 说明书13页 附图12页

(54)发明名称

倒装芯片封装协同设计方法

(57)摘要

本发明公开一种倒装芯片封装协同设计方法。倒装芯片封装协同设计方法包括：提供所述芯片的输入/输出接垫信息和印刷电路板的连接信息；根据所述芯片的所述输入/输出接垫信息和所述印刷电路板的所述连接信息执行第一输入/输出接垫布置；使用重分布层布线分析装置执行所述芯片的所述第一输入/输出接垫布置的凸块接垫间隙分析，以产生凸块接垫间隙分析结果；根据所述凸块接垫间隙分析结果执行封装的凸块接垫计划，以产生凸块接垫计划结果；以及根据所述凸块接垫计划结果执行所述芯片的第二输入/输出接垫布置，以产生输入/输出接垫布置结果。本发明所公开的倒装芯片封装协同设计方法，可以提供双向的倒装芯片系统设计流程。



1. 一种倒装芯片封装协同设计方法,其特征在于,所述倒装芯片封装协同设计方法包括以下步骤:

提供所述芯片的输入/输出接垫信息和印刷电路板的连接信息;

根据所述芯片的所述输入/输出接垫信息和所述印刷电路板的所述连接信息执行第一输入/输出接垫布置;

使用重分布层布线分析装置执行所述芯片的所述第一输入/输出接垫布置的凸块接垫间隙分析,以产生凸块接垫间隙分析结果;

根据所述凸块接垫间隙分析结果执行封装的凸块接垫计划,以产生凸块接垫计划结果;以及

根据所述凸块接垫计划结果执行所述芯片的第二输入/输出接垫布置,以产生输入/输出接垫布置结果。

2. 如权利要求1所述的倒装芯片封装协同设计方法,其特征在于,所述倒装芯片封装协同设计方法还包括:

提供所述芯片的重分布层布线信息。

3. 如权利要求2所述的倒装芯片封装协同设计方法,其特征在于,所述执行第一输入/输出接垫布置的步骤还根据所述芯片的所述重分布层布线信息。

4. 如权利要求1所述的倒装芯片封装协同设计方法,其特征在于,所述倒装芯片封装协同设计方法还包括:

提供所述芯片的电源域信息。

5. 如权利要求4所述的倒装芯片封装协同设计方法,其特征在于,所述执行第一输入/输出接垫布置的步骤还根据所述芯片的所述电源域信息。

6. 如权利要求4所述的倒装芯片封装协同设计方法,其特征在于,所述倒装芯片封装协同设计方法还包括:

使用压降分析装置执行所述芯片的多个电源域的凸块接垫计数/位置分析,以产生凸块接垫计数/位置分析结果。

7. 如权利要求6所述的倒装芯片封装协同设计方法,其特征在于,所述执行封装的凸块接垫计划的步骤,还根据所述凸块接垫计数/位置分析结果来执行。

8. 如权利要求1所述的倒装芯片封装协同设计方法,其特征在于,所述倒装芯片封装协同设计方法还包括:

在执行所述封装的所述凸块接垫计划之后,审查所述倒装芯片的所述印刷电路板的限制;

如果产生的所述凸块接垫计划结果符合所述印刷电路板的限制,保持产生的所述凸块接垫计划结果;以及

如果产生的所述凸块接垫计划结果不符合所述印刷电路板的限制,再次执行所述封装的所述凸块接垫计划。

9. 如权利要求1所述的倒装芯片封装协同设计方法,其特征在于,所述倒装芯片封装协同设计方法还包括:

在执行所述芯片的所述第二输入/输出接垫布置之后,审查所述倒装芯片的芯片限制;

如果产生的所述输入/输出接垫结果符合所述芯片限制,保持所述输入/输出接垫布置

结果;以及

如果产生的所述输入/输出接垫结果不符合所述芯片限制,再次执行所述芯片的所述输入/输出接垫布置。

10. 如权利要求1所述的倒装芯片封装协同设计方法,其特征在于,所述倒装芯片封装协同设计方法还包括:

通过对所述输入/输出接垫布置结果执行压降分析,确定所述输入/输出接垫布置结果是否收敛到所述倒装芯片的最终输入/输出接垫布置。

11. 如权利要求10所述的倒装芯片封装协同设计方法,其特征在于,所述倒装芯片封装协同设计方法还包括:

如果所述输入/输出接垫布置结果不能通过所述压降分析,再次执行所述封装的所述凸块接垫计划;以及

如果所述输入/输出接垫布置结果通过了所述压降分析,确定所述输入/输出接垫布置结果收敛到所述最终输入/输出接垫布置。

12. 如权利要求10所述的倒装芯片封装协同设计方法,其特征在于,所述倒装芯片封装协同设计方法还包括:

如果所述输入/输出接垫布置结果不能通过所述压降分析,再次使用所述重分布层布线分析装置执行所述芯片的所述第一输入/输出接垫布置的所述凸块接垫间隙分析;以及

如果所述输入/输出接垫布置结果通过了所述压降分析,确定所述输入/输出接垫布置结果收敛到所述最终输入/输出接垫布置。

13. 一种倒装芯片封装协同设计方法,其特征在于,所述倒装芯片封装协同设计方法包括以下步骤:

提供所述芯片的电源域信息和输入/输出接垫信息以及印刷电路板的连接信息;

根据所述芯片的所述电源域信息和所述输入/输出接垫信息以及所述印刷电路板的所述连接信息执行第一输入/输出接垫布置;

使用压降分析装置执行所述芯片的多个电源域的凸块接垫计数/位置分析,以产生凸块接垫计数/位置分析结果;

根据所述凸块接垫计数/位置分析结果执行封装的凸块接垫计划,以产生凸块接垫计划结果;以及

根据所述凸块接垫计划结果执行所述芯片的第二输入/输出接垫布置,以产生输入/输出接垫布置结果。

14. 如权利要求13所述的倒装芯片封装协同设计方法,其特征在于,所述倒装芯片封装协同设计方法还包括:

提供所述芯片的重分布层布线信息。

15. 如权利要求14所述的倒装芯片封装协同设计方法,其特征在于,所述执行第一输入/输出接垫布置的步骤还根据所述芯片的所述重分布层布线信息。

16. 如权利要求13所述的倒装芯片封装协同设计方法,其特征在于,所述执行封装的凸块接垫计划的步骤,还根据所述芯片的所述凸块接垫计数/位置分析结果来执行。

17. 如权利要求13所述的倒装芯片封装协同设计方法,其特征在于,所述倒装芯片封装协同设计方法还包括:

在执行所述封装的所述凸块接垫计划之后,审查所述倒装芯片的所述印刷电路板的限制;

如果产生的所述凸块接垫计划结果符合所述印刷电路板的限制,保持产生的所述凸块接垫计划结果;以及

如果产生的所述凸块接垫计划结果不符合所述印刷电路板的限制,再次执行所述封装的所述凸块接垫计划。

18. 如权利要求13所述的倒装芯片封装协同设计方法,其特征在于,所述倒装芯片封装协同设计方法还包括:

在执行所述芯片的所述第二输入/输出接垫布置之后,审查所述倒装芯片的芯片限制;

如果产生的所述输入/输出接垫结果符合所述芯片限制,保持所述输入/输出接垫布置结果;以及

如果产生的所述输入/输出接垫结果不符合所述芯片限制,再次执行所述芯片的所述输入/输出接垫布置。

19. 如权利要求13所述的倒装芯片封装协同设计方法,其特征在于,所述倒装芯片封装协同设计方法还包括:

通过对所述输入/输出接垫布置结果执行压降分析,确定所述输入/输出接垫布置结果是否收敛到所述倒装芯片的最终输入/输出接垫布置。

20. 如权利要求19所述的倒装芯片封装协同设计方法,其特征在于,所述倒装芯片封装协同设计方法还包括:

如果所述输入/输出接垫布置结果不能通过所述压降分析,再次执行所述封装的所述凸块接垫计划;以及

如果所述输入/输出接垫布置结果通过了所述压降分析,确定所述输入/输出接垫布置结果收敛到所述最终输入/输出接垫布置。

21. 如权利要求19所述的倒装芯片封装协同设计方法,其特征在于,所述倒装芯片封装协同设计方法还包括:

如果所述输入/输出接垫布置结果不能通过所述压降分析,再次使用所述压降分析装置执行所述芯片的所述多个电源域的所述凸块接垫计数/位置分析;以及

如果所述输入/输出接垫布置结果通过了所述压降分析,确定所述输入/输出接垫布置结果收敛到所述最终输入/输出接垫布置。

倒装芯片封装协同设计方法

技术领域

[0001] 本发明有关于一种芯片封装设计方法,特别是有关于一种倒装芯片封装协同设计(flip chip packaging co-design)方法。

背景技术

[0002] 使用规则的凸块图案(regular bump patterns)以进行倒装芯片协同设计的传统方法已被公开,并且在各种文献中都有所讨论,例如美国专利US7117467。然而,传统的方法并不考虑输入/输出(I/O)焊垫和/或重分布层(redistribution layer, RDL)的要求,由于芯片的输入/输出信息、重分布层信息、和/或电源域信息以及印刷电路版的连接信息没有预先提供,因此不能处理非均匀电源域以改善压降(IR drops)。

[0003] 因此,传统的方法需要更多的设计周期和更大的芯片尺寸,以及造成更严重的压降。

发明内容

[0004] 有鉴于此,本发明提供一种倒装芯片封装协同设计方法。

[0005] 依据本发明一实施方式,提供一种倒装芯片封装协同设计方法,包括:提供所述芯片的输入/输出接垫信息和印刷电路板的连接信息;根据所述芯片的所述输入/输出接垫信息和所述印刷电路板的所述连接信息执行第一输入/输出接垫布置;使用重分布层布线分析装置执行所述芯片的所述第一输入/输出接垫布置的凸块接垫间隙分析,以产生凸块接垫间隙分析结果;根据所述凸块接垫间隙分析结果执行封装的凸块接垫计划,以产生凸块接垫计划结果;以及根据所述凸块接垫计划结果执行所述芯片的第二输入/输出接垫布置,以产生输入/输出接垫布置结果。

[0006] 依据本发明另一实施方式,提供一种倒装芯片封装协同设计方法,包括:提供所述芯片的电源域信息和输入/输出接垫信息以及印刷电路板的连接信息;根据所述芯片的所述输入/输出接垫信息和所述输入/输出接垫信息以及所述印刷电路板的所述连接信息执行第一输入/输出接垫布置;使用压降分析装置执行所述芯片的多个电源域的凸块接垫计数/位置分析,以产生凸块接垫计数/位置分析结果;根据所述凸块接垫计数/位置分析结果执行封装的凸块接垫计划,以产生凸块接垫计划结果;以及根据所述凸块接垫计划结果执行所述芯片的第二输入/输出接垫布置,以产生输入/输出接垫布置结果。

[0007] 本发明所提供的倒装芯片封装协同设计方法,可以提供双向的倒装芯片系统设计流程,能够加快设计周期、提高设计质量以及降低设计成本。

[0008] 对于已经阅读后续由各附图及内容所显示的较佳实施方式的本领域的技术人员来说,本发明的各目的是明显的。

附图说明

[0009] 图1为根据本发明第一实施例的倒装芯片封装协同设计方法的流程图。

- [0010] 图2为根据本发明第二实施例的倒装芯片封装协同设计方法的流程图。
- [0011] 图3为根据本发明第三实施例的倒装芯片封装协同设计方法的流程图。
- [0012] 图4为根据本发明第四实施例的倒装芯片封装协同设计方法的流程图。
- [0013] 图5为根据本发明第五实施例的倒装芯片封装协同设计方法的流程图。
- [0014] 图6为根据本发明第六实施例的倒装芯片封装协同设计方法的流程图。
- [0015] 图7为根据本发明第七实施例的倒装芯片封装协同设计方法的流程图。
- [0016] 图8为根据本发明第八实施例的倒装芯片封装协同设计方法的流程图。
- [0017] 图9为根据本发明第九实施例的倒装芯片封装协同设计方法的流程图。
- [0018] 图10为根据本发明第十实施例的倒装芯片封装协同设计方法的流程图。
- [0019] 图11为根据本发明第十一实施例的倒装芯片封装协同设计方法的流程图。
- [0020] 图12为根据本发明第十二实施例的倒装芯片封装协同设计方法的流程图。

具体实施方式

[0021] 在权利要求书及说明书中使用了某些词汇来指称特定的组件。所属领域中的技术人员应可理解，硬件制造商可能会用不同的名词来称呼同样的组件。本权利要求书及说明书并不以名称的差异来作为区分组件的方式，而是以组件在功能上的差异来作为区分的准则。在权利要求书及说明书中所提及的「包括」为开放式的用语，故应解释成「包括但不限于」。另外，「耦接」一词在此包括任何直接及间接的电气连接手段。因此，若文中描述第一装置耦接于第二装置，则代表所述第一装置可直接电连接于所述第二装置，或通过其他装置或连接手段间接地电连接至所述第二装置。

[0022] 请参考图1，图1为根据本发明第一实施例的倒装芯片封装协同设计方法的流程图，其中倒装芯片应用于片上系统集成电路 (SOC integrated circuit)。如果可得到大致上相同的结果，则步骤不一定需要遵照图1所示的顺序来执行。根据本发明第一实施例的倒装芯片封装协同设计方法包括以下步骤：

[0023] 步骤100：开始倒装芯片的芯片-封装-印刷电路板 (chip-package-printed circuit board) 的协同设计。

[0024] 步骤102：提供芯片的输入/输出接垫信息和印刷电路板的连接信息。

[0025] 步骤104：根据芯片的输入/输出接垫信息和印刷电路板的连接信息执行第一输入/输出接垫布置。

[0026] 步骤106：使用重分布层布线分析装置执行芯片的第一输入/输出接垫布置的凸块接垫间隙分析，以产生凸块接垫间隙分析结果。

[0027] 步骤108：根据凸块接垫间隙分析结果执行封装的凸块接垫计划，以产生凸块接垫计划结果。

[0028] 步骤110：审查倒装芯片的印刷电路板的限制；如果产生的凸块接垫计划结果符合印刷电路板的限制，则保持产生的凸块接垫计划结果并跳至步骤112；以及如果产生的凸块接垫计划结果不符合印刷电路板的限制，则回到步骤108以再次执行封装的凸块接垫计划。

[0029] 步骤112：根据凸块接垫计划结果执行芯片的第二输入/输出接垫布置，以产生输入/输出接垫布置结果。

[0030] 步骤114：在执行芯片的第二输入/输出接垫布置之后，审查倒装芯片的芯片限制；

如果产生的输入/输出接垫结果符合芯片限制,则保持输入/输出接垫布置结果并跳至步骤116;以及如果产生的输入/输出接垫结果不符合芯片限制,则回到步骤112以再次执行芯片的输入/输出接垫布置。

[0031] 步骤116:通过对输入/输出接垫布置结果执行压降分析,确定输入/输出接垫布置结果是否收敛(converge)到倒装芯片的最终输入/输出接垫布置;如果输入/输出接垫布置结果通过了(pass)压降分析,则确定输入/输出接垫布置结果收敛到最终输入/输出接垫布置并跳至步骤118;如果输入/输出接垫布置结果不能通过压降分析,则回到步骤108以再次执行封装的凸块接垫计划。

[0032] 步骤118:结束倒装芯片的芯片-封装-印刷电路板的协同设计。

[0033] 简要总结来说,由于提前提供了芯片的输入/输出接垫信息和印刷电路板的连接信息,以及在封装设计之前就确定了输入/输出接垫布置的凸块间距,因此本发明的第一实施例可以提供双向的倒装芯片系统设计流程。与传统的倒装芯片协同设计方法相比,本发明的优势在于,提供了双向的倒装芯片协同设计流程,分析了芯片识别凸块间距,加快了设计周期(即更短的设计周期),提高了设计质量(即更优的压降),以及降低了设计成本(即更小的芯片尺寸)。值得注意的是,上述实施例仅为说明本发明,并非用以限定本发明。

[0034] 请参考图2,图2为根据本发明第二实施例的倒装芯片封装协同设计方法的流程图,其中倒装芯片应用于片上系统集成电路。如果可得到大致上相同的结果,则步骤不一定要遵照图2所示的顺序来执行。根据本发明第二实施例的倒装芯片封装协同设计方法包括以下步骤:

[0035] 步骤200:开始倒装芯片的芯片-封装-印刷电路板的协同设计。

[0036] 步骤202:提供芯片的输入/输出接垫信息和印刷电路板的连接信息。

[0037] 步骤204:根据芯片的输入/输出接垫信息和印刷电路板的连接信息执行第一输入/输出接垫布置。

[0038] 步骤206:使用重分布层布线分析装置执行芯片的第一输入/输出接垫布置的凸块接垫间隙分析,以产生凸块接垫间隙分析结果。

[0039] 步骤208:根据凸块接垫间隙分析结果执行封装的凸块接垫计划,以产生凸块接垫计划结果。

[0040] 步骤210:审查倒装芯片的印刷电路板的限制;如果产生的凸块接垫计划结果符合印刷电路板的限制,则保持产生的凸块接垫计划结果并跳至步骤212;以及如果产生的凸块接垫计划结果不符合印刷电路板的限制,则回到步骤208以再次执行封装的凸块接垫计划。

[0041] 步骤212:根据凸块接垫计划结果执行芯片的第二输入/输出接垫布置,以产生输入/输出接垫布置结果。

[0042] 步骤214:在执行芯片的第二输入/输出接垫布置之后,审查倒装芯片的芯片限制;如果产生的输入/输出接垫结果符合芯片限制,则保持输入/输出接垫布置结果并跳至步骤216;以及如果产生的输入/输出接垫结果不符合芯片限制,则回到步骤212以再次执行芯片的输入/输出接垫布置。

[0043] 步骤216:通过对输入/输出接垫布置结果执行压降分析,确定输入/输出接垫布置结果是否收敛到倒装芯片的最终输入/输出接垫布置;如果输入/输出接垫布置结果通过了压降分析,则确定输入/输出接垫布置结果收敛到最终输入/输出接垫布置并跳至步骤218;

如果输入/输出接垫布置结果不能通过压降分析，则回到步骤206以再次执行芯片的第一输入/输出接垫的凸块接垫间隙分析。

[0044] 步骤218:结束倒装芯片的芯片-封装-印刷电路板的协同设计。

[0045] 简要总结来说，由于提前提供了芯片的输入/输出接垫信息和印刷电路板的连接信息，以及在封装设计之前就确定了输入/输出接垫布置的凸块间距，因此本发明的第二实施例可以提供双向的倒装芯片系统设计流程。与传统的倒装芯片协同设计方法相比，本发明的优势在于，提供了双向的倒装芯片协同设计流程，分析了芯片识别凸块间距，加快了设计周期(即更短的设计周期)，提高了设计质量(即更优的压降)，以及降低了设计成本(即更小的芯片尺寸)。值得注意的是，上述实施例仅为说明本发明，并非用以限定本发明。

[0046] 请参考图3，图3为根据本发明第三实施例的倒装芯片封装协同设计方法的流程图，其中倒装芯片应用于片上系统集成电路。如果可得到大致上相同的结果，则步骤不一定要遵照图3所示的顺序来执行。根据本发明第三实施例的倒装芯片封装协同设计方法包括以下步骤：

[0047] 步骤300:开始倒装芯片的芯片-封装-印刷电路板的协同设计。

[0048] 步骤302:提供芯片的输入/输出接垫信息和重分布层布线信息以及印刷电路板的连接信息。

[0049] 步骤304:根据芯片的输入/输出接垫信息和重分布层布线信息以及印刷电路板的连接信息执行第一输入/输出接垫布置。

[0050] 步骤306:使用重分布层布线分析装置执行芯片的第一输入/输出接垫布置的凸块接垫间隙分析，以产生凸块接垫间隙分析结果。

[0051] 步骤308:根据凸块接垫间隙分析结果执行封装的凸块接垫计划，以产生凸块接垫计划结果。

[0052] 步骤310:审查倒装芯片的印刷电路板的限制；如果产生的凸块接垫计划结果符合印刷电路板的限制，则保持产生的凸块接垫计划结果并跳至步骤312；以及如果产生的凸块接垫计划结果不符合印刷电路板的限制，则回到步骤308以再次执行封装的凸块接垫计划。

[0053] 步骤312:根据凸块接垫计划结果执行芯片的第二输入/输出接垫布置，以产生输入/输出接垫布置结果。

[0054] 步骤314:在执行芯片的第二输入/输出接垫布置之后，审查倒装芯片的芯片限制；如果产生的输入/输出接垫结果符合芯片限制，则保持输入/输出接垫布置结果并跳至步骤316；以及如果产生的输入/输出接垫结果不符合芯片限制，则回到步骤312以再次执行芯片的输入/输出接垫布置。

[0055] 步骤316:通过对输入/输出接垫布置结果执行压降分析，确定输入/输出接垫布置结果是否收敛到倒装芯片的最终输入/输出接垫布置；如果输入/输出接垫布置结果通过了压降分析，则确定输入/输出接垫布置结果收敛到最终输入/输出接垫布置并跳至步骤318；如果输入/输出接垫布置结果不能通过压降分析，则回到步骤308以再次执行封装的凸块接垫计划。

[0056] 步骤318:结束倒装芯片的芯片-封装-印刷电路板的协同设计。

[0057] 简要总结来说，由于提前提供了芯片的输入/输出接垫信息和重分布层布线信息以及印刷电路板的连接信息，以及在封装设计之前就确定了输入/输出接垫布置的凸块间

距和重分布层的布线,因此本发明的第三实施例可以提供双向的倒装芯片系统设计流程。与传统的倒装芯片协同设计方法相比,本发明的优势在于,提供了双向的倒装芯片协同设计流程,分析了芯片识别凸块间距,加快了设计周期(即更短的设计周期),提高了设计质量(即更优的压降),以及降低了设计成本(即更小的芯片尺寸)。值得注意的是,上述实施例仅为说明本发明,并非用以限定本发明。

[0058] 请参考图4,图4为根据本发明第四实施例的倒装芯片封装协同设计方法的流程图,其中倒装芯片应用于片上系统集成电路。如果可得到大致上相同的结果,则步骤不一定要遵照图4所示的顺序来执行。根据本发明第四实施例的倒装芯片封装协同设计方法包括以下步骤:

[0059] 步骤400:开始倒装芯片的芯片-封装-印刷电路板的协同设计。

[0060] 步骤402:提供芯片的输入/输出接垫信息和重分布层布线信息以及印刷电路板的连接信息。

[0061] 步骤404:根据芯片的输入/输出接垫信息和重分布层布线信息以及印刷电路板的连接信息执行第一输入/输出接垫布置。

[0062] 步骤406:使用重分布层布线分析装置执行芯片的第一输入/输出接垫布置的凸块接垫间隙分析,以产生凸块接垫间隙分析结果。

[0063] 步骤408:根据凸块接垫间隙分析结果执行封装的凸块接垫计划,以产生凸块接垫计划结果。

[0064] 步骤410:审查倒装芯片的印刷电路板的限制;如果产生的凸块接垫计划结果符合印刷电路板的限制,则保持产生的凸块接垫计划结果并跳至步骤412;以及如果产生的凸块接垫计划结果不符合印刷电路板的限制,则回到步骤408以再次执行封装的凸块接垫计划。

[0065] 步骤412:根据凸块接垫计划结果执行芯片的第二输入/输出接垫布置,以产生输入/输出接垫布置结果。

[0066] 步骤414:在执行芯片的第二输入/输出接垫布置之后,审查倒装芯片的芯片限制;如果产生的输入/输出接垫结果符合芯片限制,则保持输入/输出接垫布置结果并跳至步骤416;以及如果产生的输入/输出接垫结果不符合芯片限制,则回到步骤412以再次执行芯片的输入/输出接垫布置。

[0067] 步骤416:通过对输入/输出接垫布置结果执行压降分析,确定输入/输出接垫布置结果是否收敛到倒装芯片的最终输入/输出接垫布置;如果输入/输出接垫布置结果通过了压降分析,则确定输入/输出接垫布置结果收敛到最终输入/输出接垫布置并跳至步骤418;如果输入/输出接垫布置结果不能通过压降分析,则回到步骤406以再次执行芯片的第一输入/输出接垫的凸块接垫间隙分析。

[0068] 步骤418:结束倒装芯片的芯片-封装-印刷电路板的协同设计。

[0069] 简要总结来说,由于提前提供了芯片的输入/输出接垫信息和重分布层布线信息以及印刷电路板的连接信息,以及在封装设计之前就确定了输入/输出接垫布置的凸块间距和重分布层的布线,因此本发明的第四实施例可以提供双向的倒装芯片系统设计流程。与传统的倒装芯片协同设计方法相比,本发明的优势在于,提供了双向的倒装芯片协同设计流程,分析了芯片识别凸块间距,加快了设计周期(即更短的设计周期),提高了设计质量(即更优的压降),以及降低了设计成本(即更小的芯片尺寸)。值得注意的是,上述实施例仅

为说明本发明，并非用以限定本发明。

[0070] 请参考图5，图5为根据本发明第五实施例的倒装芯片封装协同设计方法的流程图，其中倒装芯片应用于片上系统集成电路。如果可得到大致上相同的结果，则步骤不一定遵照图5所示的顺序来执行。根据本发明第五实施例的倒装芯片封装协同设计方法包括以下步骤：

[0071] 步骤500：开始倒装芯片的芯片-封装-印刷电路板的协同设计。

[0072] 步骤502：提供芯片的输入/输出接垫信息和电源域信息以及印刷电路板的连接信息。

[0073] 步骤504：根据芯片的输入/输出接垫信息和电源域信息以及印刷电路板的连接信息执行第一输入/输出接垫布置。

[0074] 步骤506：使用重分布层布线分析装置执行芯片的第一输入/输出接垫布置的凸块接垫间隙分析，以产生凸块接垫间隙分析结果，以及使用压降分析装置执行芯片的多个电源域的凸块接垫计数/位置分析，以产生凸块接垫计数/位置分析结果。

[0075] 步骤508：根据凸块接垫间隙分析结果和凸块接垫计数/位置分析结果执行封装的凸块接垫计划，以产生凸块接垫计划结果。

[0076] 步骤510：审查倒装芯片的印刷电路板的限制；如果产生的凸块接垫计划结果符合印刷电路板的限制，则保持产生的凸块接垫计划结果并跳至步骤512；以及如果产生的凸块接垫计划结果不符合印刷电路板的限制，则回到步骤508以再次执行封装的凸块接垫计划。

[0077] 步骤512：根据凸块接垫计划结果执行芯片的第二输入/输出接垫布置，以产生输入/输出接垫布置结果。

[0078] 步骤514：在执行芯片的第二输入/输出接垫布置之后，审查倒装芯片的芯片限制；如果产生的输入/输出接垫结果符合芯片限制，则保持输入/输出接垫布置结果并跳至步骤516；以及如果产生的输入/输出接垫结果不符合芯片限制，则回到步骤512以再次执行芯片的输入/输出接垫布置。

[0079] 步骤516：通过对输入/输出接垫布置结果执行压降分析，确定输入/输出接垫布置结果是否收敛到倒装芯片的最终输入/输出接垫布置；如果输入/输出接垫布置结果通过了压降分析，则确定输入/输出接垫布置结果收敛到最终输入/输出接垫布置并跳至步骤518；如果输入/输出接垫布置结果不能通过压降分析，则回到步骤508以再次执行封装的凸块接垫计划。

[0080] 步骤518：结束倒装芯片的芯片-封装-印刷电路板的协同设计。

[0081] 简要总结来说，由于提前提供了芯片的输入/输出接垫信息和电源域信息以及印刷电路板的连接信息，以及在封装设计之前就确定了输入/输出接垫布置的凸块间距、重分布层的布线以及需要用于压降的凸块接垫计数/位置，因此本发明的第五实施例可以提供双向的倒装芯片系统设计流程。与传统的倒装芯片协同设计方法相比，本发明的优势在于，提供了双向的倒装芯片协同设计流程，分析了芯片识别凸块间距，加快了设计周期（即更短的设计周期），提高了设计质量（即更优的压降），以及降低了设计成本（即更小的芯片尺寸）。

[0082] 请参考图6，图6为根据本发明第六实施例的倒装芯片封装协同设计方法的流程图，其中倒装芯片应用于片上系统集成电路。如果可得到大致上相同的结果，则步骤不一定

要遵照图6所示的顺序来执行。根据本发明第六实施例的倒装芯片封装协同设计方法包括以下步骤：

- [0083] 步骤600：开始倒装芯片的芯片-封装-印刷电路板的协同设计。
- [0084] 步骤602：提供芯片的输入/输出接垫信息和电源域信息以及印刷电路板的连接信息。
- [0085] 步骤604：根据芯片的输入/输出接垫信息和电源域信息以及印刷电路板的连接信息执行第一输入/输出接垫布置。
- [0086] 步骤606：使用重分布层布线分析装置执行芯片的第一输入/输出接垫布置的凸块接垫间隙分析，以产生凸块接垫间隙分析结果，以及使用压降分析装置执行芯片的多个电源域的凸块接垫计数/位置分析，以产生凸块接垫计数/位置分析结果。
- [0087] 步骤608：根据凸块接垫间隙分析结果和凸块接垫计数/位置分析结果执行封装的凸块接垫计划，以产生凸块接垫计划结果。
- [0088] 步骤610：审查倒装芯片的印刷电路板的限制；如果产生的凸块接垫计划结果符合印刷电路板的限制，则保持产生的凸块接垫计划结果并跳至步骤612；以及如果产生的凸块接垫计划结果不符合印刷电路板的限制，则回到步骤608以再次执行封装的凸块接垫计划。
- [0089] 步骤612：根据凸块接垫计划结果执行芯片的第二输入/输出接垫布置，以产生输入/输出接垫布置结果。
- [0090] 步骤614：在执行芯片的第二输入/输出接垫布置之后，审查倒装芯片的芯片限制；如果产生的输入/输出接垫结果符合芯片限制，则保持输入/输出接垫布置结果并跳至步骤616；以及如果产生的输入/输出接垫结果不符合芯片限制，则回到步骤612以再次执行芯片的输入/输出接垫布置。
- [0091] 步骤616：通过对输入/输出接垫布置结果执行压降分析，确定输入/输出接垫布置结果是否收敛到倒装芯片的最终输入/输出接垫布置；如果输入/输出接垫布置结果通过了压降分析，则确定输入/输出接垫布置结果收敛到最终输入/输出接垫布置并跳至步骤618；如果输入/输出接垫布置结果不能通过压降分析，则回到步骤606以再次执行芯片的第一输入/输出接垫的凸块接垫间隙分析和/或凸块接垫计数/位置分析。
- [0092] 步骤618：结束倒装芯片的芯片-封装-印刷电路板的协同设计。
- [0093] 简要总结来说，由于提前提供了芯片的输入/输出接垫信息和电源域信息以及印刷电路板的连接信息，以及在封装设计之前就确定了输入/输出接垫布置的凸块间距、重分布层的布线以及需要用于压降的凸块接垫计数/位置，因此本发明的第六实施例可以提供双向的倒装芯片系统设计流程。与传统的倒装芯片协同设计方法相比，本发明的优势在于，提供了双向的倒装芯片协同设计流程，分析了芯片识别凸块间距，加快了设计周期(即更短的设计周期)，提高了设计质量(即更优的压降)，以及降低了设计成本(即更小的芯片尺寸)。
- [0094] 请参考图7，图7为根据本发明第七实施例的倒装芯片封装协同设计方法的流程图，其中倒装芯片应用于片上系统集成电路。如果可得到大致上相同的结果，则步骤不一定要遵照图7所示的顺序来执行。根据本发明第七实施例的倒装芯片封装协同设计方法包括以下步骤：
- [0095] 步骤700：开始倒装芯片的芯片-封装-印刷电路板的协同设计。

[0096] 步骤702:提供芯片的输入/输出接垫信息、重分布层布线信息和电源域信息以及印刷电路板的连接信息。

[0097] 步骤704:根据芯片的输入/输出接垫信息、重分布层布线信息和电源域信息以及印刷电路板的连接信息执行第一输入/输出接垫布置。

[0098] 步骤706:使用重分布层布线分析装置执行芯片的第一输入/输出接垫布置的凸块接垫间隙分析,以产生凸块接垫间隙分析结果,以及使用压降分析装置执行芯片的多个电源域的凸块接垫计数/位置分析,以产生凸块接垫计数/位置分析结果。

[0099] 步骤708:根据凸块接垫间隙分析结果和凸块接垫计数/位置分析结果执行封装的凸块接垫计划,以产生凸块接垫计划结果。

[0100] 步骤710:审查倒装芯片的印刷电路板的限制;如果产生的凸块接垫计划结果符合印刷电路板的限制,则保持产生的凸块接垫计划结果并跳至步骤712;以及如果产生的凸块接垫计划结果不符合印刷电路板的限制,则回到步骤708以再次执行封装的凸块接垫计划。

[0101] 步骤712:根据凸块接垫计划结果执行芯片的第二输入/输出接垫布置,以产生输入/输出接垫布置结果。

[0102] 步骤714:在执行芯片的第二输入/输出接垫布置之后,审查倒装芯片的芯片限制;如果产生的输入/输出接垫结果符合芯片限制,则保持输入/输出接垫布置结果并跳至步骤716;以及如果产生的输入/输出接垫结果不符合芯片限制,则回到步骤712以再次执行芯片的输入/输出接垫布置。

[0103] 步骤716:通过对输入/输出接垫布置结果执行压降分析,确定输入/输出接垫布置结果是否收敛到倒装芯片的最终输入/输出接垫布置;如果输入/输出接垫布置结果通过了压降分析,则确定输入/输出接垫布置结果收敛到最终输入/输出接垫布置并跳至步骤718;如果输入/输出接垫布置结果不能通过压降分析,则回到步骤708以再次执行封装的凸块接垫计划。

[0104] 步骤718:结束倒装芯片的芯片-封装-印刷电路板的协同设计。

[0105] 简要总结来说,由于提前提供了芯片的输入/输出接垫信息、重分布层布线信息和电源域信息以及印刷电路板的连接信息,以及在封装设计之前就确定了输入/输出接垫布置的凸块间距、重分布层的布线以及需要用于压降的凸块接垫计数/位置,因此本发明的第七实施例可以提供双向的倒装芯片系统设计流程。与传统的倒装芯片协同设计方法相比,本发明的优势在于,提供了双向的倒装芯片协同设计流程,分析了芯片识别凸块间距,加快了设计周期(即更短的设计周期),提高了设计质量(即更优的压降),以及降低了设计成本(即更小的芯片尺寸)。

[0106] 请参考图8,图8为根据本发明第八实施例的倒装芯片封装协同设计方法的流程图,其中倒装芯片应用于片上系统集成电路。如果可得到大致上相同的结果,则步骤不一定要遵照图8所示的顺序来执行。根据本发明第八实施例的倒装芯片封装协同设计方法包括以下步骤:

[0107] 步骤800:开始倒装芯片的芯片-封装-印刷电路板的协同设计。

[0108] 步骤802:提供芯片的输入/输出接垫信息、重分布层布线信息和电源域信息以及印刷电路板的连接信息。

[0109] 步骤804:根据芯片的输入/输出接垫信息、重分布层布线信息和电源域信息以及

印刷电路板的连接信息执行第一输入/输出接垫布置。

[0110] 步骤806:使用重分布层布线分析装置执行芯片的第一输入/输出接垫布置的凸块接垫间隙分析,以产生凸块接垫间隙分析结果,以及使用压降分析装置执行芯片的多个电源域的凸块接垫计数/位置分析,以产生凸块接垫计数/位置分析结果。

[0111] 步骤808:根据凸块接垫间隙分析结果和凸块接垫计数/位置分析结果执行封装的凸块接垫计划,以产生凸块接垫计划结果。

[0112] 步骤810:审查倒装芯片的印刷电路板的限制;如果产生的凸块接垫计划结果符合印刷电路板的限制,则保持产生的凸块接垫计划结果并跳至步骤812;以及如果产生的凸块接垫计划结果不符合印刷电路板的限制,则回到步骤808以再次执行封装的凸块接垫计划。

[0113] 步骤812:根据凸块接垫计划结果执行芯片的第二输入/输出接垫布置,以产生输入/输出接垫布置结果。

[0114] 步骤814:在执行芯片的第二输入/输出接垫布置之后,审查倒装芯片的芯片限制;如果产生的输入/输出接垫结果符合芯片限制,则保持输入/输出接垫布置结果并跳至步骤816;以及如果产生的输入/输出接垫结果不符合芯片限制,则回到步骤812以再次执行芯片的输入/输出接垫布置。

[0115] 步骤816:通过对输入/输出接垫布置结果执行压降分析,确定输入/输出接垫布置结果是否收敛到倒装芯片的最终输入/输出接垫布置;如果输入/输出接垫布置结果通过了压降分析,则确定输入/输出接垫布置结果收敛到最终输入/输出接垫布置并跳至步骤818;如果输入/输出接垫布置结果不能通过压降分析,则回到步骤806以再次执行芯片的第一输入/输出接垫的凸块接垫间隙分析和/或凸块接垫计数/位置分析。

[0116] 步骤818:结束倒装芯片的芯片-封装-印刷电路板的协同设计。

[0117] 简要总结来说,由于提前提供了芯片的输入/输出接垫信息、重分布层布线信息和电源域信息,以及在封装设计之前就确定了输入/输出接垫布置的凸块间距、重分布层的布线以及需要用于压降的凸块接垫计数/位置,因此本发明的第八实施例可以提供双向的倒装芯片系统设计流程。与传统的倒装芯片协同设计方法相比,本发明的优势在于,提供了双向的倒装芯片协同设计流程,分析了芯片识别凸块间距,加快了设计周期(即更短的设计周期),提高了设计质量(即更优的压降),以及降低了设计成本(即更小的芯片尺寸)。

[0118] 请参考图9,图9为根据本发明第九实施例的倒装芯片封装协同设计方法的流程图,其中倒装芯片应用于片上系统集成电路。如果可得到大致上相同的结果,则步骤不一定要遵照图9所示的顺序来执行。根据本发明第九实施例的倒装芯片封装协同设计方法包括以下步骤:

[0119] 步骤900:开始倒装芯片的芯片-封装-印刷电路板的协同设计。

[0120] 步骤902:提供芯片的电源域信息以及印刷电路板的连接信息。

[0121] 步骤904:根据芯片的电源域信息以及印刷电路板的连接信息执行第一输入/输出接垫布置。

[0122] 步骤906:使用压降分析装置执行芯片的多个电源域的凸块接垫计数/位置分析,以产生凸块接垫计数/位置分析结果。

[0123] 步骤908:根据凸块接垫计数/位置分析结果执行封装的凸块接垫计划,以产生凸块接垫计划结果。

[0124] 步骤910:审查倒装芯片的印刷电路板的限制;如果产生的凸块接垫计划结果符合印刷电路板的限制,则保持产生的凸块接垫计划结果并跳至步骤912;以及如果产生的凸块接垫计划结果不符合印刷电路板的限制,则回到步骤908以再次执行封装的凸块接垫计划。

[0125] 步骤912:根据凸块接垫计划结果执行芯片的第二输入/输出接垫布置,以产生输入/输出接垫布置结果。

[0126] 步骤914:在执行芯片的第二输入/输出接垫布置之后,审查倒装芯片的芯片限制;如果产生的输入/输出接垫结果符合芯片限制,则保持输入/输出接垫布置结果并跳至步骤916;以及如果产生的输入/输出接垫结果不符合芯片限制,则回到步骤912以再次执行芯片的输入/输出接垫布置。

[0127] 步骤916:通过对输入/输出接垫布置结果执行压降分析,确定输入/输出接垫布置结果是否收敛到倒装芯片的最终输入/输出接垫布置;如果输入/输出接垫布置结果通过了压降分析,则确定输入/输出接垫布置结果收敛到最终输入/输出接垫布置并跳至步骤918;如果输入/输出接垫布置结果不能通过压降分析,则回到步骤908以再次执行封装的凸块接垫计划。

[0128] 步骤918:结束倒装芯片的芯片-封装-印刷电路板的协同设计。

[0129] 简要总结来说,由于提前提供了芯片的电源域信息以及印刷电路板的连接信息以及在封装设计之前就确定了需要用于压降的凸块接垫计数/位置,因此本发明的第九实施例可以提供双向的倒装芯片系统设计流程。与传统的倒装芯片协同设计方法相比,本发明的优势在于,提供了双向的倒装芯片协同设计流程,分析了芯片识别凸块间距,加快了设计周期(即更短的设计周期),提高了设计质量(即更优的压降),以及降低了设计成本(即更小的芯片尺寸)。

[0130] 请参考图10,图10为根据本发明第十实施例的倒装芯片封装协同设计方法的流程图,其中倒装芯片应用于片上系统集成电路。如果可得到大致上相同的结果,则步骤不一定要遵照图10所示的顺序来执行。根据本发明第十实施例的倒装芯片封装协同设计方法包括以下步骤:

[0131] 步骤1000:开始倒装芯片的芯片-封装-印刷电路板的协同设计。

[0132] 步骤1002:提供芯片的电源域信息以及印刷电路板的连接信息。

[0133] 步骤1004:根据芯片的电源域信息以及印刷电路板的连接信息执行第一输入/输出接垫布置。

[0134] 步骤1006:使用压降分析装置执行芯片的多个电源域的凸块接垫计数/位置分析,以产生凸块接垫计数/位置分析结果。

[0135] 步骤1008:根据凸块接垫计数/位置分析结果执行封装的凸块接垫计划,以产生凸块接垫计划结果。

[0136] 步骤1010:审查倒装芯片的印刷电路板的限制;如果产生的凸块接垫计划结果符合印刷电路板的限制,则保持产生的凸块接垫计划结果并跳至步骤1012;以及如果产生的凸块接垫计划结果不符合印刷电路板的限制,则回到步骤1008以再次执行封装的凸块接垫计划。

[0137] 步骤1012:根据凸块接垫计划结果执行芯片的第二输入/输出接垫布置,以产生输入/输出接垫布置结果。

[0138] 步骤1014:在执行芯片的第二输入/输出接垫布置之后,审查倒装芯片的芯片限制;如果产生的输入/输出接垫结果符合芯片限制,则保持输入/输出接垫布置结果并跳至步骤1016;以及如果产生的输入/输出接垫结果不符合芯片限制,则回到步骤1012以再次执行芯片的输入/输出接垫布置。

[0139] 步骤1016:通过对输入/输出接垫布置结果执行压降分析,确定输入/输出接垫布置结果是否收敛到倒装芯片的最终输入/输出接垫布置;如果输入/输出接垫布置结果通过了压降分析,则确定输入/输出接垫布置结果收敛到最终输入/输出接垫布置并跳至步骤1018;如果输入/输出接垫布置结果不能通过压降分析,则回到步骤1006以再次执行芯片的第一输入/输出接垫的凸块接垫计数/位置分析。

[0140] 步骤1018:结束倒装芯片的芯片-封装-印刷电路板的协同设计。

[0141] 简要总结来说,由于提前提供了芯片的电源域信息以及印刷电路板的连接信息以及在封装设计之前就确定了需要用于压降的凸块接垫计数/位置,因此本发明的第十实施例可以提供双向的倒装芯片系统设计流程。与传统的倒装芯片协同设计方法相比,本发明的优势在于,提供了双向的倒装芯片协同设计流程,分析了芯片识别凸块间距,加快了设计周期(即更短的设计周期),提高了设计质量(即更优的压降),以及降低了设计成本(即更小的芯片尺寸)。

[0142] 请参考图11,图11为根据本发明第十一实施例的倒装芯片封装协同设计方法的流程图,其中倒装芯片应用于片上系统集成电路。如果可得到大致上相同的结果,则步骤不一定遵照图11所示的顺序来执行。根据本发明第十一实施例的倒装芯片封装协同设计方法包括以下步骤:

[0143] 步骤1100:开始倒装芯片的芯片-封装-印刷电路板的协同设计。

[0144] 步骤1102:提供芯片的重分布层布线信息和电源域信息以及印刷电路板的连接信息。

[0145] 步骤1104:根据芯片的重分布层布线信息和电源域信息以及印刷电路板的连接信息执行第一输入/输出接垫布置。

[0146] 步骤1106:使用压降分析装置执行芯片的多个电源域的凸块接垫计数/位置分析,以产生凸块接垫计数/位置分析结果。

[0147] 步骤1108:根据凸块接垫计数/位置分析结果执行封装的凸块接垫计划,以产生凸块接垫计划结果。

[0148] 步骤1110:审查倒装芯片的印刷电路板的限制;如果产生的凸块接垫计划结果符合印刷电路板的限制,则保持产生的凸块接垫计划结果并跳至步骤1112;以及如果产生的凸块接垫计划结果不符合印刷电路板的限制,则回到步骤1108以再次执行封装的凸块接垫计划。

[0149] 步骤1112:根据凸块接垫计划结果执行芯片的第二输入/输出接垫布置,以产生输入/输出接垫布置结果。

[0150] 步骤1114:在执行芯片的第二输入/输出接垫布置之后,审查倒装芯片的芯片限制;如果产生的输入/输出接垫结果符合芯片限制,则保持输入/输出接垫布置结果并跳至步骤1116;以及如果产生的输入/输出接垫结果不符合芯片限制,则回到步骤1112以再次执行芯片的输入/输出接垫布置。

[0151] 步骤1116:通过对输入/输出接垫布置结果执行压降分析,确定输入/输出接垫布置结果是否收敛到倒装芯片的最终输入/输出接垫布置;如果输入/输出接垫布置结果通过了压降分析,则确定输入/输出接垫布置结果收敛到最终输入/输出接垫布置并跳至步骤1118;如果输入/输出接垫布置结果不能通过压降分析,则回到步骤1108以再次执行封装的凸块接垫计划。

[0152] 步骤1118:结束倒装芯片的芯片-封装-印刷电路板的协同设计。

[0153] 简要总结来说,由于提前提供了芯片的重分布层布线信息和电源域信息以及印刷电路板的连接信息以及在封装设计之前就确定了需要用于压降的凸块接垫计数/位置,因此本发明的第十一实施例可以提供双向的倒装芯片系统设计流程。与传统的倒装芯片协同设计方法相比,本发明的优势在于,提供了双向的倒装芯片协同设计流程,分析了芯片识别凸块间距,加快了设计周期(即更短的设计周期),提高了设计质量(即更优的压降),以及降低了设计成本(即更小的芯片尺寸)。

[0154] 请参考图12,图12为根据本发明第十二实施例的倒装芯片封装协同设计方法的流程图,其中倒装芯片应用于片上系统集成电路。如果可得到大致上相同的结果,则步骤不一定遵照图12所示的顺序来执行。根据本发明第十二实施例的倒装芯片封装协同设计方法包括以下步骤:

[0155] 步骤1200:开始倒装芯片的芯片-封装-印刷电路板的协同设计。

[0156] 步骤1202:提供芯片的重分布层布线信息和电源域信息以及印刷电路板的连接信息。

[0157] 步骤1204:根据芯片的重分布层布线信息和电源域信息以及印刷电路板的连接信息执行第一输入/输出接垫布置。

[0158] 步骤1206:使用压降分析装置执行芯片的多个电源域的凸块接垫计数/位置分析,以产生凸块接垫计数/位置分析结果。

[0159] 步骤1208:根据凸块接垫计数/位置分析结果执行封装的凸块接垫计划,以产生凸块接垫计划结果。

[0160] 步骤1210:审查倒装芯片的印刷电路板的限制;如果产生的凸块接垫计划结果符合印刷电路板的限制,则保持产生的凸块接垫计划结果并跳至步骤1212;以及如果产生的凸块接垫计划结果不符合印刷电路板的限制,则回到步骤1208以再次执行封装的凸块接垫计划。

[0161] 步骤1212:根据凸块接垫计划结果执行芯片的第二输入/输出接垫布置,以产生输入/输出接垫布置结果。

[0162] 步骤1214:在执行芯片的第二输入/输出接垫布置之后,审查倒装芯片的芯片限制;如果产生的输入/输出接垫结果符合芯片限制,则保持输入/输出接垫布置结果并跳至步骤1216;以及如果产生的输入/输出接垫结果不符合芯片限制,则回到步骤1212以再次执行芯片的输入/输出接垫布置。

[0163] 步骤1216:通过对输入/输出接垫布置结果执行压降分析,确定输入/输出接垫布置结果是否收敛到倒装芯片的最终输入/输出接垫布置;如果输入/输出接垫布置结果通过了压降分析,则确定输入/输出接垫布置结果收敛到最终输入/输出接垫布置并跳至步骤1218;如果输入/输出接垫布置结果不能通过压降分析,则回到步骤1206以再次执行芯片的

第一输入/输出接垫的凸块接垫计数/位置分析。

[0164] 步骤1218:结束倒装芯片的芯片-封装-印刷电路板的协同设计。

[0165] 简要总结来说,由于提前提供了芯片的重分布层布线信息和电源域信息以及印刷电路板的连接信息以及在封装设计之前就确定了需要用于压降的凸块接垫计数/位置,因此本发明的第十二实施例可以提供双向的倒装芯片系统设计流程。与传统的倒装芯片协同设计方法相比,本发明的优势在于,提供了双向的倒装芯片协同设计流程,分析了芯片识别凸块间距,加快了设计周期(即更短的设计周期),提高了设计质量(即更优的压降),以及降低了设计成本(即更小的芯片尺寸)。

[0166] 应当理解的是,在不脱离本发明的精神和范围内,本发明可以应用于任何集成电路设计,包括基于平台的(platform-based)集成电路设计等。平台是一个大尺寸、高复杂性的半导体装置,包括以下的一个或多个元件:(1)存储器;(2)晶体管的可定制阵列(customizable array);(3)知识产权块(intellectual property block);(4)处理器,例如,内嵌式标准产品(embedded standard product,ESP);(5)嵌入式编程逻辑块;(6)互连(interconnect)。例如,LSI逻辑公司(LSI Logic Corp.)开发的RapidChip就是一个平台的实例。另外,值得注意的是,根据本发明说明书的教导,计算机领域的技术人员容易理解,可以使用传统的通用数字计算机编程来实现本发明的前述实施例。软件领域的技术人员容易理解,熟练的程序员基于本发明的教导可以容易地准备合适的软件代码。

[0167] 此外,应当理解的是,本发明可以方便地采用软件包(software package)的形式实现。软件包可以是计算机程序产品,该计算机程序产品使用包含有存储的计算机代码的计算机可读存储介质,该存储的计算机代码用于编程计算机以执行本发明揭露的功能和步骤。计算机可读存储介质包括,但不限于,任何类型的常规的软盘、光盘、CD-ROM、磁光盘(magneto-optical disk)、ROM、RAM、EPROM、EEPROM、磁卡或光卡(magnetic or optical card),或任何其他合适的存储电指令的媒体。此外,应当理解的是,在本发明的方法流程中所揭露的步骤的特定顺序或层级仅作为例举。基于设计偏好,在本发明的范围内,在本发明的方法流程中所揭露的步骤的特定顺序或层级可以重新排布。

[0168] 简单总结而言,由于提前提供了芯片的输入/输出接垫信息、重分布层布线信息和/或电源域信息以及印刷电路板的连接信息,以及在封装设计之前就确定了输入/输出接垫布置的凸块间距、重分布层的布线和/或需要用于压降的凸块接垫计数/位置,因此本发明可以提供双向的倒装芯片系统设计流程。与传统的倒装芯片协同设计方法相比,本发明的优势在于,提供了双向的倒装芯片协同设计流程,分析了芯片识别凸块间距,加快了设计周期(即更短的设计周期),提高了设计质量(即更优的压降),以及降低了设计成本(即更小的芯片尺寸)。此外,可以确信的是,通过上述描述,本发明及相应的优势可以容易地理解。在不脱离本发明的精神和范围内或不牺牲所有材料的优点的前提下,很显然,各个组件的形式、结构和排列可以有多种变化。上文所述的形式仅作为本发明的一较佳实施例,而权利要求的意图为包含此类的变化。

[0169] 以上所述仅为本发明的较佳实施方式,凡依本发明权利要求所做的均等变化和修饰,均应属本发明的涵盖范围。

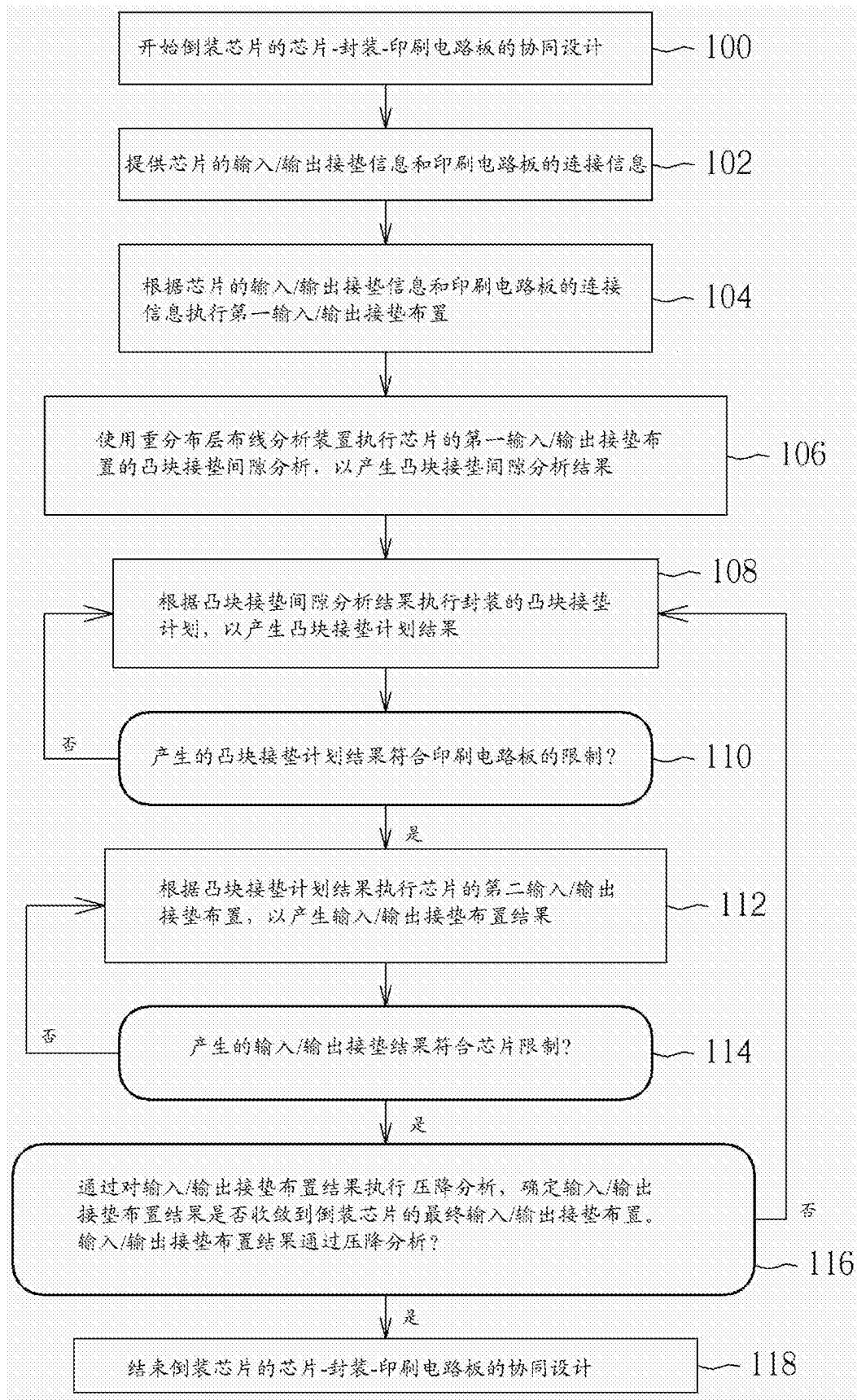


图1

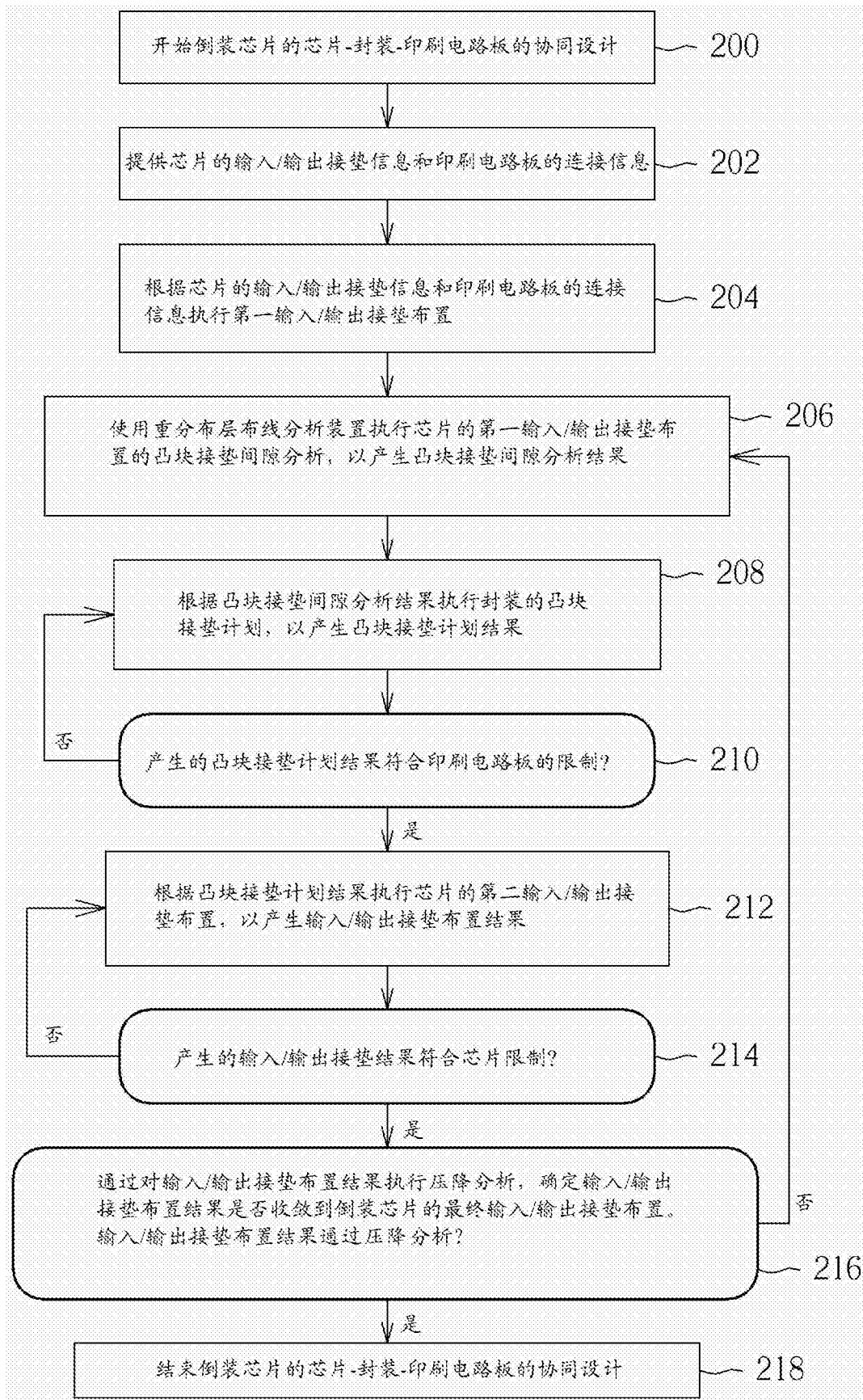


图2

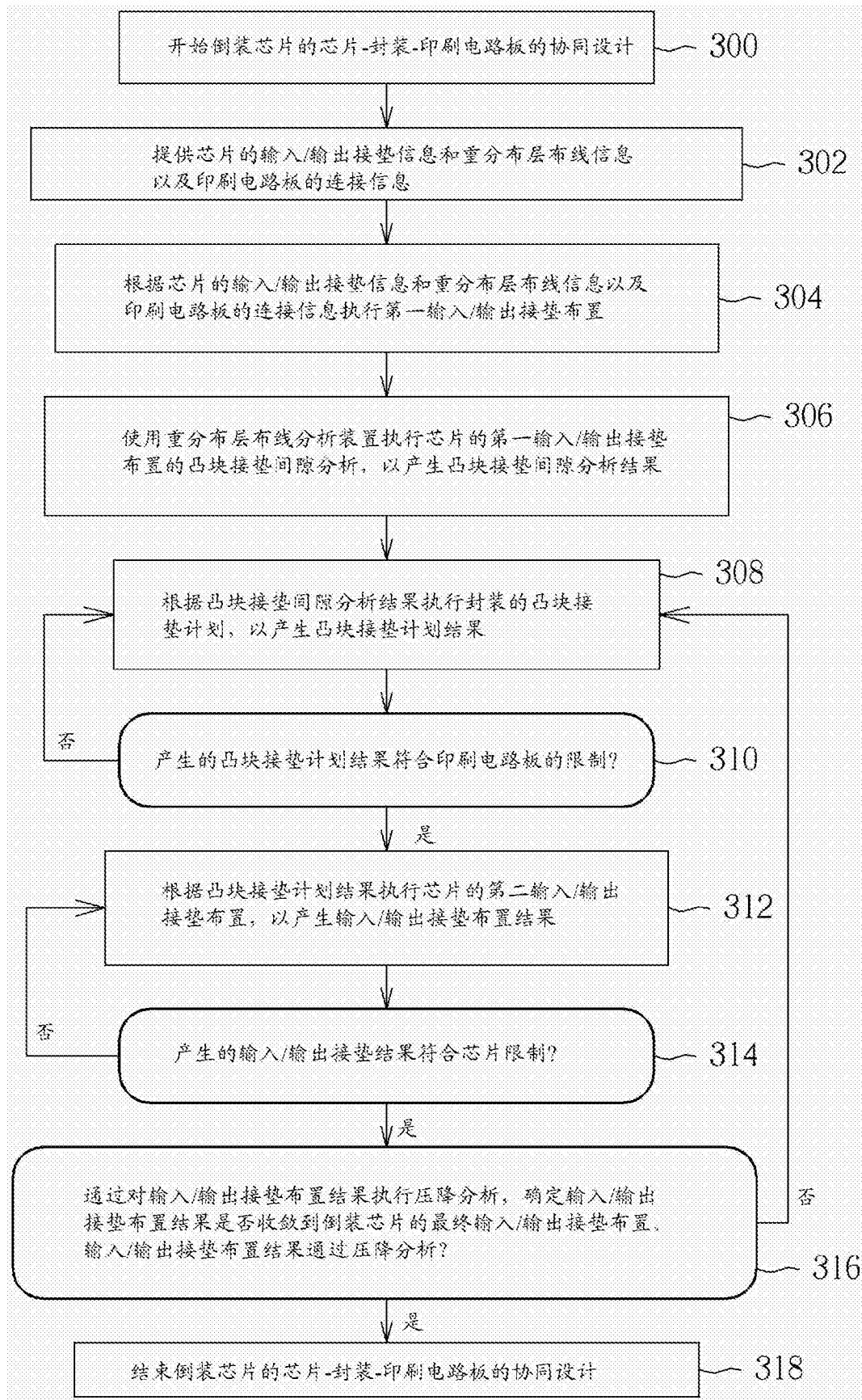


图3

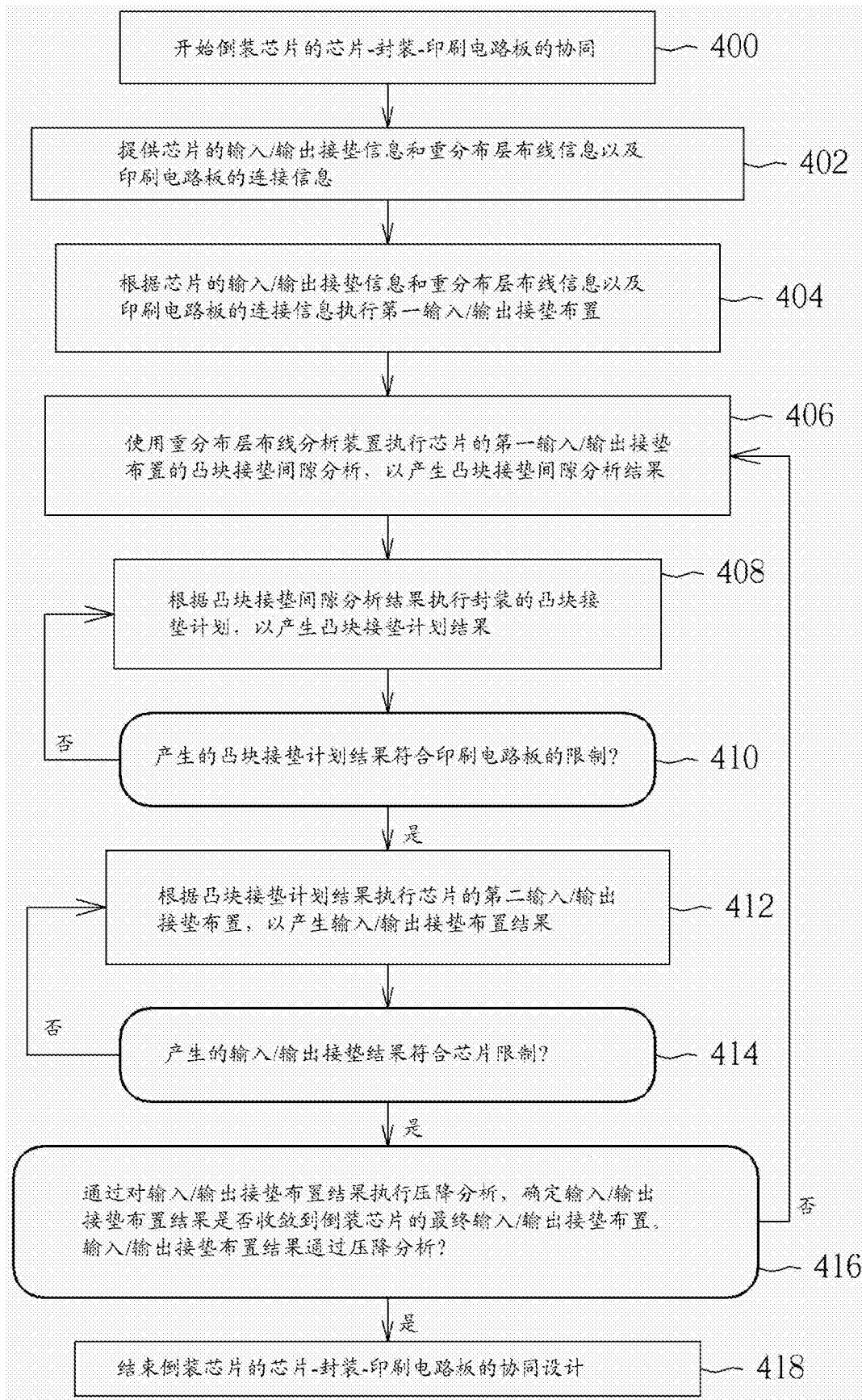


图4

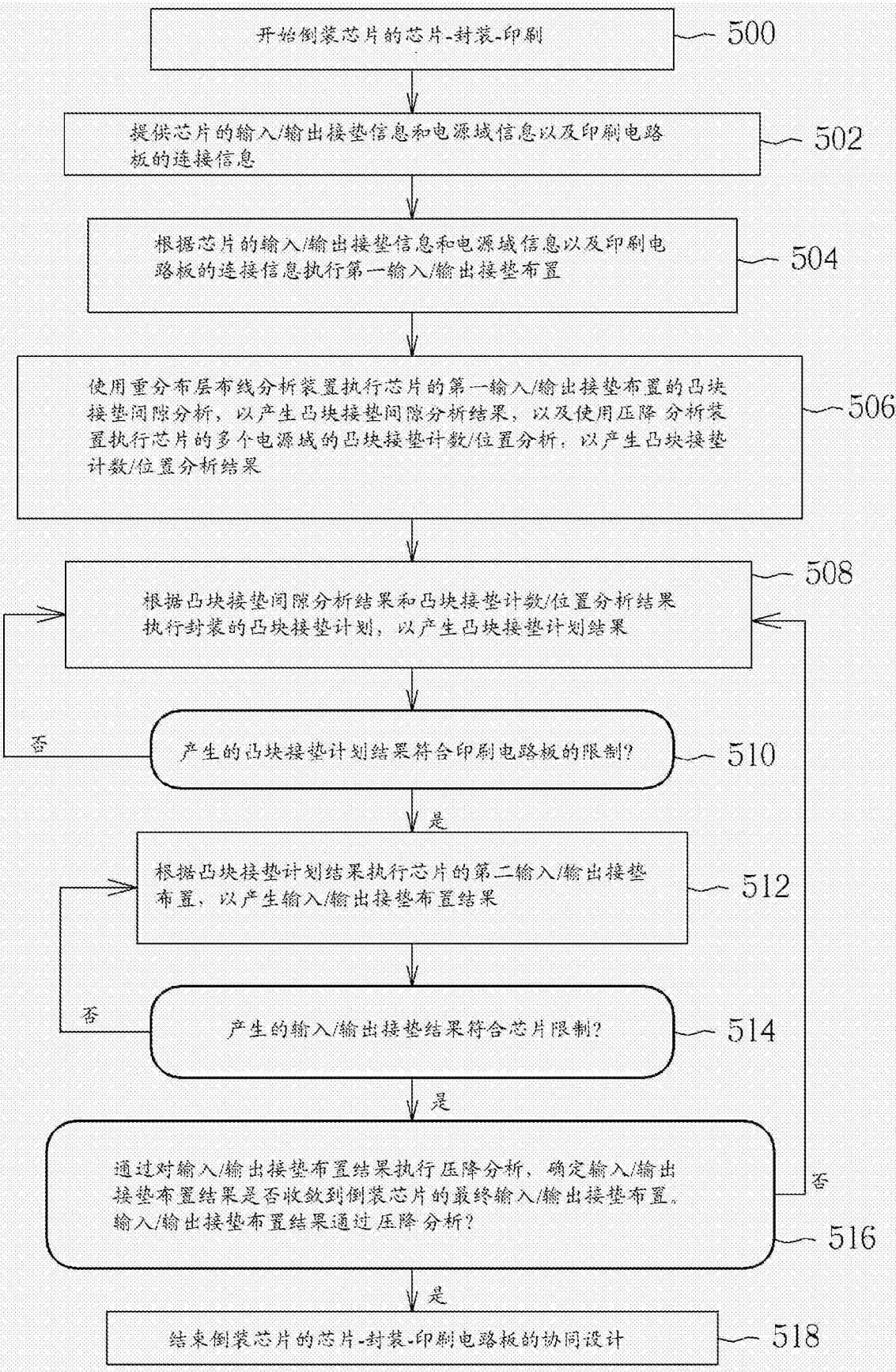


图5

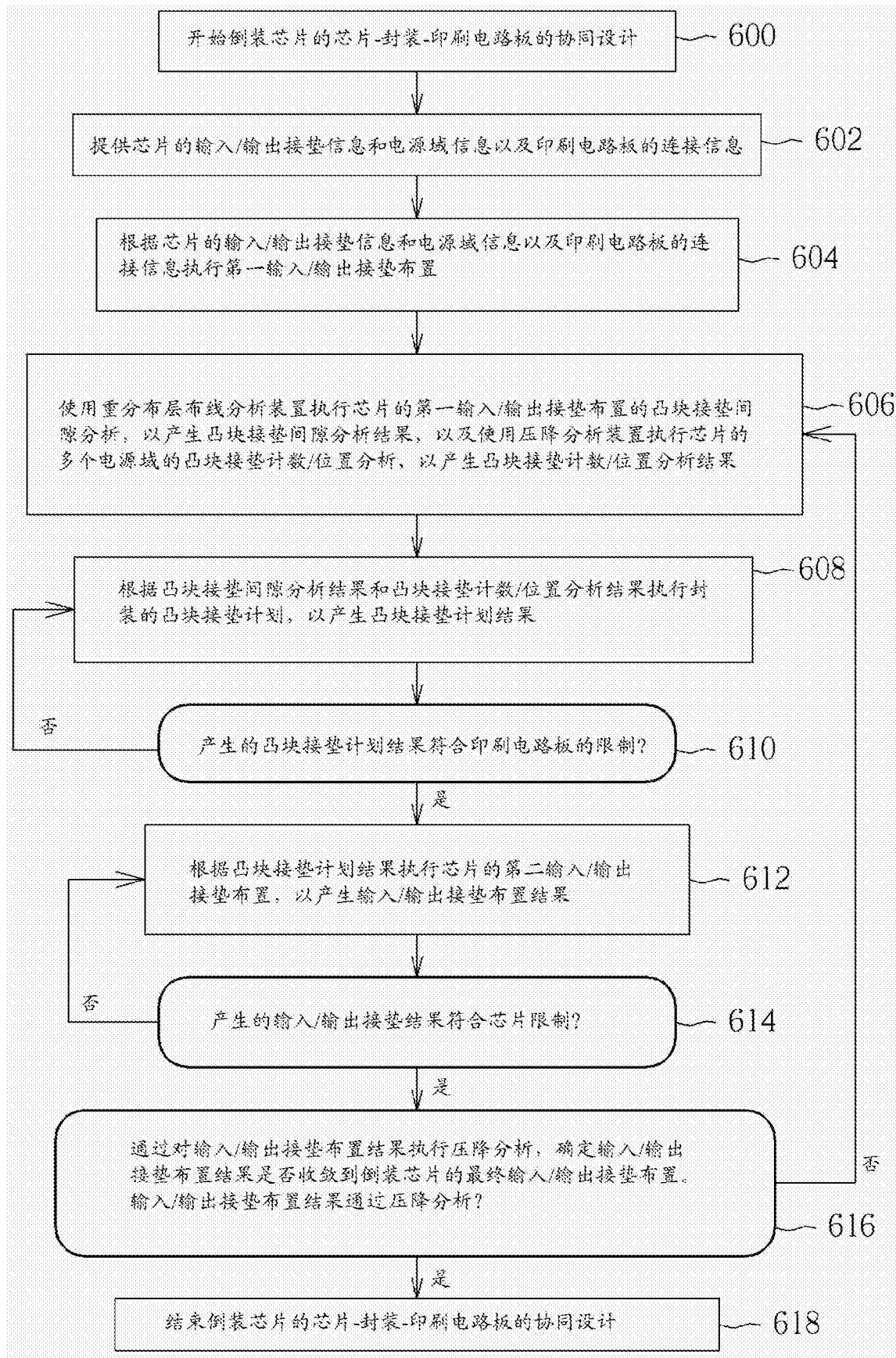


图6

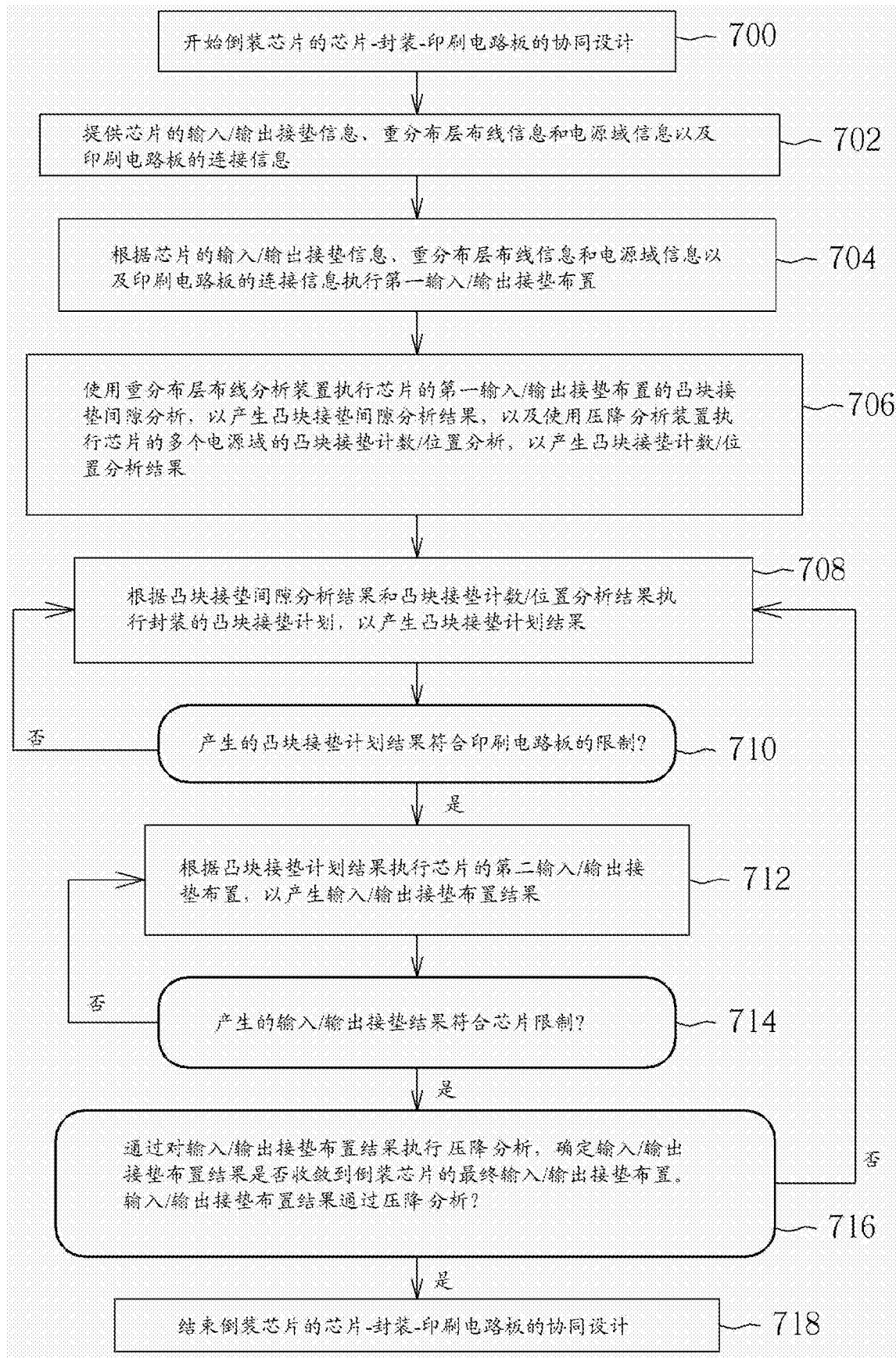


图7

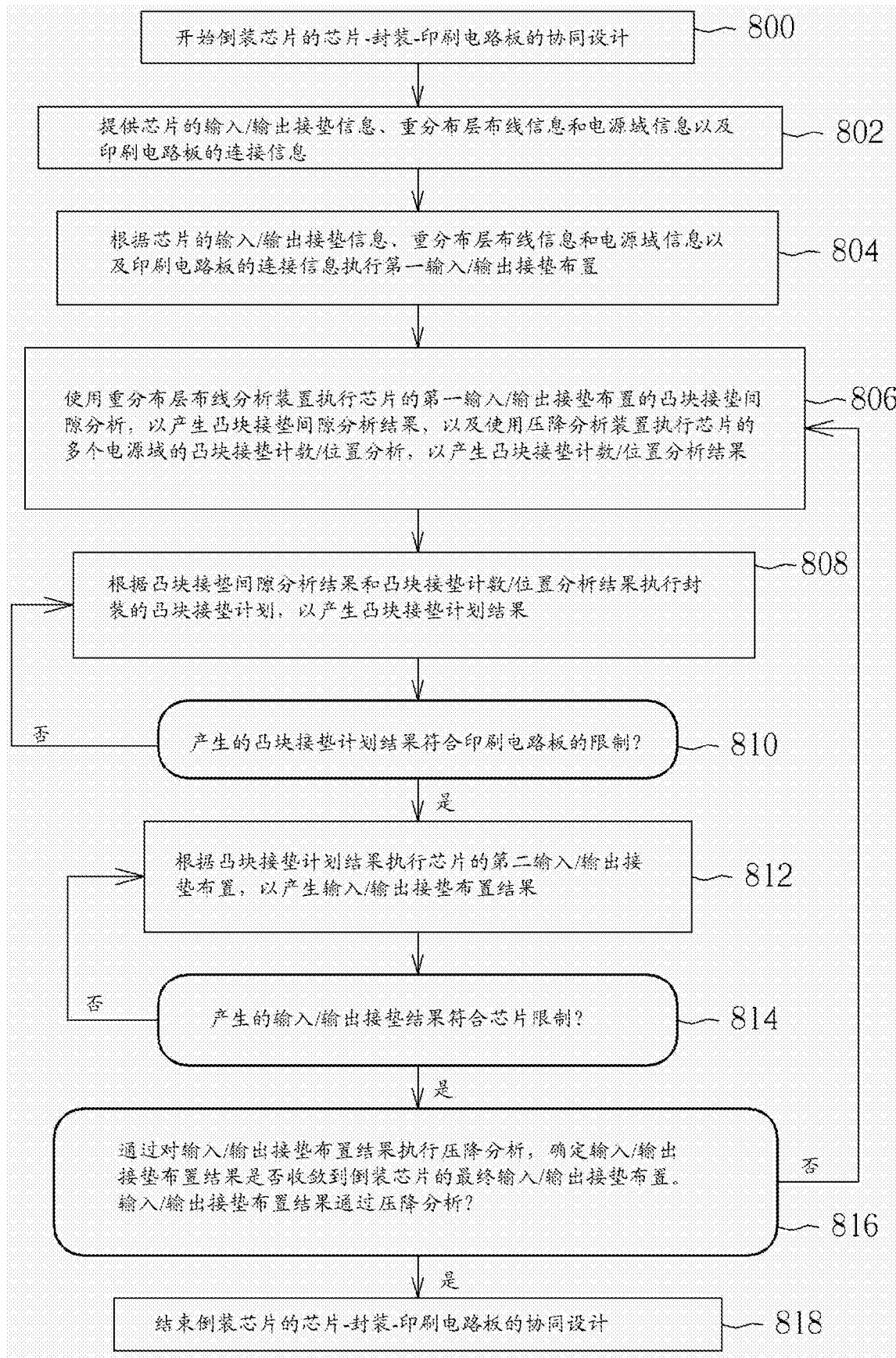


图8

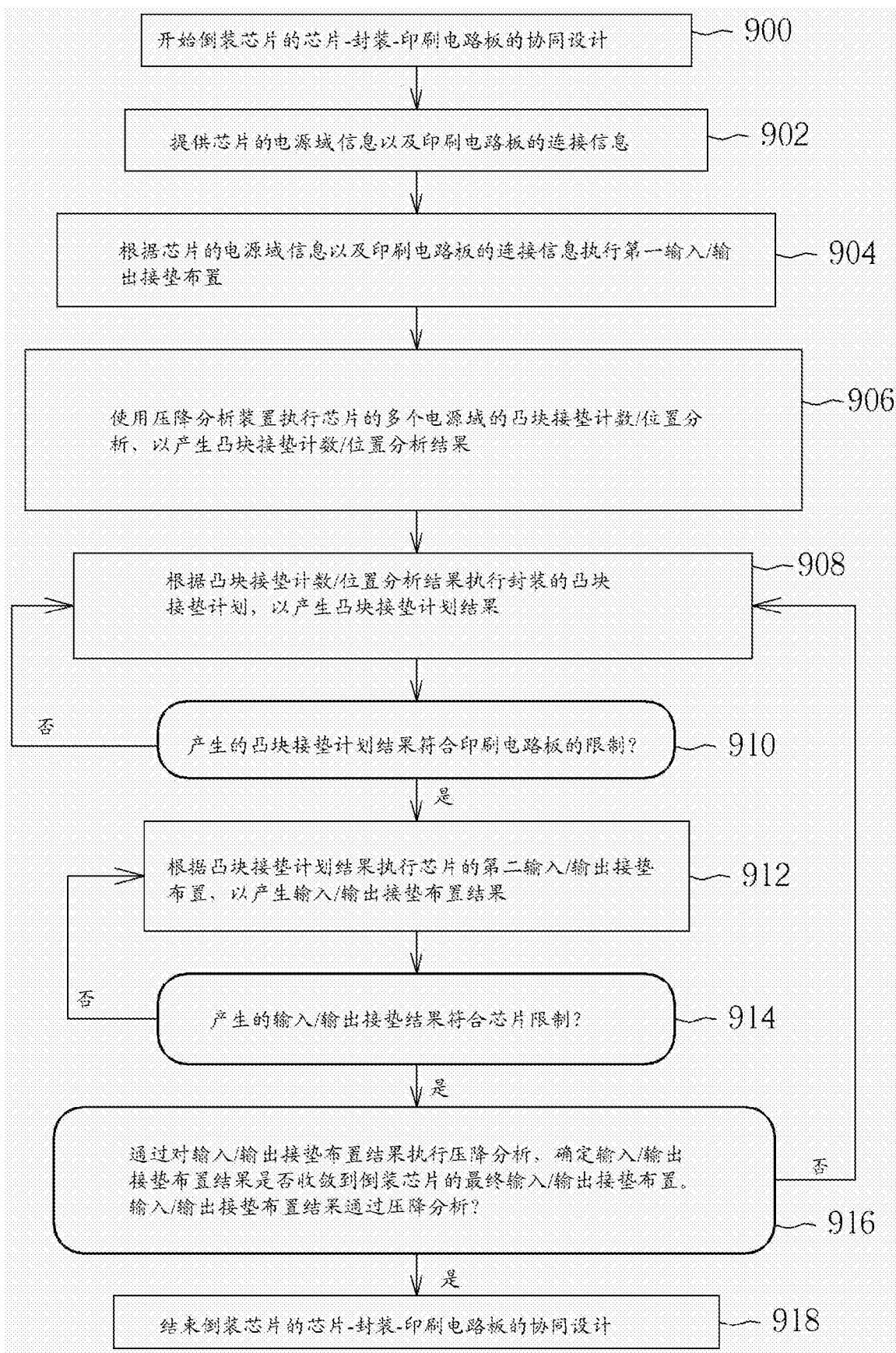


图9

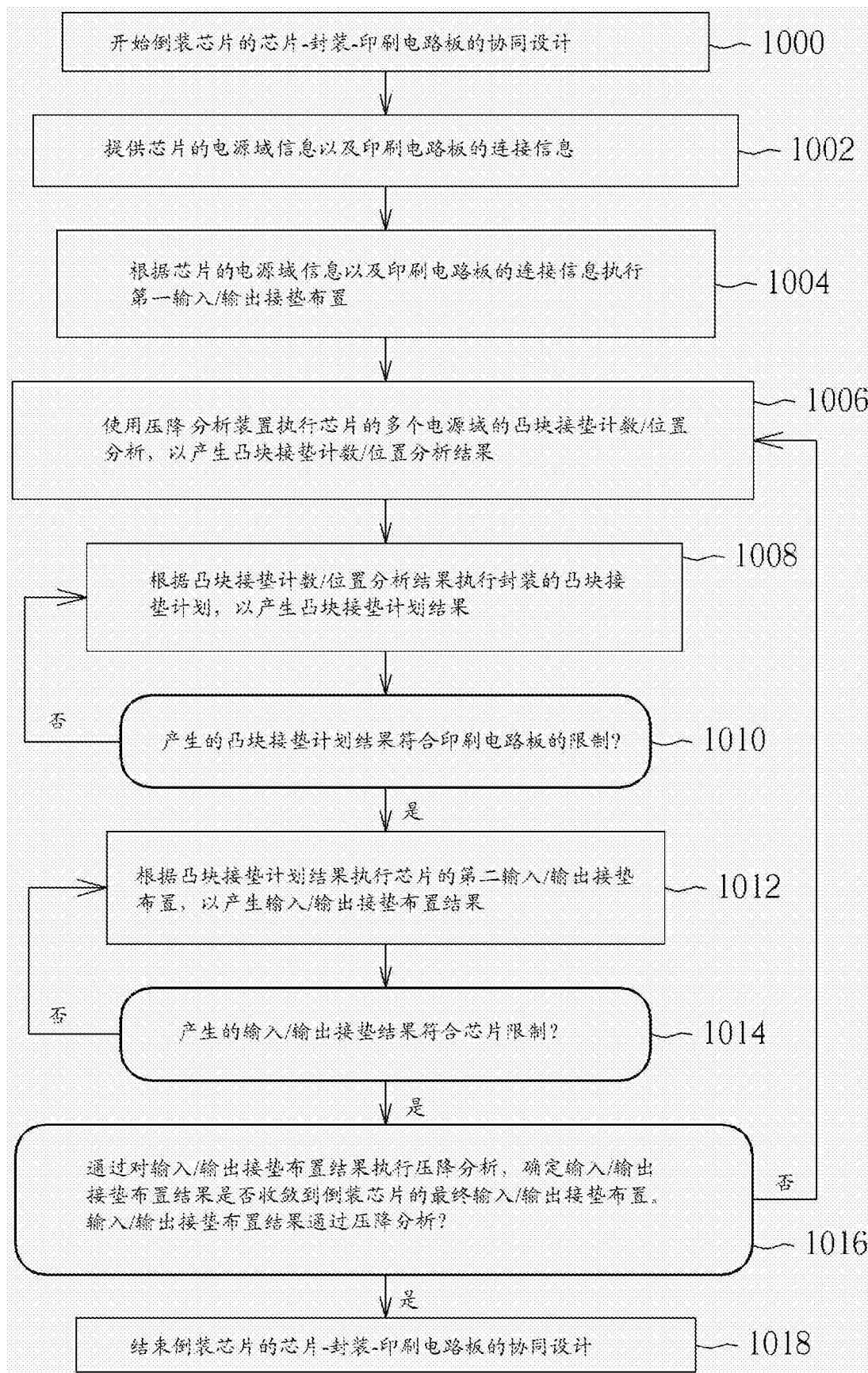


图10

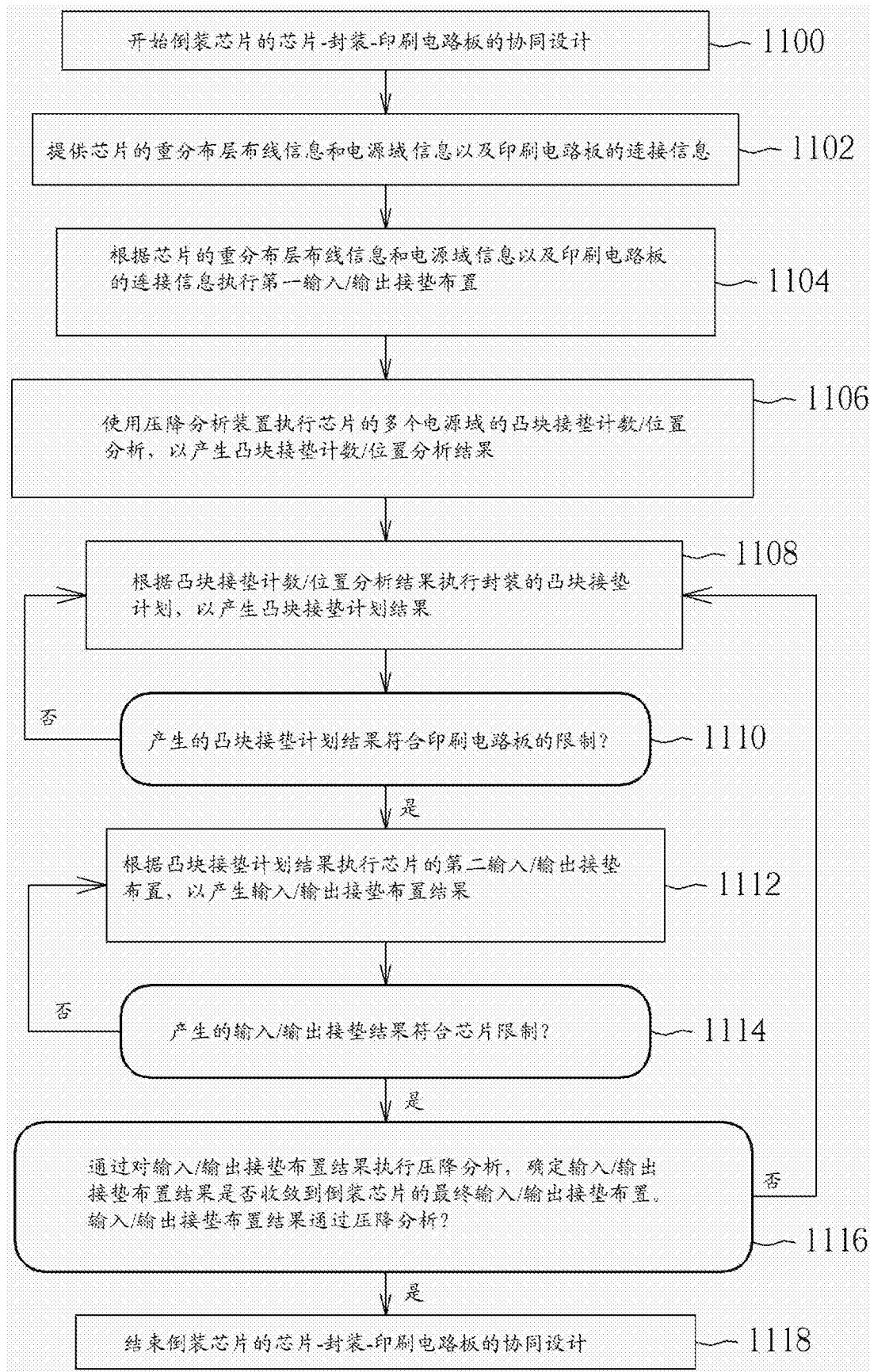


图11

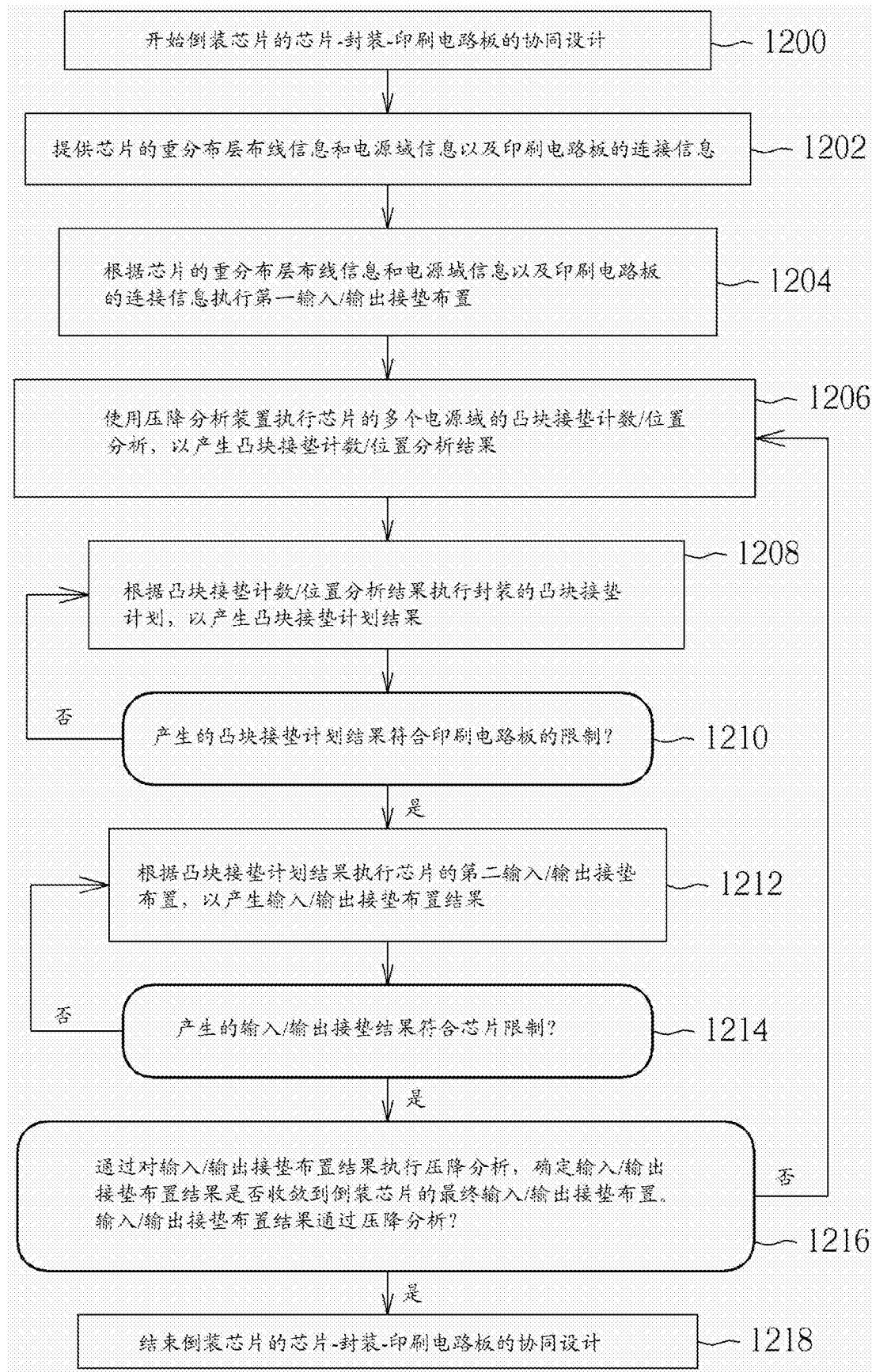


图12