



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2008년03월31일  
 (11) 등록번호 10-0817836  
 (24) 등록일자 2008년03월24일

(51) Int. Cl.  
*H04N 5/335* (2006.01)  
 (21) 출원번호 10-2006-7011626  
 (22) 출원일자 2006년06월13일  
 심사청구일자 2006년06월13일  
 번역문제출일자 2006년06월13일  
 (65) 공개번호 10-2006-0101531  
 (43) 공개일자 2006년09월25일  
 (86) 국제출원번호 PCT/US2004/037729  
 국제출원일자 2004년11월12일  
 (87) 국제공개번호 WO 2005/050977  
 국제공개일자 2005년06월02일  
 (30) 우선권주장  
 10/705,843 2003년11월13일 미국(US)

(73) 특허권자  
**마이크론 테크놀로지, 인크**  
 미국, 아이다호 83707, 보이세, 사우스 페드럴웨이 8000  
 (72) 발명자  
**크림스키, 알렉산더**  
 미국, 캘리포니아 91214, 라 크레센타, 마운틴 파인 드라이브2960  
 (74) 대리인  
**김 순 영, 김영철, 이준서**

전체 청구항 수 : 총 33 항

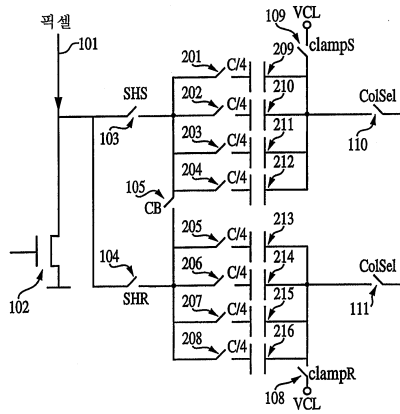
심사관 : 구대성

**(54) 센서 회로 내의 컬럼 회로들의 픽셀신호 비닝 및 보간**

**(57) 요약**

비닝 회로 및 그 방법에 있어서, 센서 회로의 컬럼 회로들의 픽셀 신호들은 샘플링되어 보간된다. 비닝 회로는 상이한 센서 회로 컬럼 라인들의 아날로그 픽셀 신호 및 리셋 신호를 샘플링한다. 소정 개수의 컬럼 라인들이 비닝 회로에서 샘플링되면, 샘플링된 픽셀 신호들이 임의의 동작에서 평균화되는 한편 리셋 신호들은 또 다른 동작에서 평균화된다.

**대표도** - 도4



**특허청구의 범위**

**청구항 1**

복수개의 아날로그 픽셀 및 아날로그 리셋 신호 값들을 입력하기 위한 컬럼 라인; 및

상기 컬럼 라인에 접속된 비닝 회로를 포함하며,

상기 비닝 회로는,

상기 컬럼 라인의 복수개의 픽셀들로부터의 소정의 제1 복수개의 아날로그 픽셀 신호 값들을 각각 저장하는 제1 복수개의 전하 저장 장치;

상기 저장된 제1 복수개의 아날로그 픽셀 신호 값들을 결합하여 제1 출력 라인에 출력하는 제1 결합 회로;

상기 컬럼 라인의 상기 복수개의 픽셀들로부터의 소정의 제2 복수개의 아날로그 리셋 신호 값들을 각각 저장하는 제2 복수개의 전하 저장 장치; 및

상기 저장된 제2 복수개의 아날로그 리셋 신호 값들을 결합하여 제2 출력 라인에 출력하는 제2 결합 회로를 포함하는 것을 특징으로 하는 이미지 센서 독출 회로.

**청구항 2**

삭제

**청구항 3**

제1항에 있어서,

상기 제1 결합 회로는 제1 복수개의 샘플링 스위치들을 포함하고,

상기 제1 복수개의 전하 저장 장치는 제1 복수개의 정전용량성 소자들을 포함하며,

상기 제1 복수개의 샘플링 스위치들의 각각은 상기 제1 복수개의 정전용량성 소자들 중 대응하는 정전용량성 소자에 접속되고, 상기 제1 복수개의 정전용량성 소자들은 상기 제1 출력라인에 더 접속되는 것을 특징으로 하는 이미지 센서 독출 회로.

**청구항 4**

제3항에 있어서,

상기 제2 결합 회로는 제2 복수개의 샘플링 스위치들을 포함하고,

상기 제2 복수개의 전하 저장 장치는 제2 복수개의 정전용량성 소자들을 포함하며,

상기 제2 복수개의 샘플링 스위치들의 각각은 상기 제2 복수개의 정전용량성 소자들 중 대응하는 정전용량성 소자에 접속되고, 상기 제2 복수개의 정전용량성 소자들은 상기 제2 출력라인에 더 접속되는 것을 특징으로 하는 이미지 센서 독출 회로.

**청구항 5**

제4항에 있어서, 상기 제1, 2 복수개의 샘플링 스위치들 및 정전용량성 소자들은 짝수개의 샘플링 스위치들 및 정전용량성 소자들을 포함하는 것을 특징으로 하는 이미지 센서 독출 회로.

**청구항 6**

능동형 픽셀 센서의 아날로그 픽셀 및 아날로그 리셋 신호 값들을 입력하기 위한 컬럼 라인;

상기 컬럼 라인에 접속된 제1 샘플링 회로로서, 상기 제1 샘플링 회로는 상기 컬럼 라인의 복수개의 픽셀들로부터의 제1 복수개의 아날로그 픽셀 신호 값들을 각각 저장하는 제1 복수개의 전하 저장 장치를 포함하는 제1 샘플링 회로;

상기 컬럼 라인에 접속된 제2 샘플링 회로로서, 상기 제2 샘플링 회로는 상기 컬럼 라인의 상기 복수개의 픽셀들로부터의 제2 복수개의 아날로그 리셋 신호 값들을 각각 저장하는 제2 복수개의 전하 저장 장치를 포함하는

제2 샘플링 회로;

상기 제1 샘플링 회로와 제1 출력라인에 접속된 제1 스위치로서, 상기 제1 스위치는 상기 저장된 제1 복수개의 아날로그 픽셀 신호 값들을 결합하여 상기 제1 출력라인에 상기 결합된 픽셀 신호 값들을 출력하도록 제어되는 제1 스위치; 및

상기 제2 샘플링 회로와 제2 출력라인에 접속된 제2 스위치로서, 상기 제2 스위치는 상기 저장된 제2 복수개의 아날로그 리셋 신호 값들을 결합하여 상기 제2 출력라인에 상기 결합된 리셋 신호 값들을 출력하도록 제어되는 제2 스위치를 포함하는 것을 특징으로 하는 이미지 센서를 위한 비닝 회로.

**청구항 7**

제6항에 있어서, 상기 제1 샘플링 회로는,

제1 복수개의 샘플링 스위치들을 더 포함하고,

상기 제1 복수개의 전하 저장 장치는 제1 복수개의 정전용량성 소자들을 포함하며,

상기 제1 복수개의 샘플링 스위치들의 각각은 상기 제1 복수개의 정전용량성 소자들 중 대응하는 정전용량성 소자에 접속되고, 상기 제1 복수개의 정전용량성 소자들은 상기 제1 출력 라인에 더 접속되는 것을 특징으로 하는 이미지 센서를 위한 비닝 회로.

**청구항 8**

제7항에 있어서, 상기 제2 샘플링 회로는,

제2 복수개의 샘플링 스위치들을 더 포함하고,

상기 제2 복수개의 전하 저장 장치는 제2 복수개의 정전용량성 소자들을 포함하며,

상기 제2 복수개의 샘플링 스위치들의 각각은 상기 제2 복수개의 정전용량성 소자들 중 대응하는 정전용량성 소자에 접속되고, 상기 제2 복수개의 정전용량성 소자들은 상기 제2 출력 라인에 더 접속되는 것을 특징으로 하는 이미지 센서를 위한 비닝 회로.

**청구항 9**

제8항에 있어서, 상기 제1, 2 복수개의 샘플링 스위치들 및 정전용량성 소자들은 짝수개의 샘플링 스위치들 및 정전용량성 소자들을 포함하는 것을 특징으로 하는 이미지 센서를 위한 비닝 회로.

**청구항 10**

능동형 이미지 센서의 상기 출력을 비닝하는 방법에 있어서,

상기 센서의 복수개의 픽셀들로부터의 아날로그 픽셀 신호 값들을 샘플링하여 각각 저장하는 단계;

상기 센서의 상기 컬럼 라인의 상기 복수개의 픽셀들로부터의 아날로그 리셋 신호 값들을 샘플링하여 각각 저장하는 단계;

샘플링되어 각각 저장된 모든 아날로그 픽셀 신호 값들을 결합하여 제1 출력 라인에 출력하는 단계; 및

샘플링되어 각각 저장된 모든 아날로그 리셋 신호 값들을 결합하여 제2 출력 라인에 출력하는 단계를 포함하는 것을 특징으로 하는 능동형 이미지 센서의 출력을 비닝하는 방법.

**청구항 11**

제10항에 있어서, 상기 아날로그 픽셀 신호 값들을 샘플링하는 단계는 각각의 아날로그 픽셀 신호 값을 제1 복수개의 정전용량성 소자들 중 대응하는 정전용량성 소자에 저장하는 단계를 포함하는 것을 특징으로 하는 능동형 이미지 센서의 출력을 비닝하는 방법.

**청구항 12**

제10항에 있어서, 상기 아날로그 리셋 신호 값들을 샘플링하는 단계는 각각의 아날로그 리셋 신호를 제2 복수개의 정전용량성 소자들 중 대응하는 정전용량성 소자에 저장하는 단계를 포함하는 것을 특징으로 하는 능동형 이

미지 센서의 출력을 비닝하는 방법.

**청구항 13**

제10항에 있어서, 상기 아날로그 픽셀 신호 값들을 샘플링하는 단계 및 상기 아날로그 리셋 신호 값들을 샘플링하는 단계는 최대 미만(less-than-full) 픽셀 해상도 조건에 의해 각각 결정되는 것을 특징으로 하는 능동형 이미지 센서의 출력을 비닝하는 방법.

**청구항 14**

제13항에 있어서, 상기 아날로그 픽셀 신호 값들을 샘플링하는 단계 및 상기 아날로그 리셋 신호 값들을 샘플링하는 단계는 상기 능동형 이미지 센서에서 컬럼 독출 회로의 상이한 로우 픽셀 신호 값들 및 리셋 신호 값들을 보간하는 단계를 각각 더 포함하는 것을 특징으로 하는 능동형 이미지 센서의 출력을 비닝하는 방법.

**청구항 15**

제14항에 있어서, 상기 아날로그 픽셀 신호 값들을 샘플링하는 단계 및 상기 아날로그 리셋 신호 값들을 샘플링하는 단계는 상기 능동형 이미지 센서의 컬럼 독출 회로의 상이한 로우의 동일한 컬러들을 샘플링하는 단계를 각각 더 포함하는 것을 특징으로 하는 능동형 이미지 센서의 출력을 비닝하는 방법.

**청구항 16**

제13항에 있어서, 상기 아날로그 픽셀 신호 값들을 샘플링하는 단계 및 상기 아날로그 리셋 신호 값들을 샘플링하는 단계는 상기 능동형 이미지 센서의 상이한 컬럼 독출 회로들의 상이한 아날로그 픽셀 신호 값들 및 아날로그 리셋 신호 값들을 보간하는 단계를 각각 더 포함하는 것을 특징으로 하는 능동형 이미지 센서의 출력을 비닝하는 방법.

**청구항 17**

제13항에 있어서, 상기 아날로그 픽셀 신호 값들을 샘플링하는 단계 및 상기 아날로그 리셋 신호 값들을 샘플링하는 단계는 베이어 패턴에 의해 각각 결정되는 것을 특징으로 하는 능동형 이미지 센서의 출력을 비닝하는 방법.

**청구항 18**

제10항에 있어서,  
상기 결합된 아날로그 리셋 신호 값으로부터 상기 결합된 아날로그 픽셀 신호 값을 감산하는 단계를 더 포함하는 것을 특징으로 하는 능동형 이미지 센서의 출력을 비닝하는 방법.

**청구항 19**

제18항에 있어서,  
상기 센서의 상기 샘플링된 아날로그 픽셀 신호 값들의 컬러 분리 값을 연산하는 단계를 더 포함하는 것을 특징으로 하는 능동형 이미지 센서의 출력을 비닝하는 방법.

**청구항 20**

각각이 능동형 픽셀 센서의 복수개의 픽셀들의 다중의 픽셀 신호 값들 및 리셋 신호 값들을 샘플링하여 결합하고, 각각의 컬럼 독출 회로가 상기 능동형 픽셀 센서의 센서들의 대응하는 컬럼에 해당하는 복수개의 컬럼 독출 회로들로서, 각각의 상기 복수개의 컬럼 독출 회로들은;

상기 센서의 컬럼으로부터의 상기 다중의 픽셀 신호 값들을 각각 저장하는 제1 복수개의 전하 저장 장치;

상기 센서의 컬럼으로부터의 상기 다중의 리셋 신호 값들을 각각 저장하는 제2 복수개의 전하 저장 장치;

상기 각각 저장된 다중의 픽셀 신호 값들 및 리셋 신호 값들을 결합하는 결합 회로;

상기 컬럼 독출 회로들 중 선택된 컬럼 독출 회로에 의해 저장된 픽셀 신호 값들을 입력하기 위한 제1 버스; 및  
상기 컬럼 독출 회로들 중 선택된 컬럼 독출 회로에 의해 저장된 상기 리셋 신호 값들을 입력하기 위한 제2 버

스를 포함하는 것을 특징으로 하는 전하 도메인 독출회로.

**청구항 21**

삭제

**청구항 22**

제20항에 있어서,

상기 결합 회로들 각각은 복수개의 제1 스위치들을 포함하고,

상기 복수개의 전하 저장 장치들 각각은 복수개의 전하 저장 소자들을 포함하고,

상기 복수개의 제1 스위치들 각각은 상기 복수개의 전하 저장 소자들 중 대응하는 전하 저장 소자에 접속되며,

상기 복수개의 제1 스위치들은 상기 전하 저장 소자에 의해 저장될 상기 어레이의 센서의 신호를 샘플링하도록 선택적으로 인에이블될 수 있는 것을 특징으로 하는 전하 도메인 독출회로.

**청구항 23**

제22항에 있어서, 각각의 컬럼 독출 회로는, 상기 제1 스위치들 중 상응하는 제1 스위치가 센서의 값을 샘플링하도록 인에이블될 때 상기 전하 저장 소자들의 일측을 기준전압으로 유지하도록 선택적으로 인에이블될 수 있는 복수개의 제2 스위치들을 포함하는 것을 특징으로 하는 전하 도메인 독출회로.

**청구항 24**

제22항에 있어서, 각각의 컬럼 독출 회로는 복수개의 전하 저장 소자들 각각의 일측을 함께 단락하도록 선택적으로 인에이블될 수 있는 스위치를 포함하는 것을 특징으로 하는 전하 도메인 독출회로.

**청구항 25**

제20항에 있어서, 상기 컬럼 독출회로들의 각각 사이에 접속된 컬럼 스위치들을 더 포함하며,

상기 컬럼 스위치들은 상기 능동형 픽셀 센서의 센서들의 상기 컬럼에 나타나는 상기 저장된 픽셀 신호와 리셋 신호 값들을 합산하도록 선택적으로 인에이블될 수 있는 것을 특징으로 하는 전하 도메인 독출회로.

**청구항 26**

센서들의 어레이의 능동형 픽셀 센서들로부터 값들을 독출하는 방법에 있어서,

컬럼 라인 상에 값을 독출하여야 할 센서들의 다중 로우들을 선택하는 단계;

상기 컬럼 라인 상의 상기 선택된 로우의 복수개의 센서들에 대한 상관된 이중 샘플링된 값들을 저장하는 단계로서, 각 센서의 상기 값들은 상기 센서가 위치한 상기 어레이의 컬럼에 관련된 독출 회로의 대응하는 쌍의 전하 저장 장치들에 의해 저장되는 단계;

상기 저장된 신호 값들을 결합하는 단계; 및

상기 독출 회로에 공통인 연산 증폭기 기반의 전하 센싱 회로를 사용하여 상기 선택된 로우들의 상기 복수개의 센서들에 관련된 상기 저장된 값들을 센싱하는 단계를 포함하는 것을 특징으로 하는 센서들의 어레이의 능동형 픽셀 센서들로부터 값들을 독출하는 방법.

**청구항 27**

제26항에 있어서, 상기 상관된 이중 샘플링 값들을 저장하는 단계는 센서의 신호 값을 샘플링하여 저장하는 단계와, 상기 센서의 리셋 값을 샘플링하여 저장하는 단계를 포함하는 것을 특징으로 하는 센서들의 어레이의 능동형 픽셀 센서들로부터 값들을 독출하는 방법.

**청구항 28**

제27항에 있어서, 일련의 대응하는 복수의 전하 저장 장치들의 제1 측들 상에 기준전압을 설정하는 단계와, 뒤 이어 상기 대응하는 복수의 전하 저장 장치들의 제2 측들에 상기 신호 및 리셋 값들을 합산하는 단계를 더 포함하는 것을 특징으로 하는 센서들의 어레이의 능동형 픽셀 센서들로부터 값들을 독출하는 방법.

**청구항 29**

제28항에 있어서, 기준전압을 설정하는 단계는 상기 통상적인 연산 증폭기 기반의 전하 센싱 회로에 상기 기준전압을 제공하는 단계를 포함하는 것을 특징으로 하는 센서들의 어레이의 능동형 픽셀 센서들로부터 값들을 독출하는 방법.

**청구항 30**

제29항에 있어서, 상기 저장된 값들을 센싱하는 단계는, 크로우바 스위치를 사용하여 상기 연산 증폭기 기반의 전하 센싱 회로의 피드백 정전용량성 소자들에, 상기 독출 회로에 저장된 전하를 강제로 공급하는 단계를 포함하는 것을 특징으로 하는 센서들의 어레이의 능동형 픽셀 센서들로부터 값들을 독출하는 방법.

**청구항 31**

프로세싱 회로;

상기 프로세싱 회로에 접속된 이미징 회로로서, 상기 이미징 회로는 전하 도메인 독출 회로를 가지며, 상기 독출 회로는

각각이 능동형 픽셀 센서의 복수개의 픽셀들의 다중의 픽셀 신호 및 리셋 신호 값들을 샘플링하여 결합하고, 각각의 컬럼 독출 회로가 상기 능동형 픽셀 센서의 센서들의 대응하는 컬럼에 해당하는 복수개의 컬럼 독출 회로들로서, 각각의 상기 복수개의 컬럼 독출 회로들은;

상기 센서의 컬럼으로부터의 상기 다중의 픽셀 신호 값들을 각각 저장하는 제1 복수개의 전하 저장 장치;

상기 센서의 컬럼으로부터의 상기 다중의 리셋 신호 값들을 각각 저장하는 제2 복수개의 전하 저장 장치;

상기 각각 저장된 다중의 픽셀 신호 값들 및 리셋 신호 값들을 결합하는 결합 회로;

상기 컬럼 독출 회로들 중 선택된 컬럼 독출 회로에 의해 저장된 픽셀 신호 값들을 입력하기 위한 제1 버스; 및

상기 컬럼 독출 회로들 중 선택된 컬럼 독출 회로에 의해 저장된 픽셀 리셋 값들을 입력하기 위한 제2 버스를 포함하는 것을 특징으로 하는 프로세싱 시스템.

**청구항 32**

삭제

**청구항 33**

제31항에 있어서,

상기 결합 회로들 각각은 복수개의 제1 스위치들을 포함하고,

상기 복수개의 전하 저장 장치들 각각은 복수개의 전하 저장 소자들을 포함하고,

상기 복수개의 제1 스위치들 각각은 상기 복수개의 전하 저장 소자들 중 대응하는 전하 저장 소자에 접속되며,

상기 복수개의 제1 스위치들은 상기 전하 저장 소자에 의해 저장될 상기 어레이의 센서로부터의 신호를 샘플링하도록 선택적으로 인에이블될 수 있는 것을 특징으로 하는 프로세싱 시스템.

**청구항 34**

제33항에 있어서, 각각의 컬럼 독출 회로는, 상기 제1 스위치들 중 해당하는 스위치가 센서로부터의 값을 샘플링하도록 인에이블될 때 상기 전하 저장 소자들의 일측을 기준전압으로 유지하도록 선택적으로 인에이블될 수 있는 복수개의 제2 스위치들을 더 포함하는 것을 특징으로 하는 프로세싱 시스템.

**청구항 35**

제34항에 있어서, 각각의 컬럼 독출 회로는 복수개의 전하 저장 소자들 각각의 일측을 함께 단락하도록 선택적으로 인에이블될 수 있는 스위치를 포함하는 것을 특징으로 하는 프로세싱 시스템.

**청구항 36**

제35항에 있어서, 상기 컬럼 독출 회로들의 각각 사이에 접속되는 컬럼 스위치들을 더 포함하며, 상기 컬럼 스위치들은 상기 능동형 픽셀 센서의 센서들의 상기 컬럼에 나타나는 저장된 픽셀 신호 값들과 리셋 신호 값들을 합산하도록 선택적으로 인에이블될 수 있는 것을 특징으로 하는 프로세싱 시스템.

**명세서**

**기술분야**

<1> 본 발명은 이미지 센서들(image sensors)에 관한 것으로, 더욱 상세하게는 상기 센서들을 위한 전하 도메인형 아날로그 독출(charge-domain analog readout) 회로들에 관한 것이다.

**배경기술**

<2> 이미지 센서들은 머신 비전(machine vision), 로봇틱스(robotics), 안내 및 내비게이션(guide and navigation), 자동차 애플리케이션들(automotive applications) 및 가전제품들(consumer products)을 포함한 다양한 분야들의 애플리케이션들을 제공한다. 많은 스마트형(smart) 이미지 센서들에서, 이미지 센서를 제어하고 출력 이미지에 대해 신호 및 이미지 프로세싱을 실행하는 온칩(on-chip) 회로를 집적하는 것이 바람직하다. 불행하게도, 이미지 센서들을 위해 사용된 유력한 기술들 중의 하나이었던 전하 활상 소자들(charge-coupled devices: CCD)은, 대규모 신호 프로세싱에 쉽게 도움을 제공하지 못하며, 씨모스(CMOS) 회로들과 쉽게 집적되지 못한다. 더욱이, 씨씨디(CCD)는 반도체를 통하여 신호 전하를 순차적으로 전송함으로써 독출(read out) 되고, 독출 속도(readout rate)가 거의 완벽한 전하 전송의 필요에 의해 제한된다.

<3> 픽셀 유닛 셀(pixel unit cell) 내에 1개 이상의 능동형 트랜지스터들을 갖는 능동형 픽셀 센서들(active pixel sensors: APS)은, 씨모스(CMOS) 기술들과 병립할 수 있고 수동형 픽셀 센서들(passive pixel sensors)에 비하여 더 높은 독출 속도(readout rate)를 기대할 수 있다. 능동형 픽셀 센서들은 종종, 예를 들어 한번에 1개 컬럼(column)씩 독출될 수 있는 요소들(elements)의 어레이들(arrays)로서 배열된다.

<4> 도 1은 능동형 픽셀 센서들(30)의 어레이와, 픽셀들에 저장된 신호들의 독출을 인에이블(enable)시키는 타이밍 및 제어 신호들을 제공하는 컨트롤러(32)를 포함하는 전형적인 씨모스 능동형 픽셀 센서 집적회로 칩을 도시하고 있다. 전형적인 어레이들은 N X M 픽셀들의 치수들을 갖고, 일반적으로 어레이(30)의 크기는 특정 구현(implementation)에 의존한다. 이미저(imager)는 컬럼 병렬형 독출 아키텍처(column parallel readout architecture)를 사용하여 한번에 1개 로우(row)씩 독출된다. 컨트롤러(32)는 수직 어드레싱 회로(34)와 로우 드라이버들(40)의 동작을 제어함으로써 어레이(30) 내의 특정 로우의 픽셀을 선택한다. 상기 선택된 로우의 픽셀들에 저장된 전하 신호들은 독출 회로(42)에 제공된다. 컬럼들의 픽셀들은 수평 어드레싱 회로(44)를 사용하여 순차적으로 독출될 수 있다. 전형적으로, 각 픽셀은 독출 회로(42)의 출력단에서 제공되는, 리셋 출력 신호( $V_{out1}$ )와 집적 기간 동안에 축적 전하를 나타내는 신호( $V_{out2}$ )를 제공한다.

<5> 도 2에 도시된 바와 같이, 어레이(30)는 다중 컬럼들(49)의 씨모스 능동형 픽셀 센서들(50)을 포함한다. 각 컬럼(49)은 다중 로우의 센서들(50)을 포함한다. 특정 컬럼의 능동형 픽셀 센서들(50)로부터의 신호들은 상기 컬럼에 해당하는 독출 회로(52)에 독출될 수 있다. 독출 회로(52)에 저장된 신호들은 전체 어레이의 픽셀들(30)에 공통인 출력부(54)에 전송될 수 있다. 아날로그 출력 신호들은 그 다음에 예를 들어 미분형 아날로그 디지털 변환기(differential analog-to-digital converter: ADC)에 전송될 수 있다.

<6> 과도한 잡음 및 느린 프레임 속도들(frame rates)은 씨모스 이미지 센서의 컬럼들로부터 독출되는 미분형 전하 모드의 리드 과정(read process) 동안에 유입된다. 이를 보상하기 위해, 전류 독출 회로는 프레임 속도를 높이기 위해 (부 해상도(subresolution) 모드 조건에서) 서브샘플링(subsampling)을 사용한다. 대부분의 이미징 애플리케이션들에서, 픽셀은 (블랭킹 동안을 제외하고) 클럭 펄스의 각 펄스로 캡처(capture) 된다. 서브샘플링은, 픽셀들을 기본적 픽셀 클럭 주파수보다 더 느린 속도로 캡처함으로써 프레임 속도들을 높인다. 예를 들어, 1개 픽셀은 2개 픽셀 클럭마다 캡처되어 기본적 픽셀 클럭 주파수의 1/2이 되는 유효 샘플링 속도를

제공한다. 서브샘플링의 사용은 고주파 픽셀 클럭 속도가 저주파 샘플링을 클럭하는 것을 허용해준다.

<7> 하지만, 서브샘플링 동안에 픽셀들이 순차적으로 독출되거나, 연속적으로 독출되지 못한다. 다시 말하면, 일부 픽셀들은 잠재적 고 프레임 속도 대신에 저 해상도를 얻도록 스킵(skip) 된다. 필요한 것은 독출 회로가 저 위신호(aliasing)를 가진 채 저 해상도(subresolution) 특성을 개선한 이미지 센서이다.

**발명의 상세한 설명**

<8> 일반적으로, 본 발명의 실시예들은 독출 회로에 신호 비닝을 포함하기 위한 이미징 회로, 시스템 및 그 방법들을 제공한다. 비닝은 다중 픽셀들의 전하를 축적하거나 보간하고 이를 단일 동작으로 독출하는 것으로서 정의된다. 독출 회로에 비닝을 포함시킴으로써 여러 가지 저 해상도 과정들은 위신호 효과들을 최소화하도록 구현될 수 있다. 덧붙여, 비닝을 위해 아날로그 프로세싱을 사용함으로써 신호 대역폭(bandwidth)이 축소될 수 있다. 이는 이어, 센서의 전체 전력 필요조건을 감소시킨다. 아날로그 비닝을 사용하는 것에 대한 추가 이점은, 비닝으로부터 성취된 신호 대 잡음 비(signal-to-noise ratio)(SNR) 이점들이 디지털 도메인에서 보다 아날로그 도메인에서 더 많이 공표되어 있다는 것이다.

**실시예**

<30> 도 3은 컬럼 독출 회로(100)가 컬럼 라인(101)을 따라 픽셀로부터 신호를 수신하는, 이미지 센서를 위한 미분형 전하 도메인 독출 회로(150)를 도시하고 있다. 상기 회로의 예들은 참조로 여기에 전체로서 포함된, 통상적으로 양도된 미국특허번호 6,222,175호에서 찾아볼 수 있다. 독출 회로(100)는 게이트에서 신호(VLN)를 입력하는 부하 트랜지스터(102)를 포함한다. 공지된 바와 같이, VLN 신호는 부하 트랜지스터(102)를 활성화하여 컬럼 라인(101)에 부하를 제공한다. 컬럼 라인(101)은 제1 샘플/홀드(sample-and-hold) 신호(SHS)가 인가될 때 픽셀 신호 레벨을, 제2 샘플/홀드 신호(SHR)가 독출 회로(150)에 인가될 때 리셋 신호 레벨을 저장하기 위한 2개 샘플/홀드 회로들에 더 접속된다. 상기 리셋 및 픽셀 신호 레벨들 모두를 샘플링하는 것은 상관된 이중 샘플링(correlated double sampling: CDS)이 실행되는 것을 허용해준다. 이는 픽셀 센서의 소스 팔로워(source-follower) 회로에 연관된 잡음뿐만 아니라 연결된 픽셀에 연관된 리셋 잡음을 감소할 수 있다.

<31> 제1 샘플/홀드 회로는, 트랜지스터로서 구현될 수 있는 스위치(103)와 커패시터(106)를 포함한다. 제1 샘플/홀드 신호(SHS)는 스위치(103)에 인가되어 스위치(103)가 통전 또는 비통전 상태에 있는 지 여부를 제어한다. 제2 샘플/홀드 회로 또한, 트랜지스터로서 또한 구현될 수 있는 스위치(104)와 커패시터(107)를 포함한다. 제2 샘플/홀드 신호(SHR)는 스위치(104)에 인가되어 스위치(104)의 상태를 제어한다. 커패시터들(106),(107)은 스위치들(109)(108)을 각각 클로징(closing) 함으로써 기준 전압(VCL)으로 유지될 수 있다. 신호(clampS)는 스위치(109)의 상태를 제어하고, 신호(clampR)는 스위치(108)의 상태를 제어한다.

<32> 상기 샘플/홀드 회로들에 덧붙여, 컬럼 독출 회로(100)는 트랜지스터로서 또한 구현될 수 있는 크로우바(crowbar) 스위치(105)를 포함한다. 크로우바 스위치(105)의 상태는 외부의 크로우바 제어 신호(CB)에 의해 제어된다. 크로우바 스위치(105)의 사용은 컬럼 병렬형 독출 구조(상기함)로 인한 컬럼 대 컬럼 편차들(column-to-column variation)로 인한 고정형 패턴 잡음(fixed pattern noise: FPN)을 감소시키는 것을 도와줄 수 있다.

<33> 커패시터(106),(107)에 의해 저장된 신호들은, 트랜지스터들로서 구현될 수 있는 각각의 컬럼 선택 스위치들(110),(111)을 통과하여 출력부(120)에 전송될 수 있다. 스위치들(110),(111)에 인가된 컬럼 선택 신호(ColSel)는 상기 스위치들(110),(111)이 통전 상태이거나 비통전 상태인지 여부를 제어한다. 컬럼 선택 스위치(110)(또는 111)가 턴온(turn on) 될 때, 샘플링 커패시터(106)(또는 107)는 출력부(120)에 연결된 버스(117)(또는 118)에 직접 접속된다. 필요할 경우 양측 스위치들(110),(111)이 동시에 클로즈될 수 있음은 자명하다. 또한, 다른 어떠한 적합한 저장 장치이든지 커패시터들(106),(107)을 치환할 수 있음은 또한 자명하다.

<34> 앞서 언급한 바와 같이, 전하 도메인형 독출 회로(150)의 출력부(120)는 전체 어레이(30)의 픽셀들에 공통이다. 그러므로, 단지 1개 회로(150)가 도 3에 도시되어 있더라도 다중 컬럼형 독출 회로들이 출력부(120)에 접속된다. 출력부(120)는 스위치형 집적기를 포함하고, 차동형 연산 증폭기(112), 출력들( $V_{out1}$ ), ( $V_{out2}$ ) 사이에 각각 접속된 2개 피드백 커패시터들(113),(114) 및 연산 증폭기(112)의 부(negative) 및 정(positive) 단자들을 더 포함한다. 리셋 스위치들(115),(116)은 출력( $V_{out1}$ ), ( $V_{out2}$ )과 연산 증폭기(112)의 부 및 정 단자들 사이에 각각 접속된다. 각 집적기 출력부(120)는 신호(Rst\_amp)를 사용하여 해당 리셋 스위치(115),(116)를 턴온시킴으로써 선택적으로 리셋될 수 있다. 연산 증폭기(112)는 아날로그/디지털 변환기(도 3에 미도시됨)에 향후 전송되

는 2개 출력신호들( $V_{out1}$ ), ( $V_{out2}$ )을 제공한다.

- <35> 도 4는 수직 비닝이 도 3의 독출 회로(100)에 구현되어 있는, 본 발명의 실시예를 도시하고 있다. 도 3의 캐패시터들(106), (107)은 도 4의 도시된 전형적인 실시예에서 "분할(split out)" 되어 있다. 캐패시터들(106), (107)의 정전용량 값은, 각각이 원 정전용량의 일부(예를 들어 1/4)를 구성하는 다중의 소형 정전용량성 요소들(209-216)로 대체된다. 각 캐패시터(209-216)는 대응하는 스위치(201-208)에 접속되고, 각 스위치(201-208)는 소정의 샘플링 순차 조건에서 어레이(30)(도 2)의 상이한 해상도들을 얻도록 제어 가능하다. 예를 들면, 모든 스위치들(201-208)이 동작 동안에 클로즈되어 있으면, 캐패시터들(209-216)은 본질적으로, 1개 캐패시터(즉, 최대 해상도(full resolution))로서 작용하고, 유효 정전용량은 도 3에 도시된 바와 같이 동일하다. 도 4의 실시예는 4개 캐패시터형 구성(즉, 각 캐패시터가 4개 정전용량성 요소들로 분할됨)을 도시하고 있고, 어떠한 캐패시터 분할 갯수(2,3,4,6 등) 이든지 사용될 수가 있다. 또 다른 예로서, 상기 스위치들의 1/2만이 클로즈되어 있으면, 상기 독출 회로는 1/2 해상도 상태가 된다.
- <36> 예로서, 도 4의 실시예는 센서가 수직 방향의 최대 해상도, 1/2 해상도 및 1/4 해상도를 지지하도록 구성될 수 있는 단색(monochrome) 센서 구조들에 사용될 수 있다. 간단함을 위해, 상기 예에서, 수평 해상도가 칩 외부에서 정의되는 것으로 가정한다. 1/2 해상도의 조건에서, 상기 어레이의 제1 로우에서부터 입력된 신호는 캐패시터들 중 2개 캐패시터들(예를 들어, 캐패시터들(209-210), (213-214))에, 상기 캐패시터들에 관련된 대응하는 스위치들(예를 들어, 스위치들(201-202), (205-206))을 인에이블(enable) 시킴으로써 샘플링되어 저장된다. 제2 로우에서부터 입력된 신호들은 2개의 다른 캐패시터들(예를 들어, 캐패시터들(211-212), (215-216))에, 상기 캐패시터들의 대응하는 스위치들(예를 들어, 스위치들(203-204), (207-208))을 인에이블시킴으로써 샘플링되어 저장된다. (크로우바 동작 동안에) 데이터를 샘플링한 후 캐패시터들(209-216)의 좌측 전극들이 단락되고, 제1 및 제2 로우들의 평균화된 신호가 출력된다. 도 4의 회로의 이득(gain)은 상기 동작 동안에 안정상태를 유지하고, 이는 상기 회로를 사용함에 있어서 유연성(flexibility)을 증가시키는 것을 주목하여야 한다.
- <37> 1/4 해상도 동작의 조건에서, 일 컬럼의 제1 4개 로우들에서부터 입력된 신호들은 대응하는 캐패시터들(209-212), (213-216)에 개별적으로 샘플링된다. 상기 4개 로우들이 저장된 후, 캐패시터들(209-216)의 좌측 전극들은 특정 컬럼의 4개 로우들간의 평균화된 신호를 출력하도록 단락된다.
- <38> 베이어 패턴들은 전형적으로, 컬러 센싱이 사용될 때 컬러 이미지를 얻는데 사용된다. 베이어 컬러 필터 어레이들은 공지되어 있고, 컬러 이미지를 디지털적으로 얻는데 사용된다. 컬러 필터들의 베이어 패턴은 총 개수의 픽셀들의 1/2이 녹색인 한편 나머지 픽셀들의 1/4이 적색이고 나머지 픽셀들의 1/4가 청색인 그러한 것이다.
- <39> 4개 로우 픽셀에 대한 1/2 해상도 동작의 조건에서, 제1 로우의 컬러 신호는 독출되고 각 샘플링 라인의 제1 2개 캐패시터들(209-210), (213-214)에 샘플링된다(즉, 캐패시터들(209-210) 상의 픽셀 신호, 캐패시터들(213-214) 상의 리셋 신호들). 그 다음에, 제3 로우 상의 신호는 상기 샘플링 라인들의 나머지 2개 캐패시터들(211-212), (215-216)에 샘플링된다. 각 샘플링 라인의 4개 캐패시터들(209-212)(213-216)은 그 다음에 함께 단락되고, 제1, 3 로우들에 대한 평균화된 합계가 (스위치들(110), (111)을 통하여) 독출된다. 동일한 과정이 제2, 4 로우들에 반복되고, 상기 로우 신호들은 상기한 바와 같이 평균화되어 독출된다.
- <40> 컬러 신호들에 대한 1/4 해상도 독출 과정은 상기한 1/2 해상도과 유사하고, 여기서, 제1,3,5,7 로우들은 먼저, 대응하는 캐패시터들(209-212), (213-216)에 저장되고 평균화되어 독출되며, 뒤이어 제2,4,6,8 로우들은 대응하는 캐패시터들(209-212), (213-216)에 저장되고 평균화되어 독출된다.
- <41> 도 5를 참조하면, 본 발명의 다른 실시예가 도시되어 있고, 여기서, 각각의 비닝 회로(500)는 대응하는 스위치들(502), (503)를 통하여 인접한 회로(501)에 접속된 샘플/홀드 픽셀 신호 및 샘플/홀드 리셋 신호 노드(node)를 갖는다. 비닝 회로(501)는 또한 스위치들(504), (505)을 통하여 인접한 비닝 회로(미도시)에 연결된다. 추가의 비닝 회로는 요구되는 바와 같이 추가될 수 있고, 출력단들(BIN1, BIN2)은 "수평적으로" 평균화된 신호(즉, 컬럼 회로들간의 평균 신호)를 전송한다.
- <42> 단색 센서에 도 5의 회로를 사용할 때, 비닝 회로들(500), (501)로부터의 평균화된 신호들이 기수 및 우수의 인접 컬럼들(도 15a 내지 도 15c를 참조하여 상세히 후술함) 사이에 함께 추가된다. 컬러 센서들의 경우, 컬럼들은 베이어 패턴(상기됨)에 따라 독출된다. 단락된 컬럼들의 평균화 범위와 개수는 필요한 해상도에 따라 조절될 수 있다. 또한, 여기에 기술된 회로들과 방법들은 다른 형태의 이미징 장치들(예를 들어, 전하 촬상 소자들(CCDs))에 동일하게 적용 가능함을 이해하여야 한다.
- <43> 도 6은 본 발명의 다른 실시예를 도시하고 있고, 독출회로(650)는 샘플링 라인의 각 캐패시터(604-605), (606-

607)가 각 샘플링 라인 정전용량의 1/2(C/2)(도 4에 도시된 1/4과 대비됨)을 형성하는 것을 제외하고 도 4에 언급된 것과 동일하다. 각 캐패시터(604-607)는 대응하는 스위치(600-603)에 접속된다. 스위치들(600-603)의 각각은 오픈(open) 및 클로즈될 때 회로(650)에 대한 상이한(즉, 최대 미만(less-than-full) 및 최대) 해상도들을 얻도록 제어 가능하다.

<44> 도 6의 독출 회로(650)는 각 컬럼의 동일한 픽셀 컬러의 전하들을 함께 합산하도록 동작될 수 있다. 이러한 종류의 동작의 결과는 Sony ICX252AQ 3Megapixel CCD에 사용된 것과 같은, 씨씨디(CCD) 장치들에 사용된 고해상도 "스킵 모드(skip mode)의 것에 필적한다. 도 6의 회로(650)의 전형적인 동작은 도 7에 도시되어 있고, 여기서, 독출 회로의 로우 선택 알고리즘(algorithm)은 제1, 3 로우들로부터 적색들(R)을 독출하여(700) 캐패시터들(604-605)에 저장하도록 구성된다. 제1, 3 로우들에서부터의 리셋신호들 또한 독출되어 캐패시터들(606),(607)에 저장된다. 캐패시터들(604-607)의 좌측 전극들은 그 다음에, 제1 및 제3 로우의 적색들의 평균화된 신호를 출력하도록 단락된다.

<45> 도 7의 과정은 제1, 3 로우들의 녹색(Gr)에 계속하고, 여기서, 녹색들(Gr)은 독출되어(700) 캐패시터들(604-605)에 저장된다. 제1, 3 로우들로부터의 녹색(Gr) 픽셀들의 리셋 신호들은 또한 독출되어(미도시) 캐패시터들(606-607)에 저장된다. 캐패시터들(604-607)의 좌측 전극들은 그 다음에 제1 및 제3 로우의 녹색(Gr) 컬러들의 평균화된 신호를 출력하도록 단락된다. 이어, 로우들(8),(10)로부터의 녹색(Gb) 및 청색(B) 신호들은 동일 방식으로 독출되고(701), 그 다음에 제13, 15 로우들이 도 6 등에 도시된 바와 같이 독출된다(703).

<46> 고 프레임 독출 모드(high frame readout mode)에서 4개 메가픽셀 씨씨디(CCD)(예를 들어, Sony ICX406AQ 4Megapixel(Meg) CCD)를 실행(emulation)하는 경우, 제1 및 5, 제10 및 14, 제17 및 21 등의 로우들은 상기한 방법과 동일한 방법으로 합산된다. 상기 전형적인 비닝 구조를 실현하기 위해, 도 6 및 도 7에 언급된 회로가 사용될 수 있고, 로우 선택 알고리즘은 독출 순서를 순응하도록 조정된다.

<47> 도 8 내지 도 10은 3 Meg 센서를 위한 또 다른 부 해상도(subresolution) 구조를 개시하고 있다. 3 Meg 센서에 대한 최대(풀(full)) 해상도는 약 2048 X 1536이다. 3 Meg 센서에 대한 전형적인 부 해상도(subresolution)는 1280 X 1024(2/3 해상도), 1024 X 768(1/2 해상도) 및 640 X 480(1/4 해상도)이다. 상기 부 해상도(sub-resolution) 픽셀 신호들을 정확하게 독출하기 위해, 픽셀 신호들을 평균화하는 것이 필요하다.

<48> 도 8은 전형적인 6X6 픽셀 매트릭스(810)를 도시하고 있고, 여기서, 매트릭스(810)의 컬러들은 베이어 패턴으로 배열되고, 독출 중에 있는 로우들은 도시된(즉, 음영화되지 않은) 바와 같이 나타내어져 있다. 상기 베이어 패턴은 제1(Gr) 및 제2(Gb) 녹색 픽셀들, 적색(R) 픽셀 및 청색(B) 픽셀로 구성된다. Gr 및 R 컬러 픽셀들은 제 1,3,5 등의 기수 로우들에서 교번하고, B 및 Gb 컬러 픽셀들은 제2,4,6 등의 우수 로우들에서 교번한다. 전형적인 실시예의 2/3 독출 구조(즉, 최대 해상도의 2/3)의 조건에서, 제1, 3 로우들은 매트릭스(810)의 제1 3X3 스쿼어(820)로부터 독출되고, 도 4에 대해 상기한 바와 같은 독출 회로에 저장된다. 제1 전송(800) 동안에 상기 독출 회로의 스위치들은 Gr(1,1)+Gr(1,3)+Gr(3,1)+Gr(3,3)과 같이 제1, 3 로우들로부터의 제1 녹색 픽셀들을 먼저 평균화하도록 배열되고, 여기서, 포맷 Gr(1,3)은 제1 로우, 제3 컬럼의 녹색 픽셀을 나타내고, Gr(3,1)은 제3 로우, 제1 컬럼의 녹색 픽셀을 나타낸다. 제1 및 제3 로우들의 제1 녹색 픽셀들이 평균화된 후, 평균화 과정은 적색 픽셀들로 이동하여(801) R(1,2)+R(3,2)의 합산이 실행된다.

<49> 제1 픽셀 스쿼어(820)가 독출된 후, 상기 과정이 제2 픽셀 스쿼어(821)에 계속되고, 여기서, Gr 픽셀들은 독출되어(802) Gr(1,5)+Gr(3,5)에 따라 평균화되며, 적색 픽셀들은 독출되어(803) R(1,4)+R(1,6)+R(3,4)+R(3,6)에 따라 평균화된다. 당업자가 알 수 있는 바와 같이, 제5 컬럼(802)은 베이어 패턴을 유지하기 위해 제4 및 제6 컬럼들(803)보다 먼저 독출된다. 스쿼어들(820),(821)은 독출되어 평균화된 후, 상기 과정은 도 9에 도시된 제2 전송으로 이동한다.

<50> 도 9에서, 제2 로우는, 제1 픽셀 스쿼어(820)의 청색 픽셀들이 독출되어 B(2,1)+B(2,3)에 따라 평균화되며(900) 처리된다. 그 다음에, 제2 녹색 픽셀(Gb)은 독출되어(901), 단지 스쿼어(820)의 로우의 픽셀 컬러뿐이기 때문에 평균화되지 않는다. 상기 과정은 제2 스쿼어(821)에 계속되고, 여기서, 청색 픽셀은 독출되어(902), 평균화되지 않으며, 제2 녹색 픽셀(Gb)은 독출되어 Gb(2,4)+Gb(2,6)에 따라 평균화된다(902). 더 간단한 알고리즘의 경우, 제2 녹색 픽셀(Gb)(901)은 생략될 수 있거나, 교번하여 독출되어 1/5의 상대 가중치를 가진 채 제1 전송의 제1 녹색 픽셀들(Gr)에 추가된다.

<51> 도 10을 참조하면, 평균화 과정은 매트릭스(810)의 제3,4 스쿼어(822),(823)로 진행하고, 여기서, 제5 로우가 제1 전송(810A)에서 독출되고 뒤이어 제2 패스(810B)의 제4,6 로우가 독출된다. 상기 제1 전송에서, 제3 스쿼어

(822)에서 시작하여 제5 로우의 제1 녹색 픽셀들(Gr)이 독출되고(1000), Gr(5,1)+Gr(5,3)에 따라 평균화되고, 뒤이어 스쿼어(822)의 적색 픽셀(1001)로부터 독출된다. 제4 스쿼어(823)를 참조하면, 제5 로우의 1개 제1 녹색 픽셀(Gr)(Gr(5,5))이 독출되고(1002), 뒤이어 적색 픽셀들로부터 독출되는데, 상기 적색 픽셀들은 독출되어 R(5,4)+R(5,6)에 따라 평균화된다(1003).

<52> 계속하여, 제4 ,6 로우들은 제2 전송에서 독출된다. 스쿼어(822)에서 시작하여 청색 픽셀들이 독출되어 B(4,1)+B(4,3)+B(6,1)+B(6,3)에 따라 평균화된다. 그 다음에, 제2 녹색 픽셀들(Gb)이 독출되어 Gb(4,2)+Gb(6,2)에 따라 평균화된다. 스쿼어(823)로 이동하여, 청색 픽셀들이 독출되어 B(4,5)+B(6,5)에 따라 평균화되고(1006), Gb 녹색 픽셀들이 독출되어 Gb(4,4)+Gb(4,6)+Gb(6,4)+Gb(6,6)에 따라 평균화된다.

<53> 상기한 도 8 내지 도 10에 따라 비닝되었던(즉, 독출되어 평균화되었던) 픽셀들은 도 11에 음영화된 픽셀들로서 도시되어 있다. 알 수 있는 바와 같이, 베이어 패턴의 해상도의 2/3(6X6 매트릭스의 4X4 매트릭스)가 실현되어 있다. 도 11에 도시된 "베이어 유사(Bayer-like)" 패턴을 유지하기 위해, 제5 컬럼은 제4 컬럼보다 먼저 독출되어야 하고, 제5 로우는 제4 로우보다 먼저 독출되어야 한다.

<54> VGA 베이어 모드의 조건에서, 각각의 6X6 픽셀 스쿼어는 2개 녹색 픽셀들, 1개 적색 픽셀 및 1개 청색 픽셀을 출력하여야 한다. VGA 베이어 패턴을 실현하는 전형적인 구조는 도 12에 도시되어 있고, 여기서, 픽셀들은 3개 로우들과 3개 컬럼들로부터 평균화된다. 도 3 내지 도 7을 참조하여 상기한 회로 중 어떠한 것이든지 사용하면, 평균화될 픽셀들은 제1 녹색(Gr), 적색(R), 제2 녹색(Gb) 및 청색(B)으로서 표기된다. 먼저, 제1, 3, 5 로우들이 인에이블되고, 제1, 3, 5 컬럼들 및 제2, 4, 6 컬럼들이 평균화된다. 그 다음에, 제 2, 4, 6 로우들이 동일 방법으로 인에이블되고 평균화되어 독출된다. 이러한 비닝 구조의 조건에서, 어느 픽셀 데이터도 스킵되지 않는다.

<55> 또 다른 비닝 구조가 도 13에 도시되어 있는데, 이는 3개 컬럼들 당 2개 로우들(예를 들어, 제2,5 로우들)을 평균화하고 이로써 픽셀 데이터의 2/3를 얻는다(픽셀들의 1/3이 스킵됨). 한편, 도 14는 2개 컬럼들과 2개 로우들을 평균화하기 위해 3개 컬럼에 1개씩 스킵하고 이로써 픽셀 데이터의 4/9를 유지한다(픽셀들의 5/9가 스킵됨). 유사한 비닝 및 평균화 구조들이 2048X1536, 1600X1200, 1280X1024, 1024X768 등과 같은 다양한 해상도들의 조건에서 다른 픽셀들(1.3Meg, 4Meg, 5Meg 등)에 적합할 수 있음은 자명하다.

<56> 도 15a 내지 도 15c는 본 발명, 특히 도 5의 실시예에 따라 또한 사용될 수 있는 여러 가지 수평 비닝 구조들을 도시하고 있다. 구체적으로는, 도 15a 내지 도 15c 각각은 컬럼 저장 시스템에서 제1 8개 컬럼 저장 회로들을 개시하고 있다. 상기 컬럼 저장 회로들은 도 5에 도시된 저장 회로들(500), (501)과 실질적으로 동일하다. 8개 컬럼 저장 회로들(1500)의 각각은 도 5를 참조하여 상기한 바와 같이 컬럼들간의 비닝 동작을 활성화하는 연결형 컬럼 스위치들(1501-1507)을 갖고 있다.

<57> 상기 8개 컬럼 회로들간의 비닝 동작을 설명하기 위해, 8개 컬럼들의 최대 해상도가 2048X1536이라고 가정한다. 도 15a에서, 1/2 해상도 실시예가 도시되어 있고(1024X768 RGB), 여기서, 스위치들(1501-1507)은 제1,3 컬럼들, 제2,4 컬럼들, 제5,7 컬럼들 및 제6,8 컬럼들간의 비닝을 제공하도록 활성화된다. 도 15b에서, 1280X1024 RGB(또는 VGA 트루 컬러(true color), 또는 VGA 베이어 5/9 스킵) 해상도가 도시되어 있고, 여기서, 스위치들(1501), (1505), (1506)은 제1,3 컬럼들, 제4 ,6 컬럼들, 제7,9 컬럼들(미도시) 사이의 비닝을 제공하도록 활성화된다. 마지막으로, 도 15c는 "1/3 스킵"구조를 사용하는 VGA 베이어형 응답(response)을 도시하고 있고, 여기서, 스위치들(1501,1507), (1502,1505), 등이 활성화되어 제1,3,5 컬럼들이 비닝되고 그 다음에 제 2,4,6 컬럼들 등이 비닝된다.

<58> 도 16을 참조하면, 컬럼/로우 픽셀 값들의 차감은 Mg-Cy-Ye-G 필터 어레이(1600)에 관하여 설명한다. 컬러 분리 값들은 C2-C1=(Ye+Mg)-(Cy-G) 또는 C3-C4=(Cy+Mg)-(Ye-G)로서 연산될 수 있다. 이를 달성하기 위해, 픽셀 리셋 신호는 픽셀 신호들을 저장하는데 일반적으로 사용되는 캐패시터에 저장되고, 픽셀 신호는 리셋 신호들을 저장하는데 일반적으로 사용되는 캐패시터에 저장된다.

<59> 예를 들면, 도 6에 관하여, 컬러 분리 값들을 연산하기 위해, 픽셀 신호들은 캐패시터들(606), (607)에 저장되고 리셋 신호들은 캐패시터들(604), (605)에 저장된다. 따라서, 상기 값들은 차감된다.

<60> 상기한 비닝 회로들 및 그 방법들은 또한, 임의의 신호가 독출되고 있음에 따라 여러 개의 저장 캐패시터들이 동일한 신호의 복사본들을 보관하기 때문에 독출회로의 개선된 신호 대 잡음 비(signal-to-noise ratio: SNR)를 제공하는 것을 주목하여야 한다. 따라서, 모든 복사본들을 독출함으로써의 결과들을 디더링(dithering)하는 것은 SNR 특성 및 컬럼 공간 잡음(color spatial noise)을 개선한다.

- <61> 상기한 비닝 회로들 및 그 방법들 중 어느 것이든지를 포함하는 이미징 장치(2000)의 예는 도 17에 도시되어 있고, 피사체로부터의 광을, 이미지 센서를 포함하는 이미지 센싱 장치(2002)에 이미징되도록 지향하기 위한 렌즈 시스템(2001), 이미지 센싱 장치(2002)에서 수신된 이미지 신호들을 디지털 신호들로 변환하기 위한 아날로그/디지털 변환기(2003), 컬러 보간, 샤프니스 필터링(sharpness filtering), 화이트 밸런싱(white balancing) 등과 같은 이미지 보정 과정들을 실행하기 위한 이미지/컬러 프로세싱 장치(2005), 사용자에게 출력되거나 디스플레이되기 위한 적절한 파일 포맷으로 이미지 데이터를 변환하기 위한 출력 포맷 변환/압축 장치(2007) 및 이미징 장치(2000)의 전체 동작들을 제어하기 위한 컨트롤러(2004)를 포함한다.
- <62> 이미지 센싱 장치(2002)의 이미지 센서는 바람직하게는, 실리콘과 같은 광감응성 물질로 만들어진 픽셀들을 포함하는 집적회로로서 구성된다. 상기 이미지 센서는, 씨모스(CMOS) 센서로서 형성될 수 있고, 단일 집적회로 내에 씨피유(CPU), 디지털 시그널 프로세서 또는 마이크로프로세서와 같은 프로세서와 함께 결합될 수 있다. 한편, 이미지 센싱 장치(204)의 이미지 센서는 전하 촬상 소자(CCD)로서 구성될 수 있다.
- <63> 제한됨 없이, 상기 이미징 장치(2000)는 컴퓨터 시스템, 카메라 시스템, 스캐너(scanner), 머신 비전 시스템(machine vision system), 차량 항법 시스템(vehicle navigation system) 시스템, 비디오 전화기, 경비 시스템(surveillance system), 자동 초점 시스템(auto focus system), 항성 추적 시스템(star tracker system), 동작 검출 시스템(motion detection system), 이미지 안정화 시스템(image stabilization system) 및 고선명(high-definition) 텔레비전용 데이터 압축 시스템을 포함하고, 이 모든 것은 본 발명을 활용할 수 있다.
- <64> 상기 이미징 장치(2000)가 연결될 수 있는 전형적인 프로세서 시스템(4000)은 도 18에 도시되어 있다. 예를 들어 컴퓨터 시스템과 같은 프로세싱 시스템(4000)은 일반적으로, 버스(4006)를 거쳐 입/출력(I/O) 장치(4004)와 통신하는 중앙 처리 장치(CPU)(4001)를 포함한다. 상기 이미징 장치(2000)는 버스(4006) 또는 포트 연결부(ported connection)를 거쳐 상기 시스템과 통신한다. 상기 프로세서 시스템(4000)은 또한 랜덤 액세스 메모리(RAM)(4005)를 포함하고, 컴퓨터 시스템의 경우, 상기 버스(4006)를 거쳐 CPU(4001)와 또한 통신하는, 플로피 디스크 드라이브(4002) 및 콤팩트 디스크(CD) 롬(ROM) 드라이브(4003)와 같은 주변 장치들을 포함할 수 있다.
- <65> 본 발명이 공지된 바람직한 실시예를 참조하여 상세히 설명되었다라도, 본 발명이 개시된 실시예들에 한정되지 않음은 자명하다. 물론, 본 발명은 변형들, 변경들, 치환들 또는 지금까지 기술되지 않은 균등한 배열들 중 몇 개이든지 포함하도록 수정될 수 있으나, 이는 본 발명의 사상과 영역에 속한다. 따라서, 본 발명은 상술한 설명 또는 도면들에 의해 한정되지 아니 하고, 첨부된 청구범위의 영역에 의해 한정되어야만 한다.

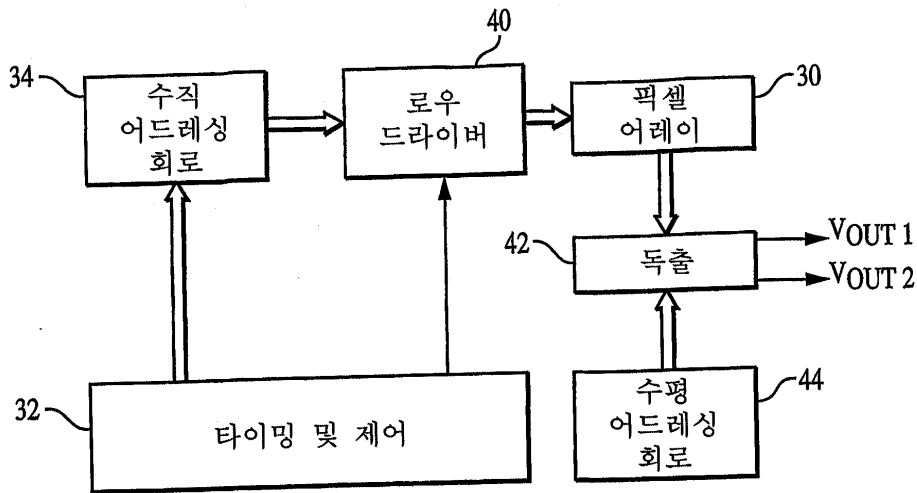
**도면의 간단한 설명**

- <9> 본 발명의 상기한 이점 및 특징과 다른 이점 및 특징은 첨부된 도면을 참조하여 제공되는 이하의 본 발명의 상세한 설명으로부터 더 명백하게 이해될 것이다.
- <10> 도 1은 전형적인 종래의 씨모스 능동형 픽셀 센서 칩의 블록도.
- <11> 도 2는 능동형 픽셀 센서들의 통상적인 어레이와 독출 회로의 블록도.
- <12> 도 3은 전형적인 전하형 독출 회로도.
- <13> 도 4는 본 발명의 전형적인 실시예에 따른 분할 캐패시터(split-capacitor) 구성을 구현함으로써 수직 비닝을 도시한 도면.
- <14> 도 5는 본 발명의 다른 전형적인 실시예에 따른 컬럼 라인들간의 수평 평균화 구조(scheme)를 도시한 도면.
- <15> 도 6은 본 발명의 또 다른 전형적인 실시예에 따른 1/2 정전용량 라인 평균화 회로를 도시한 도면.
- <16> 도 7은 도 6의 회로를 위한 전형적인 컬러 평균화 동작을 도시한 도면.
- <17> 도 8은 본 발명의 전형적인 실시예에 따른 제1 스퀘어(square)의 픽셀 매트릭스를 위한 전형적인 컬러 평균화 과정을 도시한 도면.
- <18> 도 9는 본 발명의 전형적인 실시예에 따른 제2 스퀘어의 픽셀 매트릭스를 위한 전형적인 컬러 평균화 과정을 도시한 도면.
- <19> 도 10은 본 발명의 전형적인 실시예에 따른 제3, 4 스퀘어들의 픽셀 매트릭스를 위한 전형적인 컬러 평균화 과정을 도시한 도면.

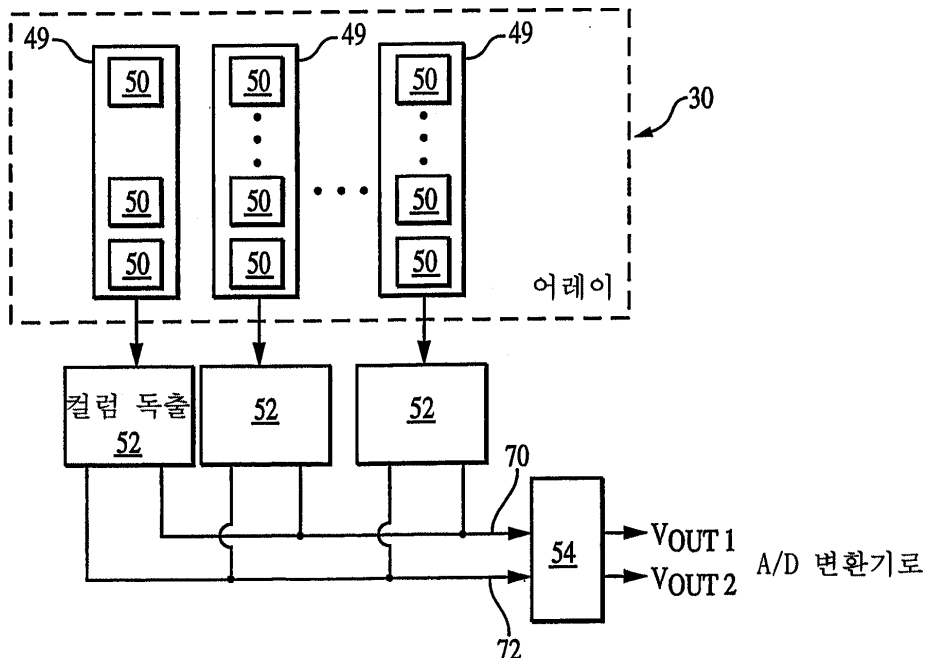
- <20> 도 11은 도 8 내지 도 10의 평균화 과정 후의 비닝된 픽셀 매트릭스를 도시한 도면.
- <21> 도 12는 픽셀들이 3개 로우들과 3개 컬럼들로부터 평균화되는, 브이지에이 베이어(VGA Bayer) 패턴을 실현하는 본 발명에 따른 전형적인 구성을 도시한 도면.
- <22> 도 13은 화소 매트릭스의 3개 컬럼들로부터 2개 로우들이 평균화되는, 본 발명에 따른 2/3 해상도 비닝 구조를 도시한 도면.
- <23> 도 14는 2개 컬럼들과 2개 로우들을 평균화하기 위해 3개 컬럼에 1개씩 스킵되는, 본 발명에 따른 비닝 구조를 도시한 도면.
- <24> 도 15a는 본 발명의 또 다른 실시예에 따른 1024 X 768 RGB 해상도를 실현하는 전형적인 수평 비닝 구조를 도시하는 도면.
- <25> 도 15b는 본 발명의 또 다른 실시예에 따른 1280 X 1024 RGB 해상도를 실현하는 전형적인 수평 비닝 구조를 도시한 도면.
- <26> 도 15c는 본 발명의 또 다른 실시예에 따른 "1/3 스킵" VGA 베이어 해상도를 실현하는 전형적인 수평 비닝 구조를 도시한 도면.
- <27> 도 16은 본 발명의 또 다른 실시예에 따라 컬러 분리 값들이 연산되는 Mg-Cy-Ye-G 필터 어레이를 도시한 도면.
- <28> 도 17은 본 발명에 또 다른 실시예에 따른 이미징 장치의 블록도.
- <29> 도 18은 본 발명의 실시예들 중 어느 것이든지에 따라 구성된 비닝 회로를 사용하는 프로세싱 시스템을 도시한 도면.

**도면**

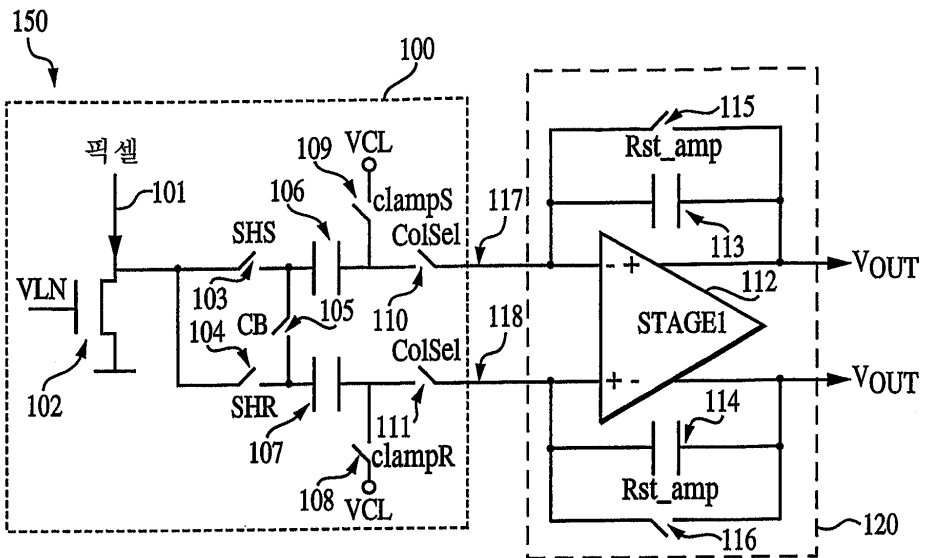
**도면1**



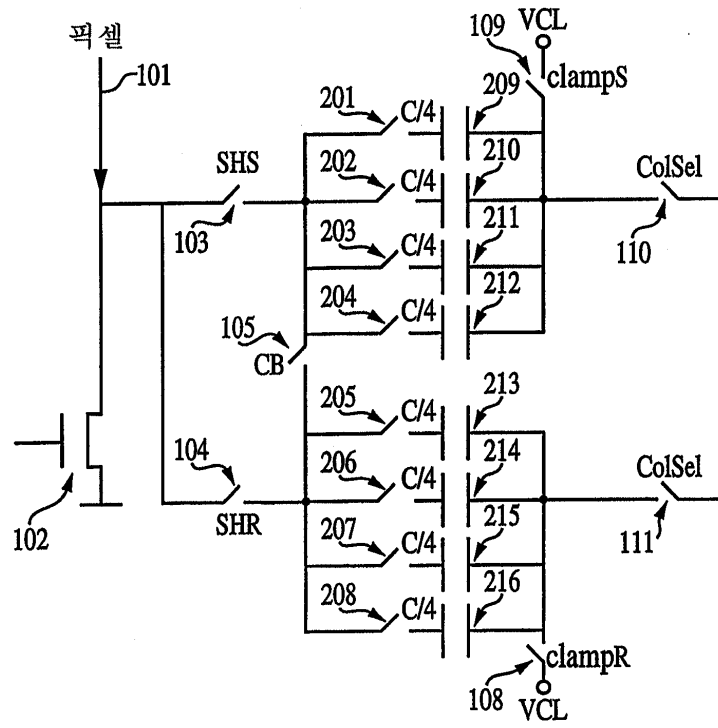
도면2



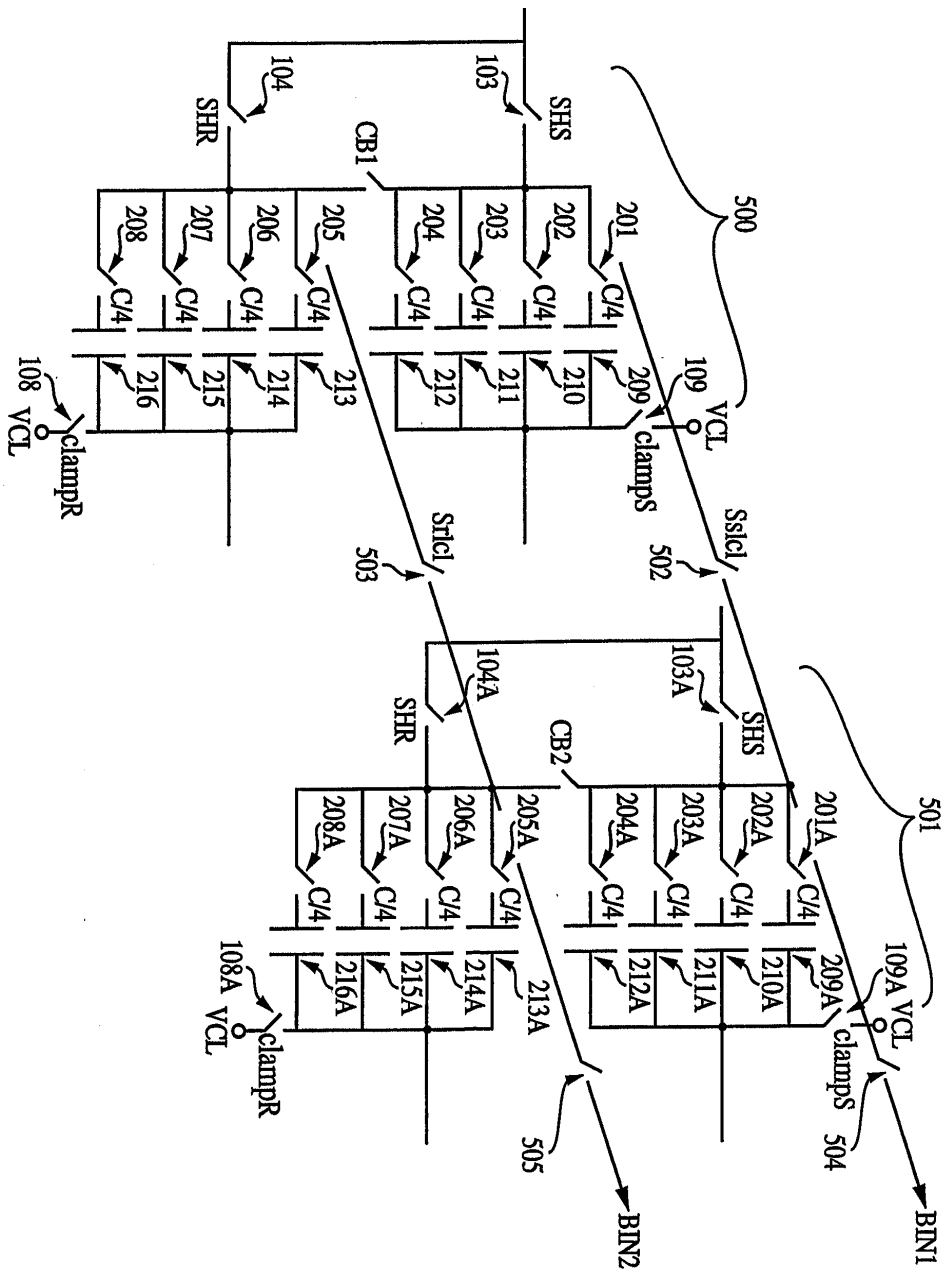
도면3



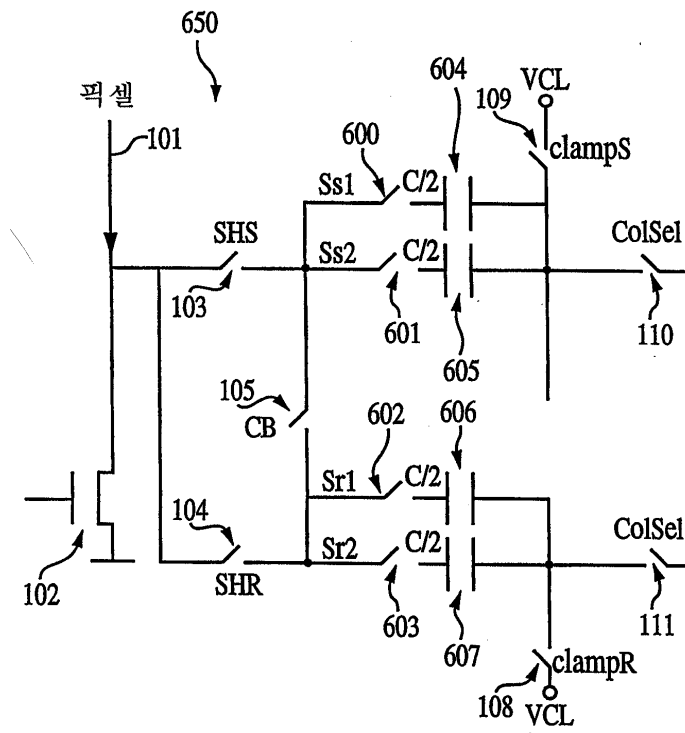
도면4



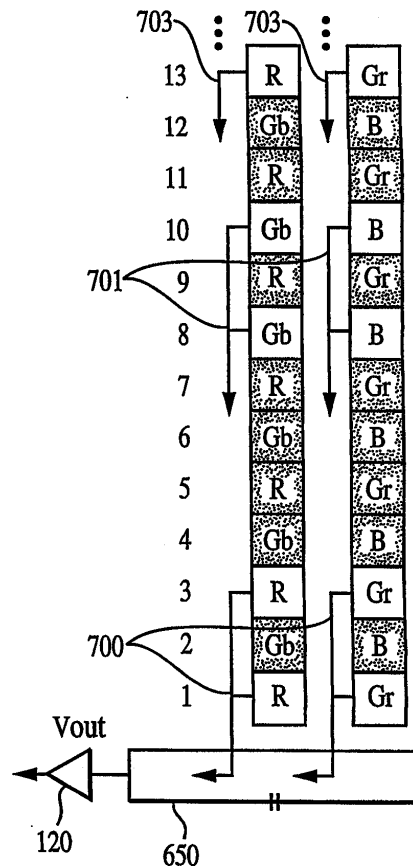
도면5



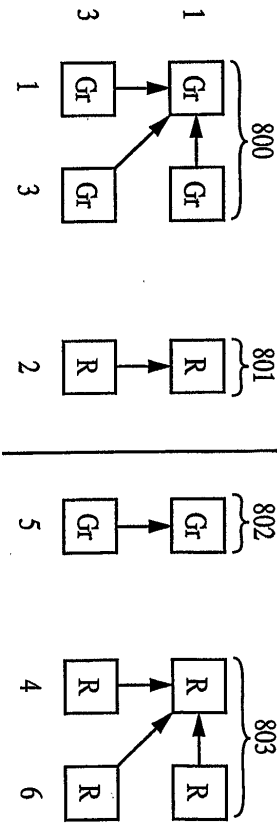
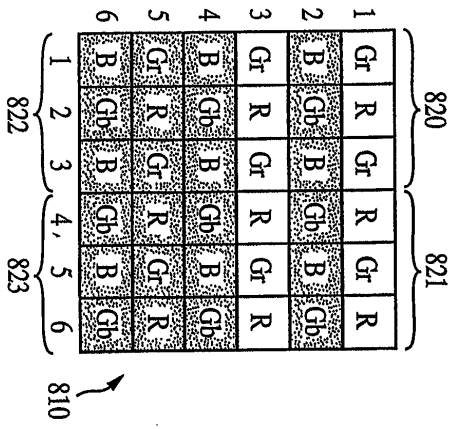
도면6



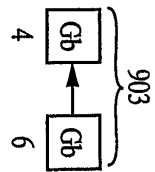
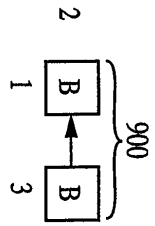
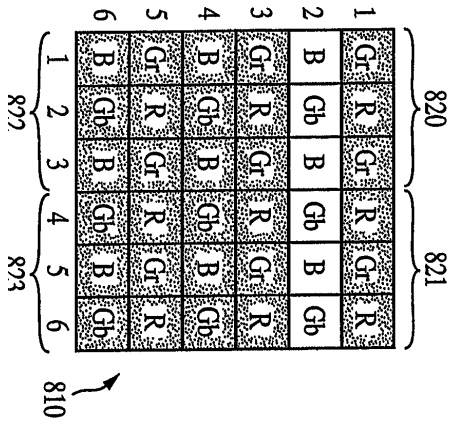
도면7



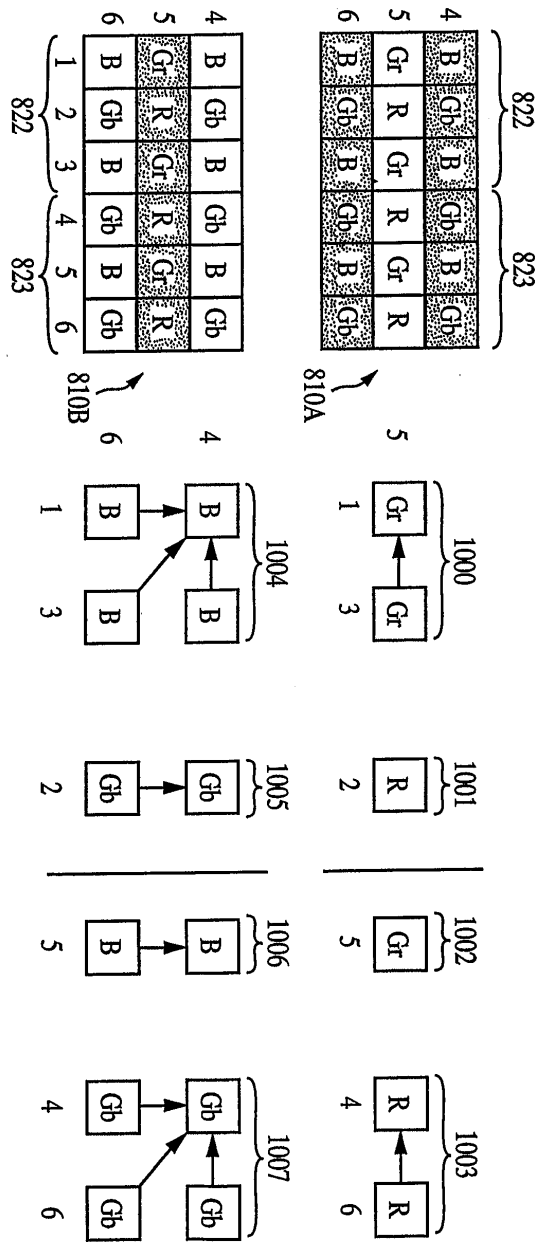
도면8



도면9



도면10



도면11

1	Gr	R	Gr	R	Gr	R
2	B	Gb	B	Gb	B	Gb
3	Gr	R	Gr	R	Gr	R
4	B	Gb	B	Gb	B	Gb
5	Gr	R	Gr	R	Gr	R
6	B	Gb	B	Gb	B	Gb
	1	2	3	4	5	6

도면12

1	Gr	R	Gr	R	Gr	R
2	B	Gb	B	Gb	B	Gb
3	Gr	R	Gr	R	Gr	R
4	B	Gb	B	Gb	B	Gb
5	Gr	R	Gr	R	Gr	R
6	B	Gb	B	Gb	B	Gb
	1	2	3	4	5	6

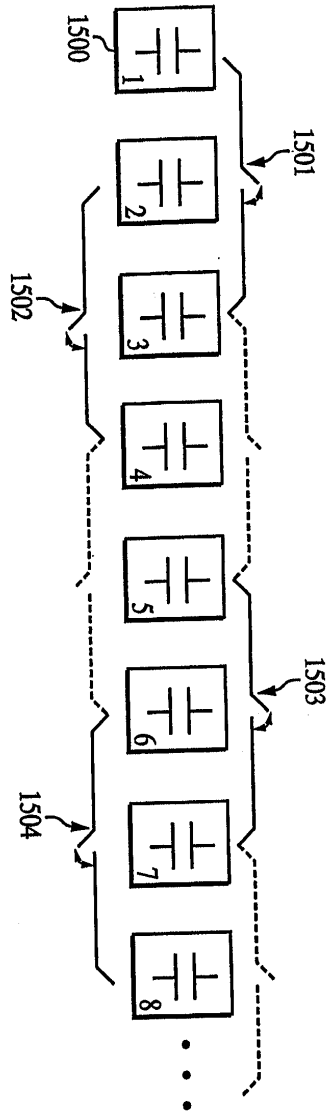
도면13

1	Gr	R	Gr	R	Gr	R
2	B	Gb	B	Gb	B	Gb
3	Gr	R	Gr	R	Gr	R
4	B	Gb	B	Gb	B	Gb
5	Gr	R	Gr	R	Gr	R
6	B	Gb	B	Gb	B	Gb
	1	2	3	4	5	6

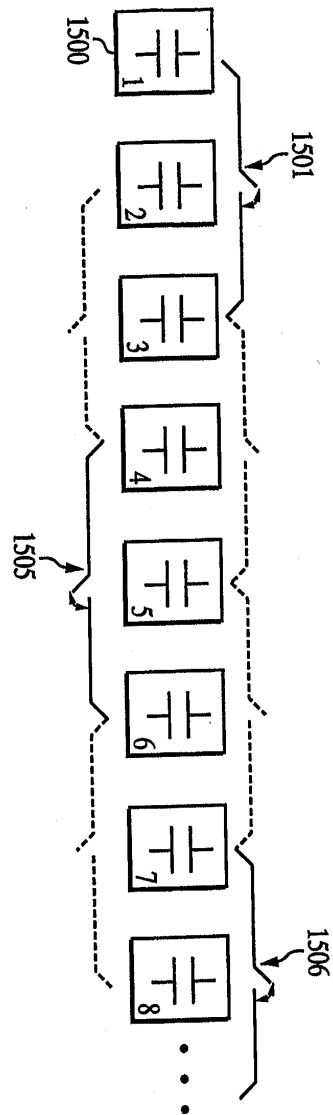
도면14

1	Gr	R	Gr	R	Gr	R
2	B	Gb	B	Gb	B	Gb
3	Gr	R	Gr	R	Gr	R
4	B	Gb	B	Gb	B	Gb
5	Gr	R	Gr	R	Gr	R
6	B	Gb	B	Gb	B	Gb
	1	2	3	4	5	6

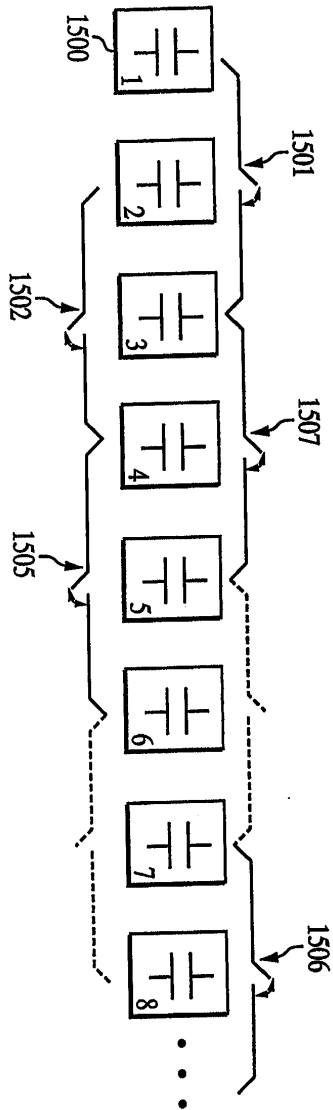
도면15a



도면15b



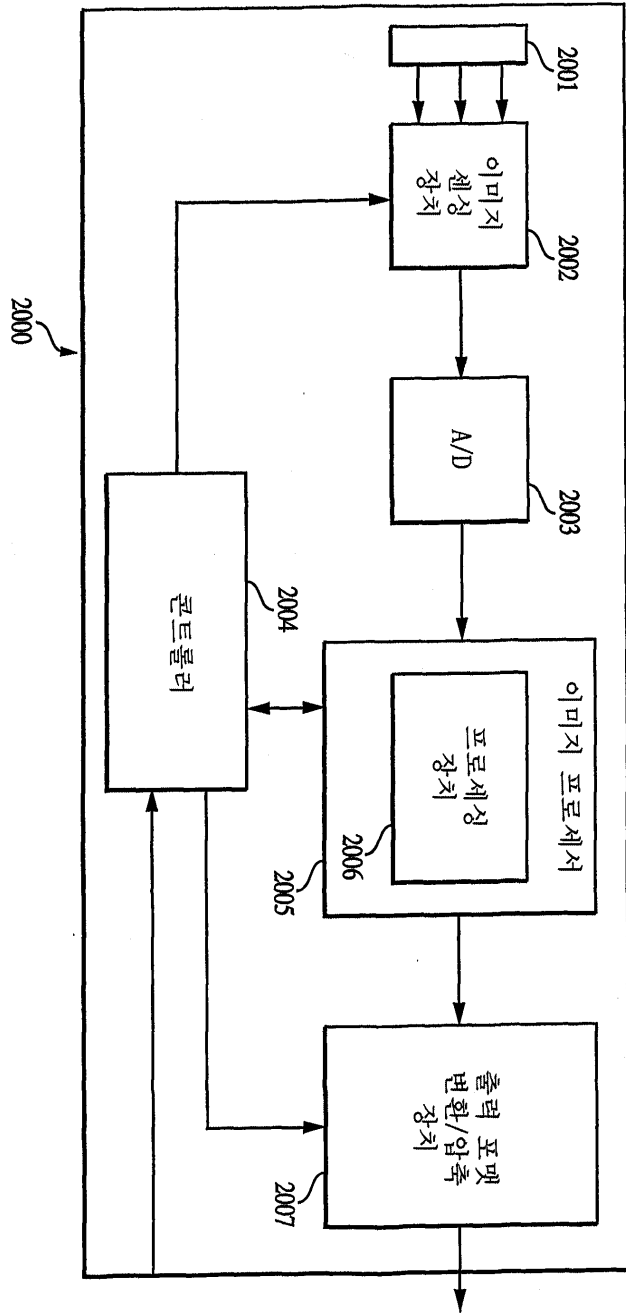
도면15c



도면16

Cy	Ye	Cy	Ye	1600
G	Mg	G	Mg	
Cy	Ye	Cy	Ye	
Mg	G	Mg	G	

도면17



도면18

