



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년08월26일
(11) 등록번호 10-1299604
(24) 등록일자 2013년08월19일

(51) 국제특허분류(Int. Cl.)

H01L 21/20 (2006.01) H01L 29/786 (2006.01)

H01L 21/324 (2006.01)

(21) 출원번호 10-2008-7011872

(22) 출원일자(국제) 2006년10월05일

심사청구일자 2011년09월20일

(85) 번역문제출일자 2008년05월19일

(65) 공개번호 10-2008-0072670

(43) 공개일자 2008년08월06일

(86) 국제출원번호 PCT/JP2006/320362

(87) 국제공개번호 WO 2007/046290

국제공개일자 2007년04월26일

(30) 우선권주장

JP-P-2005-00303761 2005년10월18일 일본(JP)

JP-P-2006-00076454 2006년03월20일 일본(JP)

(56) 선행기술조사문헌

JP2004327677 A

EP0651431 A2

JP2004179195 A

US6172380 B1

전체 청구항 수 : 총 20 항

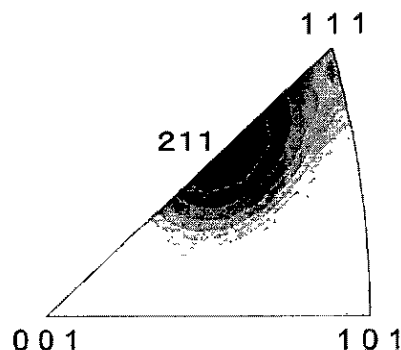
심사관 : 정성중

(54) 발명의 명칭 반도체 장치 및 그 제조 방법

(57) 요약

본 발명의 목적은 레이저빔을 사용함으로써 획득된 결정립의 면방위를 레이저빔의 조사 영역내에서 일방향으로서 실질적으로 간주될 수 있는 방향으로 제어하는 것이다. 반도체막 상에 캡막을 형성한후, 반도체막은 CW 레이저 또는 10MHz 이상의 반복율을 가지는 펄스 레이저를 사용함으로써 결정화된다. 획득된 반도체막은 폭이 0.01 μ m 이상의 폭과 1 μ m 이상의 길이를 가지는 복수의 결정립을 가진다. 획득된 반도체막의 표면에서, 방향 {211}의 비는 $\pm 10^\circ$ 의 각도 요동의 범위내에서 0.4 이상이다.

대표도



특허청구의 범위

청구항 1

기관 위에 복수의 결정립을 포함하는 반도체막을 구비하는 반도체 장치로서,

상기 결정립 중 적어도 하나의 입경은 $0.01\mu\text{m}$ 이상의 폭 및 $1\mu\text{m}$ 이상의 길이를 가지며,

상기 기관의 표면에 수직인 방향이 제1 방향으로서 정의되고, 상기 제1 방향이 법선 벡터와 일치하는 면이 제1 면으로서 정의될 때, 상기 제1 면에 있어서의 상기 반도체막의 면방위에서, 방위 $\{211\}$ 의 비는 $\pm 10^\circ$ 의 각도 요동의 범위내에서 0.4 이상인 반도체 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

기관 위에 복수의 결정립을 포함하는 반도체막을 구비하는 반도체 장치로서,

상기 결정립 중 적어도 하나의 입경은 $0.01\mu\text{m}$ 이상의 폭 및 $1\mu\text{m}$ 이상의 길이를 가지고,

상기 기관의 표면에 수직인 방향이 제1 방향으로서 정의되고, 상기 제1 방향이 법선 벡터와 일치하는 면이 제1 면으로서 정의될 때, 상기 제1 면에 있어서의 상기 반도체막의 면방위에서, 방위 $\{211\}$ 의 비는 $\pm 10^\circ$ 의 각도 요동의 범위내에서 0.4 이상이며,

상기 기관의 표면과 상기 결정립의 결정 성장에 평행인 방향이 제2 방향으로서 정의되고, 상기 제2 방향이 법선 벡터와 일치하는 면이 제2 면으로서 정의될 때, 상기 제2 면에 있어서의 상기 반도체막의 면방위에서, 방위 $\{110\}$ 의 비는 $\pm 10^\circ$ 의 각도 요동의 범위내에서 0.5 이상인 반도체 장치.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

기관 위에 복수의 결정립을 포함하는 반도체막을 구비하는 반도체 장치로서,

상기 결정립 중 적어도 하나의 입경은 $0.01\mu\text{m}$ 이상의 폭 및 $1\mu\text{m}$ 이상의 길이를 가지고,

상기 기관의 표면에 수직인 방향이 제1 방향으로서 정의되고, 상기 제1 방향이 법선 벡터와 일치하는 면이 제1 면으로서 정의될 때, 상기 제1 면에 있어서의 상기 반도체막의 면방위에서, 방위 $\{211\}$ 의 비는 $\pm 10^\circ$ 의 각도 요동의 범위내에서 0.4 이상이며,

상기 제1 방향과 상기 결정립의 결정 성장에 수직인 방향이 제3 방향으로서 정의되고, 상기 제3 방향이 법선 벡터와 일치하는 면이 제3 면으로서 정의될 때, 상기 제3 면에 있어서의 상기 반도체막의 면방위에서, 방위 $\{111\}$ 의 비는 $\pm 10^\circ$ 의 각도 요동의 범위내에서 0.4 이상인 반도체 장치.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

기관 위에 복수의 결정립을 포함하는 반도체막을 구비하는 반도체 장치로서,

상기 결정립 중 적어도 하나의 입경은 $0.01\mu\text{m}$ 이상의 폭 및 $1\mu\text{m}$ 이상의 길이를 가지고,

상기 기관의 표면과 상기 결정립의 결정 성장에 평행인 방향이 제2 방향으로서 정의되고, 상기 제2 방향이 법선 벡터와 일치하는 면이 제2 면으로서 정의될 때, 상기 제2 면에 있어서의 상기 반도체막의 면방위에서, 방위 $\{110\}$ 의 비는 $\pm 10^\circ$ 의 각도 요동의 범위내에서 0.5 이상이며,

상기 기관의 표면에 평행이고 상기 제2 방향에 수직인 방향이 제3 방향으로서 정의되고, 상기 제3 방향이 법선 벡터와 일치하는 면이 제3 면으로서 정의될 때, 상기 제3 면에 있어서의 상기 반도체막의 면방위에서, 방위 $\{111\}$ 의 비는 $\pm 10^\circ$ 의 각도 요동의 범위내에서 0.4 이상인 반도체 장치.

청구항 17

제1항, 제6항, 제11항 또는 제16항 중 어느 한 항에 있어서,

상기 반도체막은 실리콘을 포함하는 반도체 장치.

청구항 18

제1항, 제6항, 제11항 또는 제16항 중 어느 한 항에 있어서,

상기 반도체 장치는 박막 트랜지스터, 구동회로, 전원회로, IC, 메모리, CPU, 메모리 소자, 다이오드, 광전변환 소자, 저항소자, 코일, 용량소자, 인덕터, 화소, CCD, 및 센서로 이루어지는 그룹 중 적어도 하나인 반도체 장치.

청구항 19

제1항, 제6항, 제11항 또는 제16항 중 어느 한 항에 있어서,

상기 반도체 장치는 박막 집적회로 장치, 카메라, 반사형 프로젝터, 화상표시장치, 헤드 장착형 디스플레이, 네비게이션 시스템, 음향재생장치, 휴대형 정보처리 단말, 게임 기기, 컴퓨터, 및 기록 매체를 구비한 화상재생장치로 이루어지는 그룹 중 적어도 하나를 제조하는데 사용되는 반도체 장치.

청구항 20

제1항, 제6항, 제11항 또는 제16항 중 어느 한 항에 있어서,

상기 반도체막의 라만 변환 피크는 516 내지 518 cm^{-1} 에서 관찰되며, 상기 피크의 편차는 편차 계수의 20% 이하인 반도체 장치.

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

기판 위에 베이스 절연막을 형성하는 단계;

상기 베이스 절연막 위에 반도체막을 형성하는 단계;

상기 반도체막 위에 200nm 이상의 두께로 캡막을 형성하는 단계; 및

레이저빔을 주사하면서 상기 캡막을 통과하여 상기 반도체막에 상기 레이저빔을 조사함으로써 상기 반도체막을 결정화시키는 단계를 포함하며,

상기 결정화된 반도체막내의 결정립 중 적어도 하나의 입경은 0.01 μm 이상의 폭 및 1 μm 이상의 길이를 가지고,

상기 기판의 표면에 수직인 방향이 제1 방향으로서 정의되고, 상기 제1 방향이 법선 벡터와 일치하는 면이 제1 면으로서 정의될 때, 상기 제1 면에 있어서의 상기 결정화된 반도체막의 면방위에서, 방위 {211}의 비는 $\pm 10^\circ$ 의 각도 요동의 범위내에서 0.4 이상인 반도체 장치의 제조 방법.

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

기관 위에 베이스 절연막을 형성하는 단계;

상기 베이스 절연막 위에 반도체막을 형성하는 단계;

상기 반도체막 위에 200nm 이상의 두께로 캡막을 형성하는 단계; 및

레이저빔을 주사방향으로 주사하면서 상기 캡막을 통과하여 상기 반도체막에 상기 레이저빔을 조사함으로써 상기 반도체막을 결정화시키는 단계를 포함하며,

상기 결정화된 반도체막내의 결정립 중 적어도 하나의 입경은 0.01 μ m 이상의 폭 및 1 μ m 이상의 길이를 가지고,

상기 기관의 표면에 수직인 방향이 제1 방향으로서 정의되고, 상기 제1 방향이 법선 벡터와 일치하는 면이 제1 면으로서 정의될 때, 상기 제1 면에 있어서의 상기 결정화된 반도체막의 면방위에서, 방위 {211}의 비는 $\pm 10^\circ$ 의 각도 요동의 범위내에서 0.4 이상이며,

상기 기관의 표면과 상기 레이저빔의 주사방향에 평행인 방향이 제2 방향으로서 정의되고, 상기 제2 방향이 법선 벡터와 일치하는 면이 제2 면으로서 정의될 때, 상기 제2 면에 있어서의 상기 결정화된 반도체막의 면방위에서, 방위 {110}의 비는 $\pm 10^\circ$ 의 각도 요동의 범위내에서 0.5 이상인 반도체 장치의 제조 방법.

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

기관 위에 베이스 절연막을 형성하는 단계;

상기 베이스 절연막 위에 반도체막을 형성하는 단계;

상기 반도체막 위에 200nm 이상의 두께로 캡막을 형성하는 단계; 및

주사방향으로 레이저빔을 주사하면서 상기 캡막을 통과하여 상기 반도체막에 상기 레이저빔을 조사함으로써 상기 반도체막을 결정화시키는 단계를 포함하며,

상기 결정화된 반도체막내의 결정립 중 적어도 하나의 입경은 $0.01\mu\text{m}$ 이상의 폭 및 $1\mu\text{m}$ 이상의 길이를 가지고,

상기 기판의 표면에 수직인 방향이 제1 방향으로서 정의되고, 상기 제1 방향이 법선 벡터와 일치하는 면이 제1 면으로서 정의될 때, 상기 제1 면에 있어서의 상기 반도체막의 면방위에서, 방위 $\{211\}$ 의 비는 $\pm 10^\circ$ 의 각도 요동의 범위내에서 0.4 이상이고,

상기 레이저빔의 주사방향에 수직이고 상기 기판의 표면에 평행인 방향이 제3 방향으로서 정의되고, 상기 제3 방향이 법선 벡터와 일치하는 면이 제3 면으로서 정의될 때, 상기 제3 면에 있어서의 상기 결정화된 반도체막의 면방위에서, 방위 $\{111\}$ 의 비는 $\pm 10^\circ$ 의 각도 요동의 범위내에서 0.4 이상인 반도체 장치의 제조 방법.

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

청구항 48

기판 위에 베이스 절연막을 형성하는 단계;

상기 베이스 절연막 위에 반도체막을 형성하는 단계;

상기 반도체막 위에 200nm 이상의 두께로 캡막을 형성하는 단계; 및

레이저빔을 주사방향으로 주사하면서 상기 캡막을 통과하여 상기 반도체막에 상기 레이저빔을 조사함으로써 상기 반도체막을 결정화시키는 단계를 포함하며,

상기 결정화된 반도체막내의 결정립 중 적어도 하나의 입경은 $0.01\mu\text{m}$ 이상의 폭 및 $1\mu\text{m}$ 이상의 길이를 가지고,

상기 기판의 표면과 상기 레이저빔의 주사방향에 평행인 방향이 제2 방향으로서 정의되고, 상기 제2 방향이 법선 벡터와 일치하는 면이 제2 면으로서 정의될 때, 상기 제2 면에 있어서의 상기 결정화된 반도체막의 면방위에서, 방위 $\{110\}$ 의 비는 $\pm 10^\circ$ 의 각도 요동의 범위내에서 0.5 이상이고,

상기 기판의 표면에 평행이고 상기 레이저빔의 주사방향에 수직인 방향이 제3 방향으로서 정의되고, 상기 제3 방향이 법선 벡터와 일치하는 면이 제3 면으로서 정의될 때, 상기 제3 면에 있어서의 상기 결정화된 반도체막의 면방위에서, 방위 $\{111\}$ 의 비는 $\pm 10^\circ$ 의 각도 요동의 범위내에서 0.4 이상인 반도체 장치의 제조 방법.

청구항 49

제30항, 제36항, 제42항 또는 제48항 중 어느 한 항에 있어서,

상기 반도체막은 실리콘을 사용하여 형성되는 반도체 장치의 제조 방법.

청구항 50

제30항, 제36항, 제42항 또는 제48항 중 어느 한 항에 있어서,

상기 레이저빔은 연속파 레이저인 반도체 장치의 제조 방법.

청구항 51

제30항, 제36항, 제42항 또는 제48항 중 어느 한 항에 있어서,

상기 레이저빔은 10MHz 이상의 반복율을 가지는 펄스 레이저인 반도체 장치의 제조 방법.

청구항 52

제30항, 제36항, 제42항 또는 제48항 중 어느 한 항에 있어서,

상기 캡막은 게이트 절연막으로서 사용되는 반도체 장치의 제조 방법.

청구항 53

제30항, 제36항, 제42항 또는 제48항 중 어느 한 항에 있어서,

상기 베이스 절연막과 상기 기판 사이에 박리층을 형성하는 단계를 더 포함하는 반도체 장치의 제조 방법.

청구항 54

제30항, 제36항, 제42항 또는 제48항 중 어느 한 항에 있어서,

상기 반도체막을 결정화하기 전에 상기 캡막 위에 금속막을 형성하는 단계를 더 포함하는 반도체 장치의 제조 방법.

청구항 55

제30항, 제36항, 제42항 또는 제48항 중 어느 한 항에 있어서,

상기 반도체막에 레이저빔을 조사하면서 상기 반도체막에 가스를 분사하는 단계를 더 포함하고,

상기 가스의 온도는 300℃이상이고,

상기 가스는 불활성 가스 또는 공기인 반도체 장치의 제조 방법.

청구항 56

제30항, 제36항, 제42항 또는 제48항 중 어느 한 항에 있어서,

상기 반도체막에 레이저빔을 조사하면서 상기 반도체막에 플라즈마를 방출하는 단계를 더 포함하는 반도체 장치의 제조 방법.

명세서

기술분야

[0001] 본 발명은 레이저빔을 반도체막에 조사함으로써 결정구조를 가지는 반도체막을 형성하는 기술, 및 이 기술을 사용하여 형성되는 결정구조를 가지는 반도체막을 사용한 박막 트랜지스터(이하, TFT)와 같은 반도체 장치에 관한 다. 또한, 본 발명은 반도체 장치의 제조 방법에 관한다.

배경기술

[0002] 최근, 유리 기판 상에 형성되는 비정질 반도체막에 레이저빔을 조사함으로써 결정구조를 가지는 반도체막(이하, 결정성 반도체막)을 형성하는 레이저 결정화 기술이 널리 연구되어 왔다. 결정성 반도체막은 비정질 반도체막과 비교하여 높은 이동도 때문에 사용된다. 그러므로, TFT는 이 결정성 반도체막을 사용하여 형성되고, 그런 TFT는 화소부용 TFT 또는 화소부용 및 구동회로용 TFT가 1매의 유리 기판 상에 형성되는 액티브 매트릭스형 액정표시 장치, 유기 EL 표시장치 등에 사용되어 왔다.

- [0003] 결정화 방법으로서, 어닐링 퍼니스(furnace)를 사용한 열 어닐링법, 급속 열 어닐링법(RTA법), 레이저 처리법(레이저 조사에 의한 결정화법) 등이 있다. 열 어닐링법과 같이 고상 성장법을 사용할 경우에, 600℃ 이상에서의 고온처리가 수행되고, 그러므로 고열에 견딜 수 있는 고가의 석영 기판이 필요하게 되며, 제조 비용을 상승시킨다. 한편, 결정화에 레이저가 사용되는 경우에, 기판의 온도를 그다지 상승시키지 않고 단지 반도체막이 열을 흡수하도록 함으로써 결정화가 수행될 수 있다. 그러므로, 유리 또는 플라스틱과 같이 용점이 낮은 물질이 기판으로 사용될 수 있다. 따라서, 저렴하고 대면적으로 가공이 용이한 유리 기판이 사용될 수 있으며, 이에 따라 생산 효율이 현저하게 향상되었다.
- [0004] 레이저 결정화 방법의 하나로서, 펄스 레이저인 엑시머 레이저에 의한 결정화 방법이 있다. 엑시머 레이저의 파장은 자외선 영역에 속하고, 실리콘에 대한 흡수율이 높다. 그 때문에, 엑시머 레이저가 사용될 때, 실리콘이 선택적으로 가열된다. 예를 들면, 엑시머 레이저를 사용할 경우, 레이저 발진기로부터 방출되는 약 10×30mm의 사각 형상을 가지는 레이저빔이 광학계에 의해 수백 μm 의 폭과 300mm 이상의 길이가 되는 선형 빔 스폿으로 가공되어, 기판상의 실리콘이 레이저빔으로 조사된다. 여기에서, 고종횡비를 갖는 사각 형상, 또는 타원 형상은 선형 형상으로 참조된다. 빔 스폿을 상대적으로 주사하면서 선형으로 처리된 빔 스폿을 기판상의 실리콘에 조사함으로써, 어닐링이 수행되어 결정성 실리콘막이 얻어진다. 빔 스폿의 길이(장축) 방향에 대하여 직각 방향으로 빔 스폿을 주사시킴으로써 높은 생산성이 얻어질 수 있다.
- [0005] 다른 레이저 결정화 방법으로서, 연속파 레이저(이하, CW 레이저로서 참조됨) 및 10MHz 이상으로 높은 반복율을 가지는 펄스 레이저에 의한 결정화 방법이 있다. 이런 레이저는 선형 빔 스폿으로 형성되고, 그러므로 빔 스폿을 주사하면서 반도체막에 이 빔 스폿을 조사함으로써 결정성 실리콘막이 얻어진다. 이 방법을 사용함으로써, 엑시머 레이저빔의 조사에 의해 얻어질 수 있는 결정과 비교하여 입경이 대단히 큰 결정(이하, 대입경 결정으로 참조됨) 영역을 가지는 결정성 실리콘막이 형성될 수 있다(예를 들면, 특허문헌 1: 일본공개특허공보 제2005-191546호 참조).
- [0006] 이 대입경 결정이 TFT의 채널 영역에 사용되면, 결정립계가 채널 방향내에 거의 포함되지 않으며, 그 때문에 전자 또는 정공과 같은 캐리어에 대한 전기적 장벽이 낮아진다. 이에 따라, 약 100 cm²/Vs의 이동도를 가지는 TFT의 제조가 가능해진다.

발명의 상세한 설명

- [0007] 그러나, 상기의 레이저를 사용한 결정화에 의해 얻어질 수 있는 대입경 결정은 결정립의 면방위가 인접하는 대입경 결정간에 전혀 다르다는 특징을 가지고, 레이저빔의 조사 영역내에 형성되는 대입경 결정의 면방위가 랜덤하여 일방향으로 제어될 수 없다. 따라서, 이 대입경 결정을 활성층으로서 포함하는 반도체막을 사용하여 TFT가 제조되는 경우, 채널이 되는 반도체막의 결정립의 면방위는 복수의 TF 사이에서 서로 다르다. 그 때문에, 각각의 TFT의 전기적 특성은 결정립의 면방위의 차이에 기인하는 편차를 가진다. 또한, 각각의 면방위가 인접하는 결정 사이에서 서로 다르면, 결정립계의 트랩 준위가 면방위가 같은 경우의 입계(grain boundary)와 비교하여 커지게 되며, 이에 따라 TFT의 전기적 특성을 열화시킨다.
- [0008] CW 레이저 또는 10MHz 이상의 반복율을 가지는 펄스 레이저를 사용한 결정화는 광학계에 의해 길이가 약 500 μm , 폭이 약 20 μm 의 선형 형상으로 형성되는, 레이저 발진기로부터 방출된 레이저빔을 반도체막 상에 약 10 내지 200 cm/초의 일정 속도로 주사시키면서 반도체막을 조사함으로써 수행된다. 도 2b에 도시된 바와 같이, 일반적으로, 레이저빔의 조사는 기판(01), 베이스 절연막(02) 상에 형성된 반도체막(03)을 사용하여 수행된다. 이때, 도 2a에 도시된 바와 같이, 얻어진 결정과 레이저의 에너지 밀도 사이에는 밀접한 관계가 존재하고, 얻어진 결정은 에너지밀도의 상승에 따라 미소 결정(microcrystal), 소입경 결정, 대입경 결정으로 변화한다.
- [0009] 여기에서 설명된 소입경 결정은 엑시머 레이저 조사의 경우에 형성되는 결정과 동일하다. 반도체막이 엑시머 레이저로 조사될 때, 반도체막의 표면층이 부분적으로 용융되고, 무수한 결정 핵이 반도체막과 베이스 절연막 사이의 계면에 랜덤하게 발생된다. 다음에, 결정 핵이 냉각되어 경화되는 방향, 즉 반도체막과 베이스 절연막 사이의 계면으로부터 반도체막의 표면을 향하는 방향으로 결정이 성장된다. 따라서, 비교적 작은 결정이 무수하게 형성된다.
- [0010] CW 레이저 또는 10MHz 이상의 반복율을 가지는 펄스 레이저를 사용한 결정화라도, 레이저빔의 단부로 조사되는 부분에서와 같이 소입경 결정이 부분적으로 형성된다. 이것은 반도체막을 완전히 용융하는데 필요한 열이 공급

되지 않아 반도체막이 부분적으로 용융되는 결과라고 이해할 수 있다.

[0011] 다음에, 반도체막이 완전하게 용융되는 조건하에서, 즉 도 2a에서, 결정화를 수행하기 위하여 반도체막이 E_3 이상의 에너지를 가지는 레이저빔으로 조사될 때, 대입경 결정이 형성된다. 이때, 완전 용융되는 반도체막에는 무수한 결정 핵이 발생되고, 고체-액체 계면의 이동에 따라 각각의 결정 핵으로부터 레이저빔의 조사 방향으로 결정이 성장한다. 이 결정 핵의 발생되는 위치가 랜덤하기 때문에, 결정 핵은 불균일하게 분포된다. 다음에, 결정립이 서로 충돌할 때 결정 성장이 완료되며, 그 때문에 결정립의 위치, 크기, 및 면방위가 랜덤해진다.

[0012] 따라서, 결정립의 위치, 크기, 및 면방위를 확인하기 위하여, 대입경 결정이 형성되는 실리콘막을 시료로 사용하여 전자후방산란도형(EBSP : Electron Back Scattering diffraction Pattern) 측정이 수행된다. EBSP는, EBSP 검출기가 주사형 전자현미경에 접속되고, 주사형 전자현미경내의 고도로 경사진 시료가 집속 전자빔으로 조사될 때 발생하는 개별 결정의 회절 이미지(EBSP 이미지)의 방향이 해석되며, 시료의 결정립의 면방위가 측정점(x, y)의 방향 데이터와 위치 정보로부터 측정되는 방법으로 참조된다. 도 3a 내지 도 3h는 그 결과를 나타낸다.

[0013] 도 3a 내지 도 3h에서, 도 3a는 관찰면A에서의 면방위 분포, 도 3b는 관찰면B에서의 면방위 분포, 도 3c는 관찰면C에서의 면방위 분포를 각각 도시하며, 도 3d는 도 3a, 3b, 및 3c에서의 면 방위를 도시한다. 또한, 도 3e, 3f, 및 3g는 각각 순차적으로 관찰면A, 관찰면B, 관찰면C에서의 면 방위의 출현 빈도를 나타내고, 도 3h는 도 3e, 3f, 및 3g에서의 빈도이다.

[0014] EBSP 측정에서, 측정 영역은 $50\mu\text{m} \times 50\mu\text{m}$ 이고, 측정 피치는 $0.25\mu\text{m}$ 이다. 도 4에 도시된 바와 같이, 베이스 절연막(411)이 기판(410) 상에 형성되고, 비정질 반도체막(417)이 이 베이스 절연막(411) 상에 형성된다. 비정질 반도체막(417)은 결정화를 수행하기 위하여 레이저빔으로 조사된다. 다음에, 서로 수직한 3개의 벡터(벡터a, 벡터b, 및 벡터c)가 법선 벡터가 되는, 3면은 각각 관찰면A(413), 관찰면B(414), 및 관찰면C(415)로서 간주되며, 관찰면의 면방위가 측정된다. 여기에서 레이저빔의 조사 방향(416)과 벡터c는 평행하다. 이 3면으로부터 얻어진 정보의 표본에 따라, 대입경 결정(412)의 면방위가 고정밀도로 특정될 수 있다. 어떤 관찰면에서 면방위를 관찰한 경우라도, 면방위, 결정립의 크기, 및 결정성장의 방향에 편차가 있다는 것이 확인되었다.

[0015] 더욱이, 대입경 결정을 형성하는 조건보다도 높은 에너지가 반도체막에 인가될 경우, 반도체막은 벗겨지거나 또는 제거된다.

[0016] 결정립의 위치, 크기, 및 면방위는 이하에 기술된 바와 같은 결정성장이 진행되기 때문에 랜덤하게 된다. 대량의 열이 반도체막에 한번에 제공될 때, 반도체막은 완전히 용융된다. 이 반도체막 내에 대량의 결정 핵이 발생되고, 이런 결정 핵에 기초하여 무질서한 결정성장이 발생한다. 본 발명자는 무질서한 결정성장을 억제하는 것이 중요하다고 생각한다.

[0017] 상기의 문제를 감안하여, 본 발명의 목적은 CW 레이저 또는 10MHz 이상의 반복율을 가지는 펄스 레이저를 사용한 결정화에 의해 얻을 수 있는, 각각의 결정립의 면방위를 레이저빔의 조사 영역내에서 일방향 또는 실질적으로 일방향으로 간주될 수 있는 방향으로 제어하는 것이다. 본 명세서에서, 일방향 또는 실질적으로 일방향으로 간주될 수 있는 방향으로 제어되는 인접한 입상결정간의 결정 면방위를 가지는 결정이 근사적으로 단결정으로서 간주되기 때문에, 그 결정은 준단결정(quasi-single crystal)으로 참조된다.

[0018] 인접한 결정간의 면방위가 다른 경우의 결정립계와 비교할 때, 준단결정에 존재하는 결정립계는 입계에 포함되는 작은 수의 결함 및 작은 전기적 장벽을 가진다.

[0019] 구체적인 면방위의 제어 방법은 아래와 같다.

[0020] 우선, 절연막(이하, 캡막(cap film)이라고 함)이 반도체막 상에 형성된다. 이 캡막의 막두께는 레이저빔의 조사에 의해 완전히 용융되는 반도체막이 결정을 성장시키기 위하여 1면방위로 정렬되도록 최적화된다. 캡막으로서, 반도체막에 열이 도달하고, 반도체막을 용융하기에도 충분한 투과율을 가지는 재질이 사용된다. 캡막은 바람직하게 단단하고 조밀한 막이다. 캡막을 형성함으로써, 레이저빔이 반도체막에 흡수되어 발생하는 열이 효율적으로 결정화에 이용될 수 있고, 레이저 결정화가 보다 낮은 에너지 밀도로 수행될 수 있다. 캡막은 용융된 반도체막의 점성이 저하되는 것을 억제하는 효과, 반사 방지 효과, 축열 효과 등을 가진다고 생각된다.

[0021] 또한, 레이저빔 조사는 조사 영역의 반도체막이 완전하게 용융되는 하한의 에너지 밀도 한도(이하, E_1 으로 참조됨)보다 약간 높은 에너지로 수행된다. 본 발명에 따르면, 조사 영역의 반도체막을 완전히 용융하기에 충분한

에너지가 요구되기 때문에, 레이저빔 에너지의 최저 한도는 E_1 이 된다. 또한, 상한은 대입경 결정이 형성되기 시작하는 에너지(이하, E_2 로 참조된다)이다. 즉, 본 발명을 행할 수 있는 레이저빔의 에너지가 E 라고 할 때, E 의 범위는 $E_1 \leq E < E_2$ 이 된다. 그러나, 반도체막에 제공되는 열량을 필요 최소한으로 억제함으로써, 결정 핵이 필요 이상으로 발생하는 것을 방지하거나 또는 용융된 반도체막의 점성이 저하되는 것을 방지할 수 있다. 그 때문에, $E_1 \leq E \leq (E_1 + E_2)/2$ 을 만족하는 조사가 실행되도록 레이저빔의 에너지(E)의 범위가 조절되는 것이 보다 바람직하다(도 1a).

[0022] 이런 식으로 레이저빔의 에너지를 제어함으로써, 가열에 의한 반도체막의 난류가 감소되어 안정된 결정성장이 촉진될 수 있다. 도 1b에 도시된 바와 같이, 기관(01)과 베이스 절연막(02) 상에 형성되는 캡막(04)을 가지는 반도체막(03)이 반도체막(03)이 완전하게 용융시키는 것이 가능한 E_1 이상의 에너지 밀도를 가지는 레이저빔으로 조사될 때, 반도체막(03)의 준단결정화가 달성되고, 결정립의 면방위가 제어될 수 있다.

[0023] 본 발명을 사용하여 형성된 반도체막의 표면에 있어서, 종래의 대입경 결정보다 작은 입경을 가지는 결정립이 레이저빔의 조사 영역에서 균일하게 형성된다. 개별 결정립은 $0.01\mu\text{m}$ 이상의 폭과 $1\mu\text{m}$ 이상의 길이를 가진다. 인접한 입계는 서로 평행하다. 이 영역에서, 결정립이 레이저빔의 주사 방향에 평행한 방향으로 성장되고, 그 결정립의 면방위가 일방향으로 정렬된다고 간주될 수 있다. 부수적으로, $\pm 10^\circ$ 의 각도 요동의 범위내에서, 결정이 특정한 방위로 배향되는 비율은 0.4 이상이다.

[0024] 또한, 본 발명을 사용하여 형성된 반도체막은 516 내지 518cm^{-1} 로 변환된 피크가 레이저 라만(Raman) 분광법에 의한 측정으로 관측되고(라만 측정시의 입사 레이저광의 편광 방향이 레이저 결정화의 주사 방향에 수직이라고 할 때), 측정범위내의 피크 편차는 편차 계수의 20% 이하이다.

[0025] 본 발명의 일특징에 따르면, 기관 상에 복수의 결정립을 포함하는 반도체막을 구비하는 반도체 장치에 있어서, 상기 결정립의 입경은 $0.01\mu\text{m}$ 이상의 폭 및 $1\mu\text{m}$ 이상의 길이를 가진다. 상기 기관의 표면에 수직인 방향이 제1 방향으로서 정의되고, 상기 제1 방향이 법선 벡터와 일치하는 면이 제1 면으로서 정의될 때, 상기 제1 면에 있어서의 상기 반도체막의 면방위에서, 방위 $\{211\}$ 의 비는 $\pm 10^\circ$ 의 각도 요동의 범위내에서 0.4 이상이다.

[0026] 본 발명의 다른 특징에 따르면, 기관 상에 복수의 결정립을 포함하는 반도체막을 구비하는 반도체 장치에 있어서, 상기 결정립 중 적어도 하나의 입경은 $0.01\mu\text{m}$ 이상의 폭 및 $1\mu\text{m}$ 이상의 길이를 가진다. 상기 기관의 표면에 수직인 방향이 제1 방향으로서 정의되고, 상기 제1 방향이 법선 벡터와 일치하는 면이 제1 면으로서 정의될 때, 상기 제1 면에 있어서의 상기 반도체막의 면방위에서, 방위 $\{211\}$ 의 비는 $\pm 10^\circ$ 의 각도 요동의 범위내에서 0.4 이상이다. 추가로, 상기 기관의 표면과 상기 결정립의 결정 성장에 평행인 방향이 제2 방향으로서 정의되고, 상기 제2 방향이 법선 벡터와 일치하는 면이 제2 면으로서 정의될 때, 상기 제2 면에 있어서의 상기 반도체막의 면방위에서, 방위 $\{110\}$ 의 비는 $\pm 10^\circ$ 의 각도 요동의 범위내에서 0.5 이상이다.

[0027] 본 발명의 또다른 특징에 따르면, 기관 상에 복수의 결정립을 포함하는 반도체막을 구비하는 반도체 장치에 있어서, 상기 결정립 중 적어도 하나의 입경은 $0.01\mu\text{m}$ 이상의 폭 및 $1\mu\text{m}$ 이상의 길이를 가진다. 상기 기관의 표면에 수직인 방향이 제1 방향으로서 정의되고, 상기 제1 방향이 법선 벡터와 일치하는 면이 제1 면으로서 정의될 때, 상기 제1 면에 있어서의 상기 반도체막의 면방위에서, 방위 $\{211\}$ 의 비는 $\pm 10^\circ$ 의 각도 요동의 범위내에서 0.4 이상이다. 추가로, 상기 제1 방향과 상기 결정립의 결정 성장에 수직인 방향이 제3 방향으로서 정의되고, 상기 제3 방향이 법선 벡터와 일치하는 면이 제3 면으로서 정의될 때, 상기 제3 면에 있어서의 상기 반도체막의 면방위에서, 방위 $\{111\}$ 의 비는 $\pm 10^\circ$ 의 각도 요동의 범위내에서 0.4 이상이다.

[0028] 본 발명의 또다른 특징에 따르면, 기관 상에 복수의 결정립을 포함하는 반도체막을 구비하는 반도체 장치에 있어서, 상기 결정립 중 적어도 하나의 입경은 $0.01\mu\text{m}$ 이상의 폭 및 $1\mu\text{m}$ 이상의 길이를 가진다. 상기 기관의 표면과 상기 결정립의 결정 성장에 평행인 방향이 제2 방향으로서 정의되고, 상기 제2 방향이 법선 벡터와 일치하는 면이 제2 면으로서 정의될 때, 상기 제2 면에 있어서의 상기 반도체막의 면방위에서, 방위 $\{110\}$ 의 비는 $\pm 10^\circ$ 의 각도 요동의 범위내에서 0.5 이상이다. 추가로, 상기 기관의 표면에 평행이고 상기 제2 방향에 수직인 방향이 제3 방향으로서 정의되고, 상기 제3 방향이 법선 벡터와 일치하는 면이 제3 면으로서 정의될 때, 상기 제3 면에 있어서의 상기 반도체막의 면방위에서, 방위 $\{111\}$ 의 비는 $\pm 10^\circ$ 의 각도 요동의 범위내에서 0.4 이상이다.

[0029] 또한, $\pm 10^\circ$ 의 각도 요동의 범위는 어떤 면방위로부터의 차이가 -10° 내지 $+10^\circ$ 의 범위내에 있다는 것을 나타내고, 어떤 면방위의 각도 요동의 범위가 $\pm 10^\circ$ 의 범위 내에서 허용된다는 것을 의미한다. 예를 들면, $\pm$

10°의 각도 요동의 범위내에서, 면방위 {211}를 갖는 결정은 면방위 {211}로부터 -10°만큼 벗어나 있는 결정, 면방위 {211}로부터 +10°만큼 벗어나 있는 결정을 포함한다.

[0030] 상기 반도체 장치에 있어서, 상기 반도체막은 실리콘이다. 부가적으로, 실리콘 게르마늄, 실리콘 탄화물(SiC) 등이 사용될 수 있다.

[0031] 부가적으로, 상기 반도체 장치에 있어서, 상기 반도체막은 20nm이상 100nm이하, 바람직하게는 20nm이상 80nm이하의 두께를 가진다.

[0032] 더욱이, 상기 특성을 가지는 반도체 장치의 예로서, 박막트랜지스터, 구동회로, 전원회로, IC(집적회로), 메모리, CPU(중앙연산처리장치), 메모리 소자, 다이오드, 광전변환소자, 저항소자, 코일, 용량소자, 인덕터, 화소, CCD(전하결합소자), 센서 등을 들 수 있다.

[0033] 또한, 상기의 특성을 가지는 반도체 장치를 사용하여 여러가지의 전자기기가 제조될 수 있다. 예를 들면, 박막 집적회로장치, 화상표시장치, 디지털 비디오카메라, 디지털 카메라 등의 카메라, 반사형 프로젝터, 헤드 장착형 디스플레이, 네비게이션 시스템, 음향 재생장치, 휴대형의 정보 처리 단말, 게임 기기, 컴퓨터, 기록 매체를 구비한 화상 재생장치 등을 들 수 있다.

[0034] 본 발명의 또다른 특징에 따르면, 반도체 장치의 제조 방법은, 베이스 절연막을 형성하는 단계; 상기 베이스 절연막 상에 반도체막을 형성하는 단계; 상기 반도체막 상에 200nm 이상의 두께로 캡막을 형성하는 단계; 및 상기 캡막을 통과하여 상기 반도체막에 레이저빔을 조사함으로써 상기 반도체막을 결정화시키는 단계를 포함한다.

[0035] 본 발명의 또다른 특징에 따르면, 반도체 장치의 제조 방법은, 베이스 절연막을 형성하는 단계; 상기 베이스 절연막 상에 반도체막을 형성하는 단계; 상기 반도체막 상에 200nm 이상의 두께로 캡막을 형성하는 단계; 및 상기 캡막을 통과하여 상기 반도체막에 레이저빔을 조사함으로써 상기 반도체막을 결정화시키는 단계를 포함한다. 상기 결정립 중 적어도 하나의 입경은 0.01 μ m 이상의 폭 및 1 μ m 이상의 길이를 가진다. 상기 기판의 표면에 수직인 방향이 제1 방향으로서 정의되고, 상기 제1 방향이 법선 벡터와 일치하는 면이 제1 면으로서 정의될 때, 상기 제1 면에 있어서의 상기 반도체막의 면방위에서, 방위 {211}의 비는 $\pm 10^\circ$ 의 각도 요동의 범위내에서 0.4 이상이다.

[0036] 본 발명의 또다른 특징에 따르면, 반도체 장치의 제조 방법은, 베이스 절연막을 형성하는 단계; 상기 베이스 절연막 상에 반도체막을 형성하는 단계; 상기 반도체막 상에 200nm 이상의 두께로 캡막을 형성하는 단계; 및 상기 캡막을 통과하여 상기 반도체막에 레이저빔을 조사함으로써 상기 반도체막을 결정화시키는 단계를 포함한다. 상기 결정립 중 적어도 하나의 입경은 0.01 μ m 이상의 폭 및 1 μ m 이상의 길이를 가진다. 상기 기판의 표면에 수직인 방향이 제1 방향으로서 정의되고, 상기 제1 방향이 법선 벡터와 일치하는 면이 제1 면으로서 정의될 때, 상기 제1 면에 있어서의 상기 반도체막의 면방위에서, 방위 {211}의 비는 $\pm 10^\circ$ 의 각도 요동의 범위내에서 0.4 이상이다. 추가로, 상기 기판의 표면과 상기 결정립의 결정 성장에 평행인 방향이 제2 방향으로서 정의되고, 상기 제2 방향이 법선 벡터와 일치하는 면이 제2 면으로서 정의될 때, 상기 제2 면에 있어서의 상기 반도체막의 면방위에서, 방위 {110}의 비는 $\pm 10^\circ$ 의 각도 요동의 범위내에서 0.5 이상이다.

[0037] 본 발명의 또다른 특징에 따르면, 반도체 장치의 제조 방법은, 베이스 절연막을 형성하는 단계; 상기 베이스 절연막 상에 반도체막을 형성하는 단계; 상기 반도체막 상에 200nm 이상의 두께로 캡막을 형성하는 단계; 및 상기 캡막을 통과하여 상기 반도체막에 레이저빔을 조사함으로써 상기 반도체막을 결정화시키는 단계를 포함한다. 상기 결정립 중 적어도 하나의 입경은 0.01 μ m 이상의 폭 및 1 μ m 이상의 길이를 가진다. 상기 기판의 표면에 수직인 방향이 제1 방향으로서 정의되고, 상기 제1 방향이 법선 벡터와 일치하는 면이 제1 면으로서 정의될 때, 상기 제1 면에 있어서의 상기 반도체막의 면방위에서, 방위 {211}의 비는 $\pm 10^\circ$ 의 각도 요동의 범위내에서 0.4 이상이다. 추가로, 상기 제1 방향과 상기 결정립의 결정 성장에 수직인 방향이 제3 방향으로서 정의되고, 상기 제3 방향이 법선 벡터와 일치하는 면이 제3 면으로서 정의될 때, 상기 제3 면에 있어서의 상기 반도체막의 면방위에서, 방위 {111}의 비는 $\pm 10^\circ$ 의 각도 요동의 범위내에서 0.4 이상이다.

[0038] 본 발명의 또다른 특징에 따르면, 반도체 장치의 제조 방법은, 베이스 절연막을 형성하는 단계; 상기 베이스 절연막 상에 반도체막을 형성하는 단계; 상기 반도체막 상에 200nm 이상의 두께로 캡막을 형성하는 단계; 및 상기 캡막을 통과하여 상기 반도체막에 레이저빔을 조사함으로써 상기 반도체막을 결정화시키는 단계를 포함한다. 상기 결정립 중 적어도 하나의 입경은 0.01 μ m 이상의 폭 및 1 μ m 이상의 길이를 가진다. 상기 기판의 표면과 상기 결정립의 결정 성장에 평행인 방향이 제2 방향으로서 정의되고, 상기 제2 방향이 법선 벡터와 일치하는 면이 제2 면으로서 정의될 때, 상기 제2 면에 있어서의 상기 반도체막의 면방위에서, 방위 {110}의 비는 $\pm 10^\circ$ 의 각도

요동의 범위내에서 0.5 이상이다. 추가로, 상기 기관의 표면에 평행이고 상기 제2 방향에 수직인 방향이 제3 방향으로서 정의되고, 상기 제3 방향이 법선 벡터와 일치하는 면이 제3 면으로서 정의될 때, 상기 제3 면에 있어서의 상기 반도체막의 면방위에서, 방위 {111}의 비는 $\pm 10^\circ$ 의 각도 요동의 범위내에서 0.4 이상이다.

[0039] 부가적으로, 상기 반도체 장치의 제조 방법에 있어서, 반도체막은 실리콘을 사용하여 형성된다. 또한, 실리콘 게르마늄 또는 SiC가 반도체막에 사용될 수 있다.

[0040] 상기 반도체 장치의 제조 방법에 있어서, 반도체막은 20nm이상 100nm이하, 바람직하게 20nm이상 80nm이하의 두께를 가진다. 반도체막이 80nm이상의 두께를 가진다면, 결정 성장이 막두께 방향으로 발생하고, 그러므로 면방위가 일방향으로 정렬되기 어려워진다.

[0041] 상기 반도체 장치의 제조 방법에 있어서, 연속과 레이저 또는 10MHz이상의 반복율을 가지는 펄스 레이저가 사용된다.

[0042] 또한, 상기 반도체 장치의 제조 방법에 있어서, 반도체막 상에 형성된 캡막이 게이트 절연막으로서 사용될 수 있다.

[0043] 본 발명에 따르면, 유리 또는 플라스틱 등의 용점이 낮은 재질로 이루어지는 절연 기판상에, 인접하는 결정립간의 면방위가 일방향 또는 실질적으로 일방향으로 간주될 수 있는 방향으로 정렬되는, 큰 결정립 지름을 가지는 결정, 즉 끝없이 단결정에 가까운 준단결정의 반도체막을 형성하는 것이 가능하다. 더욱이, 이 준단결정 반도체막을 사용함으로써, 고속동작이 가능하여 전류구동능력이 높고, 소자간의 특성 편차가 작은 반도체 소자 또는 반도체 소자군을 집적하여 구성되는 반도체 장치 및 그 제조 방법이 제공될 수 있다.

[0044] 또한, 본 발명에서 형성되는 준단결정 반도체막은 결정 결함이 대단히 적다. 이 준단결정을 TFT의 활성층에 사용함으로써, 고품질의 반도체장치가 고수율로 제조될 수 있다.

[0045] 부가적으로, 본 발명에 도시된 바와 같이, 반도체막 상에 캡막을 형성함으로써, 반도체막에서의 레이저빔의 흡수에 기인하여 발생하는 열이 효율적으로 결정화에 이용될 수 있고, 레이저 결정화가 더 낮은 에너지밀도로 행해질 수 있다. 이것은 캡막이 반사 방지 효과 또는 축열 효과 등을 가지기 때문이라고 생각된다. 따라서, 캡막을 갖는 반도체막과 캡막을 갖지 않는 반도체막에 동일한 규격의 레이저발진기를 사용하여 레이저 결정화가 행해지면, 캡막을 갖지 않는 반도체막을 사용하는 경우보다도 캡막을 갖는 반도체막을 사용함으로써 선형 빔 스폿의 길이가 연장될 수 있다. 그 때문에, 단위 시간당 결정화될 수 있는 면적이 증가될 수 있고, 즉 처리량이 향상될 수 있다.

실시예

[0097] 이하에, 본 발명의 실시형태가 도면을 사용하여 설명될 것이다. 그러나, 여러가지 변경 및 변형이 가능하다는 것은 당업자라면 용이하게 이해될 것이다. 그러므로, 그 변경 및 변형이 본 발명의 취지 및 그 범위에서 이탈하는 않으면, 당업자라면 본 발명에 포함되어지는 것으로 해석되어야 한다.

[0098] 우선, 도 5a에 도시된 바와 같이, 절연 표면을 가지는 기관(100)으로서, 예를 들면 0.7mm의 두께를 갖는 유리 기관의 한 면에, 베이스 절연막(101)으로서 50 내지 150nm의 두께를 갖는 질소를 포함하는 산화 실리콘막이 형성된다. 또한, 베이스 절연막(101) 상에, 반도체막(102)으로서, 20nm이상 그리고 100nm이하의 두께, 바람직하게는 20nm이상 그리고 80nm이하의 두께를 가지도록 비정질 실리콘막이 플라즈마 CVD법에 의해 형성된다. 이 반도체막(102)은 이후에 레이저에 의해 결정화된다.

[0099] 기관(100)으로서, 가시광선에 대하여 흡수율이 낮은 알루미늄오 보로실리케이트 유리 또는 바륨 보로실리케이트 유리와 같은 유리가 재료로서 사용되는 기관, 석영 기관 등이 사용된다. 그 밖에, PET(폴리에틸렌 테레프탈레이트), PES(폴리에테르 설펜 수지), PEN(폴리에틸렌 나프타레이트)로 대표되는 플라스틱, 또는 아크릴로 대표되는 합성 수지가 원료로서 사용되는 기관도 사용될 수 있다.

[0100] 더욱이, 반도체막(102)의 레이저빔에 대한 내성을 증가시키기 위하여, 반도체막(102)에는 500℃에서 1시간 동안 열 어닐이 행해진다. 다음에, 500nm의 두께를 갖는 질소를 포함하는 산화 실리콘막이 캡막(103)으로서 반도체막(102) 상에 형성된다. 또한, 캡막(103)이 지나치게 얇으면, 반도체막(102)으로부터 준단결정을 얻기가 어렵다. 그러므로, 200nm 이상의 두께를 가지도록 캡막(103)을 형성하는 것이 바람직하다. 본 실시예에서, 질소를 포함하는 산화 실리콘막은 모노실란(SiH_4) 및 아산화질소(N_2O)를 반응 가스로서 사용한 플라즈마 CVD법을 사용하여

형성된다. 다음에, 반도체막(102)은 캡막(103)을 통하여 레이저빔으로 조사됨으로써 결정화된다.

- [0101] 여기에서, 질소를 포함하는 산화 실리콘막이 캡막(103)으로 선택되지만, 이밖에 산화 실리콘막이 사용될 수도 있다. 캡막(103)으로서, 레이저빔의 파장에 대하여 충분한 투과율을 가지고, 열팽창 계수 등의 열적인 값과 연성 등의 값이 인접하는, 반도체막(102)에 가까운 막이 사용될 수 있다. 또한, 캡막(103)은 게이트 절연막과 유사하게 단단하고 치밀한 막인 것이 바람직하다. 단단하고 치밀한 막은 예를 들면 증착율을 낮게 함으로써 형성될 수 있다. 본 실시예에서, 캡막(103)은 40nm/min의 증착율로 형성된다. 상기 증착율은 1nm/min 내지 400nm/min, 바람직하게 1nm/min 내지 100nm/min의 범위로부터 적당하게 선택될 수 있다.
- [0102] 본 실시예에서, 캡막(103)에 대해 질소를 포함하는 산화 실리콘막을 일층만 형성하는 예가 개시되지만, 각각 다른 종류의 재료를 갖는 복수의 막으로 구성된 캡막이 사용될 수도 있다. 예를 들면, 질소를 포함하는 산화 실리콘막과 산소를 포함하는 질화실리콘막이 적층되는 절연막, 산화 실리콘막과 산소를 포함하는 질화실리콘막이 적층되는 절연막 등이 캡막으로서 사용될 수 있다. 부가적으로, 캡막(103)은 반도체막(102)에서의 광흡수효율이 막막에 의한 빛의 간섭 효과를 이용하여 증가되는 복수의 층을 갖는 구조를 가질 수 있다. 이상으로부터, 이후에 레이저빔으로 조사되는 면, 즉 피조사면(208)(도 6 참조)을 가지는 피처리물이 완성된다.
- [0103] 본 실시예에서, 반도체막(102)으로서 비정질 실리콘막을 사용하는 예가 개시되지만, 다결정 실리콘막이 사용될 수도 있다. 예를 들면, 비정질 실리콘막을 형성한후, 비정질 실리콘막에 니켈, 팔라듐, 게르마늄, 철, 주석, 납, 코발트, 은, 백금, 동, 또는 금 등의 미량의 원소를 첨가하고, 그후 550℃에서 4시간 동안 열처리를 수행함으로써 다결정 실리콘막이 형성될 수 있다. 더욱이, 실리콘과 게르마늄 또는 탄소의 화합물이 반도체막으로서 사용될 수도 있다. 또한, 베이스 절연막(101)과 기판(100) 사이에는 공정후에 기판(100)으로부터 반도체 소자를 박리하기 위하여 박리층이 제공될 수 있다.
- [0104] 다음에, 결정화에 사용되는 레이저 발진기 및 빔 스폿을 형성하는 광학계가 설명될 것이다. 도 6에 도시된 바와 같이, 레이저 발진기(201a, 201b)로서, 최대 합계 출력이 20W인, LD 여기의 CW 레이저(YVO₄, 제2 고조파(파장 532nm))가 준비된다. 특히, 레이저의 파장을 제2 고조파에 한정할 필요는 없지만, 제2 고조파는 에너지 효율의 관점에서 한층 더 높은 차원의 고조파보다 뛰어나다.
- [0105] 반도체막이 CW 레이저로 조사될 때, 에너지가 반도체막에 연속적으로 제공되므로, 일단 반도체막이 용융 상태로 되면, 용융 상태가 지속될 수 있다. 또한, CW 레이저빔을 주사함으로써 반도체막의 고체-액체 계면이 이동되므로, 이 이동 방향을 따라 일방향으로 긴 결정립이 형성될 수 있다. 부수적으로, 가스 레이저 등과 비교할 때 출력의 안정성이 높고, 안정한 처리가 예상되기 때문에, 고체 레이저가 사용될 수 있다. 또한, CW 레이저에 한정되지 않고, 10MHz 이상의 반복율을 가지는 펄스 레이저를 사용하는 것도 가능하다. 반복 주파수가 높은 펄스 레이저가 사용될 경우에, 반도체막의 용융과 고화(solidfication) 사이의 시간보다도 레이저의 펄스 간격이 짧은 한, 항상 반도체막이 용융 상태로 유지될 수 있다. 그러므로, 고체-액체 계면의 이동에 의해 일방향으로 긴 결정립으로 구성되는 반도체막이 형성될 수 있다. 또한, 도 6의 경우에, 2대의 레이저 발진기가 준비되지만, 출력이 충분하다면 1대의 레이저 발진기가 준비될 수도 있다. 더욱이, 반복 주파수가 높은 펄스 레이저가 사용되는 경우에, 1대의 레이저 발진기가 준비될 수 있다.
- [0106] 본 실시예에서, YVO₄ 레이저가 레이저 발진기(201a, 201b)로 사용되지만, 그 밖의 CW 레이저 및 10MHz 이상의 반복율을 가지는 펄스 레이저가 사용될 수도 있다. 가스 레이저로서, Ar 레이저, Kr 레이저, Co₂ 레이저 등이 있다. 고체 레이저로서, YAG 레이저, YLF 레이저, YAIO₃ 레이저, GdVO₄ 레이저, KGW 레이저, KYW 레이저, 알렉산드라이트 레이저, Ti:사파이어 레이저, Y₂O₃ 레이저, YVO₄ 레이저 등이 있다. 또한, YAG 레이저, Y₂O₃ 레이저, GdVO₄ 레이저, 또는 YVO₄ 레이저 등의 세라믹 레이저가 있다. 금속 증기 레이저로서, 헬륨 카드뮴 레이저 등이 있다.
- [0107] 부가적으로, 레이저 발진기(201a) 및 레이저 발진기(201b)에 있어서, 레이저빔이 TEM₀₀(단일 측면 모드)로 발진하여 방출되면, 피조사면(208)에서 수득될 수 있는 선형 빔 스폿의 에너지 균일성이 상승될 수 있으므로 바람직하다.
- [0108] 레이저 조사의 개요는 아래와 같다. 레이저 발진기(201a, 201b)으로부터 레이저빔(202a, 202b)이 각각 동일한 에너지로 방출된다. 레이저 발진기(201b)로부터 방출된 레이저빔(202b)은 파장판(203)을 통하여 편광방향이 변경된다. 레이저빔(202b)의 편광방향은 서로 편광방향이 다른 2개의 레이저빔이 편광자(204)에 의해 합성되기 때문에 변경된다. 레이저빔(202b)이 파장판(203)을 통과한 후, 레이저빔(202b)은 미러(212)에 의해 반사되어 편광

자(204)로 입사된다. 그리고, 레이저빔(202a)과 레이저빔(202b)은 편광자(204)에 의해 합성된다. 파장판(203)과 편광자(204)는 파장판(203) 및 편광자(204)를 투과한 빛이 적당한 에너지를 가지도록 조정된다. 또한, 본 실시예에서, 편광자(204)가 레이저빔의 합성에 사용되고 있지만, 편광 빔 스플리터 등의 다른 광학소자가 사용될 수 있다.

[0109] 편광자(204)에 의해 합성된 레이저빔(202)은 미러(205)에 의해 반사되고, 초점거리가 예를 들면 150mm의 실린더형 렌즈(206) 및 초점거리가 예를 들면 20mm의 실린더형 렌즈(207)에 의해 레이저빔의 단면형상이 피조사면(208)에서 선모양으로 형성된다. 미러(205)는 레이저 조사장치의 광학계의 설치 상황에 따라 설치될 수 있다. 실린더형 렌즈(206)는 피조사면(208)에서 형성되는 빔 스폿의 길이 방향으로 작용하는 반면, 실린더형 렌즈(207)는 그 폭방향으로 작용한다. 이에 따라, 피조사면(208)에서, 예를 들면 500 μ m의 길이 및 약 20 μ m의 폭을 갖는 선형 빔 스폿이 형성된다. 또한, 본 실시예에서, 빔스폿을 선모양으로 형성하기 위하여 실린더형 렌즈가 사용되고 있지만, 이것에 한정되지 않고, 구면 렌즈 등의 그 밖의 광학소자가 사용될 수 있다. 더욱이, 실린더형 렌즈의 초점거리는 상기의 값에 한정되지 않고, 자유롭게 설정될 수 있다.

[0110] 또한, 본 실시예에서, 레이저빔이 실린더형 렌즈(206, 207)를 사용하여 형성되지만, 레이저빔을 선형으로 확대하기 위한 광학계와, 피조사면에 가느다랗게 수렴하기 위한 광학계가 부수적으로 제공될 수 있다. 예를 들면, 레이저빔의 선모양의 단면을 수득하기 위해서, 실린더형 렌즈 어레이, 회절광학소자, 광도파로 등이 사용될 수 있다. 부가적으로, 사각형상의 레이저 결정을 사용하면, 레이저빔의 선형 단면이 방출 단계에서 얻어질 수 있다. 세라믹 레이저는 레이저 결정의 형상을 비교적 자유롭게 형성하는 것이 가능하므로, 세라믹 레이저가 이런 레이저의 제조에 적합하다. 또한, 선모양으로 형성된 레이저빔의 단면형상은 가능한 좁은 것이 바람직한데, 이는 반도체막에서의 레이저빔의 에너지밀도를 증가시키고, 그러므로 공정시간이 단축될 수 있다.

[0111] 다음에, 레이저빔의 조사 방법이 설명될 것이다. 반도체막이 형성되는, 피조사면(208)을 비교적 고속으로 동작시키기 위하여, 피조사면(208)은 흡착 스테이지(209)에 고정된다. 흡착 스테이지(209)는 X축용 1축 로봇(210)과 Y축용 1축 로봇(211)에 의해 피조사면(208)에 평행한 평면상에서 XY방향으로 동작할 수 있다. 1축 로봇은 선형 빔 스폿의 길이방향이 Y축에 일치하도록 배치한다. 다음에, 피조사면(208)은 빔 스폿의 폭 방향, 즉 X축에 따라 동작시키고, 피조사면(208)이 레이저빔으로 조사된다. 여기에서, X축용 1축 로봇(210)의 주사 속도는 35cm/sec 이고, 또한 2대의 레이저 발진기(201a, 201b)로부터 각각 7.5W의 에너지를 갖는 레이저빔이 방출된다. 합성후의 레이저의 출력은 15W가 된다.

[0112] 레이저빔이 조사됨으로써 비정질 반도체막에는 완전히 용융된 영역이 형성된다. 고화되는 과정에서 일면 방위로 결정이 성장되고, 준단결정이 얻어질 수 있다. 또한, TEM₀₀모드의 레이저 발진기로부터 방출되는 레이저빔의 에너지분포는 일반적으로 가우시안 분포가 된다. 이 레이저빔이 반도체막의 결정화 프로세스에 사용되면, 강도가 강한, 레이저빔의 중앙 부근에만 준단결정 영역이 형성된다. 또한, 레이저빔의 조사에 사용하는 광학계에 의해, 준단결정이 형성되는 영역의 폭이 변경될 수 있다. 예를 들면, 실린더형 렌즈 어레이 또는 플라이 렌즈 등의 렌즈 어레이, 회절광학소자, 광도파로 등을 사용함으로써 레이저빔의 강도가 균일화될 수 있다. 강도가 균일화된 레이저빔이 반도체막에 조사됨으로써, 레이저빔이 조사되는 거의 모든 영역이 준단결정의 형성에 사용될 수 있다. X축용 1축 로봇(210)의 주사 속도는 수10 내지 수100 cm/sec 정도가 적당하며, 주사 속도는 레이저 발진기의 출력에 맞춰서 작업자에 의해 적당하게 결정될 수 있다.

[0113] 또한, 본 실시예에서, X축용 1축 로봇(210) 및 Y축용 1축 로봇(211)을 사용함으로써 피조사면(208)인 비정질 반도체막을 이동시키는 방식이 사용되고 있다. 이에 한정되지 않고, 레이저빔은 피조사면(208)이 고정되는 반면에 레이저빔의 조사 위치가 이동되는 조사계의 이동 방법; 레이저빔의 조사 위치가 고정되는 반면에 피조사면(208)이 이동되는 피조사면의 이동 방법; 또는 상기 2가지의 방법이 조합되는 방법을 사용하여 주사될 수 있다.

[0114] 또한, 상기한 바와 같이, 상기한 광학계에 의해 형성되는 빔 스폿의 장축방향의 에너지 분포는 가우시안 분포이므로, 그 양단에서 낮은 에너지 밀도를 갖는 장소에서는 소입경 결정이 형성된다. 그러므로, 준단결정을 형성하는 것에 충분한 에너지만이 피조사면(208)에 조사되도록, 피조사면(208)의 전방에 슬릿 등을 설치하여 레이저빔의 일부가 컷팅될 수 있다. 대안적으로, 캡막(103)인 질소를 포함하는 산화 실리콘막 상에 레이저빔을 반사시키는 금속막 등이 형성될 수 있으며, 준단결정화하고 싶은 반도체막의 장소에만 레이저빔이 도달하도록 소정의 패턴이 형성될 수 있다. 더욱이, 레이저 발진기(201a) 및 레이저 발진기(201b)로부터 방출되는 레이저빔을 보다 효율적으로 사용하기 위하여, 렌즈 어레이나 회절광학소자 등의 빔 호모지나이저를 사용하여 빔 스폿의 에너지가 길이방향으로 균일하게 분포될 수 있다.

[0115] 더욱이, 형성되는 준단결정 영역의 폭 만큼 Y축용 1축 로봇(211)이 이동되고, 다시 X축용 1축 로봇(210)이

35cm/sec의 주사 속도로 주사된다. 이러한 일련의 동작을 반복하는 것에 의해, 반도체막의 전체면이 효율적으로 결정화될 수 있다.

[0116] 그 후에, 도 5c에 도시된 바와 같이, 캡막(103)이 에칭을 행함으로써 제거된다. 더욱이, 중단결정의 반도체막(104) 상에 레지스트가 도포되고, 노광되고, 현상됨으로써, 원하는 형상의 레지스트를 형성한다. 또한, 여기에서 형성된 레지스트를 마스크로서 사용하여 에칭이 행해지고, 현상에 의해 노출되는 중단결정의 반도체막(104)이 제거된다. 이런 공정에 의해, 섬 형상의 반도체막(105)이 형성된다(도 5d).

[0117] 본 발명을 사용하여 형성된 중단결정 반도체막은 복수의 결정립으로 구성되며, 이 결정립의 입경은 $0.01\mu\text{m}$ 이상의 폭 및 $1\mu\text{m}$ 이상의 길이를 가진다.

[0118] 부수적으로, 본 발명을 사용하여 형성된 중단결정 반도체막에 있어서, 기관의 표면에 수직한 방향은 제1방향, 레이저빔의 주사 방향 및 기관의 표면에 평행한 방향은 제2방향, 레이저빔의 주사 방향과 수직하고 기관의 표면에 평행한 방향은 제3방향이라고 한다. 또한, 상기 제1방향, 제2방향, 제3방향이 법선 벡터로서 간주되는 면은 각각 제1면, 제2면, 제3면이라고 한다. 이때, 제1면의 반도체막의 면방위에 있어서, {211} 방위의 비율은 $\pm 10^\circ$ 의 각도 요동의 범위내에서 0.4 이상이다. 부가적으로, 제2면의 반도체막의 면방위에 있어서, {110} 방위의 비율은 $\pm 10^\circ$ 의 각도 요동의 범위내에서 0.5 이상이다. 더욱이, 제3면의 반도체막의 면방위에 있어서, {111} 방위의 비율은 $\pm 10^\circ$ 의 각도 요동의 범위내에서 0.4 이상이다.

[0119] 상기한 바와 같이, 본 발명을 사용하여 형성된 중단결정 반도체막에 있어서, 결정립의 면방위는 일방향 또는 실질적으로 일방향으로 간주할 수 있는 방향으로 정렬되고 있다. 즉, 중단결정 반도체막은 단결정에 가까운 성질을 가진다. 이러한 반도체막을 사용함으로써, 반도체 장치의 성능이 대폭 향상될 수 있다.

[0120] 예를 들면, TFT가 형성되는 경우, 단결정 반도체를 사용한 반도체 장치와 동등한 전계 효과 이동도를 얻는 것이 가능하다. 또한, 온 전류치(TFT가 온의 상태에 있을 때 흐르는 드레인 전류의 값), 오프 전류치(TFT가 오프의 상태에 있을 때 흐르는 드레인 전류의 값), 임계치 전압, S값 및 전계 효과 이동도의 편차를 저감시키는 것이 가능하게 된다. 이러한 효과가 있기 때문에, TFT의 전기적 특성은 향상되고, TFT를 사용한 반도체 장치의 동작 특성 및 신뢰성이 향상된다. 따라서, 고속동작이 가능하여 전류 구동능력이 높고, 소자간에 있어서 특성의 편차가 작은 반도체 장치가 제조될 수 있다.

[0121] 실시예 1

[0122] 본 실시예는 시료로서 사용되는 본 발명의 중단결정 실리콘막을 EBSP법에 의하여 면 방위를 측정한 결과에 관하여 설명할 것이다. 부가적으로, 단결정 실리콘막 및 대입경 결정이 형성되어 있는 실리콘막에 관해서도 마찬가지로 EBSP법에 의하여 면 방위를 측정하고, 각각 비교했다.

[0123] 결정구조를 가진 시료에 전자빔을 입사되면, 후방에도 비탄성 산란이 발생하고, 브래그 회절에 의한 결정방위에 특유한 선형 패턴이 시료에서 관찰될 수 있다. 여기에서, 이 선형 패턴은 일반적으로 키쿠치(kikuchi) 선이라고 부르고 있다. EBSP법은 검출기에 반사된 키쿠치 선을 해석함으로써 시료의 결정방위를 얻는다.

[0124] 다결정 구조의 시료는 결정립이 각각 다른 결정방위를 가지고 있다. 그러므로, 시료의 조사 위치가 매번 이동되어, 시료가 전자빔으로 조사되고 조사 위치마다의 결정방위가 해석된다. 이런 방식으로, 평탄한 표면을 가지는 시료의 결정방위 또는 배향정보가 얻어질 수 있다. 측정 영역이 넓어질수록, 시료 전체의 결정방위의 경향이 더 많이 얻어질 수 있고, 측정 점이 많을수록 측정 영역중의 결정방위 정보가 상세하게 얻어질 수 있다.

[0125] 그러나, 결정내의 면방위는 결정의 하나의 표면상의 면방위만으로 결정될 수는 없다. 이것은 면방위가 하나의 관찰면에서만 일방향으로 정렬되어 있다하더라도, 면방위가 다른 관찰면에서 정렬되어 있지않다면, 그 결정내의 면방위가 정렬되어 있다고 말할 수 없기 때문이다.

[0126] 결정내의 면방위를 결정하기 위해서, 적어도 두개의 표면에서의 면방위가 필요하고, 많은 면으로부터 많은 정보가 얻어질수록 정밀도는 증가된다. 따라서, 측정 영역내에서 모든 3면의 면방위 분포가 거의 균일하면, 근사적으로, 단일 결정, 즉 중단결정으로 간주할 수 있다.

[0127] 실제로, 도 10에 도시된 바와 같이, 베이스 절연막(511)이 기관(510) 상에 형성되고, 비정질 반도체막(517)이 베이스 절연막(511) 상에 형성된다. 또한, 캡막(518)이 비정질 반도체막(517) 상에 형성된다. 비정질 반도체막(517)은 결정화를 행하기 위해 캡막(518)을 통해 레이저빔으로 조사된다. 다음에, 서로 직교하는 3개의 벡터(백

터a, 벡터b, 벡터c)가 각각 법선 벡터가 되는 3면(관찰면A(513), 관찰면B(514), 관찰면C(515))의 정보를 종합함으로써 고정밀도에서 결정내의 면방위가 특정될 수 있다. 본 실시예에 있어서, 준단결정 실리콘막과 대입경 결정이 형성되어 있는 실리콘막에서, 하기와 같이 벡터a 내지 벡터c가 설정된다. 벡터c는 레이저빔의 주사 방향(516) 및 기관(510)의 표면에 평행하고, 벡터a는 기관(510)의 표면 및 벡터c에 수직하고, 벡터b는 벡터a 및 벡터c와 서로 수직하다.

[0128] 우선, 도 8a 내지 도 8d 및 도 9a 내지 도 9f는 준단결정 실리콘막(512)의 상기 3면에 있어서의 면방위(관찰면에 수직한 방향의 결정축 방위)을 해석한 결과를 나타낸다.

[0129] 측정에 사용되는 준단결정 실리콘막은 본 실시예에서 사용되는 시료와 같은 방법으로 형성된다. 두께 150nm의 베이스 절연막이 두께 0.7mm의 유리 기관의 한 면에 형성된다. 두께 66nm의 비정질 실리콘막이 베이스 절연막 상에 플라즈마 CVD법에 의해 형성되고, 캡막으로서 산화 실리콘막이 500nm의 두께를 갖도록 형성된다. 더욱 구체적으로, 시료의 제조 방법이 설명될 것이다.

[0130] 기관으로서, 코닝사에 의해 제조되는 두께 0.7mm의 유리 기관이 사용된다. 베이스 절연막으로서, 산소를 포함하는 질화실리콘막과 질소를 포함하는 산화 실리콘막이 적층되는 두께 150nm의 막이 평행 평판형의 플라즈마 CVD 장치로 형성된다. 증착 조건은 하기와 같다.

[0131] <산소를 포함하는 질화실리콘막>

[0132] · 두께: 50nm

[0133] · 가스의 종류(유량): SiH_4 (10sccm), NH_3 (100sccm), N_2O (20sccm), H_2 (400sccm)

[0134] · 기관온도: 300℃

[0135] · 압력: 40Pa

[0136] · RF 주파수: 27MHz

[0137] · RF 파워: 50W

[0138] · 전극간 거리: 30mm

[0139] <질소를 포함하는 산화 실리콘막>

[0140] · 두께: 100nm

[0141] · 가스의 종류(유량): SiH_4 (4sccm), N_2O (800sccm)

[0142] · 기관온도: 400℃

[0143] · 압력: 40Pa

[0144] · RF 주파수: 27MHz

[0145] · RF 파워: 50W

[0146] · 전극간 거리: 15mm

[0147] 비정질 실리콘막은 베이스 절연막 상에 평행 평판형의 플라즈마 CVD 장치로 형성된다. 비정질 실리콘막의 증착 조건은 다음과 같다.

[0148] <비정질 실리콘막>

[0149] · 두께: 66nm

[0150] · 가스의 종류(유량): $\text{SiH}_4(25\text{sccm})$, $\text{H}_2(150\text{sccm})$

[0151] · 기판온도: 250°C

[0152] · 압력: 66.7Pa

[0153] · RF 주파수: 27MHz

[0154] · RF 파워: 50W

[0155] · 전극간 거리: 25mm

[0156] 비정질 실리콘막을 형성한 후, 전기로내에서 500°C 에서 1시간 동안 가열했다. 이런 열처리는 비정질 실리콘막에서 수소를 추출하기 위한 처리이다. 수소는 비정질 실리콘막이 레이저빔으로 조사될 때 비정질 실리콘막으로부터 수소 가스가 분출되는 것을 막기 위하여 추출되며, 비정질 실리콘막에 포함되는 수소가 적으면 생략될 수 있다.

[0157] 비정질 실리콘막 상의 캡막으로서, 두께 500nm 의 산화 실리콘막이 형성된다. 증착 조건은 다음과 같다.

[0158] <산화 실리콘막>

[0159] · 두께: 500nm

[0160] · 가스의 종류(유량): $\text{SiH}_4(4\text{sccm})$, $\text{N}_2\text{O}(800\text{sccm})$

[0161] · 기판온도: 400°C

[0162] · 압력: 40Pa

[0163] · RF 주파수: 60MHz

[0164] · RF 파워: 150W

[0165] · 전극간 거리: 28mm

[0166] 표 1은 베이스 절연막과 캡막의 조성을 나타낸다. 표1에 나타낸 막의 조성은 가열처리 또는 레이저조사 이전의 상태의 값이다. 조성비는 러더포드 후방 산란법 (RBS: Rutherford Backscattering Spectrometry) 및 수소 전방 산란법(HFS: Hydrogen Forward Scattering)을 사용하여 측정했다. 측정 감도는 $\pm 2\%$ 정도이다.

표 1

재료		조성비(%)			
		Si	N	O	H
산화 실리콘막	캡막	32.1	0.0	66.0	1.9
질소 포함하는 산화 실리콘막	베이스 절연막의 제2층	32.6	0.2	65.8	1.4
산소 포함하는 산화 실리콘막	베이스 절연막의 제1층	32.2	45.5	5.2	17.2

[0168] 다음에, 비정질 실리콘막이 캡막을 통해서 레이저빔으로 조사되었다. 본 실시예에서, 7.5W 의 에너지를 갖는 2개의 레이저빔이 방출되고, 광학계를 사용하여 합성된다. 그 후에, 폭 $500\mu\text{m}$ 의 선모양으로 레이저빔이 형성되어 조사가 수행되었다. 합성후의 레이저빔의 에너지는 15W 이고, 레이저빔의 주사 속도는 35cm/sec 이다.

[0169] 전자빔은 시료면(즉, 준단결정 실리콘막의 표면)에 대하여 60° 의 입사각으로 입사되고, 수득된 EBSP상으로부터 결정방위가 측정되었다. 측정 영역은 $100\mu\text{m} \times 50\mu\text{m}$ 이다. 이 영역에서, 종횡 $0.25\mu\text{m}$ 마다의 격자점에서 측정이 수행되었다. 시료면이 EBSP법에 의한 측정면이기 때문에, 실리콘막은 최상층이 될 필요가 있다. 그러므로, 캡막이

되는 질소를 포함하는 산화 실리콘막이 에칭된 후에 측정이 수행되었다.

[0170] 도 8a는 벡터a가 법선 벡터가 되는 면A에 있어서의 면방위 분포를 나타내고, 마찬가지로 도 8b는 벡터b가 법선 벡터가 되는 면B에 있어서의 면방위 분포를 나타내며, 도 8c는 벡터c가 법선 벡터가 되는 면C에 있어서의 면방위 분포를 나타낸다. 도 8a 내지 도 8c는 면방위가 각각의 측정 점에 의해 지시되는 것을 보여주는 방위 맵 상이다. 이러한 상에 따르면, 관측면A에서의 방위 {211}에서 강하게 배향되고, 관측면B에서의 방위 {111}에서 강하게 배향되고, 관측면C에서의 방위 {110}에서 강하게 배향됨을 알 수 있다. 부가적으로, 개개의 결정립내의 면방위가 균일하기 때문에, 개개의 결정립의 형상이나 크기 등의 정보는 개략적으로 얻어질 수 있다.

[0171] 여기에서, 도 8 a 내지 도 8c에 따르면, 본 발명의 준단결정 실리콘막은 기둥 모양으로 길게 연장되는 도메인(domain)으로 구성된다는 것을 알 수 있다.

[0172] 부가적으로, 도 8a 내지 도 8c에 따르면, 본 발명의 준단결정 실리콘막은 관찰면A, B, C에 있어서 각각 방위 {211}, 방위 {111}, 및 방위 {110}에서 강하게 배향되고 있음을 알 수 있다. 특정한 지수로 강하게 배향되고 있는 것을 알았을 경우, 그 지수 근방에 어느 정도의 결정립이 모아지고 있는지의 비율을 수득함으로써 배향 정도가 파악될 수 있다.

[0173] 도 9a는 면방위 출현의 빈도 분포를 나타내는 반대 극점도로, 관찰면A에 있어서의 면 방위 {211}가 측정 범위내에서 어떻게 분포되는지를 보여준다. 동일한 방식으로, 도 9c는 관찰면B에 있어서의 면 방위 {111}가 어떻게 분포되는지를 보여주고, 도 9e는 관찰면C에 있어서의 면 방위 {110}가 측정 범위내에 어떻게 분포되는지 보여준다.

[0174] 도 9b는 도 9a의 반대 극점도의 빈도를 나타낸다. 이 경우에, 관찰면A에서의 모든 방위가 동일한 확률로 드러나는 상태의 약 4.5배의 빈도로 방위 {211}가 출현하는 것을 나타낸다. 마찬가지로, 도 9d는 도 9c의 반대 극점도의 빈도를 나타낸다. 이 경우에, 관찰면B에서의 모든 방위가 동일한 확률로 드러나는 상태의 약 15.4배의 빈도로 방위 {111}가 출현하는 것을 나타낸다. 더욱이, 도 9f는 도 9e의 반대 극점도의 빈도를 나타낸다. 이 경우에, 관찰면C에 있어서의 모든 방위가 동일한 확률로 드러나는 상태의 약 14.1배의 빈도로 방위 {110}가 출현하는 것을 나타낸다.

[0175] 게다가, 도 9a의 반대 극점도에서, 방위 {211}의 각도 요동의 범위는 $\pm 10^\circ$ 이내로 결정되고, 모든 측정 점에 대한 방위 {211}의 각도 요동이 $\pm 10^\circ$ 이내에 존재하는 측정 점의 수의 비율이 얻어지므로, 배향율이 얻어질 수 있다.

[0176] 그 결과는 도 45a와 도 45b, 및 도 46에 나타낸다. 도 45a와 도 45b, 및 도 46은 관찰면A, 관찰면B, 및 관찰면C에서 각각 얻어진 배향율의 결과이다. 도 45a와 도 45b, 및 도 46에서, 모든 측정 점 중에서 특정한 배향을 가지는 점의 비율에 대해 얻어진 값이 부분 분할(Partition Fraction) 값이다. 모든 측정 점에 대하여 특정한 배향을 가지는 점 중에서 배향 신뢰성이 높은 측정 점에 대해 얻어진 배향 비율이 전체 분할 값이다. 또한, 표 2는 도 45a와 도 45b, 및 도 46의 전체 조각을 정리한 것이다. 이 결과로, 본 발명의 준단결정 실리콘막의 관찰면A에 있어서, $\pm 10^\circ$ 의 각도 요동의 범위내에서 방위 {211}이 42.1%를 차지한다. 마찬가지로, 관찰면B에 있어서, $\pm 10^\circ$ 의 각도 요동의 범위내에서 방위 {111}이 41.2%를 차지한다. 또한, 마찬가지로, 관찰면C에 있어서, $\pm 10^\circ$ 의 각도 요동의 범위내에서 방위 {110}이 52.3%를 차지한다.

표 2

(%)	{100}	{110}	{111}	{211}
관찰면A	0.2	0.4	8.6	42.1
관찰면B	0.3	5.1	41.2	7.1
관찰면C	0	52.3	0.2	7.4

[0178] 이상으로 도시된 바와 같이, 결정립의 면방위가 3개의 관찰면 모두에 있어서 일방향으로 높은 비율로 정렬된다. 즉, 결정립의 면방위가 일방향으로 정렬된다고 간주될 수 있는, 준단결정이 결정화된 영역에 형성되어 있는 것을 알 수 있다. 이런 방식으로, 특정한 면방위가 대단히 높은 비율을 차지하는, 준단결정이 몇십 μ m의 한변을 갖는 영역내의 유리 기판 상에 형성되는 것이 확인되었다. 여기에서, 결정립의 면방위의 (100), (010), 및 (001)과 같이 등가의 방위군은 함께 {100}으로서 표기되고, 다른 방위 {110}, {111}, 및 {211}에 대해서도 같다.

- [0179] 단결정 실리콘막(SIMOX: Separation by IMPlanted OXygen)의 EBSF 측정 결과가 비교를 위하여 도시된다(도 40a 내지 도 40d). 측정 영역은 $100\mu\text{m} \times 50\mu\text{m}$ 이다. 이 영역내에 있어서, 종횡 $1\mu\text{m}$ 마다의 격자점 모양으로 측정을 행했다. 도 40a 내지 도 40c에서, 도 40a는 관찰면A, B, 및 C에서의 면방위 분포를 각각 나타내고, 도 40d는 도 40a 내지 도 40c에서의 면방위를 나타낸다. 이런 측정에 따르면, 3개의 관찰면은 각각 완전하게 똑같은 면방위를 가진다는 것을 알았다. 그 면방위는 관찰면A에서 {001}이고, 관찰면B 및 관찰면C에서 둘다 {110}이다. 그리고, 각각의 관찰면에서는 결정립이 형성되지 않는다는 것을 알았다.
- [0180] 더욱이, 대입경 결정이 형성되어 있는 실리콘막이 비교를 위해 같은 방법으로 측정되었다. 시료의 제조 방법은 아래와 같다. 두께 0.7mm 의 유리 기판의 한 면에 베이스 절연막으로서 두께 150nm 의 질소를 포함하는 산화 실리콘막이 형성되고, 이 베이스 절연막 상에, 두께 66nm 의 비정질 실리콘막이 플라즈마 CVD법에 의해 형성되었다. 비정질 실리콘막을 형성한후, 4W 의 에너지의 레이저빔을 35cm/sec 의 주사 속도로 조사한 것이 시료로서 사용되었다. 즉, 상기 시료의 제조 절차는 대입경 결정의 형성시 캡막을 형성하지 않는다는 점에서 본 발명의 중단결정 실리콘막의 제조 절차와 다르다.
- [0181] 이 시료의 EBSF법에 의한 측정 영역은 $50\mu\text{m} \times 50\mu\text{m}$ 이다. 이 영역에 있어서, 종횡 $0.25\mu\text{m}$ 마다의 격자점 모양으로 측정을 행했다. 측정 결과, 도 3에 도시된 바와 같이, 관찰면A, B, C에 있어서, 면방위 및 결정성장의 방향에 편차가 있다는 것을 알았다. 부가적으로, 그것의 결정립 지름이 중단결정 실리콘막보다 크다는 것을 알았다.
- [0182] 이상의 실험 결과를 통해, 본 발명의 중단결정 실리콘막은 입경과 면방위에 있어서 단결정 실리콘막 및 대입경 결정이 형성되어 있는 실리콘막과는 경향이 다르다는 것을 알았다.
- [0183] 실시예 2
- [0184] 본 실시예에서는 본 발명의 반도체막의 특성을 측정한 결과에 관하여 설명될 것이다.
- [0185] 도 7a 및 도 7b는 본 발명을 사용하여 제조되는 중단결정 실리콘막의 광학현미경사진을 나타낸다. 시료는 이하의 순서로 제조했다. 두께 0.7mm 의 유리 기판 상에 베이스 절연막으로서 두께 150nm 의 질소를 포함하는 산화 실리콘막이 형성되고, 비정질 실리콘막이 66nm 의 두께로 형성되고, 캡막으로서 500nm 의 두께의 질소를 포함하는 산화 실리콘막이 형성되었다. 다음에, 2대의 레이저 발전기가 준비되고, 각각의 레이저빔이 7.5W 의 에너지로 방출되었다. 광학계를 사용하여 이 2개의 레이저빔의 에너지를 합성한 후, 캡막을 통하여 비정질 실리콘막이 레이저빔으로 조사되었다. 합성후의 레이저빔의 에너지 및 주사 속도는 각각 15W 및 35cm/sec 이다. 그 후에, 캡막이 제거되고 에칭(세코에칭(Secco etching))이 행해졌다.
- [0186] 또한, 세코에칭은 결정성 반도체막 표면의 결정립계를 드러나도록 행해지는 에칭이다. 이 에칭 처리로 사용하는 에칭액은 HF 대 H_2O 의 비율이 2 대 1이 되는 불산수용액에 2크롬산 칼륨을 첨가제로서 더하여 만들어진다. 실제로, 이 용액은 물과 희석되고, 실온에서 에칭 처리가 행해진다.
- [0187] 도 7a는 본 발명의 중단결정 실리콘막의 세코에칭 이전의 현미경 사진이다. 화살표로 나타낸 범위에서 결정의 성장 방향이 정렬되어 있다는 것을 알 수 있다.
- [0188] 도 7b는 세코에칭 이후의 중단결정 실리콘막을 한층 더 확대한 것이다. 또한, 세코에칭을 입계에 잔류하는 비정질 실리콘을 제거하기 위하여 행해진다. 도 7a 및 도 7b에 따르면, 본 실시예에서 설명한 방법에 의해, 폭이 $0.01\mu\text{m}$ 이상, 길이가 $1\mu\text{m}$ 이상이 되는 입계가 형성되고, 인접하는 입계가 서로 평행한 것이 밝혀졌다.
- [0189] 더욱이, 본 발명의 중단결정 실리콘의 표면형상을 측정하기 위하여, 원자력 현미경(AFM: Atomic Force Micoroscopy)을 사용하여 측정이 행해졌다. 고체 시료 표면과 탐침간에 발생하는 힘이 AFM에 의해 검출 물리량으로서 관찰된다. 관찰면 전체의 표면 거칠기 해석을 행한 결과가 표 3에 도시되어 있다. 부가적으로, AFM 측정상(부감도)이 도 17에 도시되어 있다. 그리고, 도 17의 측정 상의 3차원 표시가 도 18에 도시되어 있다.

표 3

[0190]	평균 표면 거칠기(Ra)	$8.577\text{E}-01 \text{ nm}$
	피크 대 밸리 (P-V)	$1.241\text{E}+01 \text{ nm}$
	평균 평면 거칠기 평균 제곱근 (Rz)	$9.361\text{E}+00 \text{ nm}$ (10 지점)
	면적(S)	$1.001\text{E}+0.8 \text{ nm}^2$
	면적비(S비율)	1.00069

- [0191] 이 측정에 사용한 시료는 이하의 순서로 제조했다. 우선, 두께 0.7mm의 유리 기판 상에 베이스 절연막으로서 두께 150nm의 질소를 포함하는 산화 실리콘막이 형성되고, 비정질 실리콘막이 66nm의 두께로 형성되었다. 다음에, 캡막으로서 400nm의 두께의 질소를 포함하는 산화 실리콘막이 형성되었다. 다음에, 2대의 레이저 발진기가 준비되고, 각각의 레이저빔이 9.5W의 에너지로 방출되었다. 광학계를 사용하여 이 2개의 레이저빔의 에너지를 합성한 후, 캡막을 통하여 비정질 실리콘막이 레이저빔으로 조사되었다. 반도체막에 조사되는 레이저빔의 에너지는 19W이고, 레이저빔의 주사 속도는 50cm/sec이다.
- [0192] 본 측정의 결과, 평균 표면 거칠기(Ra)는 8.577×10^{-1} nm이었다. 또한, 반도체막에 직접 CW 레이저를 조사했을 경우에, 평균 표면 거칠기는 1 내지 2.5nm이 된다. 이 결과로, 본 발명에 의해, 평균 표면 거칠기가 직접 CW 레이저를 사용했을 경우의 약 0.3 내지 0.9 배 낮아지는 효과가 있다는 것을 알았다. 따라서, 활성층으로서 대단히 평탄한 표면을 가지는 준단결정으로 형성되는 반도체막을 사용하여 TFT가 제조되면, 게이트 전극과 활성층과의 사이의 누설 전류가 낮게 억제될 수 있고 게이트 절연막이 얇게 형성될 수 있다.
- [0193] 실시예 3
- [0194] 본 발명의 반도체막은 라만 분광법에 의해 평가되었다. 라만 분광법은 물질의 결정성을 평가하는 유효한 방법중 하나이며, 레이저 조사에 의해 형성되는 반도체막의 결정성을 정량화할 목적으로 사용된다. 일반적으로, 라만 선의 피크 위치 또는 반값전폭으로부터 결정성, 결정 입자 사이즈, 또는 응력에 관한 정보가 얻어지고, 라만 선의 강도 또는 갯수로부터 면 방위에 관한 정보가 얻어진다. 부가적으로, 제조된 막 또는 결정립의 면방위가 불명확한 경우에, 다른 방향에서 편광 라만 측정을 행함으로써 면방위 또는 결정 축방향이 특정될 수 있다.
- [0195] 우선, 도 11a에 도시된 바와 같이, 기판(300)으로서 두께 0.7mm의 유리 기판이 준비된다. 이 기판(300) 상에 베이스 절연막(301)으로서 두께 150nm의 질소를 포함하는 산화 실리콘막이 형성되고, 반도체막(302)으로서 비정질 실리콘이 66nm의 두께로 형성되고, 절연막(303)으로서 두께 400nm 또는 500nm의 질소를 포함하는 산화 실리콘막이 형성되었다.
- [0196] 다음에, 도 11b에 도시된 바와 같이, 절연막(303)으로 커버된 반도체막(302)을 500 μ m의 조사 폭을 갖는 레이저빔으로 조사하기 위하여 에너지가 단계적으로 변경되었다. 또한, 본 실시예에서, 출력이 동등한 2대의 레이저 발진기가 준비되었고, 각각 10.0W, 9.5W, 9.0W, 8.5W, 8.0W, 7.5W, 7.0W, 6.5W, 6.0W, 5.5W, 5.0W, 4.5W의 에너지로 레이저빔을 방출한다. 이 2개의 레이저빔을 광학계에 의해 합성한 후에, 절연막(303)을 통해 반도체막(302)에 조사했다. 즉, 합성된 레이저빔의 에너지는 합성전의 에너지의 배가 되고, 각각 20W, 19W, 18W, 17W, 16W, 15W, 14W, 13W, 12W, 11W, 10W, 9W가 된다. 합성후의 에너지는 도 11b에 기재하고 있다. 합성된 레이저빔의 단면에 있어서의 강도 분포는 가우시안 분포이다. 이렇게 합성된 레이저빔은 절연막(303)의 윗쪽에서 조사하기 위하여 35cm/sec, 50cm/sec, 75cm/sec, 및 100cm/sec의 속도로 주사된다. 레이저 조사영역의 폭은 500 μ m이다.
- [0197] 이렇게 레이저빔으로 조사된 반도체막을 시료로서 사용함으로써 라만 분광법에 의한 측정이 수행되었다. 도 14a 내지 도 14d는 시료로서 사용되는 두께 400nm의 절연막(303)의 측정 결과를 각각 나타낸다. 도 15a 내지 도 15d는 시료로서 사용되는 두께 500nm의 절연막(303)의 측정 결과를 각각 나타낸다. 측정 때에 입사되는 레이저광의 편광 방향은 레이저 결정화 때에 조사되는 레이저빔의 주사 방향에 대하여 직각 방향이다. 세로축은 라만 강도의 표준 Si 웨이퍼 비율을 의미하는 반면, 가로축은 레이저빔으로 조사되는 위치(라만 측정이 수행되는 위치)를 의미한다. 여기에서, 표준 Si 웨이퍼 비율은 기준값으로 측정되는, 1이 되는, 단결정 실리콘막의 라만 강도의 비율이다. 또한, 도 11b의 점선 A-A' 로 도시한 바와 같이, 매핑 측정은 각 레이저 에너지의 레이저빔의 조사영역을 횡단하도록 행해지고 측정 피치는 2 μ m이었다.
- [0198] 도 15a 내지 도 15d는 절연막(303), 즉 캡막의 두께가 500nm인 결과를 나타낸다. 도 15a는 35cm/sec의 주사 속도로 조사한 결과이다. 여기에서, 2대의 레이저 발진기로부터 방출되는 에너지가 각각 7.5W(합성후 15W)인 결과에 주목한다. 이것은 실시예 1의 EBSP 측정 및 실시예 2의 광학현미경촬영에 사용되는 반도체막과 동일한 제조 조건으로 제조되는 시료의 결과이다. 실시예 1, 2에 따르면, 이 제조 조건으로 제조되는 반도체막, 즉 본 발명의 준단결정 반도체막에서, 기둥 모양으로 연장되는 결정립이 레이저빔의 조사 영역에서 균일하게 형성되고,

결정립의 면방위가 일방향으로서 간주될 수 있다는 것을 알 수 있다. 이런 준단결정 반도체막이 라만 분광법에 의해 측정되면, 도 15a에서 7.5W(합성후 15W)의 데이터로 도시된 바와 같이, 단결정 실리콘과 비교하여 라만 강도가 작아지고, 강도의 편차가 작은 특징을 가짐을 알 수 있다.

[0199] 부가적으로, 도 14a 내지 도 14d는 캡막의 두께가 400nm인 결과를 각각 나타낸다. 도 14a는 35cm/sec의 주사 속도로 조사한 결과이다. 2대의 레이저 발진기로부터 방출되는 에너지가 각각 7.0W(합성후 14W)인 경우와 2대의 레이저 발진기로부터 방출되는 에너지가 각각 6.5W(합성후 13W) 이하가 되는 경우 사이에서는 경향이 다르다는 것을 알 수 있다. 각 레이저빔의 에너지가 6.5W(합성후 13W)이하인 경우에, 라만 강도가 단결정 실리콘막과 비교하여 작아지고, 강도의 편차가 부분적으로 작아지고, 도 15a의 경우와 마찬가지로 준단결정이 형성된다는 것을 알 수 있다. 특히, 각 레이저빔의 에너지가 5.5W(합성후 11W) 및 6.0W(합성후 12W)로 레이저빔을 조사했을 경우, 준단결정이 형성된다는 것을 알 수 있다. 특히, 원으로 둘러싸인 부분이 현저하다. 이 부분에서는 본 발명의 준단결정 반도체막이 형성된다는 것을 알 수 있다. 한편, 각 레이저빔의 에너지가 7.0W(합성후 14W) 이상의 경우에, 그 경향은 바뀐다. 이 경우, 라만 강도가 작고 강도의 편차가 작은 부분과, 라만 강도가 크고 강도의 편차가 큰 부분이 반도체막의 일부에서 보여진다. 이 영역에는 준단결정과 대입경 결정이 혼재하여 형성되어 있다고 추측된다.

[0200] 도 12a는 도 14a의 결과를 확대한 것이다. 또한, 라만 강도는 측정치이다. 도 12b는 라만 변환을 나타내고, 도 12c는 라만 산란광의 강도를 반값 전폭(FWHM: full width at half maximum)으로 나눈 결과를 보이고 있다. 어느 쪽의 도면에서도, 2대의 레이저 발진기로부터 방출되는 에너지가 각각 4.5W 내지 7.0W의 범위 내에서 0.5W씩 측정되고, 즉 합성후에 반도체막에 조사되는 레이저빔의 에너지가 9W 내지 14W의 범위내에서 1W 피치씩 측정된다.

[0201] 여기에서, 도 12a에서, 라만 강도가 작고 강도의 편차가 11 및 12W에서 원으로 둘러싸인 부분에 주목한다. 도 12a의 결과에 따르면, 레이저빔 조사가 11 및 12W로 조사되는 경우에, 준단결정이 형성된다는 것을 알 수 있다. 준단결정이 형성되는 부분의 라만 강도는 편차계수가 20%이하이며, 편차계수가 30%를 초과하는 대입경 결정과 비교하여 편차가 대단히 작다. 또한, 여기에서, 편차계수(CV)는 표준편차(σ)의 평균치(Ave)에 대한 백분율이며($CV = (\sigma / Ave) \times 100$)), 라만 피크의 편차의 크기를 의미한다. 도 12b에 따르면, 준단결정의 라만 피크는 516cm^{-1} 이상 517cm^{-1} 이하가 되고, 단결정 실리콘의 라만 변환값의 521cm^{-1} 보다도 작은 값이 된다. 또한, 도 12c에 따르면, 라만 강도와 반값 전폭과 관련한 라만 강도의 비율(라만 강도/반값 전폭)의 값은 준단결정에서 작아지고, 편차의 경향이 작아짐을 알 수 있다.

[0202] 다음에, 도 14a 내지 도 14d 및 도 15a 내지 도 15d에 대하여, 반도체막이 조사되는 레이저빔의 주사 속도와 반도체막의 결정화 사이의 관계가 고려되었다. 기둥 모양으로 연장되는 결정립이 레이저빔의 조사 영역에 균일하게 형성되는 영역 중 작은 라만 강도 및 작은 라만 강도의 편차를 갖는 영역은 준단결정이 형성되어지는 영역이라고 말할 수 있다. 도 14a 내지 도 14d의 경우에, 준단결정이 형성되었다. 각 레이저빔의 에너지는 주사 속도가 35, 50, 및 75 cm/sec일 때, 레이저빔의 에너지는 각각 5.5W이상 8.5W이하(합성후는 11W이상 17W이하), 6.5W이상 10W이하(합성후는 13W이상 20W이하), 9W이상 10W이하(합성후는 18W이상 20W이하)의 범위가 된다. 더욱이, 주사 속도가 100cm/sec 이상에서는 준단결정이 형성되지 않았다. 즉, 주사 속도가 낮을 만큼, 작은 에너지로 준단결정이 형성되는 것을 알 수 있다. 도 15a 내지 도 15d에 도시된 바와 같이, 이 경향은 캡막의 막두께가 변경되더라도 동일하다.

[0203] 또한, 각각의 주사 속도에 주목한다. 예로서, 도 14a를 든다. 낮은 레이저빔의 에너지가 방출되면, 라만 강도의 편차가 작아진다는 것을 알 수 있다. 라만 강도의 작은 편차는 면방위가 일치된다는 것을 의미한다. 그러므로, 준단결정 반도체막을 형성하기 위하여, 그것의 면방위가 일치되고, 반도체막을 용융할 수 있는 최소 에너지를 제공하도록 레이저 에너지를 조절하는 것이 바람직하다

[0204] 다음에, 도 14a 내지 도 14d 및 도 15a 내지 도 15d에 대하여, 캡막의 두께와 반도체막의 결정화 사이의 관계가 고려된다. 예를 들면, 도 14a와 도 15a는 주사 속도가 동일하고, 다만 캡막의 두께가 각각 다르다. 여기에서, 도 14a의 캡막이 400nm인 경우에, 5.5W이상 8.8W이하(합성후는 11W이상 17W이하)로 준단결정이 형성된다. 한편, 도 15a의 캡막이 500nm인 경우에서, 7.0W이상 10W이하(합성후는 14W이상 20W이하)로 준단결정이 형성된다. 이 실험 결과에 따르면, 같은 주사 속도의 경우에, 500nm 두께의 캡막을 사용하는 것보다 400nm의 캡막을 사용함으로써 저에너지로 준단결정이 형성된다고 결론지을 수 있다. 또한, 다른 주사 속도에 관해서도 같은 결론을 얻을 수 있다.

[0205] 이상의 결과를 통해, 레이저빔의 에너지, 캡막의 막두께 및 레이저빔의 주사 속도는 준단결정의 형성에 영향을

주는 요인이 된다. 따라서, 필요하다면 레이저빔의 에너지, 캡막의 막두께 및 레이저빔의 주사 속도를 적당하게 제어하는 것이 바람직하다.

- [0206] 실시예 4
- [0207] 본 발명의 중단결정 실리콘막, 단결정 실리콘막, 및 대입경 결정이 형성된 실리콘막이 라만 분광법에 의해 측정되고, 각각의 차이점이 조사되었다.
- [0208] 본 발명의 중단결정 실리콘막은 아래와 같이 제조되었다. 우선, 두께 0.7mm의 유리 기판의 한 면에, 베이스 절연막으로서 두께 150nm의 질소를 포함하는 산화 실리콘막이 형성되었다. 더욱이, 이 베이스 절연막 상에 두께 66nm의 비정질 실리콘막이 플라즈마 CVD법에 의해 형성되었다. 이렇게 형성된 시료에 캡막으로서 질소를 포함하는 산화 실리콘막을 500nm의 두께로 형성한 후에, 레이저빔이 조사되었다. 샘플이 조사되는 레이저빔의 에너지는 20W이고, 레이저빔의 주사 속도는 35cm/sec이다. 이렇게 제조된 시료의 라만 스펙트럼이 측정되었다. 측정시, 입사되는 레이저광의 편광방향은 레이저 결정화의 주사 방향에 직각 방향(0° 가 되는)이 된다.
- [0209] 단결정 실리콘막에 대하여, SIMOX 기판이 사용되었다. 또한, 대입경 결정이 형성되는 실리콘막은 이하의 순서로 제조했다. 두께 0.7mm의 유리 기판의 한 면에, 베이스 절연막으로서 두께 150nm의 질소를 포함하는 산화 실리콘막이 형성되고, 두께 66nm의 비정질 실리콘막이 플라즈마 CVD법에 의해 형성되었다. 그 후에, 캡막이 형성되지 않고 20W의 에너지의 레이저빔이 50cm/sec의 주사 속도로 조사되었다. 이것들의 시료도 같은 방법으로 라만 스펙트럼이 측정되었다.
- [0210] 그 결과는 도 41에 도시된 바와 같다. 가로축은 파수(cm^{-1}), 세로축은 라만 산란광의 강도(이하, 라만 강도라고 한다)이다. 이 그래프에 따르면, 본 발명의 중단결정 실리콘막의 라만 강도의 피크는 517 내지 518cm^{-1} , 단결정 실리콘막의 라만 강도의 피크는 520 내지 521cm^{-1} , 대입경 결정이 형성된 실리콘막의 라만 강도의 피크는 515 내지 516cm^{-1} 인 것을 알 수 있다. 라만 강도의 피크 위치가 단결정 실리콘막의 값에 근접함에 따라서 특성은 단결정 실리콘막에 근접한다. 따라서, 본 발명의 중단결정 실리콘막은 대입경 결정이 형성되는 실리콘막과 비교하면, 보다 특성이 단결정 실리콘막에 가깝다고 말할 수 있다.
- [0211] 부가적으로, 라만 강도의 값에 대하여 각각 비교하면, 본 발명의 중단결정 실리콘막의 강도는 단결정 실리콘막 또는 대입경 결정이 형성되는 실리콘막의 라만 강도보다 작다. 따라서, 라만 강도의 점에서도, 본 발명의 중단결정 실리콘막은 단결정 실리콘막 또는 대입경 결정이 형성되는 실리콘막과 다른 것을 알 수 있었다.
- [0212] 실시예 5
- [0213] 본 발명의 반도체막이 라만 분광법에 의해 측정되고, 스펙트럼의 편광특성이 조사되었다.
- [0214] 시료는 이하의 순서로 제조했다. 두께 0.7mm의 유리 기판에 베이스 절연막으로서 두께 50nm의 질화산화 실리콘막이 형성되고, 100nm의 질소를 포함하는 산화 실리콘막이 형성되었다. 베이스 절연막 상에 반도체막으로서 두께 66nm의 비정질 실리콘막이 플라즈마 CVD법에 의해 형성되었다. 더욱이, 캡막으로서 두께 300nm의 질소를 포함하는 산화 실리콘막이 형성되었다. 캡막의 형성후, 출력이 6W인 2대의 연속발진 고체 레이저 발진기가 준비되고, 이것들의 레이저 발진기로부터 레이저빔이 방출되어 광학계를 사용하여 합성된다. 합성후의 레이저빔의 에너지는 12W이다. 레이저빔을 합성한 후에 폭 $500\mu\text{m}$ 의 폭을 갖는 선형 빔으로 형성되는 반도체막에 조사했다. 또한, 반도체막에 레이저빔을 조사할 때의 주사 속도는 50cm/sec이다.
- [0215] 이렇게 형성된 제1 시료가 되는 중단결정 실리콘막에 편광 레이저광이 입사되도록 하고, 라만 피크의 각도 의존성이 측정되었다. 편광방향에 대해서, 도 13e에 도시된 바와 같이, 레이저빔의 조사 방향에 대해 직각인 방향이 0° 로서 간주되고, 0, 45, 90, 및 135° 의 편광이 중단결정 실리콘막에 각각 입사되도록 하였다.
- [0216] 도 13a 내지 도 13d는 각각 0, 45, 90, 및 135° 의 편광방향을 갖는 라만 강도를 나타낸다.
- [0217] 도 13a 내지 도 13d에 따르면, 레이저빔의 중앙부근이 조사되는 100 내지 $420\mu\text{m}$ 의 영역(원으로 둘러싸인 부분)에, 라만 강도가 작아지고 라만 강도의 편차가 작은 영역이 있다. 이 부분의 라만 강도의 경향은 실시예 3에서 설명되는 중단결정의 특징과 일치하고 있다. 따라서, 이 부분은 중단결정이 형성되어 있다고 추측된다.

- [0218] 도 13a 내지 도 13d에 따르면, 편광방향이 0 및 90°의 경우와 편광방향이 45 및 135°의 경우에는 경향이 다른 것을 알 수 있다. 0 및 90°의 경우에는 각각 같은 정도의 값을 취하고, 45 및 135°의 경우도 같은 정도의 값을 취한다. 그러나, 0 및 90°의 경우의 라만 강도는 45 및 135°의 경우의 라만 강도보다도 작은 값을 취한다. 따라서, 본 발명의 준단결정의 라만 강도는 90°의 주기 구조를 가지고 있다는 것을 알 수 있다. 부가적으로, 편광의 방향에 의해 준단결정이 형성된 영역의 라만 강도의 크기는 바뀌지만, 라만 강도의 편차는 작은 것을 알았다. 이러한 주기 구조는 단결정 막에서도 관측되지만, 랜덤한 대입결 결정은 면방위가 인접하는 결정간에서 관측되지 않는다. 따라서, 상기 주기 구조를 가진다는 것은 배향이 균일하게 일치하는 준단결정이 무한히 단결정에 가까운 결정 상태에 있다고 고려될 수 있다. 또한, 도면에는 나타나지 않았지만, 90°의 유사한 주기 구조가 준단결정의 라만 변환에서도 관측될 수 있다.
- [0219] 실시예 6
- [0220] 본 실시예에서, 반도체막의 결정화를 행하기 위하여 여러가지의 조건으로 캡막을 통해서 반도체막이 레이저빔으로 조사되었고, 본 발명의 반도체막을 형성하는 최적의 조건이 발견되었다.
- [0221] 본 실시예에서, 두께 0.7mm의 유리 기판의 한 면에, 베이스 절연막으로서 두께 150nm의 질소를 포함하는 산화 실리콘막이 형성된다. 더욱이, 이 베이스 절연막상에 두께 66nm의 비정질 실리콘막이 플라즈마 CVD법에 의해 형성된다. 이렇게 형성된 시료에 캡막으로서 질소를 포함하는 산화 실리콘막을 형성한 후에, CW 레이저가 조사된다. 구체적인 조사 방법으로서, 2대의 CW 레이저 발진기가 준비되고, 각각의 레이저빔이 동일한 출력으로 동시에 방출되고, 광학계를 사용하여 합성된다. 그후에, 반도체막은 캡막을 통하여 조사된다. 본 실시예에서 변경된 조건은 (1) 캡막의 두께, (2) 반도체막이 조사되는 레이저빔의 에너지, (3) 레이저빔의 주사 속도이다. 캡막의 막두께는 400nm과 500nm의 2종류이다. 또한, 레이저 발진기로부터 방출되는 에너지는 각각 4.5W 내지 10W 범위 내에서 0.5W 씩(합성후는 9W 내지 20W 범위내에서 1W 씩)의 12종류이다. 또한, 레이저빔의 주사 속도는 35cm/sec과 50cm/sec의 2종류이다. 이러한 조건을 바꾸어서 레이저빔의 조사를 행한 후, 광학현미경에서 표면의 상태를 관찰했다. 또한, 본 실시예도 다른 실시예와 마찬가지로, 광학계를 사용하여 2개의 레이저 발진기로부터 방출된 레이저빔을 합성하고, 500 μ m의 선형상으로 형성되어 반도체막에 조사했다.
- [0222] 본 실시예에서, 광학현미경을 사용한 관찰은 암시야 반사 현미경법으로 행해졌다. 이 방법은 시료에 맞춘 빛이 직접 광학현미경의 대물렌즈에 입사하지 않도록 하고, 그 때의 시료로부터의 반사광, 산란광 등을 관찰한다. 이 관찰법에서는 시야의 배경이 검고, 요철이 있으면 배경이 밝게 보인다. 이 관찰법을 사용함으로써, 투명한 시료를 관찰하는 것이 가능할 뿐만 아니라 광학현미경의 해상한계 보다도 작은 8nm정도의 입자 또는 요철을 인식하는 것이 가능하다. 그 때문에 반도체막 표면의 미세한 스크래치 또는 결함 등의 검사에 대단히 유효하며, 공업 분야에 있어서는 표준적인 관찰 방법이 되어 있다. 본 실시예에서, 100배의 배율로 표면의 요철을 관찰했다.
- [0223] 도 42는 레이저빔의 주사 속도를 35cm/sec으로 고정했을 경우에 캡막의 두께와 레이저빔의 에너지의 상관 관계가 드러나도록 정렬되어 있는 광학현미경의 상을 나타낸다. 마찬가지로, 도 43은 레이저빔의 주사 속도를 50cm/sec에 고정했을 경우에 캡막의 두께와 레이저빔의 에너지의 상관 관계가 드러나도록 정렬되어 있는 광학현미경의 상을 나타낸다.
- [0224] 반도체막의 표면의 요철의 상태는 결정화의 조건이나 결정의 상태에 따라 다르다. 미소 결정이 형성되거나 또는 막이 박리되는 반도체막의 영역에 요철이 형성되기 때문에, 시료로부터의 반사광 또는 산란광이 관측된다. 반대로, 준단결정, 대입결의 결정립, 또는 미소 결정이 형성되는 반도체막 표면의 일부에서는 요철이 적기 때문에, 시야가 검게 된다.
- [0225] 도 44a 및 도 44b는 도 42 및 도 43에 도시된 광학현미경의 상에 대하여 각각의 상에 무엇이 형성되어 있는지 확인하여 정리한 그래프이다. 플롯팅된 마크는 도 44a 및 도 44에서 둘다 공통이다. * 마크는 결정화가 행해질 수 없는 영역이고, X 마크는 미소 결정이 형성된 영역이고, 검은색의 사각은 미소 결정과 본 발명의 준단결정이 혼재하여 형성된 영역이다. + 마크는 미소 결정, 대입결 결정, 및 본 발명의 준단결정이 혼재하여 형성된 영역이다. 검은색의 원은 본 발명의 준단결정이 형성된 영역이다. 검은색의 마름모꼴은 대입결 결정과 본 발명의 준단결정이 혼재하여 형성된 영역이며, 윤곽선의 마름모꼴은 대입결 결정이 형성된 영역이다. 또한 윤곽선의 사각은 반도체막에 과잉 에너지가 제공되기 때문에 분리(반도체막이 박리되거나 또는 증발되는)가 발생한 영역이다.
- [0226] 도 44a는 레이저빔의 주사 속도를 35cm/sec에 고정했을 경우의 결과를 나타낸다. 이 결과에 따르면, 캡막의 막두께가 200nm이상 500nm이하로 본 발명의 준단결정 실리콘막이 형성된 것을 알 수 있다. 구체적으로, 캡막의 막

두께가 200nm의 경우에서, 각 레이저빔의 파워가 6.0W이상 7.5W이하(합성후 12W이상 15W이하)의 범위에서 본 발명의 중단결정 실리콘막이 형성되었다. 같은 방법으로, 캡막의 막두께가 300nm, 400nm, 500nm의 경우에, 각 레이저빔의 파워가 각각 5.0W이상 6.0W이하 (합성후 10W이상 12W이하), 5.5W이상 8.5W이하(합성후 11W이상 17W이하), 7.0W이상 10W이하(합성후 14W이상 20W이하)의 범위에서 중단결정 실리콘막이 형성되었다.

[0227] 캡막의 막두께가 200nm 내지 300nm의 범위일 때, 캡막의 막두께가 두꺼워지더라도, 중단결정 실리콘막이 형성되는 에너지의 최저값은 저하된다. 캡막의 막두께가 300nm이상이 되면, 캡막의 막두께가 두꺼워짐에 따라서 중단결정 실리콘막이 형성되는 에너지의 최저값은 증가하는 경향을 가진다.

[0228] 부가적으로, 도 44b는 레이저빔의 주사 속도가 50cm/sec에 고정했을 경우의 결과를 나타낸다. 이 결과에 따르면, 캡막의 막두께가 200nm이상 500nm이하로 본 발명의 중단결정 실리콘막이 형성된 것을 알 수 있다. 구체적으로, 캡막의 막두께가 200nm의 경우에, 각 레이저빔의 파워가 8.0W이상 9.0W이하(합성후 16W이상 18W이하)의 범위에서 본 발명의 중단결정 실리콘막이 형성된다. 같은 방법으로, 캡막의 막두께가 300nm, 400nm, 500nm의 경우에, 각 레이저빔의 파워가 각각 6.5W이상 7.5W이하(합성후 13W이상 15W이하), 6.5W이상 10W이하(합성후 13W이상 20W이하), 8.5W이상 10W이하(합성후 17W이상 20W이하)로 중단결정 실리콘막이 형성된다.

[0229] 도 44a와 마찬가지로, 캡막의 막두께가 200nm으로부터 300nm의 범위일 때, 캡막의 막두께가 두꺼워지더라도, 중단결정 실리콘막이 형성되는 에너지의 최저값은 저하되지만, 300nm을 초월하면, 캡막의 막두께가 두꺼워짐에 따라서 중단결정 실리콘막이 형성되는 에너지의 최저값은 증가하는 경향을 가진다.

[0230] 부가적으로, 도 44a 및 도 44b에 있어서, 중단결정 실리콘막이 형성되는 영역을 비교한다. 레이저빔의 주사 속도가 빨라지면, 중단결정 실리콘막이 형성되는 에너지의 최저값이 오르지만, 중단결정 실리콘막이 형성되는 영역의 분포 경향은 레이저빔의 주사 속도와는 관계없이 그대로 유지되는 것을 알 수 있다.

[0231] 또한, 도 13a 내지 도 13e의 중단결정 반도체막의 형성 조건과 도 44b의 결과가 일치하지 않는 것은 반도체막에 조사되는 레이저가 다르기 때문이라고 생각된다.

[0232] 실시예 7

[0233] 본 실시예는 본 발명의 중단결정이 활성층으로서 사용되는 반도체 장치의 일례로서, TFT의 제조 방법을 기술할 것이다. 더욱이, 이 TFT를 사용한 반도체 장치에 관하여 설명될 것이다. 또한, 본 실시예는 반도체막 상에 형성된 캡막을 레이저 결정화후에 에칭하는 예이다.

[0234] 도 19a에 도시된 바와 같이, 절연 표면을 가지는 기판(2000) 상에 베이스 절연막(2001)이 형성된다. 본 실시예에서, 기판(2000)로서 유리 기판이 사용된다. 또한, 여기에서 사용하는 기판으로서, 바륨 보로실리케이트 유리, 알루미늄 보로실리케이트 유리 등의 유리 기판, 석영 기판, 세라믹 기판, 스테인레스 기판 등이 사용될 수 있다. 또한, PET, PES, PEN으로 대표되는 플라스틱, 아크릴 등으로 대표되는 합성 수지를 원료로 하는 기판은 일반적으로 다른 기판과 비교하여 내열온도가 낮은 경향이 있지만, 기판이 이런 정도의 처리를 견디어낼 수 있는 것이라면 사용될 수 있다.

[0235] 베이스 절연막(2001)은 기판(2000)에 포함되는 나트륨 등의 알칼리 금속 또는 알칼리 토류금속이 반도체 내로 확산하여 반도체 소자의 특성에 악영향을 끼치는 것을 막기 위하여 설치된다. 이 때문에, 베이스 절연막(2001)은 알칼리 금속 또는 알칼리토류금속의 반도체내로의 확산을 억제할 수 있는 산화 실리콘막, 질화실리콘막, 산소를 포함하는 질화실리콘막 등의 절연막을 사용하여 형성된다. 또한 베이스 절연막(2001)은 단층 또는 적층구조의 어느 것으로도 형성된다. 본 실시예에서, 플라즈마 CVD법(chemical Vapor Deposition)을 사용하여 산소를 포함하는 질화실리콘막이 10 내지 400nm의 막두께로 형성된다.

[0236] 또한, 기판(2000)이 유리 기판 또는 플라스틱 기판과 같이 소량이라도 알칼리토류금속 또는 알칼리 금속을 포함하는 경우에는 불순물의 확산을 막기 위하여 베이스 절연막(2001)을 제공하는 것이 유효하다. 그러나, 예를 들면 석영 기판 등 불순물의 확산이 그다지 문제가 되지않는 기판이 사용될 경우에는 반드시 베이스 절연막(2001)이 제공되지 않는다.

[0237] 다음에, 베이스 절연막(2001) 상에 비정질 반도체막(2002)이 형성된다. 비정질 반도체막(2002)은 공지의 방법(스퍼터링법, LPCVD법, 플라즈마 CVD법 등)에 의해 25 내지 200nm(바람직하게 30 내지 80nm)의 두께로 형성된다. 본 실시예에서, 비정질 반도체막(2002)은 66nm의 막두께로 제조된다. 여기에서 사용되는 비정질 반도체막은 실리콘, 실리콘 게르마늄, SiC 등으로 형성될 수 있다. 본 실시예에서, 실리콘이 사용된다. 실리콘 게르

마늄을 사용할 경우, 게르마늄의 농도는 0.01 내지 4.5 원자%정도가 바람직하다. 또한, 본 실시예 및 다른 실시예에서의 반도체막으로서 비정질 실리콘막의 예가 개시되지만, 다결정 실리콘막이 사용될 수 있다. 예를 들면, 다결정 실리콘막은 비정질 실리콘막을 형성한후, 비정질 실리콘막에 니켈, 팔라듐, 게르마늄, 철, 주석, 납, 코발트, 은, 백금, 동, 금 등의 원소를 미량 첨가하고, 그 후 550℃에서 4시간 동안 열처리를 행함으로써 형성될 수 있다. 그 외에, 실리콘과 탄소의 화합물이 반도체막으로서 사용될 수 있다.

[0238] 비정질 실리콘막에 첨가되는 상기의 원소는 결정성장을 촉진하는 촉매원소로서 기능하는 것으로 생각된다. 촉매 원소를 비정질 실리콘막에 첨가하는 구체적인 방법은 (1) 비정질 실리콘막의 표면에 수nm정도의 촉매원소의 박막을 스퍼터링법 또는 증착법에 의해 형성한 후, 가열을 행함으로써 비정질 실리콘막의 표면을 실리사이드화하는 방법, (2) 촉매원소의 단독 또는 화합물을 포함하는 용액을 비정질 실리콘막에 도포함으로써, 비정질 실리콘막의 표면에 촉매원소를 접촉시켜 가열에 의해 촉매원소와 비정질 실리콘막을 반응시켜서 비정질 실리콘막의 표면을 실리사이드화하는 방법 등이 사용될 수 있다.

[0239] (2)의 방법을 사용할 경우에, 촉매원소의 단독 또는 화합물을 포함하는 용매로서 물, 알코올, 산, 암모니아 등의 극성용매가 사용될 수 있다. 극성용매를 사용했을 경우, 촉매원소는 화합물로서 첨가된다. 예를 들면, 니켈의 경우에, 산 또는 염기와 니켈과의 화합물인 브롬화 니켈, 아세트산 니켈 등의 화합물이 비정질 실리콘막에 도포하기 위하여 용매에 용해된다. 또한, 벤젠, 톨루엔, 크실렌, 사염화탄소, 클로로포름, 에테르 등의 무극성 용매가 사용될 경우에, 니켈과 유기물의 화합물인 니켈 아세틸아세토네이트 등의 화합물이 비정질 실리콘막에 도포하기 위하여 용매에 용해된다. 또한, 니켈 단독 또는 니켈의 화합물이 분산매 중에 균일하게 분산된 에멀션 또는 페이스트가 사용될 수 있다.

[0240] 그 후에 열처리를 행함으로써, 실리사이드화한 영역으로부터 실리사이드화되지 않은 영역을 향하여 결정성장이 행해진다. 예를 들면, 촉매원소가 비정질 실리콘막의 표면 전체 면에 첨가된 경우에, 비정질 실리콘막의 표면에서 기판을 향하여 결정성장이 진행된다. 또한, 비정질 실리콘막의 일부에만 촉매원소가 첨가된 경우에, 촉매원소가 첨가된 영역으로부터 촉매원소가 첨가되지 않은 영역으로 기판에 평행한 방향으로 결정성장이 행해진다. 또한, 전자는 종방향 성장으로 참조되는 반면, 후자는 횡방향 성장으로 참조된다.

[0241] 계속하여, 비정질 반도체막(2002) 상에 캡막(2003)으로서 두께 500nm의 산화 실리콘막이 형성된다. 캡막(2003)의 재료는 산화 실리콘막에 제한되지 않지만, 비정질 반도체막(2002)과 열팽창 계수 또는 연성 등의 값이 가까운 재료가 사용되는 것이 바람직하다. 또한, 캡막(2003)은 단층 또는 복수층으로 형성될 수 있다.

[0242] 다음에, 도 19a에 도시된 바와 같이, 비정질 반도체막(2002)은 중단결정을 얻기 위하여 레이저 조사장치를 사용하여 레이저빔으로 조사되고, 그 결과 중단결정 반도체막(2004)을 형성한다. 비정질 반도체막이 조사되는 레이저빔의 에너지 및 주사 속도는 각각 17W 및 35cm/sec이다.

[0243] 도 20은 본 실시예에서 사용되는 레이저 조사장치를 나타낸다. 다결정 집합체의 구조를 갖는 Nd:YAG 결정(이하, 세라믹 Nd:YAG이라고 한다)이 레이저 결정에 사용되고, 10MHz이상의 반복율을 갖는 펄스 레이저빔이 방출된다. 또한, 이 레이저빔의 기본파의 파장은 1064nm이므로, 비선형 광학소자가 제2 고조파(파장532nm)로 변환하는데 사용된다.

[0244] 본 실시예의 경우에, 세라믹 YAG가 레이저 결정에 사용된다. YAG에 한정되지 않고, 세라믹에 의한 레이저 결정은 단결정과 거의 같은 광학특성(열전도율, 파괴강도, 흡수 단면적)을 가진다. 부가적으로, 세라믹이기 때문에, 단시간에 저비용으로 자유스러운 형상을 형성하는 것이 가능하여, 결정을 대단히 크게 할 수 있다. 게다가, 단결정보다도 높은 농도를 갖는 Nd, Yb 등의 불순물을 첨가하는 것이 가능하다. 이러한 레이저 결정을 매체로서 사용함으로써, 대단히 출력이 높은 레이저빔을 방출하는 것이 가능하다. 따라서, 광학계를 사용하여 이러한 빔을 정형화함으로써, 빔의 단축의 길이는 1mm이하로, 장축의 길이가 수 100mm 내지 몇m의 선형 빔을 얻는 것이 가능해진다.

[0245] 또한, 세라믹 Nd:YAG 레이저에 한정되지 않고, 다결정(세라믹 재료)의 YAG, Y₂O₃, YVO₄에 Nd, Yb, Cr, Ti, Ho, Er, Tm, Ta 등의 불순물을 첨가한 결정을 매질로서 사용하는 레이저가 사용될 수 있다.

[0246] 또한, 본 실시예에서, 세라믹을 사용한 레이저 뿐만 아니라 단결정의 YAG, YVO₄, 포스터라이트(forsterite), YA103, GdVO₄에 상기의 불순물을 첨가한 결정을 매질로서 사용하는 레이저; Ar 이온 레이저; Kr 이온 레이저; Ti:사파이어 레이저 등이 사용될 수도 있다. 이러한 레이저는 연속발진에서 발진하는 것도 가능하며, 모드 동기를 행함으로써 10MHz 이상의 반복율로 펄스 발진이 행해질 수 있다. 이밖에, Co₂ 레이저, 헬륨-카드뮴 레이저

등이 사용하는 것도 가능하다.

- [0247] 구체적으로, 하기의 방식으로 반도체막의 중단결정이 얻어진다. 레이저 발진기(2101)에서 방출된 레이저빔은 파장판(2102)과 편광 빔 스플리터(2103)를 투과한다. 파장판(2102)과 편광 빔 스플리터(2103)는 파장판(2102) 및 편광 빔 스플리터(2103)을 투과한 빛이 적당한 에너지가 되도록 조정될 수 있다.
- [0248] 그후에, 실린더형 렌즈 어레이, 플라이 아이 렌즈, 광도파로, 회절광학소자 등의 빔 호모지나이저(2104)에 의해 레이저빔의 에너지가 균일화되면, 단결정이 레이저빔의 조사 영역의 단부에도 형성되므로, 더욱 바람직하다. 본 실시예에서, 빔 호모지나이저(2104)로서 회절광학소자가 사용된다. 회절광학소자를 사용함으로써, 레이저빔의 에너지가 균일화될 수 있는 동시에, 레이저빔의 단면의 형상이 선형, 사각형, 타원형 등의 원하는 형상으로 형성될 수 있다.
- [0249] 다음에, 이 레이저빔은 슬릿(2105)을 통과한다. 슬릿(2105)에서, 레이저빔의 장축방향의 양단부분을 차단하고, 에너지의 약한 부분이 반도체막의 결정화에 사용되지 않도록 한다. 동시에, 레이저빔의 장축방향의 길이가 조절된다. 재질 또는 조절 방법이 이렇게 사용될 수 있는 구조 또는 형상이면, 슬릿(2105)의 재질 또는 조절 방법 등에는 특별히 제한은 없다.
- [0250] 다음에, 미러(2107)로 레이저빔의 방향을 변경한 후, 피조사체(2108)를 조사하도록 집광렌즈(2106)로 집광이 행해진다. 또한, 슬릿(2105)과 피조사체(2108)가 공역의 위치에 있도록 집광렌즈(2106)가 제공될 때, 슬릿(2105)의 회절광이 피조사체(2108)에 도달하여 간섭무늬를 발생시키는 것이 방지된다. 이렇게 광학계를 배치함으로써 보다 강도분포가 균일한 레이저빔이 피조사면에 조사될 수 있다.
- [0251] 피조사체(2108)가 형성되어 있는 기판은 레이저 조사 때에 떨어지지 않도록 흡착 스테이지2109에 고정되어 있다. 흡착 스테이지(2109)는 X 스테이지(2110), Y 스테이지(2111)를 사용하고, 피조사체(2108)의 표면에 평행한 면상을 X축, 또는 Y축의 방향으로 주사를 행하고, 그결과 피조사체(2108)의 전체면에 레이저빔이 조사된다.
- [0252] 본 실시예에서, X 스테이지(2110), Y 스테이지(2111)을 사용하여 피조사체(2108)가 움직이지만, 레이저빔은 다음의 방법 중 하나에 의해 주사될 수 있다: 피조사체(2108)가 고정되는 동안 레이저빔의 조사 위치가 이동되는 조사계 이동 방법; 레이저빔의 조사 위치가 고정되는 동안 피조사체(2108)가 이동되는 피처리체 이동 방법; 및 둘다의 방법이 조합되는 방법.
- [0253] 이런 방식으로, 피조사체(2108)가 조사되는 레이저빔의 강도분포는 균일해질 수 있고, 빔 단부에서 불충분한 강도를 갖는 레이저 빔의 일부가 제거될 수 있다. 이러한 구성을 가짐으로써, 피조사체(2108)의 전체면에 양호하게 레이저 조사처리가 행해질 수 있다.
- [0254] 레이저 조사처리의 후에, 캡막(2003)인 산화 실리콘막이 에칭에 의해 제거된다(도 19b). 이어서, 포트리스그래피 기술을 사용함으로써, 실리콘으로 형성되는 중단결정의 반도체막(2004)이 원하는 형상으로 패터닝되고, 그결과 반도체막(2005)을 형성한다(도 19c). 여기에서, 레지스트 마스크의 형성을 행하기 이전에, 형성된 중단결정의 반도체막(2004)을 보호하기 위하여, 오존 함유 수용액의 도포, 또는 산소 분위기로 UV조사에 의해 발생된 오존을 사용하여 산화 실리콘막이 형성될 수 있다. 여기에서 형성된 산화막은 레지스트의 젖음성을 향상시키는 효과도 있다.
- [0255] 또한, 필요하다면, 중단결정의 패턴 형성을 행하기 전에, 미량의 불순물 원소(붕소 또는 인)가 TFT의 임계치 전압을 제어하기 위하여 산화 실리콘막을 통하여 도핑된다. 도핑이 산화 실리콘막을 통하여 행해질 경우에, 우선 캡막(2003)이 CVD법 등을 사용하여 다시 산화 실리콘막을 형성하기 위하여 제거될 수 있다.
- [0256] 이어서, 도 19d에 도시된 바와 같이, 패턴 형성시에 발생하는 불필요한 물질(잔류 레지스트, 레지스트 박리액 등)을 제거하는 세정을 행한 후, 중단결정 실리콘막의 표면이 커버되도록 게이트 절연막(2006)을 형성한다. 본 실시예에서, 게이트 절연막(2006)으로서 산화 실리콘막이 형성된다.
- [0257] 상기의 산화 실리콘막에 한정되지 않고, 게이트 절연막(2006)은 적어도 산소 또는 질소를 포함하는 절연막이 사용되면 무엇이든지 사용될 수 있다. 부가적으로, 게이트 절연막(2006)은 단층 또는 복층의 구조를 가질 수 있다. 이 경우의 증착 방법으로서, 플라즈마 CVD법 또는 스퍼터링법이 사용될 수 있다. 예를 들면, 산소를 포함하는 질화실리콘막과 질소를 포함하는 산화 실리콘막이 플라즈마 CVD법에 의해 전체 두께가 115nm이 되도록 연속적으로 형성될 수 있다. 또한, 채널길이가 1 μ m이하인 TFT(서브미크론 TFT라고도 한다)를 형성할 경우, 게이트 절연막(2006)은 10nm이상 50nm이하의 두께를 가지도록 형성하는 것이 바람직하다. 필요하다면, 캡막(2003)을 제거한 후에, 다시 게이트 절연막(2006)이 형성될 수 있다.

- [0258] 이어서, 게이트 절연막(2006)의 표면을 세정한 후, 게이트 절연막(2006) 상에 도전막이 형성되고, 원하는 부분을 남겨서 도전막을 제거함으로써 게이트 전극(2007)이 형성된다. 게이트 전극(2007)으로서, 바람직하게 도전성을 가짐과 동시에 힐록 발생이 적은 고용점 금속을 포함하는 재료가 사용된다. 또한, 힐록 발생이 적은 고용점 금속은, W, Mo, Ti, Ta, Co 등으로부터 선택되는 1종, 또는 이것들의 합금을 사용한다. 또한, 게이트 전극(2007)은 이것들의 고용점 금속의 질화물(WN, MoN, TiN, TaN 등)을 사용하여 2층 이상의 적층 재료로 형성될 수 있다.
- [0259] 또한, 이 외의 방법으로서, 게이트 전극(2007)은 소정의 장소에 도전성 물질을 토출할 수 있는 인쇄법 또는 잉크젯법으로 대표되는 액적토출법을 사용함으로써 직접 게이트 절연막(2006) 상에 형성될 수 있다.
- [0260] 이어서, 게이트 전극(2007)을 형성할 때에 사용한 레지스트를 마스크로서 사용함으로써, 소스 영역 및 드레인 영역을 형성하기 위하여 반도체막(2005)에 n형 도전성을 부여하는 불순물 원소(P, As 등), 여기에서는 인이 적당하게 첨가된다. 동일한 방식으로, p형 도전성을 부여하는 불순물 원소가 도입될 수도 있다. 이 공정에 따르면, 소스 영역(2008), 드레인 영역(2009), LDD(Lightly Doped Drain, 저도핑 드레인) 영역(2010) 등이 형성된다. 부가적으로, n형을 부여하는 불순물 원소와 p형을 부여하는 불순물 원소가 동일 기판 상의 복수의 반도체막에 선택적으로 첨가될 수도 있다.
- [0261] 불순물 원소를 첨가한 후, 불순물 원소를 활성화하기 위하여 가열처리, 강열한 광조사, 레이저빔 조사가 행해진다. 이 처리에 의해, 불순물 원소의 활성화와 동시에, 게이트 절연막(2006)에 대한 플라즈마 손상 또는 게이트 절연막(2006)과 반도체막(2005) 사이의 계면에 발생하는 플라즈마 손상이 회복될 수 있다.
- [0262] 다음에, 도 19e에 도시된 바와 같이, 보호막으로서 제1 절연막(2014)이 형성된다. 이 제1 절연막(2014)으로서, 질화실리콘막 또는 산소를 포함하는 질화실리콘막이 플라즈마 CVD법 또는 스퍼터링법을 사용하여 단층 또는 적층구조로 100 내지 200nm의 두께로 형성된다. 산소를 포함하는 질화실리콘막과 질소를 포함하는 산화 실리콘막을 조합할 경우에서, 가스를 변경함으로써 연속적으로 이런 막을 형성하는 것이 가능하다. 본 실시예에서, 막두께 100nm의 질소를 포함하는 산화 실리콘막은 플라즈마 CVD법에 의해 형성했다. 절연막을 제공함으로써, 산소 또는 공기중의 수분을 비롯하여, 각종 이온성의 불순물의 침입을 저지하는 블록킹 작용을 얻을 수 있다.
- [0263] 이어서, 제2 절연막(2015)이 제1 절연막(2014) 상에 형성된다. 여기에서, 제2 절연막(2015)은 SOG(Spin On Glass)법 또는 스핀 코팅법에 의해 도포되는, 폴리이미드, 폴리아미드, BCB(벤조시쿠로부텐), 아크릴, 실록산(실리콘에 불소, 지방족 탄화수소, 및 방향족 탄화수소 중 하나가 결합되는, 실리콘과 산소와의 결합에 의해 형성되는 골격구조를 갖는 물질) 등을 포함하는 유기 수지막을 사용하여 형성될 수 있다. 더욱이, 무기 층간 절연막(질화 실리콘막 또는 산화 실리콘막 등의 실리콘을 포함하는 절연막), 낮은-k (저유전율) 재료 등이 사용될 수 있다. 제2 절연막(2015)은 제2 절연막(2015)을 평탄화하여 유리 기판 상에 형성된 TFT에 의한 요철을 완화하기 위한 주된 목적으로 형성되기 때문에, 평탄성이 우수한 막이 바람직하다.
- [0264] 더욱이, 게이트 절연막(2006), 제1 절연막(2014) 및 제2 절연막(2015)은 포트리소그래피법에 의해 가공되고, 따라서 소스 영역(2008), 드레인 영역(2009)에 도달하는 컨택 홀이 형성된다.
- [0265] 다음에, 도전성 재료로 도전막이 형성되어 패터닝되고, 그결과 배선(소스 전극 및 드레인 전극)(2016)이 형성된다. 배선(2016)은 W, Mo, Ti, Al, Cu 원소, 또는 그 원소를 주성분으로 하는 합금 재료 또는 화합물 재료의 단층 또는 적층으로 형성된다. 예를 들면, Ti막, 순Al막, Ti막의 3층 구조, 또는 Ti막, Ni와 C를 포함하는 Al합금막, Ti막의 3층 구조로 형성될 수 있다. 부가적으로, 이후의 공정으로 층간 절연막을 형성하는 것을 고려하여, 배선(2016)은 단면형상이 테이퍼 형상(원추에 가깝게 얇아지는 형상)을 갖도록 형성되는 것이 바람직하다.
- [0266] 그 후에, 보호막으로서 제3 절연막(2017)이 형성될 때, 도 19e에 도시된 바와 같은 TFT(n채널 TFT)(2011, 2012, 2013)이 완성된다. 또한, p형의 불순물 원소가 반도체막에 첨가될 경우에, p채널 TFT가 형성된다. 또한, 동일 기판 상에 n형 불순물 원소와 p형 불순물 원소를 선택적으로 도입함으로써, 동일 기판 상에 n채널 TFT와 p채널 TFT가 형성될 수도 있다.
- [0267] 본 실시예에서는 상부 게이트형 TFT를 예로서 설명했지만, TFT 구조에 관계없이 본 발명을 적용하는 것이 가능하며, 예를 들면 하부 게이트형(역 스테거형) TFT나 순 스테거형 TFT에 적용하는 것이 가능하다.
- [0268] 또한, 다른 실시예로 설명한 바와 같이, 본 발명의 판단결정은 레이저빔의 조사 방향과 평행한 방향으로 결정성장하고, 그것의 결정립계도 레이저빔의 조사 방향과 서로 평행하다. 그 때문에, 레이저빔의 조사 방향이 소스 영역으로부터 드레인 영역을 향하는 방향과 대응하도록 TFT가 형성되면, 캐리어의 이동 경로내에 결정립계가 포

함되지 않기 때문에 바람직하다.

- [0269] 그 일례로서, 도 21a에 도시된 바와 같은 화소회로가 형성된다. 도 21a, 도 21b에서, 2201은 소스 신호선, 2202은 게이트 신호선, 2203은 전류 공급선, 2204은 스위칭용 TFT, 2205는 구동용 TFT, 2206은 용량, 2207은 발광 소자이다. 또한, 스위칭용 TFT(2204)는 n채널 TFT이며, 구동용 TFT(2205)는 p채널 TFT로 구성되어 있다.
- [0270] 본 실시예에서, 도 21c에 도시된 바와 같이, 스위칭용 TFT(2204)의 드레인 영역이 레이저빔의 주사 방향의 상류측에 형성되고, 소스 영역이 레이저빔의 주사 방향의 하류측에 형성된다. 또한, 구동용 TFT(2205)의 캐리어의 이동 방향은 레이저빔의 주사 방향과 교차하도록 형성된다. 본 실시예에서, 구동용 TFT(2205)의 캐리어의 이동 방향은 레이저빔의 주사 방향과 직각이 되도록 하고 있다. 또한, 도 21c는 스위칭용 TFT(2204)와 구동용 TFT(2205)의 채널 형성 영역, 및 용량(2206)을 형성하는 위치를 윗면으로부터 나타내고 있고, 이것들의 TFT의 소스 영역과 드레인 영역을 S 및 D로 나타낸다.
- [0271] 또한, n채널 TFT와 p채널 TFT를 조합하여 구성하는 전기회로이면, 특별히 화소를 구성하는 회로에 한정되는 것은 아니다. 예를 들면, 화소를 구동하는 구동회로; 전원회로; IC, 메모리, CPU를 구성하는 회로와 같은 여러가지의 회로에 본 발명을 사용하는 것이 가능하다.
- [0272] 스위칭용 TFT(2204)는 구동용 TFT(2205)의 온과 오프를 바꾸는 TFT이다. 그 때문에, 스위칭용 TFT(2204)는 고속 구동이 가능한 것이 요구된다. 스위칭용 TFT(2204)와 같이, 소스 영역과 드레인 영역이 결정의 성장 방향에 맞춰서 캐리어가 이동하도록 형성되면, 캐리어가 결정립계를 가로지르지 않고 이동한다. 즉, 캐리어가 결정립의 입계를 따라 이동하게 된다. 그 때문에, 캐리어의 이동도가 높고, 고속구동이 가능한 TFT가 얻어질 수 있다.
- [0273] 구동용 TFT(2205)는 발광소자(2207)에 전류를 흘려서 발광시키기 위한 TFT이다. 구동용 TFT(2205)가 큰 오프 전류를 가질 때, 구동용 TFT(2205)가 오프되더라도 발광소자(2207)로 전류가 흘러서, 소비 전력의 증대를 초래한다. 그 때문에, 구동용 TFT(2205)는 낮은 오프 전류를 가질 것이 요구된다. 도 21c의 배치에서, 구동용 TFT(2205)에 있어서 결정립계를 가로지르도록 캐리어가 이동하게 된다. 이 경우에, 구동용 TFT(2205)의 온 전류(TFT가 턴온될 때 흐르는 전류) 및 오프 전류(TFT가 턴오프 될 때 흐르는 전류)는 둘더 작아진다.
- [0274] 이런 방식으로, 요구되는 조건에 맞춰서 TFT의 형성 장소를 배치함으로써, 응답 속도가 보다 높고, 성능이 좋은 반도체 장치가 형성될 수 있다.
- [0275] 일반적으로, 반도체 장치는 1개의 TFT만으로 구성되는 것은 아니다. 예를 들면, 표시장치의 패널은 복수의 TFT를 사용하여 1개의 화소회로를 형성하고, 이 화소회로를 집적함으로써 만들어져 있다. 여기에서, 개개의 회로를 구성하는 TFT의 특성이 균일한 것이 요구된다. 그것은 TFT의 특성에 편차가 있는 경우에 표시 얼룩 등의 부적당함이 발생하기 때문이다. 본 발명을 사용하여 결정화된 반도체막에 있어서, 일방향으로 연장되는 기둥 모양의 결정립이 균일하게 형성되어 결정립의 면방위가 일방향으로 간주될 수 있다. 그 때문에, 이 반도체막을 사용함으로써, 특성이 같고, 표시 얼룩이 각별히 발생하기 어려운 패널이 형성될 수 있다. 또한, 이 점은 패널에 한정된 것이 아니고, 모든 반도체 장치에 대해 말할 수 있는 것이다.
- [0276] 이상의 공정으로 개시된 바와 같이, 활성층에 본 발명의 중단결정의 반도체막을 사용한 TFT가 제조될 수 있다. 이 TFT는 고속동작이 가능하여, 전류 구동능력이 높고, 복수의 TFT에서의 편차가 작다. 이 TFT를 사용함으로써, 반도체 소자 또는 복수의 반도체 소자를 집적하여 구성되는 반도체 장치를 제공하는 것이 가능하다.
- [0277] 실시예 8
- [0278] 실시예 2에서 캡막이 레이저 결정화후에 에칭하는 예가 개시되었지만, 본 실시예는 캡막이 직접 게이트 절연막으로서 사용하는 반도체 장치의 제조 예를 개시할 것이다.
- [0279] 우선, 결정화되는 대상인 반도체막의 제조 방법에 대한 예를 개시될 것이다. 도 22a에 도시된 바와 같이, 가시광을 투과하는 유리 등의 절연물로 형성되는 기판(3001) 상에 베이스 절연막(3002)과 반도체막(3003)이 형성된다. 실시형태 및 다른 실시예에 사용된 같은 종류의 기판이 기판(3001)으로 사용될 수 있다. 본 실시예에서, 두께 0.7mm의 유리 기판 상에 베이스 절연막(3002)으로서 두께 150nm의 질소를 포함하는 산화 실리콘막이 형성된다. 다음에, 반도체막(3003)으로서, 베이스 절연막(3002) 상에 두께 66nm의 비정질 실리콘막이 플라즈마 CVD법에 의해 형성된다. 더욱이, 레이저빔에 대한 반도체막(3003)의 내성을 증가시키기 위하여, 500℃에서 1시간 동안 열 어닐이 행해진다.
- [0280] 이어서, 도 22b 및 도 22c에 도시된 바와 같이, 포트리소그래피 기술과 에칭 기술을 사용하여 반도체막(3003)을 원하는 형상으로 패턴 형성하는 처리(패터닝)가 행해지고, 비정질 실리콘으로 형성되는 반도체막(3006)이 형성

된다. 그 방법은 아래와 같다.

- [0281] 우선, (1) 비정질 실리콘으로 형성되는 반도체막(3003) 상에 오존 함유 수용액을 코팅하는 방법, (2) 산소분위기에서 오존 등을 발생시키기 위하여 비정질 실리콘으로 형성되는 반도체막(3003) 상에 UV선을 방출하는 방법에 의해 비정질 실리콘막의 표면 상에 극박의 산화막(3004)이 형성된다. 이 산화막(3004)은 비정질 실리콘막을 보호하는 효과와 레지스트의 젖음성을 향상시키는 효과를 가진다.
- [0282] 다음에, 레지스트 마스크(3005)가 형성된다. 우선, 산화막(3004) 상에 포토레지스트가 스핀코팅법 등에 의해 코팅되고, 포토레지스트가 노광된다. 다음에, 포토레지스트에 대하여 가열처리(프리베이크)가 이후에 행해지는 포스트베이크의 온도보다 낮은 50 내지 120℃의 온도에서 행해진다. 본 실시예에서, 프리베이크는 90℃에서 90초 동안 행해진다.
- [0283] 다음에, 포토레지스트 상이 현상액이 적하되거나 또는 스프레이 노즐로부터 현상액이 스프레이 됨으로써, 노광된 포토레지스트가 현상된다(소정의 형상으로 형성된다).
- [0284] 그 후에, 레지스트 마스크 중에 남아있는 수분 등을 제거하고 동시에 열에 대한 안정성을 높이기 위하여, 소위 포스트베이크라고 불리는 가열처리가 125℃에서 180초 동안 현상된 포토레지스트에 대해 행해진다. 이상의 공정에 의해, 레지스트 마스크(3005)가 형성된다. 이 레지스트 마스크(3005)를 사용하여 비정질 실리콘으로 형성되는 반도체막(3003)이 에칭되고, 비정질 실리콘으로 형성된 섬모양의 반도체막(3006)이 형성된다(도 22c).
- [0285] 또한, 이 외의 방법으로서, 소정의 장소에 재료를 토출하는 것이 가능한 인쇄법 또는 잉크젯법으로 대표되는 액적토출법에 의해 레지스트 마스크(3005)가 직접 산화막(3004) 상에 형성될 수 있다.
- [0286] 또한, 필요하다면, 반도체막(3003)의 패턴형성을 행하기 전에, TFT의 임계치 전압을 제어하기 위하여, 산화막(3004)을 통해 미량의 불순물 원소(붕소 또는 인)의 도핑이 행해진다. 도핑이 여기에서 행해지면, 이후에 행해지는 레이저 조사처리에 의해, 결정화 공정과 동시에 첨가된 불순물 원소의 활성화가 행해질 수 있고, 공정을 삭감하는 효과를 가진다. 또한, 산화막(3004)을 통해 도핑을 행한 후에, 산화막(3004)을 제거하는 것이 바람직하다.
- [0287] 이어서, 도 22d에 도시된 바와 같이, 반도체막(3003)을 원하는 형상으로 패턴 형성할 때에 발생하는 불필요한 물질(잔류 레지스트 또는 레지스트 박리액 등)을 제거하는 세정을 행한 후, 섬모양으로 형성된 반도체막(3006)의 표면이 커버되고, 캡막과 게이트 절연막이 되는 질소를 포함하는 산화 실리콘을 주성분으로 하는 게이트 절연막(3007)이 200nm의 두께로 형성된다. 또한, 게이트 절연막(3007)으로서 질소를 포함하는 산화 실리콘막을 사용하기 위하여, 단단하고 치밀한 막을 형성하는 것이 바람직하다.
- [0288] 게이트 절연막(3007)은, 상기의 산화 실리콘막에는 한정되지 않고, 게이트 절연막(3007)이 적어도 산소 또는 질소를 포함하는 절연막이면 된다. 부가적으로, 게이트 절연막(3007)은 단층 또는 복층이 될 수 있다. 플라즈마 CVD법 또는 스퍼터링법이 게이트 절연막(3007)을 형성하는데 사용될 수 있다. 예를 들면, 질소를 포함하는 산화 실리콘막과 산소를 포함하는 질화실리콘막이 플라즈마 CVD법에 의해 연속적으로 형성될 수 있다.
- [0289] 다음에, 실시예에서 개시된 방법과 같이 동일한 방식으로 레이저빔이 조사된다. 이에 따라, 레이저빔으로 조사되어 완전 용융된 영역의 비정질 실리콘막의 결정이 일방향의 면방위로 성장되고, 준단결정 반도체막(3008)이 형성될 수 있다. 그 후에, 게이트 절연막(3007) 상에 게이트 전극이 형성되고, 소스 영역과 드레인 영역이 불순물을 준단결정의 반도체막(3008)에 도입함으로써 형성된다. 더욱이, 절연막이 형성되고, 소스 영역 및 드레인 영역과 각각 접속하는 전극이 형성됨에 따라서, 박막 트랜지스터가 형성될 수 있다. 또한, 게이트 전극의 형성 이후의 공정에 대해서는 다른 실시예에 기재된 방법이 사용될 수 있다.
- [0290] 이상의 공정으로 도시된 바와 같이, 준단결정의 반도체막이 활성화층에 사용되는 TFT가 제조될 수 있다. 그 때문에, 고속동작이 가능하여 전류 구동능력이 높고, 소자간에 있어서 특성의 편차가 작은 반도체 소자가 제조될 수 있다. 더욱이, 복수의 반도체 소자를 집적하여 구성되는 반도체 장치가 제공될 수 있다.
- [0291] 실시예 9
- [0292] 본 실시예에 있어서, 이상으로 나타낸 예와는 다른 레이저 결정화 방법의 예가 설명될 것이다.
- [0293] 본 실시예에 있어서, 레이저 발진기에는 근적외 영역의 파장을 가지는 Yb-도프 파이버(fiber) CW 레이저가 사용된다. 이 레이저는 10kW의 에너지를 출력할 수 있다. 본 실시예에는 이에 한정되지 않고, 다이오드 레이저 또는

LD 여기 고체 레이저 등이 사용될 수도 된다. 또한, 본 실시예에서 CW 레이저가 사용되더라도, 10MHz 이상의 반복율을 가지는 펄스 레이저가 사용될 수도 있다.

[0294] 근적외 영역의 파장을 갖는 레이저 발진기가 사용되는 이유는 다음과 같다. 레이저 매질로부터 발진한 기본파가 비선형 광학소자에 입사되어, 고조파가 수득된다. 그러나, 레이저의 출력이 커지면, 다광자 흡수 등의 비선형 광학효과에 의해 비선형 광학소자가 손상되어, 고장을 초래하는 문제가 있다. 따라서, 현재, 생산되고 있는 가시영역의 CW 레이저 및 10MHz 이상의 반복율을 가지는 펄스 레이저빔은 비선형 광학소자의 문제에 의해 최대라도 약 15W의 에너지를 가진다. 따라서, 더 높은 출력을 가지는 기본파의 레이저가 결정화에 사용될 수 있다면, 피조사면 상의 빔 스폿이 길게 형성될 수 있으므로, 효율적으로 레이저 조사처리가 행해질 수 있다.

[0295] 레이저 결정화가 행해지는 대상인 반도체막의 제조 방법의 예가 설명될 것이다. 도 23a에 도시된 바와 같이, 기판(4001)은 레이저 결정화에 사용되는 레이저 파장을 갖는 가시광선을 투과하는 유리 기판과 같은 절연성의 기판이 사용된다. 본 실시예에서, 기판(4001)으로서 두께 0.7mm의 유리 기판이 사용된다. 또한, 기판(4001)의 재질은 유리에 한정되지 않고, 다른 실시예에 기재된 재질이 사용될 수 있다.

[0296] 기판(4001)의 한 면에 베이스 절연막(4002)으로서 두께 150nm의 질소를 포함하는 산화 실리콘막이 형성되고, 그 위에 반도체막으로서 두께 66nm의 비정질 실리콘막(4003)이 플라즈마 CVD법에 의해 형성된다. 베이스 절연막(4002)과 비정질 실리콘막(4003)은 기판의 표면 또는 이면의 어느 쪽에 형성될 수 있고, 베이스 절연막(4002)과 비정질 실리콘막(4003)은 본 실시예에서 편의상 상부면 상에 형성된다. 더욱이, 레이저빔에 대한 반도체막의 내성을 증가시키기 위하여, 500℃에서, 1시간 동안 열 어닐이 반도체막에 대하여 행해진다.

[0297] 이어서, 도 23b에 도시된 바와 같이, 포트리소그래피 기술과 에칭 기술을 사용하여 비정질 실리콘막(4003)이 원하는 형상으로 패턴 형성되는 처리(패터닝)가 행해지고, 비정질 실리콘막(4004)이 형성된다. 이 처리에 있어서, 레지스트 마스크 형성을 행하기 전에, 비정질 실리콘막(4003)을 보호하기 위하여 오존 함유 수용액을 코팅하는 방법 또는 산소분위기에서의 UV조사에 의해 오존을 발생시키는 방법에 의해 산화막이 형성될 수 있다. 여기에서 형성된 산화막은 레지스트의 젖음성을 향상시키는 효과도 있다.

[0298] 필요하다면, 패턴을 형성하기 전에, 미량의 불순물 원소(붕소 또는 인)가 TFT의 임계치 전압을 제어하기 위하여 산화막을 통해 도핑된다. 여기에서, 도핑을 행함으로써, 이후에 행해지는 레이저에 의한 결정화 공정에 의해 첨가된 불순물 원소의 활성화 처리가 동시에 행해질 수 있고, 그러므로 공정을 삭감하는 효과도 가진다. 또한, 도핑이 산화막을 통해 행해질 경우에, 산화막이 제거될 수 있다.

[0299] 다음에, 패턴 형성 처리에 의해 발생하는 잔류 레지스트 또는 레지스트 박리액 등의 불필요한 물질을 제거하는 세정이 행해진 후, 섬모양으로 형성된 비정질 실리콘막(4004)의 표면이 커버되고, 캡막과 게이트 절연막이 되는 SiO₂를 주성분으로 하는 절연막(4005)이 형성된다. 더욱이, 캡막 상에, 레이저빔의 광흡수층(4006)로서, 텅스텐막이 30nm의 두께로 형성된다.

[0300] 광흡수층(4006)이 형성되는 이유는 다음과 같다. 상기한 바와 같이, 근적외 영역의 파장을 갖는 기본파의 레이저가 본 실시예에서 사용된다. 그러나, 근적외 영역의 파장에 있어서, 실리콘의 광흡수 계수는 낮다. 따라서, 근적외 영역의 파장을 갖는 기본파의 레이저가 사용되면, 실리콘이 직접 용융될 수 없다. 근적외 영역에서 흡수 계수가 높은 광흡수층이 제공되고, 레이저빔이 광흡수층에 흡수될 때 발생된 열에 의해, 간접적으로 반도체막이 결정화된다.

[0301] 따라서, 광흡수층(4006)에 대한 재료로서, 비정질 실리콘막(4004)과 비교하여 근적외 파장 영역에서 적외 파장 영역까지 더 높은 흡수율을 갖는 재료가 사용된다. 예를 들면, W, Mo, Ti, Ta, Co 중 하나, 또는 이것들의 합금, 또한 이것들의 고용점 금속의 질화물(WN, MoN, TiN, TaN 등)을 사용하여 단층 또는 2층 이상의 적층으로 형성될 수 있다.

[0302] 이상의 공정에 의해 형성된 피조사체가 레이저빔으로 조사된다(도 23c). 레이저빔의 광이 광흡수층(4006)에서 흡수될 때 발생하는 열에 의해 비정질 실리콘막(4004)이 가열된다. 그 결과, 레이저빔이 조사되어 완전 용융된 영역의 비정질 실리콘막의 결정이 일방향의 면방위로 성장되고, 준단결정 비정질 실리콘막(4007)이 비정질 실리콘막(4004)으로부터 얻어질 수 있다.

[0303] 또한, 레이저빔의 조사후, 광흡수층(4006)은 에칭에 의해 제거될 수 있고, 또는 대안적으로 광흡수층(4006)은 에칭없이 원하는 형상으로 형성되어 게이트 전극(4008)으로서 사용해도 된다. 도 23에서, 광흡수층(4006)은 그 일부를 제외하고 에칭에 의해 제거된다.

- [0304] 게이트 전극(4008)은 일층으로 한정되지 않고, 복수층이 될 수 있다. 도 23e에 도시된 바와 같이, 광흡수층(4006)은 에칭에 의해 성형되고, 광흡수층(4006) 상에 도전막이 형성되고, 상기 도전막이 에칭에 의해 성형되어, 2층 이상의 게이트 전극(4008)이 형성될 수도 있다. 부가적으로, 도면에는 나타나지 않았지만, 광흡수층(4006)을 에칭하기 전에, 도전 재료를 포함하는 도전막(4010)이 형성되고, 도전막(4010)과 동시에 에칭됨으로써, 게이트 전극(4008)이 형성될 수도 있다. 도 23e에서, 도전 재료를 포함하는 페이스트가 분사노즐(4009)로부터 토출되어, 도전막(4010)을 직접 형성하는 예가 개시된다.
- [0305] 도전막(4010)의 재료는 실시예나 다른 실시예에서 사용된 재료가 사용될 수 있다. CVD법 또는 스퍼터링법이 도전막(4010)을 형성하는데 사용될 수 있다. 대안적으로, 도전 재료의 미립자를 용매에 의해 용해 또는 분산되게 한 물질이 직접 게이트 전극의 형태로 형성되는 방법이 사용될 수 있다.
- [0306] 이후의 공정에 공지의 방법을 사용함으로써, 중단결정 반도체막이 활성층에 사용되는 TFT가 제조될 수 있다. 이 제조 방법에 의해 제조된 TFT는 고속동작이 가능하여 전류 구동능력이 높고, 소자간에서 특성의 편차가 작다. 이 TFT를 사용하여 반도체 소자를 형성하는 것이나, 복수의 반도체 소자를 집적하여 반도체 장치가 제조될 수 있다.
- [0307] 또한, 본 실시예에서, 광흡수층(4006)이 캡막 상에 형성되고, 광흡수층(4006)이 직접 레이저빔으로 조사되고, 광흡수층(4006)에 의해 발생하는 열이 비정질 실리콘막(4004)의 용융에 이용되는 예가 개시되었지만, 광흡수층(4006)이 반드시 최상층에 있을 필요는 없다. 예를 들면, TFT 등의 반도체 소자에 의해 IC 태그가 제조될 경우에서, 공정 종료후에 기판으로부터 IC 태그를 박리하기 위하여, 박리되는 층이 반도체막 보다도 하층에 형성된다. 박리되는 층이 광흡수층으로서 사용되는 구조가 사용될 수도 있다.
- [0308] 본 실시예에서, 반도체막을 에칭에 의해 소정의 형상으로 가공한 후에 캡막과 광흡수층을 형성하고, 레이저빔이 방출되더라도, 반도체막의 형상을 가공하기 전에, 캡막과 광흡수층이 형성될 수 있고, 레이저빔이 방출될 수 있다.
- [0309] 실시예 10
- [0310] 본 실시예에서는 실시형태 또는 다른 실시예와는 다른 레이저 조사방법의 예가 개될 것이다. 또한, 실시형태에서 사용된 레이저와 동일한 방식으로, 반복 주파수가 80MHz의 YVO₄ 펄스 레이저의 제2 고조파(파장 532nm)가 사용되지만, CW 레이저가 사용될 수 있다.
- [0311] 우선, 도 24a에 도시된 바와 같이, 본 발명의 실시형태에서 도시된 방법과 동일한 방식으로, 가시광선에 대한 투과율이 충분하게 높은 유리 등의 기판(5001) 상에 베이스 절연막(5002)이 형성된다. 또한, 반도체막으로서 비정질 실리콘막(5003)이 형성되고, 비정질 실리콘막(5003) 상에 캡막(5004)으로서 산화 실리콘막이 형성된다. 다른 실시예와 같이, 기판(5001)은 절연성을 가지고, 가시광선을 흡수하지 않는 기판이면 유리에는 한정되지 않는다.
- [0312] 다음에, 레이저 조사방법에 관하여 설명한다. 실시예에 있어서, 레이저빔이 캡막의 윗쪽에서 조사되고 있는 반면, 본 실시예에서는 중단결정(5005)을 형성하기 위하여 도 24b에 도시된 바와 같이 기판(5001)의 이면측, 즉 기판(5001)에 아무것도 형성되지 않은 표면으로부터 레이저빔이 조사된다. 또한, 본 실시예의 경우에, 베이스 절연막(5002) 내에 레이저빔의 빔 스폿이 형성된다. 선형으로 레이저빔의 빔 스폿을 형성하기 위한 광학계 및 피조사체가 탑재되는 로봇은 실시형태 또는 다른 실시예에 나타난 것이 사용될 수 있다.
- [0313] 기판(5001)의 이면으로부터 레이저빔이 조사되는 점을 제외하면, 실시형태 또는 다른 실시예와 같이 레이저빔이 조사된다. 이에 따라, 레이저빔의 조사에 의해 완전 용융된 영역에서, 비정질 실리콘막의 결정이 일방향의 면방위로 성장되어, 중단결정 비정질 실리콘막이 얻어질 수 있다. 이상으로 나타난 레이저 결정화 방법은 예를 들면 게이트 전극 또는 배선이 되는 금속막 등이 캡막(5004) 상에 이미 형성되어, 비정질 실리콘막(5003)이 레이저빔으로 직접 조사될 수 없는 경우에 사용될 수 있다.
- [0314] 이런 예는 도 24c에 도시되어 있다. 게이트 절연막(5006), 소스 영역(5007) 또는 드레인 영역(5008)에 접속되는 배선(5009), 및 게이트 전극(5010)은 이미 형성되어 있다. 레이저빔이 기판(5001)의 윗면으로부터 조사되면, 레이저빔이 배선(5009) 또는 게이트 전극(5010)에서 흡수되기 때문에, 소스 영역(5007) 및 드레인 영역(5008)을 형성하는 반도체막 전체가 레이저빔으로 조사될 수 없게 된다. 또한, 배선(5009) 및 게이트 전극(5010) 자체에도 영향을 끼칠 가능성이 있다. 결국, 기판(5001)의 이면으로부터 레이저가 조사됨으로써, 반도체막 전체에 레

이저빔이 조사되어, 중단결정이 얻어질 수 있다. 즉, 본 실시예의 경우에, 베이스 절연막(5002)이 실시형태 또는 다른 실시예에 있어서의 캡막에 해당한다.

[0315] 다른 실시예에 기재한 방법과 같은 공지된 방법이 상기 반도체 장치의 제조 방법의 이후 공정에 사용될 수 있다. 이상의 공정이 사용되면, 중단결정 실리콘이 활성층에 사용되는 TFT가 제조될 수 있다. 이 TFT는 고속 동작이 가능하여 전류 구동능력의 높고, 소자간에 있어서 특성의 편차가 작다. 이 TFT를 사용하여 반도체 소자 또는 복수의 반도체 소자를 집적하여 구성되는 반도체 장치가 제공될 수 있다.

[0316] 실시예 11

[0317] 본 실시예에서는 반도체막이 레이저빔으로 조사되어 용융되는 상태를 더 길게 함으로써 결정성장이 더욱 촉진되고, 단결정이 더 큰 도메인을 가지는 예에 관하여 설명할 것이다.

[0318] 반도체막이 용융되는 상태를 시간적으로 연장시키기 위해서, 레이저빔으로 조사되는 영역에 제공되는 레이저빔 이외의 열원으로부터의 열을 가하는 것이 바람직하다. 구체적인 방법은 다음과 같다.

[0319] 우선, 도 25a에 도시된 바와 같이, 기판(6000) 상에 베이스 절연막(6001)이 형성된다. 대표적으로는, 알루미늄오보로실리케이트 유리 또는 바륨 오보로실리케이트 유리 등의 유리를 재료로 하는 기판(6000)이 사용된다. 기판(6000)은 유리에 한정되는 것이 아니고, 가시광선에 대하여 흡수율이 낮게, 본 실시예의 처리 온도를 견디어낼 수 있는 내열성을 가지는 재질이면, 자유롭게 선택될 수 있다. 예를 들면, 기판(6000)의 재질로서, 석영, 세라믹, 다이아몬드 등이 사용될 수 있다. 이 기판(6000) 상에 베이스 절연막(6001)으로서 두께 150nm의 질소를 포함하는 산화 실리콘막이 형성되고, 그 베이스 절연막(6001) 상에 비정질 반도체막(6002)으로서 두께 66nm의 비정질 실리콘막이 플라즈마 CVD법에 의해 형성된다.

[0320] 다음에, 비정질 반도체막(6002)의 레이저빔에 대한 내성을 증가시키기 위하여, 500℃에서 1시간동안 열 어닐이 비정질 반도체막(6002)에 대하여 행해진다. 더욱이, 비정질 반도체막(6002) 상에 캡막(6003)으로서 두께 300nm의 산화 실리콘막이 형성된다.

[0321] 다음에, 실시형태 또는 다른 실시예에 나타난 방법과 같이, 캡막(6003)이 레이저빔으로 조사되고, 동시에 고온의 가스 또는 열플라즈마가 레이저빔의 빔 스폿과 중첩될 수 있도록 국소적으로 분출된다.

[0322] YVO₄ 레이저가 본 실시예에서 10MHz 이상의 반복율을 가지는 펄스 레이저로서 사용되지만, 10MHz 이상의 반복율을 가지는 펄스 레이저 및 CW 레이저 중 어느하나가 사용될 수도 있다. 예를 들면, 가스 레이저로서, Ar 레이저, Kr 레이저, Co₂ 레이저 등이 있고, 고체 레이저로서, YAG 레이저, YLF 레이저, YAlO₃ 레이저, GdVO₄ 레이저, Y₂O₃ 레이저, 알렉산드라이트 레이저, Ti:사파이어 레이저, 세라믹 레이저 등이 있고, 금속 증기 레이저로서, 헬륨 카드뮴 레이저 등이 있다.

[0323] 고온의 가스를 분출하는 방법의 예가 제시될 것이다. 도 25b에 도시된 바와 같이, 캡막(6003)까지 제공된 상태의 기판(6000)이 스테이지(6004)에 고정된다. 그리고, 불활성 가스 또는 공기 등의 가스를 분사하는 노즐(6005)에 가스 공급관(6006)으로부터 가스를 공급하여 분사시킨다. 노즐(6005)이 레이저빔을 투과하는 재질이면, 특별히 가공할 필요는 없는 반면, 노즐(6005)이 레이저빔을 흡수하는 재질을 사용한 경우에는 레이저빔이 통과하는 부분을 커팅하는 것이 바람직하다. 노즐(6005)은 분출하는 가스에 의해 부상될 수 있고, 캡막의 표면에서 소정의 길이만큼 떨어지게 한 상태로 미리 고정될 수 있다. 이런 상태에서 스테이지(6004)가 이동되면, 레이저빔이 캡막(6003)의 전체면에 조사되어, 비정질 반도체막(6002)이 용융된다.

[0324] 도 25c에 도시된 바와 같이, 스프레이건 등의 가스 배기수단(6007)을 사용함으로써 캡막(6003) 상에 형성되는 빔 스폿에 비스듬히 가스가 분출되는 방법이 사용될 수 있다. 이 방법은 가스 배기수단(6007)을 부착하는 것으로 실시할 수 있도록 기존의 장치가 사용될 수 있다. 이 상태에서 스테이지(6004)가 이동되면, 레이저빔이 캡막(6003)의 전체면에 조사되어, 비정질 반도체막(6002)이 용융될 수 있다.

[0325] 고온의 가스를 분출하는 경우에, 질소 또는 아르곤 등의 불활성 가스; 공기; 또는 그것들의 압축 가스가 가스로서 사용될 수 있다. 본 실시예에서 사용되는 가스는 300℃이상 1500℃이하의 온도를 가진다. 이 온도범위의 가스를 레이저 스폿에 충분히 중첩되는 크기로 분출시키는 것이 바람직하다.

[0326] 또한, 가스가 300℃ 미만으로 가열되면, 비정질 반도체막(6002)을 가열하는 효과가 작아지므로, 300℃이상이 바람직하다. 또한, 대표적인 반도체인 실리콘의 융점은 1414℃이다. 그러므로, 1500℃까지 가열한 가스가 분출되

면, 열량으로서는 충분하다.

[0327] 플라즈마를 방출하는 예가 제시될 것이다. 우선, 도 26에 도시된 바와 같이, 캡막(6003)까지 제공된 상태의 기관(6000)이 스테이지(6004)에 고정된다. 레이저빔을 캡막(6003)에 조사하는 동시에, 질소나 아르곤 등의 불활성 가스, 또는 공기를 처리 가스로서 사용하고, 압력을 대기압 또는 대기압의 근방의 압력(구체적으로 1.3×10^1 내지 1.31×10^5 Pa)로 하여, 펄스 전압을 인가한다. 이런 상태에서 스테이지(6004)가 이동되면, 레이저빔이 캡막(6003)의 전체면에 조사되어, 비정질 반도체막(6002)이 용융된다.

[0328] 대기압 또는 대기압 근방에서 플라즈마를 조사할 때는, 플라즈마를 방출하는 노즐(6005)을 사용하면 좋다. 노즐(6005)에는 처리에 사용하는 가스를 공급하는 가스 공급관(6006)과 가스 배기수단(6007)이 접속되어 있다. 가스 공급관(6006)으로부터 공급되는 가스는 노즐(6005) 내에서 플라즈마화 되어 분출 노즐로부터 캡막(6003)으로 분출된다. 그 후에 가스는 가스 배기수단(6007)에 의해 배출된다. 대기압 또는 대기압 근방의 압력으로 안정되게 방전을 유지하기 위하여, 노즐(6005)과 피조사면인 캡막(6003) 표면과의 간격은 50mm이하로 하는 것이 바람직하다.

[0329] 노즐(6005)은 국부적으로 플라즈마화한 가스를 조사하는 것이 가능한 구성이라면 원기둥 모양, 삼각형의 피라미드 모양 등, 자유스러운 형상으로 형성될 수 있다.

[0330] 비정질 막이 용융되는 상태를 일시적으로 연장시켜서 결정성장을 더욱 더 촉진시키기 위하여 상기의 방법이 사용되면, 유리 기관 전체면이 동시에 고온에 노출되지 않고, 열이 일시적으로 국소적으로 가해질 수 있으므로, 열에 의한 기관의 변형이 억제될 수 있다. 부가적으로, 레이저빔의 조사에 의해 용융된 영역의 비정질 실리콘막이 캡막과 고온의 가스 조사의 효과에 의해 더욱 완만한 결정성장을 촉진하는 것이 가능해지고, 더 큰 도메인을 갖는 준단결정 비정질 실리콘막이 얻어질 수 있다.

[0331] 공지된 방법이 반도체 장치의 제조 방법의 이후 공정에 사용될 수 있다. 이상의 공정을 사용함으로써, 준단결정 실리콘이 활성층에 사용되는 TFT가 제조될 수 있고, 고속동작이 가능하여 전류 구동능력이 높고, 소자간에 있어서 편차의 작은 반도체 소자 또는 복수의 반도체 소자를 집적하여 구성되는 반도체 장치가 제공될 수 있다.

[0332] 실시예 12

[0333] 본 실시예에서는 본 발명의 준단결정 반도체막을 재료로 하는 반도체 장치의 예로서, 동일 기관 상에 단자부(7031)와 화소부(7033)와 구동회로부(7032)가 형성된 액티브 매트릭스형의 발광 장치 및 그 제조 예를 설명한다. 본 발명은 패시브형의 발광 장치에 대하여 적용하는 것은 물론 가능하다.

[0334] 화소부(7033)에 있어서, 스위칭으로서 기능하는 제1 TFT(이하, 스위칭용 TFT라고 부른다) 및 발광소자의 전류를 제어하는 제2 TFT(이하, 구동용 TFT라고 부른다)가 형성되어 있다. 또한, 구동회로부(7032)에는 화소부(7033)을 구동하는 TFT가 형성되어 있다. 본 발명의 반도체막을 사용하여, 화소부(7033)의 TFT 및 구동회로부(7032)의 TFT를 형성하는 것이 가능하다.

[0335] 본 발명의 반도체막은 적은 결정 결함을 가지고, 반도체막의 결정립의 면방위가 적어도 실질적으로 일방향으로 간주할 수 있는 정도로 일치하고 있다. 따라서, 이 반도체막을 사용함으로써, 고속동작이 가능하여 전류 구동능력이 높고, 소자간에서 특성의 편차가 작은 반도체 소자를 제조하는 것이 가능하게 된다. 이 소자를 사용하여, 고품질의 반도체 장치를 제조하는 것이 가능하게 된다.

[0336] 우선, 기관(7000) 상에 베이스 절연막(7001a, 7001b)이 형성된다(도 27a). 본 실시예에서는 기관(7000)으로서 유리 기관이 사용된다. 또한, 유리 기관의 굴절율은 약 1.55이다.

[0337] 기관(7000) 측을 사용하여 표시면으로서 발광을 추출할 경우, 기관(7000)으로서는 광 투과성을 가지는 유리 기관 또는 석영 기관이 사용될 수 있다. 또한, 프로세스 중의 처리 온도를 견디어낼 수 있는 내열성을 가지는 것이라면, 폴리에틸렌, 아크릴, 폴리에틸렌 테레프탈레이트, 폴리카보네이트(polycarbonate), 폴리에틸술폰 등의 플라스틱; 또는 아크릴 등으로 대표되는 투광성을 가지는 합성 수지가 기관의 재료로서 사용될 수 있다. 또한, 기관(7000) 측과는 반대의 면이 표시면으로서 발광을 추출할 경우, 기관(7000)의 재료는 상기의 재료에 더하여, 실리콘 기관, 금속 기관 또는 스테인레스 기관의 표면에 절연막을 형성한 것이 사용될 수 있다.

[0338] 또한, 기관(7000)은 필요하다면 CMP 등에 의해 연마되어진 후 사용될 수 있다.

- [0339] 베이스 절연막(7001a, 7001b)은 산화 실리콘막, 질화실리콘막 또는 질소를 포함하는 산화 실리콘막 등의 절연성 물질을 재료로 하여 단층 또는 2이상의 복수층으로 형성된다. 그리고, 베이스 절연막(7001a, 7001b)은 스퍼터링법 또는 LPCVD법, 플라즈마 CVD법 등의 공지의 수단을 사용하여 형성된다. 본 실시예에서, 베이스 절연막(7001a, 7001b)은 조성비가 다른 2층 구조의 질소를 포함하는 산화 실리콘막을 가진다. 1층째의 베이스 절연막(7001a)은 플라즈마 CVD법을 사용하여, SiH_4 , NH_3 , 및 N_2O 를 반응 가스로서, 질소를 포함하는 산화 실리콘막(조성비 $\text{Si}=32\%$, $\text{O}=27\%$, $\text{N}=24\%$, $\text{H}=17\%$)을 140nm의 두께로 형성한다. 계속하여, 2층째의 베이스 절연막(7001b)은 플라즈마 CVD법을 사용하여, SiH_4 및 N_2O 를 반응 가스로서, 질소를 포함하는 산화 실리콘막(조성비 $\text{Si}=32\%$, $\text{O}=59\%$, $\text{N}=7\%$, $\text{H}=2\%$)을 100nm의 두께로 형성한다. 또한, 본 실시예에서는 베이스 절연막(7001a, 7001b)을 2층의 적층구조로 하고 있지만, 물론 단층에서도 3층 이상의 복수층에서도 개의치 않는다. 또한 기판(7000)의 요철이나, 기판(7000)으로부터의 불순물확산이 문제가 되지않는 경우에는 베이스 절연막을 형성하지 않아도 좋다.
- [0340] 이어서, 다른 실시예에 나타난 방법을 사용하여, 베이스 절연막(7001b) 상에 중단결정화된 반도체막(7002 내지 7005)이 형성된다. 중단결정화된 반도체막(7002 내지 7005)을 형성하는 방법은 크게 나누어서 2개의 방법이 있다.
- [0341] 제1 방법은, 실시형태에서 설명한 바와 같이, 비정질 반도체막의 전체면을 레이저빔의 조사에 의해 중단결정화한 후에 원하는 형상으로 형성하는 방법이다. 이 공정은 도 5a 내지 도 5d를 참조하여 간단하게 설명한다.
- [0342] 도 5a에 도시된 바와 같이, 기판(100) 상에 베이스 절연막(101)이 형성되고, 반도체막(102)이 공지의 수단(스퍼터링법, LPCVD법, 또는 플라즈마 CVD법 등)을 사용하여 25nm이상 200nm이하(바람직하게, 30nm이상 80nm이하)의 두께로 형성된다. 또한, 반도체막(102) 상에 캡막(103)로서 질소를 포함하는 산화 실리콘막이 200nm이상 500nm 이하의 두께로 형성된다. 다음에, 도 5b에 도시된 바와 같이, CW 레이저 또는 반복율이 10MHz 이상의 펄스 레이저가 중단결정의 반도체막(104)을 얻기 위하여 조사된다.
- [0343] 더욱 구체적인 예가 제시될 것이다. 반도체막(102)로서 비정질 실리콘막이 66nm의 두께로 형성되고, 캡막이 500nm의 두께로 형성되고, 14W이상 20W이하의 CW 레이저 또는 반복율이 10MHz이상의 펄스 레이저가 35cm/sec의 주사 속도로 조사되면, 각 결정립의 결정방위가 일치하는 실리콘막이 양호하게 형성될 수 있다. 레이저빔의 에너지가 충분하면 1대의 레이저 발전기가 사용될 수 있고, 복수의 레이저 발전기으로부터 방출된 레이저빔을 광학계를 사용하여 합성한 뒤에 반도체막에 조사해도 좋다.
- [0344] 그 후에, 도 5c에 도시된 바와 같이, 에칭을 행함으로써 캡막(103)이 제거된다. 다음에, 중단결정의 반도체막(104) 상에 레지스트가 코팅된다. 이 레지스트를 노광하고 현상함으로써 원하는 형상으로 레지스트가 형성된다. 또한, 여기에서 형성한 레지스트를 마스크로서 에칭을 행하고, 현상에 의해 노출된 중단결정 반도체막이 제거된다 이 공정에 의해, 섬모양으로 형성된 중단결정 반도체막(105)이 형성된다(도 5d).
- [0345] 제2 방법은, 실시예 8에서 설명한 바와 같이, 비정질 반도체막을 원하는 형상으로 형성한 후에, 레이저빔의 조사에 의해 중단결정화하는 방법이다. 도 22a 내지 도 22d를 참조하여 간단하게 설명한다.
- [0346] 제1 방법과 같이, 기판(3001) 상에 베이스 절연막(3002), 비정질 실리콘으로 형성되는 반도체막(3003), 산화막(3004)의 형성이 행해진다(도 22a). 기판 및 형성된 막의 재질 또는 두께는 상기 제1 방법과 같은 조건이다. 다음에, 레지스트를 코팅하고, 노광, 현상함으로써 원하는 형상으로 레지스트가 형성된다(도 22b). 형성된 레지스트를 마스크로서 에칭이 행해지고, 현상에 의해 노출된 비정질 실리콘으로 형성되는 반도체막(3003)이 제거되고, 비정질 실리콘으로 형성되는 섬 형태의 반도체막(3006)이 형성된다(도 22c). 그 후에, 비정질 실리콘으로 형성되는 섬 형태의 반도체막(3006) 및 베이스 절연막(3002)의 표면이 커버되도록, 캡막과 게이트 절연막이 되는 게이트 절연막(3007)으로서 산화 실리콘막이 형성된다(도 22d). 그 후에, CW 레이저 또는 반복율이 10MHz이상의 펄스 레이저가 게이트 절연막(3007)에 조사되면, 반도체막이 용융되고, 냉각과 함께 일방향의 면방위로 결정이 성장하고, 중단결정의 반도체막(3008)이 형성된다.
- [0347] 상기 제2 방법을 사용하면, 중단결정 반도체막(3008)을 형성할 때의 캡막을 게이트 절연막(3007)로서 사용하는 것이 가능하게 된다. 또한, 본 실시예에서는 이 방법에서 중단결정의 반도체막을 형성하고, 캡막을 게이트 절연막으로서 그대로 사용한다. 따라서, 도 27a에 나타내는 중단결정화된 반도체막(7002 내지 7005) 상에 형성된 게이트 절연막(7006)은 캡막으로서도 기능하는 것이다.
- [0348] 또한, 도 5a 내지 도 5d에 나타난 캡막(103) 또는 도 22a 내지 도 22d에 나타난 게이트 절연막(3007)으로서 기능하는 캡막은 상기 제1 방법 또는 제2 방법으로 사용되는 레이저의 파장에 대하여 충분한 투과율을 가지는 것

이 필요하다. 또한, 캡막은 비정질 반도체막에 직접 접촉하기 때문에, 열팽창계수 또는 연성 등의 값이 비정질 반도체막의 값에 가까운 재료를 사용하는 것이 바람직하다. 본 실시예에서는, 캡막으로서 질소를 포함하는 산화 실리콘을 일층만 형성하는 예가 개시되지만, 일층에 한정되는 것은 아니고, 종류가 다른 재료의 복수의 층으로 캡막이 구성될 수 있다.

- [0349] 비정질 실리콘막을 형성한 후, 실시예 7에 기재한 바와 같이, 니켈, 팔라듐, 게르마늄, 철, 주석, 납, 코발트, 백금, 은, 동, 금 등의 촉매원소를 첨가한 후에 열처리를 행하여 다결정 실리콘막이 형성되고, 캡막이 형성되고, 레이저빔이 조사되어, 중단결정의 실리콘막이 형성될 수 있다. 또한 촉매원소를 도입한 뒤에 가열처리를 행하여 결정화를 촉진한 단계에서 레이저빔의 조사가 행해질 수 있고, 가열처리의 공정이 생략될 수 있다. 또한 가열처리를 행한 후, 그 온도를 유지하면서 레이저 처리가 행해질 수 있다. 촉매원소를 사용함으로써, 중단결정의 실리콘막이 효율적으로 형성될 수 있다.
- [0350] 레이저 조사후, 필요하다면, 반도체막에 임계치 전압을 제어하기 위하여 미량의 불순물 첨가, 소위 채널 도핑이 행해질 수 있다. 요구되는 임계치 전압을 얻기 위하여, N형 혹은 P형을 보이는 불순물(인, 붕소 등)이 이온 도핑법 등에 의해 첨가된다.
- [0351] 도 27b에 도시된 바와 같이, 게이트 절연막(7006) 상에 게이트 전극(7007 내지 7010)이 형성된다. 게이트 전극(7007 내지 7010)은 플라즈마 CVD법 또는 스퍼터링법을 사용하여 금속막을 형성하고, 이 금속막을 원하는 형상으로 에칭함으로써 형성된다. 또는, 소정의 방향으로 재료를 토출하는 것이 가능한 인쇄법 또는 잉크젯법으로 대표되는 액적토출법에 의해 게이트 전극이 직접 게이트 절연막상에 형성될 수 있다.
- [0352] 게이트 전극(7007 내지 7010)은 단층 또는 2층이상의 복수층으로 될 수 있다. 게이트 전극의 도전 재료, 구조, 제조 방법은 적당하게 선택될 수 있다.
- [0353] 플라즈마 CVD법이나 스퍼터링법을 사용하여 게이트 전극(7007 내지 7010)이 형성될 경우에, 금, 은, 백금, 동, 탄탈, 알루미늄, 몰리브덴, 텅스텐, 티타늄, 크롬, 니오븀 등으로부터 선택된 원소, 또는 이것들의 원소를 주성분으로 하는 합성 재료 또는 화합물재료로 형성될 수 있다. 예를 들면, 인 등의 n형을 부여하는 불순물이 도핑된 Si와 NiSi(니켈 실리사이드)의 적층구조, 또는 TaN(질화 탄탈)과 W (텅스텐)의 적층구조로 게이트 전극(7007 내지 7010)을 형성하는 것이나, AgPdCu 합금을 사용하여 게이트 전극(7007 내지 7010)이 형성될 수 있다.
- [0354] 액적토출법에 의해 게이트 전극(7007 내지 7010)을 형성할 경우, 토출되는 재료는 도전체 재료를 용매에 용해 또는 분산되게 한 것을 사용한다. 도전막이 되는 재료는 금, 은, 동, 백금, 알루미늄, 크롬, 팔라듐, 인듐, 몰리브덴, 니켈, 납, 이리듐, 로듐, 텅스텐, 카드뮴, 아연, 철, 티타늄, 지르코늄, 바륨 등의 금속으로부터 적어도 1종류, 또는 이것들의 금속의 합금을 포함하는 것이다. 용매는 아세트산 부틸, 아세트산 에틸 등의 에스테르류, 이소프로필 알콜, 에탄올 등의 알코올류, 메틸에틸케톤, 아세톤 등의 유기용제 등이 사용될 수 있다.
- [0355] 액적토출법에 의해 토출되는 조성물의 점도는 $0.3 \text{ Pa} \cdot \text{s}$ 이하로 설정된다. 이것은 건조를 방지하고, 토출 노즐로부터 조성물을 원활하게 토출하기 위한 것이다. 또한, 사용하는 용매나 용도에 맞춰서 조성물의 점도나 표면장력은 적당하게 조정하면 좋다.
- [0356] 계속하여, 게이트 전극(7007 내지 7010)을 마스크로서 반도체막에 고농도의 불순물이 첨가된다(도 27c). 이것에 의해, 중단결정화된 반도체막(7002 내지 7005), 게이트 절연막(7006), 게이트 전극(7007 내지 7010)을 포함하는 박막 트랜지스터가 형성된다.
- [0357] 다음에, 게이트 전극(7007 내지 7010)을 마스크로서 중단결정화된 반도체막(7002 내지 7005)에 불순물 원소의 첨가가 행해진다(도 28a). 불순물 원소는 반도체막에 하나의 도전형을 부여할 수 있다. 원소이며, n형의 도전형을 부여하는 불순물 원소로서, 인(P), p형의 도전형을 부여하는 불순물 원소로서, 붕소 등이 대표적이다. 발광소자의 제1 전극을 양극으로서 기능시킬 경우에는 p형, 음극으로서 기능시킬 경우에는 n형이 되도록 불순물 원소를 선택한다.
- [0358] 그 후에, 게이트 절연막(7006)을 커버함으로써 절연막(수소화막)(7011)이 질화실리콘(SiN_x)에 의해 형성된다(도 28b). 절연막(수소화막)(7011)을 형성한 후, 480°C 에서 1시간 동안 가열이 행해지고, 불순물 원소의 활성화와 반도체막의 수소화가 행해진다. 절연막은 질화실리콘에 한정되지 않고, 산화 실리콘(SiO_x)막, 질소를 포함하는 산화 실리콘막, 산소를 포함하는 질화실리콘막 등 적어도 산소 또는 질소를 가지는 절연막이 사용될 수 있다.
- [0359] 또한, 도 29a에 도시된 바와 같이, 절연막(수소화막)(7011) 커버하는 층간 절연막(7012)이 평탄성을 높이기 위하여 형성된다. 층간 절연막(7012)은 유기재료 또는 무기재료를 사용하여 형성될 수 있다. 유기재료로서, 폴리

이미드, 아크릴, 폴리아미드, 폴리이미드 아미드, 벤조시크로부텐, 실록산 등이 사용될 수 있다. 실록산은 기본 단위로서 실리콘에 불소, 지방족 탄화수소, 또는 방향족 탄화수소 등이 결합되는 $-Si-O-Si-$ 로 나타내는 실리콘과 산소와의 결합(실록산 결합)으로 구성되는 구조를 가진다. 무기재료로서, 산화 실리콘(SiO_x)막, 질화실리콘(SiN_x)막, 질소를 포함하는 산화 실리콘막, 산소를 포함하는 질화실리콘막 등 적어도 산소 또는 질소를 가지는 절연막이 사용될 수 있다. 또한 층간 절연막(7012)의 재료로서, 폴리시라잔($-(SiH_2NH)-$ 의 구성을 기본단위로 하는 무기 폴리머에서, 가열에 의해 세라믹질의 절연체를 형성하는 물질)이 사용될 수도 있다. 더욱이, 폴리시라잔과 유기물의 복합체를 형성하고, 이것을 층간 절연막(7012)으로서 사용해도 된다.

[0360] 층간 절연막(7012)은 상기의 절연막을 적층 한 것이 사용될 수 있다. 특히, 유기물을 재료로 하여 절연막을 형성하면 평탄성은 높아지지만, 유기물에 의해 수분 또는 산소가 흡수될 경우가 있다. 절연막에 의한 수분 또는 산소의 흡수를 막기 위하여, 유기물을 재료로 하는 절연막(이하, 유기절연막이라고 부른다) 상에 무기물을 재료로 하는 절연막(이하, 무기절연막이라고 부른다)을 형성하고, 이것을 층간 절연막(7012)으로 사용해도 된다. 게다가, 유기절연막과 무기절연막을 교대로 적층하여 3층이상으로 하여 이것을 층간 절연막(7012)으로 사용해도 된다.

[0361] 또한, 절연막(수소화막)(7011) 형성후의 가열처리는 층간 절연막(7012)의 형성후에 행해질 수 있다.

[0362] 그 후에, 층간 절연막(7012), 절연막(수소화막)(7011), 게이트 절연막(7006)에 컨택 홀이 형성되고, 소스 영역 및 드레인 영역에 접속하는 배선(7013), 접속부(7014), 이후에 단자 전극(7018)이 되는 전극을 형성한다(도 29a). 배선(7013), 접속부(7014), 이후에 단자 전극(7018)이 되는 전극은 알루미늄, 동, 알루미늄과 탄소와 니켈의 합금, 알루미늄과 탄소와 몰리브덴의 합금 등을 재료로 사용하여 단층으로 형성해도 좋고, 기판측에서 몰리브덴, 알루미늄, 몰리브덴의 적층구조나, 티타늄, 알루미늄, 티타늄의 적층구조나, 티타늄, 질화 티타늄, 알루미늄, 티타늄의 적층구조도 좋다.

[0363] 다음에, 투광성을 가지는 도전층이 형성되고, 이 도전층을 가공하여 박막 발광소자의 제1 전극(7017)(발광소자의 양극 또는 음극)이 형성된다. 여기에서, 제1 전극(7017)은 접속부(7014)와 전기적으로 접촉하고 있다.

[0364] 제1 전극(7017)의 재료를 예시하면, 알루미늄(Al), 은(Ag), 금(Au), 백금(Pt), 니켈(Ni), 텅스텐(W), 크롬(Cr), 몰리브덴(Mo), 철(Fe), 코발트(Co), 동(Cu), 팔라듐(Pa), 리튬(Li), 세슘(Cs), 마그네슘(Ma), 칼슘(Ca), 스트론튬(Sr), 티타늄(Ti) 등의 도전성을 가지는 금속, 또는 알루미늄과 실리콘으로부터 형성되는 합금(Al-Si), 알루미늄과 티타늄으로부터 형성되는 합금(Al-Ti), 알루미늄, 실리콘 및 동으로부터 이루어지는 합금(Al-Si-Cu) 등 그러한 합금, 또는 질화 티타늄(TiN) 등의 금속재료의 질화물, 인듐 주석 산화물(ITO), 산화 실리콘을 포함하는 인듐 주석 산화물(ITSO), 인듐 아연산화물(IZO) 등의 금속화합물 등을 들 수 있다.

[0365] 또한, 발광을 추출하는 전극은 투명성을 가지는 도전막을 사용하는 것이 바람직하다. 구체적으로, 인듐 주석 산화물(ITO), 산화 실리콘을 포함하는 인듐 주석 산화물(ITSO), 인듐 아연산화물(IZO) 등의 금속화합물의 기타, 알루미늄, 은 등의 금속의 극박막이 사용된다. 본 실시예에서는 제1 전극(7017)으로부터 발광을 추출하기 위하여, 제1 전극(7017)으로서 산화 실리콘을 포함하는 인듐 주석 산화물(ITSO)을 사용했다. 반대로, 제1 전극(7017)으로부터 발광을 추출하지 않을 경우에, 제1 전극(7017)은 반사율이 높은 재료(알루미늄 또는 은 등)를 사용하여 형성될 수 있다.

[0366] 또한, 배선(7013), 접속부(7014), 이후에 단자 전극(7018)이 되는 전극을 형성한 후, 제1 전극(7017)을 형성하기 전에, 절연성 무기물을 포함하는 절연막(7016)이 단층 또는 복수층으로 형성될 수 있다(도 30a). 절연막(7016)은 산화 실리콘막, 질화실리콘막, 질소를 포함하는 산화 실리콘막 등의 무기절연막을 사용하고, 스퍼터링법, LPCVD법, 플라즈마 CVD법 등을 사용하여 형성될 수 있다. 이렇게 절연막(7016)을 형성함으로써, 구동회로부(7032)의 TFT 또는 배선(7013) 등이 노출되는 것을 막고, 보호할 수 있다.

[0367] 그 후에, 제1 전극(7017), 배선(7013), 층간 절연막(7012)을 커버하는 절연막이 형성되고, 최종 절연막이 제1 전극(7017)의 단부를 커버하는 절연막(7015)을 형성하는 패턴으로 형성된다(도 29a 및 도 30a). 절연막(7015)의 재료로서, 자기 평탄성을 가지는 아크릴, 폴리아미드, 실록산 등이 사용될 수 있다. 본 실시예에서, 실록산이 절연막(7015)의 재료로서 사용된다.

[0368] 그 후에, 발광 물질을 포함하는 층(이하, 발광층(7019)이라고 부른다)이 형성되고, 발광층(7019)을 커버하는 제2 전극(7020)(음극 또는 양극)이 형성된다(도 29b 및 도 30b). 이것에 의해, 제1 전극(7017)과 제2 전극(7020) 사이에 발광층(7019)을 가지는 구조를 구비한 발광소자가 제조될 수 있다. 제2 전극(7020)을 형성하는 재료는 제1 전극(7017)을 형성하는 재료와 동일하다. 본 실시예에서, 알루미늄이 제2 전극(7020)을 형성하는데 사용된

다.

- [0369] 부가적으로, 제1 전극(7017)과 제2 전극(7020)은 각각 양극 또는 음극이 될 수 있으며, 일함수를 고려하여 재료가 선택될 필요가 있다. 양극에는 일함수가 큰(구체적으로, 4.0eV이상) 재료를 사용하는 것이 바람직하다. 반대로, 음극에는 일함수가 작은(구체적으로, 3.8eV이하) 재료를 사용하는 것이 바람직하다. 그러나, 높은 전자주입성을 가지는 전자주입층을 사용함으로써, 일함수가 높은 재료, 즉 통상적으로 양극에 이용되고 있는 원료로 음극이 형성될 수 있다.
- [0370] 부가적으로, 발광층(7019)은 잉크젯법으로 대표되는 액적도출법, 증착법, 스핀 코팅법, 딥 코팅법 등에 의해 형성된다. 발광층에는 저분자, 고분자, 저분자와 고분자 사이의 성질을 가지는 중간 분자의 재료가 사용될 수 있다. 본 실시예에서는 증착법에 의해 발광층(7019)을 형성하기 위하여 저분자 재료가 사용된다. 저분자 재료도 고분자 재료도, 용매에 용해시킴으로써, 스핀 코팅법 또는 액적도출법에 의해 코팅될 수 있다. 또한, 유기재료 뿐만 아니라 무기재료와의 복합재료도 사용될 수 있다.
- [0371] 다음에, 질소를 포함하는 산화 실리콘막이 플라즈마 CVD법에 의해 제1 패시베이션 막(7029)으로서 형성된다. 질소를 포함하는 산화 실리콘막이 사용될 경우에, 플라즈마 CVD법에 의해 SiH_4 , N_2O , NH_3 로부터 제조되는 질소를 포함하는 산화 실리콘막, SiH_4 , N_2O 로부터 제조되는 질소를 포함하는 산화 실리콘막, 또는 SiH_4 , N_2O 를 Ar과 희석한 가스로부터 형성되는 질소를 포함하는 산화 실리콘막이 사용될 수 있다.
- [0372] 부가적으로, 제1 패시베이션 막(7029)의 재료로서, SiH_4 , N_2O , H_2 로부터 제조되는 산화 질화수소화 실리콘막이 사용될 수 있다. 물론, 제1 패시베이션 막(7029)은 단층 구조에 한정되는 것은 아니고, 제1 패시베이션 막(7029)은 다른 실리콘을 포함하는 절연막의 단층 또는 적층이 될 수 있다. 또한, 질화탄소막과 질화실리콘막의 다층막, 스티렌 폴리머의 다층막, 질화실리콘막, 다이아몬드형 탄소막이 질소를 포함하는 산화 실리콘막 대신에 사용될 수 있다.
- [0373] 다음에, 발광소자의 열화를 촉진하는 물 등의 물질로부터 발광소자를 보호하기 위하여, 표시부가 밀봉된다. 대향 기관(7021)이 밀봉에 사용되는 경우에, 대향 기관(7021)은 절연성의 쉘재(7022)를 사용함으로써 외부에 접촉하는 단자(7023)가 노출되도록 서로 접촉된다. 대향 기관(7021)과 기관(7000)의 사이의 공간은 건조한 질소 등의 불활성 가스로 충전될 수 있다. 대안적으로, 대향 기관(7021)은 쉘재(7022)가 전체면에 코팅된 후에 접촉될 수 있다. 쉘재(7022)에는 자외선 경화 수지 등을 사용하면 적합하다. 부가적으로, 건조제 또는 기관간의 겹을 일정하게 유지하기 위한 입자가 쉘재(7022)에 혼입될 수 있다. 계속하여, 단자(7023)에 플렉시블 배선회로(7024)(FPC)를 부착함으로써, 발광 장치가 완성된다.
- [0374] 또한, 도 31은 화소부(7033)의 평면도를 나타내고, 도 31의 점선 A-B에 따라서 절단한 단면은 도 29b, 도 30b에 있어서 화소부(7033)의 구동용 TFT(7025)의 단면에 대응하고 있다. 또한, 도 31의 쉘선 C-D에 따라서 절단한 단면은 도 29b, 도 30b의 화소부(7033)의 스위칭용 TFT(7026)의 단면에 대응하고 있다. 도 31의 7030으로 나타낸 실선은 절연막(7015)의 가장자리를 보이고 있다. 도 29b, 도 30b, 및 도 31에서, 본 발명을 사용하여 형성된 발광 장치의 일례가 도시되고, 배치에 의해 배선 등의 구조는 적당하게 변경이 가능하다.
- [0375] 부가적으로, 발광 장치에 있어서, 발광 장치의 발광 표시면은 일면 또는 양면이 될 수 있다. 제1 전극(7017) 및 제2 전극(7020)이 투광성을 가지는 도전막으로 형성된 경우, 발광소자로부터 발생한 광은 기관 및 대향 기관을 통과하여 양측으로 추출된다. 이 경우, 기관(7000) 또는 대향 기관(7021)은 투광성을 가지는 재료를 사용하는 것이 바람직하다.
- [0376] 제1 전극(7017)이 금속막으로 형성되고, 제2 전극(7020)이 투명도전층으로 형성된 경우, 발광소자로부터 발생한 광은 대향 기관(7021)을 통과하여 일측으로부터 추출되는 상부 방출형이 된다. 이 경우, 기관(7000)은 투광성을 가지는 재료를 사용하지 않더라도 좋다.
- [0377] 반면에, 제2 전극(7020)이 금속막으로 형성되고, 제1 전극(7017)이 투명도전층으로 형성된 경우, 발광소자로부터 발생한 광은 기관(7000)만을 통과하여 일측으로부터 추출되는 하부 방출형이 된다. 이 경우, 대향 기관(7021) 또는 충전재(7028)는 투광성을 가지는 재료를 사용하지 않더라도 좋다.
- [0378] 본 실시예는 실시형태 또는 다른 실시예와 적당하게 조합하여 사용될 수 있다.
- [0379] 실시예 13

- [0380] 본 실시예에서, TFT는 박막집적회로장치, 또는 비접촉형 박막집적회로장치(무선 IC 태그, RFID(무선인증이라고도 불린다))로서 사용될 수도 있다. 다른 실시예에서 나타난 제조 방법과 조합함으로써, 박막집적회로장치 또는 비접촉형 박막집적회로장치가 태그 또는 메모리로서 이용될 수 있다.
- [0381] 본 발명의 중단결정 반도체막에서의 결정립의 면방위는 일방향으로 정렬되고 있다. 그 때문에, 전류 구동능력이 높아 고속동작이 가능하고 소자간에 있어서 특성의 편차가 작은 반도체 장치가 높은 수율로 제조될 수 있다. 박막집적회로는 미래에 수요가 커지는 것이 예상되기 때문에, 높은 성능을 가지는 제품을 높은 수율로 제조하는 것이 필요하게 된다. 따라서, 본 발명의 중단결정 반도체막을 사용하는 것은 대단히 유용하다. 그 일례가 설명될 것이다.
- [0382] 본 실시예는 무선 IC 태그의 집적회로에 사용될 수 있는 반도체 소자로서 절연 분리된 TFT를 사용한 예가 개시된다. 그러나, 무선 IC 태그의 집적회로에 사용될 수 있는 반도체 소자는 TFT 뿐만 아니라 그 밖의 소자도 사용될 수 있다. 예를 들면, 메모리 소자, 다이오드, 광전변환 소자, 저항 소자, 코일, 용량소자, 인덕터 등을 대표적으로 들 수 있다. 또한 이것들의 소자가 본 발명의 중단결정 반도체막을 사용하여 형성될 수도 있다.
- [0383] 첨부 도면을 참조하여, 무선 IC 태그의 제조 방법이 설명된다. 실제로, 한번의 길이가 1미터를 초과하는 기관에 복수의 반도체 소자가 동시에 형성된 후에, 개개의 반도체 소자로 분리되고, 각각의 밀봉이 행해지며, 따라서 무선 IC 태그가 제조된다.
- [0384] 우선, 도 32a에 도시된 바와 같이, 제1 기관(8000)이 준비된다. 제1 기관(8000)로서, 바륨 보로실리케이트 유리나, 알루미늄 보로실리케이트 유리 등의 유리 기관, 석영 기관 등이 사용될 수 있다. 이밖에, PET(폴리에틸렌 테레프탈레이트), PEN(폴리에틸렌 나프타레이트), PES(폴리에테르 설펜 수지)로 대표되는 플라스틱, 아크릴 등의 가요성을 가지는 합성 수지가 사용될 수 있다. 무선 IC 태그의 제조 공정에 있어서, 처리 온도를 견디어낼 수 있는 합성 수지이면, 기관으로서 사용될 수 있다.
- [0385] 제1 기관(8000)이 전술된 바와 같은 재질이면, 그 면적이나 형상에 큰 제한은 없다. 그 때문에, 제1 기관(8000)이 예를 들면 한번이 1미터 이상이고 사각형인 경우에, 생산성이 각별히 향상될 수 있다. 이러한 이점은 원형의 실리콘 기관을 사용할 경우와 비교하면 뛰어난 장점이다.
- [0386] 상기의 재료로 이루어지는 기관의 표면은 CMP법 등의 연마에 의해 평탄화될 수 있다. 예를 들면, 유리 기관, 석영 기관, 또는 반도체 기관을 연마하여 얇게 한 기관이 사용될 수 있다.
- [0387] 제1 기관(8000)이 준비된 후, 제1 기관(8000) 상에 절연막(8002)이 형성된다(도 32a). 절연막(8002)은 산화 실리콘(SiO_x)막, 질화실리콘(SiN_x)막, 질소를 포함하는 산화 실리콘막, 산소를 포함하는 질화실리콘막 등의 산소 또는 질소를 가지는 절연막의 단층 구조 또는 적층구조로 제공될 수 있다. 본 실시예에서, 절연막(8002)로서 질소를 포함하는 산화 실리콘막이 100nm 두께로 형성된다. 또한, 고밀도 플라즈마 처리를 행함으로써 절연막(8002)이 산화되거나 또는 질화될 수 있다.
- [0388] 고밀도 플라즈마는 예를 들면 2.45GHz의 마이크로파를 사용함으로써 생성된다. 구체적으로, 전자밀도가 10^{11} 내지 $10^{13}/\text{cm}^3$ 이고 전자온도가 2eV이하이고, 이온 에너지가 5eV이하인 고밀도 플라즈마가 사용된다. 이렇게 저전자 온도가 특징인 고밀도 플라즈마는 활성종의 운동에너지가 낮기 때문에, 종래의 플라즈마 처리와 비교하여 플라즈마 손상이 적어 결함이 적은 막이 형성될 수 있다. 라디컬 슬롯 안테나를 사용한 마이크로파 여기용 플라즈마 처리장치가 플라즈마 생성에 사용될 수 있다. 마이크로파를 발생하는 안테나로부터 제1 기관(8000)까지의 거리는 20mm이상 80mm이하(바람직하게, 20mm이상 60mm이하)로 설정된다.
- [0389] 다음에, 박리층(8004)이 형성된다(도 32a). 박리층(8004)은 금속막, 금속막과 금속 산화막의 적층 등으로 형성될 수 있다. 금속막은 텅스텐(W), 몰리브덴(Mo), 티타늄(Ti), 탄탈(Ta), 니오븀(Nb), 니켈(Ni), 코발트(Co), 지르코늄(Zr), 아연(Zn), 루테튬(Ru), 로듐(Rh), 납(Pb), 오스뮴(Os), 이리듐(Ir)로부터 선택된 원소; 상기 원소를 주성분으로 하는 합금재료; 또는 화합물재료로 이루어지는 막의 단층 또는 적층 구조로 형성된다. 또한, 이것들의 재료는 공지의 수단(스퍼터링법 또는 플라즈마 CVD법 등의 각종 CVD법)을 사용하여 형성될 수 있다. 또한, 본 실시예에서, 플라즈마 CVD법에 의해 텅스텐이 30nm의 두께로 형성된다.
- [0390] 박리층(8004)이 형성될 때, 그 표면에는 산화물, 질화물, 또는 질화산화물이 형성된다. 이것들의 화합물은 에칭가스, 특히 3불화 염소(ClF_3)와의 반응속도가 높아, 화합물이 쉽게 단시간에 박리될 수 있다. 즉, 박리는 에칭가스에 의해 금속, 금속산화물, 금속질화물, 또는 금속의 질화산화물 중 어느 하나가 제거되면 가능하다.

- [0391] 부가적으로, 산화물, 질화물, 또는 질화산화물이 박리층(8004)의 표면에 형성될 때, 화학적인 상태가 변화될 수 있다. 예를 들면, 텅스텐(W)을 가지는 산화막이 형성될 경우, 산화 텅스텐(WO_x ($x=2$ 내지 3))의 가수가 변한다. 그 결과, 산화막은 물리적 수단에 의해 쉽게 박리되는 상태가 된다. 화학적 수단과 물리적 수단을 병용하면, 산화막이 보다 간편하게, 단시간에 제거될 수 있다.
- [0392] 박리층(8004)이 형성된 후에, 베이스 절연막으로서 기능하는 절연막(8006)이 형성된다. 본 실시예에서, 스퍼터링법을 사용하여 산화 실리콘막이 200nm 두께로 형성된다.
- [0393] 다음에, 반도체막(8008)이 형성된다. 비정질 반도체막이 반도체막(8008)으로서 형성될 수 있더라도, 미소 결정 반도체막 또는 결정성 반도체막이 사용될 수 있다. 반도체막의 재료는 한정이 없지만, 실리콘 또는 실리콘 게르마늄(SiGe)을 사용하는 것이 바람직하다. 본 실시예에서, 비정질 실리콘막은 66nm 두께로 형성된다. 반도체막(8008)의 형성 후에, 반도체막(8008)에 포함된 수소를 제거하는 공정이 행해질 수 있다. 구체적으로, 반도체막(8008)은 500℃에서 1시간 동안 가열될 수 있다.
- [0394] 더욱이, 질소를 포함하는 산화 실리콘막이 캡막(8009)로서 300nm 두께로 형성된다. 또한, 캡막(8009)을 형성하기 위해 산화 실리콘막이 사용될 수 있다. 다른 실시예에서와 같이, 캡막은 플라즈마 CVD법 또는 스퍼터링법에 의해 형성될 수 있다.
- [0395] 여기에서, 중단결정이 레이저 조사장치를 사용하여 레이저빔으로 조사되어짐으로써 반도체막(8008)에서 얻어진다(도 32b). 본 실시예에서, 10W의 에너지를 가지는 TEM₀₀모드(단일 횡 모드) 발진의 Nd:YVO₄ 레이저가 사용된다. 이 레이저는 광학계를 사용하여 집광 및 선형으로 형성되고, 약 10 내지 수 100cm/sec의 주사속도로 조사된다.
- [0396] 이 방법을 사용함으로써, 레이저빔이 조사된 영역의 반도체막(8008)이 완전하게 용해된다. 그리고, 냉각 단계에서 일방향의 면 방위로 결정이 성장되고, 따라서 중단결정이 형성된다.
- [0397] 도 32b에서 캡막(8009) 측으로부터 레이저빔이 조사되더라도, 실시예 10에 기재한 바와 같이 제1 기판(8000) 측으로부터 레이저빔이 조사될 수 있다. 이 경우에, 박리층(8004)은 광흡수층이 되어 레이저빔을 흡수하고, 열을 발생시켜서, 반도체막(8008)은 발생된 열에 의해 간접적으로 결정화된다.
- [0398] 여기에서 사용할 수 있는 레이저의 종류는, Ar 레이저, Kr 레이저, 엑시머 레이저 등의 가스 레이저; 단결정의 YAG, YVO₄, 포스터라이트(Mg₂SiO₄), YAlO₃, GdVO₄, 또는 다결정(세라믹)의 YAG, Y₂O₃, YVO₄, YAlO₃, GdVO₄에 불순물로서 Nd, Yb, Cr, Ti, Ho, Er, Tm, Ta 중 1종 또는 복수종 첨가되어 있는 것을 매질로 하는 레이저; 유리 레이저; 루비 레이저; 알렉산드라이트 레이저; Ti:사파이어 레이저; 동 증기 레이저; 및 금 증기 레이저 중 일종 또는 복수를 사용할 수 있다.
- [0399] 또한, 단결정의 YAG, YVO₄, 포스터라이트(Mg₂SiO₄), YAlO₃, GdVO₄, 또는 다결정(세라믹)의 YAG, Y₂O₃, YVO₄, YAlO₃, GdVO₄에 불순물로서 Nd, Yb, Cr, Ti, Ho, Er, Tm, Ta 중 1종 또는 복수종 첨가되어 있는 것을 매질로 하는 레이저; Ar 이온 레이저; 또는 Ti:사파이어 레이저는 연속 파장 발진이 가능하고, 그외에 Q-스위칭 동작, 모드동기 등을 행함으로써 10MHz이상의 반복율로 펄스 발진이 가능하다. 10MHz이상의 반복율로 레이저빔 발진이 수행되면, 반도체막이 레이저에 의해 용융된 후에 고화될 때까지 다음 펄스로 반도체막이 조사된다. 따라서, 반복율이 낮은 펄스 레이저를 사용하는 경우와 다르게, 반도체막 내의 고체-액체 계면이 연속적으로 이동될 수 있으므로, 주사 방향으로 연속적으로 성장하는 결정립이 얻어질 수 있다.
- [0400] 세라믹(다결정)이 레이저의 매질로서 사용되면, 매질이 단시간에 저비용으로 임의의 형상으로 형성될 수 있다. 단결정이 사용될 경우, 통상 직경이 몇mm, 길이가 몇십mm의 원기둥 모양의 매질이 이용되고 있지만, 세라믹이 사용되는 경우에는 더욱 큰 매질이 형성될 수 있다.
- [0401] 발광에 직접 기여하는 매질중의 Nd, Yb 등의 불순물의 농도는 단결정 또는 다결정 내에서조차 두드러지게 바꿀 수 없기 때문에, 농도를 증가시키는 것에 의한 레이저의 출력 향상에는 어느 정도의 한계가 있다. 그러나, 세라믹이 사용되면, 단결정과 비교하여 매질의 농도가 두드러지게 증가될 수 있으므로 대폭적인 출력 향상이 실현된다.
- [0402] 더욱이, 세라믹이 사용되는 경우에, 평행 육면체 형상 또는 직방체 형상의 매질이 용이하게 형성될 수 있다. 이러한 형상의 매질이 방출된 광을 매질 내에서 지그재그로 진행시키는데 사용되면, 방출 광 경로가 길게 형성될 수 있다. 그 때문에, 증폭이 커지고, 큰 출력으로 발진이 가능해진다. 또한, 이러한 형상의 매질로부터 방출되

는 레이저빔은 빔이 방출될 때의 단면형상이 사각형상이므로, 원형의 빔과 비교하여 선형 빔으로 정형하는데에도 유리하다. 이렇게 방출된 레이저빔을 광학계를 사용하여 정형함으로써, 짧은 변의 길이가 1mm이하, 긴 변의 길이가 몇mm 내지 몇m의 선형 빔이 용이하게 얻어질 수 있다. 부가적으로, 여기 광을 매질에 균일하게 조사함에 의해, 선형 빔은 긴 변의 방향으로 균일한 에너지분포를 가지게 된다.

[0403] 또한, 본 실시예의 레이저 결정화 방법이 결정화를 촉진하는 금속 원소(니켈(Ni), 게르마늄(Ge), 철(Fe), 팔라듐(Pd), 주석(Sn), 납(Pb), 코발트(Co), 백금(Pt), 동(Cu), 금(Au) 등)를 사용하는 결정화 방법과 조합되면, 더욱 바람직하게 결정화가 행해질 수 있다.

[0404] 다음에, 캡막(8009)이 에칭에 의해 제거되고, 준단결정 막(8010)이 p 형의 도전형을 부여하는 불순물 원소로 도핑된다. 여기에서, 불순물 원소로서 붕소(B)가 도핑된다(도 32c).

[0405] 다음에, 준단결정 막(8010)d1 선택적으로 에칭되고, 제1 반도체막(8012), 제2 반도체막(8014)이 형성된다(도 32d).

[0406] 다음에, 레지스트 마스크(8016)가 제1 반도체막(8012)을 커버하도록 형성되고, 그후에 제2 반도체막(8014)이 p 형의 도전형을 부여하는 불순물 원소로 도핑된다(도 33a). 본 실시예에서, 불순물 원소로서 붕소(B)가 도핑된다.

[0407] 다음에, 레지스트 마스크(8016)가 제거되고, 플라즈마 처리가 제1 반도체막(8012)과 제2 반도체막(8014)을 산화 또는 질화시키기 위하여 제1 반도체막(8012) 및 제2 반도체막(8014)에 행해지고, 따라서, 제1 절연막(8018, 8020)(산화막 또는 질화막)이 제1 반도체막(8012) 및 제2 반도체막(8014)의 표면 상에 형성된다(도 33b). 본 실시예에서, 플라즈마 처리는 제1 반도체막(8012)과 제2 반도체막(8014)을 산화시키기 위하여 산소를 포함하는 분위기에서 행해지고, 제1 절연막(8018, 8020)으로서 산화 실리콘(SiO_x)막이 형성된다. 제1 절연막(8018, 8020)으로서 질화실리콘막이 형성될 경우에, 플라즈마 처리가 질소분위기에서 행해질 수 있다.

[0408] 일반적으로, CVD법 또는 스퍼터링법에 의해 형성된 산화 실리콘막 또는 질소를 포함하는 산화 실리콘막은 막의 내부에 결함을 포함하고 있기 때문에, 막질이 충분하지 않다. 그 때문에, 표면을 산화시키기 위하여 산소분위기에서 제1 반도체막(8012) 및 제2 반도체막(8014)에 플라즈마 처리를 행함으로써, CVD법 또는 스퍼터링법 등에 의해 형성된 절연막보다 치밀한 절연막이 제1 반도체막(8012) 및 제2 반도체막(8014) 상에 형성될 수 있다.

[0409] 부가적으로, CVD법 또는 스퍼터링법에 의해 형성된 절연막을 통해서 제1 반도체막(8012) 및 제2 반도체막(8014) 상에 도전막이 제공되는 경우, 제1 반도체막(8012) 및 제2 반도체막(8014)의 단부에 절연막의 절단 등에 의한 피복 불량 발생될 수 있고, 반도체막과 도전막 사이에 단락 등이 발생할 수 있다. 그러나, 미리 제1 반도체막(8012) 및 제2 반도체막(8014)의 표면에, 플라즈마 처리를 사용하여 산화 또는 질화를 행함에 의해, 제1 반도체막(8012) 및 제2 반도체막(8014)의 단부에서 절연막의 피복 불량이 발생하는 것을 억제할 수 있다.

[0410] 다음에, 제2 절연막(8022)이 제1 절연막(8018, 8020)을 커버하도록 형성된다. 제2 절연막(8022)의 재료는, 질화 실리콘(SiN_x) 또는 산소를 포함하는 질화실리콘막이다. 여기에서, 제2 절연막(8022)로서 질화실리콘막이 4 내지 20nm의 두께로 형성된다(도 33c).

[0411] 다음에, 플라즈마 처리가 제2 절연막(8022)의 표면을 산화시키기 위하여 제2 절연막(8022)에 대하여 산소 분위기에서 행해지고, 제3 절연막(8024)이 형성된다(도 33c). 또한, 플라즈마 처리는 진술한 조건하에서 행해질 수 있다. 여기에서, 플라즈마 처리에 의해, 제2 절연막(8022)의 표면에 제3 절연막(8024)으로서 산화 실리콘막 또는 질소를 포함하는 산화 실리콘막이 2nm이상 10nm이하의 두께로 형성된다.

[0412] 다음에, 제1 반도체막(8012)과 제2 반도체막(8014)의 상부에 게이트 전극으로서 기능하는 도전막(8026, 8028)이 형성된다(도 33d). 또한, 여기에서 도전막(8026, 8028)은 제1 도전막(8026a, 8028a)와 제2 도전막(8026b, 8028b)의 적층구조로 제공된다. 여기에서, 제1 도전막(8026a, 8028a)으로서 질화 탄탈을 사용하고, 제2 도전막(8026b, 8028b)으로서 텅스텐을 사용하여 적층구조로 제공된다. 더욱이, 게이트 전극으로서 사용될 수 있는 도전막은 단층으로 형성될 수 있다. 부가적으로, 도전막의 재료도, 상기의 재료에 한정되는 것이 아니고, 탄탈(Ta), 텅스텐(W), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 동(Cu), 크롬(Cr), 니오븀(Nb) 등으로부터 선택된 1종류의 원소 또는 복수종을 포함하는 합금, 또는 이것들의 원소를 포함하는 화합물이 사용될 수 있다. 더욱이, 인 등의 불순물 원소를 도핑된 다결정 실리콘으로 대표되는 반도체 재료가 사용될 수도 있다. 이 경우에, 본 발명의 준단결정 반도체막이 사용될 수도 있다.

[0413] 다음에, 도전막(8026)을 마스크로서 제1 반도체막(8012)에 p 형을 부여하는 불순물 원소가 도입되고, 도전막

(8028)을 마스크로서 제2 반도체막(8014)에 n형을 부여하는 불순물 원소가 도입된다. 이 공정에 의해, 소스 영역 및 드레인 영역이 형성된다. 그 후에, 절연막(8030)이 도전막(8026, 8028)을 커버하도록 형성된다(도 34a).

[0414] 제1 반도체막(8012)의 소스 영역 또는 드레인 영역과 전기적으로 접속하도록 절연막(8030) 상에 도전막(8032)이 형성된다. 제1 반도체막(8012)을 채널 형성 영역으로서 이용하는 p형의 박막 트랜지스터(8034), 제2 반도체막(8014)을 채널 형성 영역으로서 이용하는 n형의 박막 트랜지스터(8036)가 제공된다(도 34a). 또한, 본 실시예에서는 상부 게이트형(플래너형) TFT를 제조하는 예가 개시되었지만, 하부 게이트형(역 스테거형) TFT 등의 TFT를 제조할 때에도, 본 발명이 사용될 수 있다.

[0415] 여기에서, 제1 반도체막(8012), 제2 반도체막(8014), 및 이것들의 반도체막과 동시에 형성되는 도전막(8032)(즉, 배선)은 제1 기판(8000)의 상부면으로부터 보았을 경우에 코너가 둥글게 되도록 형성하는 것이 바람직하다. 배선 등의 코너가 둥글게 형성되는 상태는 도 37a 및 도 37b에 개략적으로 도시된다.

[0416] 도 37a는 종래의 형성 방법을 나타내고, 배선a(700), 배선b(701), 배선c(702) 및 반도체막이 각각 모가 있는 코너를 가지는 상태를 나타낸다. 도 37b는 배선a(700), 배선b(701), 배선c(702), 및 반도체막이 각각 둥근 코너를 갖는 상태를 나타낸다. 도 37b에 도시된 바와 같이, 코너가 둥글게 되면, 배선 형성시에 발생하는 더스트(dust)가 배선의 코너에 남는 것을 억제할 수 있다. 따라서, 반도체 장치의 더스트에 의한 불량률이 저감되고, 수율이 향상될 수 있다. 또한, 도 37a 및 도 37b에서의 원은 콘택 홀(703)을 의미한다.

[0417] 다음에, 절연막(8038)이 도전막(8032)을 커버하도록 형성되고, 이 절연막(8038) 상에 안테나로서 기능하는 도전막(8040)이 형성되고, 절연막(8042)이 도전막(8040)을 커버하도록 형성된다(도 34b). 또한, 여기에서 박막 트랜지스터(8034, 8036)의 상에 제공된 도전막 등(점선으로 둘러싸인 영역)은 함께 소자군(8044)으로 칭해진다.

[0418] 절연막(8030, 8038, 8042)은 각각 단층에서도 복수층이 될 수 있고, 같은 재료 또는 서로 다른 재료로 형성될 수 있다. 그 재료로서, (1) 산화 실리콘(SiO_x)막, 질화실리콘(SiN_x)막, 질소를 포함하는 산화 실리콘막, 산소를 포함하는 질화실리콘막 등의 산소 또는 질소를 가지는 절연막, (2) DLC(다이아몬드형 탄소) 등의 탄소를 포함하는 막, (3) 에폭시, 폴리이미드, 폴리아미드, 폴리비닐페놀, 벤조시쿠로부텐, 아크릴 등의 유기재료, 및 실록산계 재료 등이 제시될 수 있다.

[0419] 부가적으로, 상기의 (3)으로 제시된 재료는 스펀코팅법, 액적도출법 또는 인쇄법 등을 사용함으로써 형성될 수 있으므로, 평탄화가 효율적으로 행해지고, 처리 시간의 단축을 꾀할 수 있다. 더욱이, 절연막(8030, 8038, 8042)은 플라즈마 처리를 행함으로써 산화 또는 질화될 수 있다.

[0420] 도전막(8040)은 동(Cu), 알루미늄(Al), 은(Ag), 금(Au), 크롬(Cr), 몰리브덴(Mo), 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 니켈(Ni), 탄소(C) 등의 금속, 상기의 금속을 포함하는 금속화합물을 1개 또는 복수로 갖는 도전 재료를 사용하여 형성될 수 있다.

[0421] 다음에, 개구부(8046)가 소자군(8044)을 피한 영역에 레이저 조사 등의 방법에 의해 박리층(8004)을 노출시키도록 형성되고, 에천트가 박리층(8004)을 제거하기 위하여 이 개구부(8046)로부터 도입된다(도 35a). 또한, 박리층(8004)은 모두 제거될 수 있고, 완전하게 제거하지 않고 일부 남겨질 수 있다. 박리층(8004)을 남겨둠으로써, 에천트에 의해 박리층(8004)이 제거된 후에도, 박막 트랜지스터(8034, 8036)가 제1 기판(8000) 상에 유지될 수 있고, 이후의 공정에 있어서 취급이 간편해진다. 에천트로서, 3불화 염소가스 등의 불화 할로젠 또는 할로젠을 포함하는 가스 또는 액체가 사용될 수 있다. 예를 들면, CF_4 , SF_6 , NF_3 , F_2 등이 사용될 수도 있다.

[0422] 다음에, 접착성을 가지는 제1 시트재(8048)가 절연막(8042)에 접착되고, 소자군(8044)이 제1 기판(8000)로부터 박리된다(도 35b).

[0423] 제1 시트재(8048)는 이후의 공정으로 박리되는 소자군(8044)의 기계적 강도를 유지하기 위하여 접착된다. 이 때문에, 제1 시트재(8048)의 두께는 $50\mu\text{m}$ 이상이 바람직하다. 가요성 필름이 제1 시트재(8048)에 이용될 수 있고, 제1 시트재(8048)의 적어도 일면에 접착제를 갖는다. 제1 시트재(8048)의 일례로서, 접착면에 접착제가 제공되어 있는, 폴리에스테르를 사용하는 기본재료가 사용될 수 있다. 접착제로서, 아크릴 수지 등을 포함하는 수지 재료, 또는 합성 고무 재료를 포함하는 재료가 사용될 수 있다.

[0424] 다음에, 박리된 소자군(8044)은 가요성을 가지는 필름으로 밀봉된다. 여기에서, 소자군(8044)이 제2 시트재(8050)에 접착되고, 추가로 소자군(8044)이 제3 시트재(8052)로 밀봉된다(도 36a 및 도 36b).

[0425] 가요성의 필름이 제2 시트재(8050), 제3 시트재(8052)에 이용될 수 있고, 예를 들면 폴리프로필렌, 폴리에스테르,

비닐, 폴리 불화 비닐, 염화비닐 등으로 이루어지는 필름, 종이, 기본재료 필름(폴리에스테르, 폴리아미드, 무기 증착 필름, 종이류 등)과 접착성 합성 수지 필름(아크릴계 합성 수지, 에폭시계 합성 수지 등)의 적층 필름 등이 이용될 수 있다. 부가적으로, 필름의 최상면에 제공된 접착층 또는 최외층에 제공된 층(접착층은 아님)을 가압에 의해 접착될 수 있도록 가열처리에 의해 용융되는 것이 바람직하다. 또한, 소자 형성층이 제1 시트재(8048)와 제2 시트재(8050)로 밀봉될 경우에, 제1 시트재(8048)가 같은 재료를 사용하여 형성될 수 있다.

[0426] 이상의 공정에 의해, 메모리 소자를 가지고, 비접촉으로 데이터를 송수신할 수 있는 반도체 장치가 얻어질 수 있다. 또한, 본 실시예로 나타낸 반도체 장치는 가요성을 가지고 있다. 소자군(8044)이 가요성 기판에 접착될 때, 떨어지더라도 깨지기 어려운 얇고 가벼운 반도체 장치가 완성된다. 저렴한 가요성 기판이 사용되면, 반도체 장치가 저렴하게 제공될 수 있다. 또한, 소자군(8044)은 곡면 또는 기형적인 형상을 가지는 물체에 접착될 수 있다. 더욱이, 제1 기판(8000)을 재사용함으로써, 반도체 장치가 저비용으로 제조될 수 있다.

[0427] 또한, 본 실시예는 실시형태 및 다른 실시예와 자유롭게 조합될 수 있다.

[0428] 실시예 14

[0429] 본 실시예에서는 비접촉으로 데이터의 송수신이 가능한 무선 IC 태그로서 본 발명을 사용하여 제조된 반도체막을 사용하는 경우를 설명한다.

[0430] 또한, 본 발명을 사용하여 제조된 준단결정 반도체막에서의 결정립의 면방위는 일방향 또는 실질적으로 일방향으로 간주될 수 있는 방향으로 정렬된다. 즉, 준단결정 반도체막은 단결정에 가까운 특성을 가지는 반도체막이다. 따라서, 이 반도체 장치를 사용함으로써, 고속동작이 가능하여 전류 구동능력이 높고, 소자간에 있어서 특성의 편차가 작은 반도체 장치가 제조될 수 있다.

[0431] 무선 IC 태그(9001)는 비접촉으로 데이터를 송수신하는 기능을 가지고, 전원회로(9002), 클록 발생 회로(9003, 9004), 다른 회로를 제어하는 제어회로(9005), 인터페이스 회로(9006), 메모리(9007), 데이터 버스(9008), 안테나(안테나 코일)(9009)를 가진다(도 38a).

[0432] 전원회로(9002)는 안테나(9009)로부터 입력된 교류 신호를 기초로 반도체 장치내에 있는 각각의 회로에 공급되는 각종 전원을 생성하는 회로이다. 클록 발생 회로(9003)는 안테나(9009)로부터 입력된 교류 신호를 기초로 반도체장치 내의 각각의 회로에 공급되는 각종 클록 신호를 생성하는 회로이다. 클록 발생 회로(9004)는 리더/라이터(9010)와 송수신하는 데이터를 복조/변조하는 기능을 가진다. 제어회로(9005)는 메모리(9007)를 제어하는 기능을 가진다. 안테나(9009)는 전파의 송수신을 행하는 기능을 가진다. 리더/라이터(9010)는 반도체 장치와의 송수신, 제어 및 송수신이나 제어한 데이터에 관한 처리를 제어한다. 또한, 무선 IC 태그는 상기의 구성에 제약되지 않는다. 예를 들면, 무선 IC 태그는 전원전압의 리미터 회로 또는 암호처리 전용 하드웨어와 같은 다른 요소를 추가적으로 가질 수 있다.

[0433] 무선 IC 태그(9001)에 있어서, 전원전압은 하기의 방법중 어느 하나에 의해 각 회로에 공급될 수 있다: 전원(배터리)을 탑재하지 않고, 안테나에서 전파를 수신함으로써 전원전압을 공급하는 방법, 안테나 대신에 전원(배터리)을 탑재하여 전원전압을 공급하는 방법, 전파와 전원에 의해 전원전압을 공급하는 방법.

[0434] 본 발명의 반도체 장치를 무선 IC 태그 등에 이용했을 경우, 비접촉으로 통신을 행하는 점, 다중 판독이 가능한 점, 데이터의 기록이 가능한 점, 여러가지 형상으로 가공이 가능한 점, 선택되는 주파수에 따라서 지향성이 넓어지고, 인식 범위가 넓은 점 등의 이점을 가진다. 무선 IC 태그는 비접촉에 의한 무선통신으로 사람이나 물건의 개개의 정보를 식별가능한 태그, 라벨 가공을 실행하여 물건에 붙일 수 있는 라벨, 이벤트 또는 오락을 위한 손목 밴드 등에 적용될 수 있다. 또한 무선 IC 태그는 수지재료를 사용하여 가공될 수 있다. 더욱이, 무선 IC 태그는 입퇴실 관리, 정산, 재고 관리 등의 시스템의 운용에 활용될 수 있다.

[0435] 본 발명을 사용하여 제조된 반도체 장치를 무선 IC 태그로서 실제로 사용할 때의 하나의 예에 관하여 설명한다. 표시부(9020)를 가지는 휴대 단말(9021)의 측면에는 리더/라이터(9022)가 제공되고, 물품(9024)의 측면에는 무선 IC 태그(9026)가 제공된다(도 38b). 리더/라이터(9022)가 물품(9024)에 제공된 무선 IC 태그(9026)에 유지되면, 물품(9024)의 원재료나 원산지, 각 생산 공정에서의 검사 결과, 유통 과정의 이력 등, 물품(9024)의 설명 등의 상품에 관한 정보가 표시부(9020)에 표시된다.

[0436] 부가적으로, 물품(9030)이 컨베이어 벨트에 의해 반송될 때 리더/라이터(9032)와 물품(9030)에 제공된 무선 IC 태그(9034)를 사용하여 물품(9030)이 검사될 있다(도 38c). 이런 방식으로, 시스템에 무선 IC 태그를 활용함으

로써, 정보의 취득이 간단히 행해질 수 있고, 고기능화와 고부가가치화가 실현된다. 더욱이, 재고관리 또는 출시 시스템과 연동시킴으로써 잉여재고의 감소 또는 재고조사의 간략화와 같은 장점도 있다.

- [0437] 또한, 본 실시예는 실시형태 및 다른 실시예와 자유롭게 조합될 수 있다.
- [0438] 실시예 15
- [0439] 본 실시예는 액정표시장치의 구성에 대하여 도면을 참조하여 설명한다.
- [0440] 도 16에서, 기판(610) 상에 베이스 절연막(611)이 형성된다. 광투과성을 가지는 유리 기판 또는 석영 기판이 기판(610)으로서 사용될 수 있다. 대안적으로, 처리 온도를 견디어낼 수 있는 내열성을 가지는 광 투과성의 플라스틱 기판이 사용될 수 있다. 반사형의 액정표시장치의 경우에, 전술의 기판의 이외에 실리콘 기판, 금속 기판 또는 스테인레스 기판의 표면에 절연막을 형성한 것이 사용될 수 있다. 여기에서, 유리 기판이 기판(610)으로서 사용된다.
- [0441] 베이스 절연막(611)로서, 산화 실리콘 막, 질화 실리콘 막 또는 산화 질화 실리콘 막 등의 절연막이 형성된다. 여기에서, 베이스 절연막(611)이 단층인 예가 개시되지만, 베이스 절연막(611)은 2층 이상의 절연막을 적층한 구조가 될 수 있다. 또한, 기판의 요철 또는 기판으로부터의 불순물확산이 문제가 안된다면, 특별히 베이스 절연막(611)이 형성되지 않아도 좋다.
- [0442] 유리 기판의 표면은 마이크로파에서 여기되는, 전자온도가 2eV이하, 이온 에너지가 5eV이하, 전자밀도가 10^{11} 내지 $10^{13}/\text{cm}^3$ 정도인 고밀도 플라즈마에 의해 직접 처리될 수 있다. 플라즈마는 라디컬 슬롯 안테나를 사용한 마이크로파 여기의 플라즈마 처리장치를 사용하여 생성될 수 있다. 이때, 질소(N_2), 또는 암모니아(NH_3), 아산화질소(N_2O) 등의 질화물 가스를 도입하면, 유리 기판의 표면을 질화시킬 수 있다. 이 유리 기판의 표면에 형성된 질화물층은 질화실리콘을 주성분으로 하므로, 유리 기판측으로부터 확산되는 불순물의 차단층으로서 이용될 수 있다. 이 질화물층 위에 산화 실리콘막 또는 산질화실리콘막이 플라즈마 CVD법에 의해 형성되어 베이스 절연막(611)으로 기능한다.
- [0443] 이어서, 반도체층이 베이스 절연막(611) 상에 형성된다. 반도체층은 비정질구조를 가지는 반도체막을 스퍼터링법, LPCVD법, 또는 플라즈마 CVD법 등에 의해 형성된다. 또한, 플라즈마 CVD법을 사용하면, 베이스 절연막 및 비정질 구조를 가지는 반도체막이 대기에 접촉하지 않고 연속적으로 적층될 수 있다. 이 반도체막은 25nm이상 80nm이하(바람직하게, 30 내지 70nm)의 두께로 형성된다. 비정질 반도체막의 재료에 한정은 없지만, 바람직하게는 실리콘 또는 실리콘 게르마늄(SiGe) 합금 등으로 형성하면 좋다.
- [0444] 다음에, 캡막으로서 산화 실리콘막 또는 질소를 포함하는 산화 실리콘막이 형성된다. 캡막은 200nm이상 500nm이하의 두께로 형성된다. 부가적으로, 이 캡막은 단단하고 치밀한 것이 바람직하다. 이러한 막은 예를 들면 증착율을 낮게 함으로써 형성될 수 있다.
- [0445] 그 후에, 캡막을 통하여 반도체막에 레이저빔을 조사함으로써 반도체막에서 준단결정이 얻어지고, 준단결정 반도체막이 얻어진다. 예를 들면, 캡막으로서 500nm의 산화 실리콘막이 형성될 경우에, 17W의 에너지를 갖는 레이저빔이 35cm/sec로 주사될 수 있다. 레이저빔은 CW 레이저 또는 10MHz 이상의 반복율을 가지는 펄스 레이저가 사용될 수 있다.
- [0446] 레이저 조사처리 후에, 캡막이 에칭법에 의해 제거된다. 다음에, 준단결정의 반도체막이 반도체막(613)을 형성하기 위하여 포토리소그래피 기술을 사용하여 원하는 형상으로 형성된다.
- [0447] 필요하다면, 미량의 불순물 원소(붕소 또는 인)가 TFT의 임계치 전압을 제어하기 위하여 반도체막(613)에 도핑된다. 예를 들면, 디보란(B_2H_6)이 질량분리되지 않고 플라즈마 여기되는 이온 도핑법이 사용될 수 있다.
- [0448] 이어서, 반도체막(613) 표면상의 산화막이 반도체막(613)의 표면을 세정하는 동시에 불산을 포함하는 에천트로 제거된다. 그리고, 절연막(615)이 반도체막(613)을 커버하도록 형성된다. 절연막(615)은 플라즈마 CVD법 또는 스퍼터링법에 의해 1nm이상 200nm이하의 두께로 형성된다. 절연막(615)은 바람직하게 10nm 내지 50nm와 같이 박막으로 실리콘을 포함하는 절연막의 단층 또는 적층 구조로 형성한 후, 마이크로파에 의한 플라즈마를 사용한 표면 질화처리가 행해진다. 이 경우에, 절연막(615)의 표면은 상기와 같이 마이크로파에 의해 여기되어, 전자온

도가 2eV이하, 이온 에너지가 5eV이하, 전자밀도가 10^{11} 내지 $10^{13}/\text{cm}^3$ 정도인 고밀도 플라즈마 처리에 의해 산화 또는 질화처리하여 치밀화될 수 있다. 이 처리는 절연막(615)의 성막에 앞서 행해질 수 있다. 즉, 반도체막(613)의 표면에 대하여 플라즈마 처리가 행해진다. 이때, 300 내지 450℃의 기판 온도로 산화 분위기(O_2 , N_2O 등) 또는 질화 분위기(N_2 , NH_3 등)에서 플라즈마 처리를 행함으로써, 반도체막(613) 상에 증착되는 절연막(615)으로 양호한 계면이 형성될 수 있다. 절연막(615)은 이후에 형성되는 TFT의 게이트 절연막으로서 기능한다.

[0449] 이어서, 20 내지 100nm 두께의 제1 도전막과 100 내지 400nm 두께의 제2 도전막이 절연막(615) 상에 형성된다. 본 실시예에서, 절연막(615) 상에 50nm 두께의 질화 탄탈 막, 370nm 두께의 텅스텐 막이 순차적으로 적층되고, 게이트 전극(617)이 형성된다. 본 실시예에서, 게이트 전극(617)은 포토마스크 또는 레티클을 사용하여 형성된다.

[0450] 또한, 본 실시예에서는 게이트 전극(617)이 질화 탄탈(TaN)막과 텅스텐(W)막의 적층이라고 했지만, 특별하게 한정되지 않고, Ta, W, Ti, Mo, Al, Cu로부터 선택된 원소, 또는 상기 원소를 주성분으로 하는 합금재료 또는 화합물 재료의 적층으로 형성될 수 있다. 부가적으로, 인 등의 불순물 원소로 도핑된 다결정 실리콘 막으로 대표되는 반도체막이 사용될 수 있다. 또한, 2층 구조에 한정되지 않고, 예를 들면 50nm 두께의 텅스텐 막, 500nm 두께의 알루미늄과 실리콘의 합금(Al-Si)막, 30nm 두께의 질화 티타늄 막이 순차 적층되는 3층 구조가 사용될 수 있다.

[0451] 제1 도전막 및 제2 도전막의 에칭(제1 에칭 처리 및 제2 에칭 처리)에는 ICP(유도 결합형 플라즈마) 에칭법을 사용하는 것이 바람직하다. 에칭 조건(코일형의 전극에 인가되는 전력량, 기판측의 전극에 인가되는 전력량, 기판측의 전극 온도 등)을 적당하게 조절함으로써 원하는 테이퍼 형상으로 막을 에칭할 수 있다.

[0452] 다음에, n 형을 부여하는 불순물 원소를 반도체막(613)에 첨가하기 위하여, 게이트 전극(617)을 마스크로서 전체면에 도핑이 행해지는 제1 도핑 처리가 행해진다. 제1 도핑 처리는 이온 도핑법 또는 이온주입법에 의해 행해질 수 있다. 이온 도핑법은 도즈량이 1.5×10^{13} 원자/ cm^2 이고 가속 전압이 50 내지 100kV인 조건하에서 행해진다. n 형을 부여하는 불순물 원소로서, 전형적으로는 인(P) 또는 비소(As)가 사용된다.

[0453] 다음에, 레지스트 마스크를 형성한 후, 반도체막(613)에 n 형을 부여하는 불순물 원소를 고농도로 첨가하기 위한 제2 도핑 공정이 행해진다. 마스크는 화소부(656)의 p 채널 TFT를 형성하는 반도체층의 채널 형성 영역 및 그 주변의 영역과, 화소부(656)의 n 채널 TFT의 일부와, 구동회로부(657)의 p 채널 TFT를 형성하는 반도체층의 채널 형성 영역 및 그 주변의 영역을 보호하기 위하여 제공된다. 제2 도핑 공정은 도즈량이 1×10^{13} 내지 5×10^{15} 원자/ cm^2 이 rh 가속 전압이 60 내지 100 keV인 조건하에서 행해진다.

[0454] 이어서, 반도체막(613)에 p 형을 부여하는 불순물 원소(대표적으로는 붕소)를 고농도로 첨가하기 위한 제3 도핑 공정이 행해진다. 마스크는 화소부(656)의 n 채널 TFT를 형성하는 반도체층의 채널 형성 영역 및 그 주변의 영역과, 구동회로부(657)의 n 채널 TFT를 형성하는 반도체층의 채널 형성 영역 및 그 주변의 영역을 보호하기 위하여 제공된다.

[0455] 이상까지의 공정으로, 각각의 반도체막(613)에 n 형 또는 p 형의 도전형을 가지는 불순물영역이 형성된다.

[0456] 이어서, 스퍼터링법, LPCVD법, 또는 플라즈마 CVD법 등에 의해 수소를 포함하는 절연막(619)이 형성된다. 절연막(619)은 질화 실리콘 또는 산질화 실리콘으로 형성된다. 절연막(619)은 반도체층의 오염을 막는 보호막으로서의 기능을 포함하고 있다. 절연막(619)을 적층한 후에, 절연막(619)은 수소 가스를 도입하여 상기한 바와 같이 마이크로파에 의해 여기된 고밀도 플라즈마 처리를 행함으로써 수소화될 수 있다. 절연막(619)은 암모니아 가스를 도입하여 질화 및 수소화될 수 있다. 부가적으로, 산소, NO_2 가스 등과 수소 가스를 도입하여 절연막(619)에 산화 처리 또는 질화 처리가 행해질 수 있다. 이 방법에 의해, 질화 처리, 산화 처리 또는 산화 질화처리를 함으로써 절연막(619)의 표면이 치밀화될 수 있다. 따라서, 보호막으로서의 기능이 강화될 수 있다. 이 절연막(619)에 도입된 수소는 그 후 400 내지 450℃의 열처리를 행함으로써 절연막(619)이 형성되는 질화 실리콘으로부터 방출될 수 있으므로, 반도체막(613)이 수소화될 수 있다.

[0457] 이어서, 스퍼터링법, LPCVD법, 플라즈마 CVD법 등에 의해 제1 층간 절연막(621)이 형성된다. 제1 층간 절연막(621)로서, 산화 실리콘 막, 질화 실리콘 막 또는 산화 질화 실리콘 막등의 절연막의 단층 또는 적층이 사용될 수 있다. 제1 층간 절연막(621)은 600nm이상 800nm이하의 두께로 형성된다. 이어서, 포토마스크를 사용하여 레지스트 마스크가 형성되고, 제1 층간 절연막(621)이 선택적으로 에칭되어 콘택 홀이 형성된다. 그리고, 레지스트

트 마스크가 제거된다.

- [0458] 스퍼터링법에 의해 금속막을 적층한 후, 포토마스크를 사용하여 레지스트 마스크가 형성되고, 선택적으로 금속 적층막이 에칭되고, TFT의 소스 전극 또는 드레인 전극으로서 기능하는 전극(623)이 형성된다. 또한, 금속 적층막은 같은 금속 스퍼터 장치내에서 연속하여 형성된다. 그리고, 레지스트 마스크가 제거된다.
- [0459] 이상의 공정으로, 동일 기판 상에 폴리실리콘 막을 활성층으로 하는 상부 게이트형 TFT(625, 627, 629)가 제조될 수 있다.
- [0460] 또한, 화소부(656)에 배치되는 TFT(629)는 하나의 TFT에 복수의 채널 형성 영역을 가지는 n 채널 TFT이다. TFT(629)는 멀티 게이트형의 TFT이다.
- [0461] 또한, 구동회로부(657)에 배치되는 TFT(627)는 게이트 전극과 겹치는 저농도불순물 영역(LDD 영역이라고도 부른다)을 구비한 n 채널 TFT이며, TFT(625)는 p 채널 TFT이다. TFT(627)와 TFT(625)는 모두 단일 게이트 구조의 TFT이다. 구동회로부(657)에 있어서, TFT(627)과 TFT(625)를 상보적으로 접속시킴으로써 CMOS회로가 구성되고, 여러가지 종류의 회로가 실현될 수 있다. 또한, 필요하면, TFT(627, 625)는 멀티 게이트 구조의 TFT가 될 수 있다.
- [0462] 제2 층간 절연막(631)이 폴리이미드, 아크릴 수지 등의 유기수지 절연재료를 사용하여 스핀 코팅법에 의해 형성된다. 이 제2 층간 절연막(631)은 바탕 절연막(611) 표면의 요철의 영향을 표면에 반영시키지 않도록 하는 평탄화 막으로서 기능한다.
- [0463] 하층에 위치하는 n 채널 TF(T629)에 접속하는 배선(633)을 노출시키는 컨택 홀이 제2 층간 절연막(631)에 형성되고, 화소전극(635)이 형성된다. 화소전극(635)으로서, 투광성을 가지는 도전성 재료로 이루어지는 투명도전막이 사용될 수 있고, 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐 아연산화물, 산화티탄을 포함하는 인듐 산화물, 산화티탄을 포함하는 인듐 주석 산화물 등이 사용될 수 있다. 물론, 인듐 주석 산화물(ITO), 인듐 아연산화물(IZO), 산화 실리콘을 포함하는 인듐 주석 산화물(ITSO) 등도 사용될 수 있다.
- [0464] 투광성을 가지는 도전성 재료의, 조성비의 예가 설명될 것이다. 산화텅스텐을 포함하는 인듐 산화물의 조성비는 산화텅스텐 1.0wt%, 인듐 산화물 99.0wt%가 될 수 있다. 산화텅스텐을 포함하는 인듐 아연산화물의 조성비는 산화텅스텐 1.0wt%, 산화아연 0.5wt%, 인듐 산화물 98.5wt%가 될 수 있다. 산화티탄을 포함하는 인듐 산화물은 산화티탄 1.0wt% 내지 5.0wt%, 인듐 산화물 99.0wt% 내지 95.0wt%가 될 수 있다. 인듐 주석 산화물(ITO)의 조성비는 산화 주석 10.0wt%, 인듐 산화물 90.0wt%가 될 수 있다. 인듐 아연산화물(IZO)의 조성비는 산화아연 10.7wt%, 인듐 산화물 89.3wt%이 될 수 있다. 산화티탄을 포함하는 인듐 주석 산화물의 조성비는 산화티탄 5.0wt%, 산화 주석 10.0wt%, 인듐 산화물 85.0wt%이 될 수 있다. 상기 조성비는 예이며, 적당하게 그 조성비의 비율이 설정될 수 있다.
- [0465] 배향막(637)이 화소전극(635) 상에 형성된다. 동일한 방식으로, 투광성을 가지는 도전성 재료로 이루어지는 투명도전막을 사용하여 형성되는 대향 전극(641)과 배향막(643)이 대향 기판(639) 상에 형성된다.
- [0466] 이어서, 기판(610)과 대향 기판(639)이 절재(645)에 의해 그 사이에 공간을 가지고 서로 고정된다. 기판 사이의 간격은 스페이서(647)에 의해 유지된다. 기판(610)과 대향 기판(639) 사이에는 액정층(649)이 형성된다. 액정층(649)은 적하 방식에 의해 대향 기판(639)을 고정하기 전에 형성될 수 있다.
- [0467] 최종적으로, FPC(651)가 이방성 도전막(653)으로 공지의 방법으로 단자 전극(655)에 접촉된다(도 16). 또한, 단자 전극(655)은 게이트 전극(617)과 같은 공정으로 수득될 수 있다.
- [0468] 이상의 공정에 의해, 화소부(656), 구동회로부(657), 단자부(658)가 동일 기판 상에 형성될 수 있다. 본 실시예는 실시형태 및 다른 실시예와 자유롭게 조합될 수 있다.
- [0469] 실시예 16
- [0470] 본 발명의 반도체막을 사용하여 TFT 등의 반도체 장치가 제조되고, 이렇게 제조된 반도체 장치를 사용하여 여러가지의 전자장치가 완성될 수 있다. 본 발명의 준단결정 반도체막에서의 결정립의 면방위는 일방향에 정렬되어 있으므로, 고속동작이 가능하여 전류 구동능력이 높고, 소자간에 있어서 특성의 편차가 작은 반도체 소자를 높은 수율로 제조하는 것이 가능하게 된다. 더욱이, 이 반도체 소자를 사용하여 여러가지의 반도체 장치가 제조될 수 있다. 본 실시예에서는 도면을 참조하여 구체적인 예를 설명할 것이다.

- [0471] 도 39a는 표시장치를 나타내며, 하우징(10001), 지지대(10002), 표시부(10003), 스피커부(10004), 비디오 입력 단자(10005) 등을 포함한다. 이 표시장치는 다른 실시 예로 나타낸 제조 방법에 의해 형성된 TFT를 구동 IC 또는 표시부(10003) 등에 사용함으로써 제조된다. 또한, 표시장치에는 액정표시장치, 발광 표시장치 등이 있고 용도별로는 컴퓨터용, 텔레비전 수신용, 광고 표시용등의 모든 정보표시용 표시장치가 포함된다. 구체적으로, 디스플레이, 헤드 장착형 디스플레이, 반사형 프로젝터 등을 들 수 있다.
- [0472] 도 39b는 컴퓨터를 나타내며, 하우징(10011), 표시부(10012), 키보드(10013), 외부접속 포트(10014), 포인팅 마우스(10015) 등을 포함한다. 본 발명을 사용하여 형성된 TFT는 표시부(10012)의 화소부 뿐만 아니라 표시용의 구동 IC, 본체 내부의 CPU, 메모리 등의 반도체 장치에도 적용이 가능하다.
- [0473] 도 39c는 휴대전화를 나타내며, 휴대용의 정보 처리 단말의 대표적인 예이다. 이 휴대전화는 하우징(10021), 표시부(10022), 조작 키(10023) 등을 포함한다. 본 발명을 사용하여 형성된 TFT는 표시부(10022)의 화소부 또는 센서부(10024) 뿐만 아니라 표시용의 구동 IC, 메모리, 음성처리회로 등에 사용될 수 있다. 센서부(10024)는 광 센서 소자를 가지고 있어, 센서부(10024)로 수득될 수 있는 조도에 맞춰서 표시부(10022)의 휘도 제어를 행하는 것이나, 센서부(10024)로 수득될 수 있는 조도에 맞춰서 조작 키(10023)의 조명을 억제되므로, 휴대전화의 소비 전력이 감소될 수 있다.
- [0474] 상기의 휴대전화에 부가적으로, PDA(정보 휴대 단말), 디지털 카메라, 소형 게임기, 휴대형 음향 재생장치 등의 전자기기에, 본 발명을 사용하여 형성된 반도체 재료가 사용될 수도 있다. 예를 들면, CPU, 메모리, 센서 등의 기능 회로를 형성하는 것이나, 이것들의 전자기기의 화소부 또는 표시용의 구동 IC에도 적용하는 것이 가능하다.
- [0475] 도 39d와 도 39e는 디지털 카메라이다. 또한, 도 39e는 도 39d 후면을 도시한 도면이다. 이 디지털 카메라는 하우징(10031), 표시부(10032), 렌즈(10033), 조작 키(10034), 셔터(10035) 등을 가진다. 본 발명을 사용하여 형성된 TFT는 표시부(10032)의 화소부, 표시부(10032)를 구동하는 구동 IC, 메모리 등에 사용될 수 있다.
- [0476] 도 39f는 디지털 비디오 카메라이다. 이 디지털 비디오 카메라는 본체(10041), 표시부(10042), 하우징(10043), 외부접속 포트(10044), 리모트 컨트롤 수신부(10045), 이미지 수신부(10046), 배터리(10047), 음성 입력부(10048), 조작 키(10049), 접안부(10050) 등을 가진다. 본 발명을 사용하여 형성된 TFT는 표시부(10042)의 화소부, 표시부(10042)를 제어하는 구동 IC, 메모리, 디지털 입력 처리장치 등에 사용될 수 있다.
- [0477] 그 밖에도, 본 발명을 사용하여 제조된 TFT는 네비게이션 시스템, 음향재생장치, 기록 매체를 구비한 화상 재생 장치 등에 사용되는 것이 가능하다. 이것들의 표시부의 화소부, 표시부를 제어하는 구동 IC, 메모리, 디지털 입력 처리장치, 센서부 등의 용도에, 본 발명을 사용하여 형성된 TFT가 사용될 수 있다.
- [0478] 이상과 같이, 본 발명에 의해 제조된 반도체 장치의 적용 범위는 방대하고, 본 발명의 반도체막은 재료로서 모든 분야의 전자기기에 사용될 수 있다. 또한, 이것들의 전자기기에 사용되는 표시장치는 크기, 강도, 또는 사용 목적에 따라서 유리 기판 뿐만 아니라 내열성의 합성 수지 기판이 사용될 수 있다. 그것에 의하여, 추가로 경량화를 꾀할 수 있다.
- [0479] 실시예 17
- [0480] 본 실시예에서는 본 발명의 중단결정 반도체막을 재료로서 제조된 TFT의 특성에 대하여 TEG(Test Element Group)를 사용하여 측정된 결과를 나타낸다.
- [0481] TEG는 TFT 기판 상에 제공된 테스트 패턴이다. 본 실시예에서, 레이저 주사 방향으로 인접하게 배치되는(세로로 인접하게 배치되는) 2개의 TFT의 임계치 전압이 측정되었다. 다음에, 2개의 값 사이의 차이가 얻어졌다. 또한, 각각의 TFT는 레이저 주사 방향과 소스 및 드레인을 연결하는 방향이 평행하게 되도록 배치했다.
- [0482] 도 47a는 n 채널 TFT에 있어서의 임계치 전압의 차이의 면내분포를 나타내고, 도 47b는 p채널 TFT에 있어서의 임계치 전압의 차이의 면내분포를 나타내는데, 비정질 반도체막으로서 비정질 실리콘막이 66nm의 두께로 형성되고, 캡막이 500nm의 두께로 형성되고, 7.2W의 에너지를 갖는 CW 레이저빔이 35cm/sec의 주사 속도, 500 μ m의 조사 폭으로 조사된다. 또한, 본 실시예의 n 채널 TFT 또는 p채널 TFT의 채널길이(L)와 채널 폭(W)의 비는 L/W=4/40이다. 본 실시예에서, CW 레이저로서 YVO₄ 레이저(파장 532nm)가 사용되었다.
- [0483] 도 47c는 n 채널 TFT에 있어서의 임계치 전압의 차이의 면내분포를 나타내고, 도 47d는 p채널 TFT에 있어서의

임계치 전압의 차이의 면내분포를 나타내는데, 비정질 반도체막으로서 비정질 실리콘막이 66nm의 두께로 형성되고, 비교로서 캡막이 형성되지 않고, 8.3W의 에너지를 갖는 CW 레이저빔이 35cm/sec의 주사 속도, 500 μ m의 조사 폭으로 조사된다.

[0484] 5인치의 TFT 기판에 있어서, 10 $\times$ 8(세로 $\times$ 횡)의 80군데의 격자점에서 2개의 TFT의 임계치 전압의 차이가 얻어졌다. 또한, 측정의 격자 피치의 크기는 10.5mm $\times$ 10mm(세로 $\times$ 횡)이었다.

[0485] n채널 TFT에 있어서의 임계치 전압의 차이의 면내분포를 비교하면, 캡막 있음의 경우(도 47a)는 캡막 없음의 경우(도 47c)와 비교하여 임계치 전압의 차이의 편차가 작았다. 또한, p채널 TFT에 있어서의 임계치 전압의 차이의 면내분포를 비교하면, n채널 TFT에 있어서의 경우와 같이, 캡막 있음의 경우(도 47b)는 캡막 없음의 경우(도 47d)와 비교하여 임계치 전압의 차이의 편차가 작았다.

[0486] 더욱이, 도 47a 내지 도 47d의 측정결과는 정규확률분포도로 도시된다(도 48, 도 49). 정규확률분포도의 가로축은 임계치 전압의 차이, 세로축은 누적 회수를 나타낸다. 부가적으로, 정규확률분포도에서, 임계치 전압의 차이의 편차가 작은 만큼 그래프의 기울기가 커진다.

[0487] 도 48은 n채널 TFT에 있어서의 측정 결과의 정규확률분포도이다. 검은 색의 원은 캡막 있음의 경우에 대한 측정 결과, X표시는 캡막 없음의 경우에 대한 측정 결과를 각각 나타낸다. 2개의 그래프를 비교하면, 캡막 있음의 경우가 캡막 없음의 경우보다도 그래프 기울기가 크다. 따라서, 캡막 있음의 경우에서 임계치 전압의 차이의 편차가 작은 것을 알 수 있다. 부가적으로, 도 49는 p채널 TFT에 있어서의 측정 결과의 정규확률분포도이다. 검은 색의 원은 캡막 있음의 경우에 대한 측정 결과, X표시는 캡막 없음의 경우에 대한 측정 결과를 각각 나타낸다. 2개의 그래프를 비교하면, n채널 TFT에 있어서의 경우와 같이, 캡막 있음의 경우가 캡막 없음의 경우보다도 그래프 기울기가 크다. 이것으로부터, 캡막 있음의 경우가 임계치 전압의 차이의 편차가 작은 것을 알 수 있다.

[0488] 이상의 결과에 따르면, 비정질 반도체막의 상태로 캡막을 형성하고 레이저빔을 조사함으로써, 특성 편차가 작은 TFT가 제조될 수 있다.

[0489] 본 발명은 일본 특허청에 2005년 10월 8일자 및 2006년 3월 20일자에 제출된 일본 특허출원 제2005-303761호 및 제2006-076454호에 기초하고 있으며, 그 전체 내용은 참조에 의해 여기에 편입된다.

도면의 간단한 설명

[0046] 도 1a 및 도 1b는 반도체막 상에 캡막을 형성한 경우에, 레이저빔 강도와 레이저빔으로 조사된 반도체막의 상태 사이의 관계를 도시한 도면이다.

[0047] 도 2a 및 도 2b는 반도체막 상에 캡막을 형성하지 않을 경우에, 레이저빔 강도와 레이저빔으로 조사된 반도체막의 상태 사이의 관계를 도시한 도면이다.

[0048] 도 3a 내지 도 3h는 대입경 결정의 EBSP 측정 결과를 도시한 도면이다.

[0049] 도 4는 도 3a 내지 도 3h의 측정 방향을 설명하는 도면이다.

[0050] 도 5a 내지 도 5d는 본 발명의 실시예를 설명하는 도면이다.

[0051] 도 6은 본 발명의 결정성 반도체막의 제조에 사용되는 레이저 조사장치의 일례를 도시한 도면이다.

[0052] 도 7a 및 도 7b는 본 발명의 결정성 반도체막의 현미경 사진이다.

[0053] 도 8a 내지 도 8d는 본 발명의 결정성 반도체막의 EBSP 측정 결과를 도시한 도면이다.

[0054] 도 9a 내지 도 9f는 본 발명의 결정성 반도체막의 EBSP 측정 결과를 도시한 도면이다.

[0055] 도 10은 도 8a 내지 도 8d, 및 도 9a 내지 도 9f의 측정 방향을 설명하는 도면이다.

[0056] 도 11a 및 도 11b는 본 발명의 결정성 반도체막의 라만 분광법의 측정 방법을 설명하는 도면이다.

[0057] 도 12a 내지 도 12c는 본 발명의 결정성 반도체막의 라만 분광법에 의한 측정 결과를 도시한 도면이다.

[0058] 도 13a 내지 도 13e는 본 발명의 결정성 반도체막의 라만 분광법에 의한 측정 결과를 도시한 도면이다.

[0059] 도 14a 내지 도 14d는 본 발명의 결정성 반도체막의 라만 분광법에 의한 측정 결과를 도시한 도면이다.

[0060] 도 15a 내지 도 15d는 본 발명의 결정성 반도체막의 라만 분광법에 의한 측정 결과를 도시한 도면이다.

- [0061] 도 16은 본 발명을 사용한 액정표시장치의 예를 설명하는 도면이다.
- [0062] 도 17은 본 발명의 결정성 반도체막의 원자력 현미경에 의한 분석 결과를 도시한 도면이다.
- [0063] 도 18은 본 발명의 결정성 반도체막의 원자력 현미경에 의한 분석 결과를 도시한 도면이다.
- [0064] 도 19a 내지 도 19e는 본 발명을 사용한 반도체 장치의 제조 방법의 일례를 설명하는 도면이다.
- [0065] 도 20은 본 발명을 사용한 반도체 장치의 제조 방법의 일례를 설명하는 도면이다.
- [0066] 도 21a 내지 도 21c는 본 발명을 사용한 반도체 장치의 제조 방법의 일례를 설명하는 도면이다.
- [0067] 도 22a 내지 도 22d는 본 발명을 사용한 반도체 장치의 제조 방법의 일례를 설명하는 도면이다.
- [0068] 도 23a 내지 도 23e는 본 발명을 사용한 반도체 장치의 제조 방법의 일례를 설명하는 도면이다.
- [0069] 도 24a 내지 도 24c는 본 발명을 사용한 반도체 장치의 제조 방법의 일례를 설명하는 도면이다.
- [0070] 도 25a 내지 도 25c는 본 발명을 사용한 반도체 장치의 제조 방법의 일례를 설명하는 도면이다.
- [0071] 도 26은 본 발명을 사용한 반도체 장치의 제조 방법의 일례를 설명하는 도면이다.
- [0072] 도 27a 내지 도 27c는 본 발명을 사용한 반도체 장치의 제조 방법의 일례를 설명하는 도면이다.
- [0073] 도 28a 및 도 28b는 본 발명을 사용한 반도체 장치의 제조 방법의 일례를 설명하는 도면이다.
- [0074] 도 29a 및 도 29b는 본 발명을 사용한 반도체 장치의 제조 방법의 일례를 설명하는 도면이다.
- [0075] 도 30a 및 도 30b는 본 발명을 사용한 반도체 장치의 제조 방법의 일례를 설명하는 도면이다.
- [0076] 도 31은 본 발명을 사용한 반도체 장치의 제조 방법의 일례를 설명하는 도면이다.
- [0077] 도 32a 내지 도 32d는 본 발명을 사용한 반도체 장치의 제조 방법의 일례를 설명하는 도면이다.
- [0078] 도 33a 내지 도 33d는 본 발명을 사용한 반도체 장치의 제조 방법의 일례를 설명하는 도면이다.
- [0079] 도 34a 및 도 34b는 본 발명을 사용한 반도체 장치의 제조 방법의 일례를 설명하는 도면이다.
- [0080] 도 35a 및 도 35b는 본 발명을 사용한 반도체 장치의 제조 방법의 일례를 설명하는 도면이다.
- [0081] 도 36a 및 도 36b는 본 발명을 사용한 반도체 장치의 제조 방법의 일례를 설명하는 도면이다.
- [0082] 도 37a 및 도 37b는 본 발명을 사용한 반도체 장치의 제조 방법의 일례를 설명하는 도면이다.
- [0083] 도 38a 내지 도 38c는 본 발명을 사용하여 제조한 반도체 장치의 사용예를 설명하는 도면이다.
- [0084] 도 39a 내지 도 39f는 본 발명을 사용하여 제조한 반도체 장치의 예를 설명하는 도면이다.
- [0085] 도 40a 내지 도 40d는 단결정 실리콘막의 EBSP법에 의한 측정 결과를 도시한 도면이다.
- [0086] 도 41은 본 발명의 준단결정 실리콘막, 단결정 실리콘막, 및 대입경 결정이 형성된 실리콘막의 라만 분광법에 의한 결과를 도시한 도면이다.
- [0087] 도 42는 레이저빔의 주사 속도를 고정하고, 캡막의 막두께와 레이저의 에너지를 바꾸어서 결정화시킨 반도체막의 광학현미경에 의한 이미지이다.
- [0088] 도 43은 레이저빔의 주사 속도를 고정하고, 캡막의 막두께와 레이저의 에너지를 바꾸어서 결정화시킨 반도체막의 광학현미경에 의한 이미지이다.
- [0089] 도 44a 및 도 44b는 도 42 및 도 43을 함께 배치한 그래프이다.
- [0090] 도 45a 및 도 45b는 도 3a 내지 도 3h, 및 도 4에서의 EBSP법에 의한 결과를 도시한 도면이다.
- [0091] 도 46은 도 3a 내지 도 3h, 및 도 4에서의 EBSP법에 의한 결과를 도시한 도면이다.
- [0092] 도 47a 내지 도 47d는 수직으로 인접하는 TEG의 임계치 전압의 차이에 대한 면내분포(in-plane distribution)를 도시한 도면이다.
- [0093] 도 48은 도 47a 내지 도 47d의 n 채널 TFT에서의 측정 결과에 대한 정규확률분포도이다.

[0094] 도 49는 도 47a 내지 도 47d의 p채널 TFT에서의 측정 결과에 대한 정규확률분포도이다.

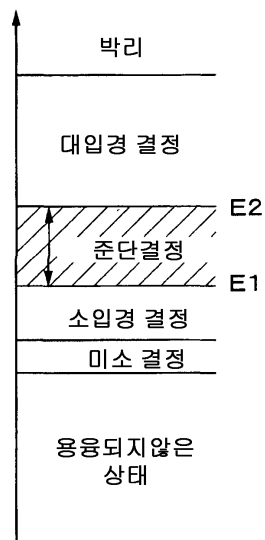
[0095] <부호의 설명>

[0096] 01. 기판, 02. 베이스 절연막, 03. 반도체막, 04. 캡막, 100. 기판, 101. 베이스 절연막, 102. 반도체막, 103. 캡막, 104. 준결정 반도체막, 105. 반도체막, 201a. 레이저 발진기, 201b. 레이저 발진기, 202. 합성된 레이저 빔, 202a. 레이저빔, 202b. 레이저빔, 203. 과장판, 204. 편광자, 205. 미러, 206. 실린더형 렌즈, 207. 실린더형 렌즈, 208. 피조사면, 209. 흡착 스테이지, 210. X축용 1축 로봇, 211. Y축용 1축 로봇, 212. 미러, 300. 기판, 301. 베이스 절연막, 302. 반도체막, 303. 절연막, 410. 기판, 411. 베이스 절연막, 412. 대입경 결정, 413. 관찰면A, 414. 관찰면B, 415. 관찰면C, 416. 레이저빔의 주사방향, 417. 비정질 반도체막, 510. 기판, 511. 베이스 절연막, 512. 준단결정 실리콘막, 513. 관찰면A, 514. 관찰면B, 515. 관찰면C, 516. 레이저빔의 주사방향, 517. 비정질 반도체막, 518. 캡막, 610. 기판, 611. 베이스 절연막, 613. 반도체막, 615. 절연막, 617. 게이트 전극, 619. 절연막, 621. 제1 층간 절연막, 623. 전극, 625. TFT, 627. TFT, 629. TFT, 631. 제2 층간 절연막, 633. 배선, 635. 화소 전극, 637. 배향막, 639. 대향 기판, 641. 대향 기판, 643. 배향막, 645. 쉘재, 647. 스페이서, 649. 액정층, 651. FPC, 653. 이방성 도전막, 655. 단자 전극, 656. 화소부, 657. 구동 회로부, 658. 단자부, 700. 배선a, 701. 배선b, 702. 배선c, 703. 컨택 홀, 2000. 기판, 2001. 베이스 절연막, 2002. 비정질 반도체막, 2003. 캡막, 2004. 준단결정 반도체막, 2005. 반도체막, 2006. 게이트 절연막, 2007. 게이트 전극, 2008. 소스 영역, 2009. 드레인 영역, 2010. LDD(저도핑 드레인) 영역, 2011. TFT, 2012. TFT, 2013. TFT, 2014. 제 절연막, 2015. 제2 절연막, 2016. 배선, 2017. 제3 절연막, 2101. 레이저 발진기, 2102. 과장판, 2103. 편광 빔 스플리터, 2104. 빔 호모지나이저, 2105. 슬릿, 2106. 집광렌즈, 2107. 미러, 2108. 피 조사면, 2109. 흡착 스테이지, 2110. X 스테이지, 2111. Y 스테이지, 2201. 소스 신호선, 2202. 게이트 신호선, 2203. 전류 공급선, 2204. 스위칭용 TFT, 2205. 구동용 TFT, 2206. 용량, 2207. 광방출소자, 3001. 기판, 3002. 베이스 절연막, 3003. 반도체막, 3004. 산화막, 3005. 레지스트 마스크, 3006. 반도체막, 3007. 게이트 절연막, 3008. 준단결정 반도체막, 4001. 기판, 4002. 베이스 절연막, 4003. 비정질 실리콘막, 4004. 비정질 실리콘막, 4005. 절연막, 4006. 광흡수층, 4007. 준단결정, 4008. 게이트 전극, 4009. 분사노즐, 4010. 도전막, 5001. 기판, 5002. 베이스 절연막, 5003. 비정질 실리콘막, 5004. 캡막, 5005. 준단결정, 5006. 게이트 절연막, 5007. 소스 영역, 5008. 드레인 영역, 5009. 배선, 5010. 게이트 전극, 6000. 기판, 6001. 베이스 절연막, 6002. 비정질 실리콘막, 6003. 캡막, 6004. 스테이지, 6005. 노즐, 6006. 가스 공급관, 6007. 가스 배기 수단, 7000. 기판, 7001a. 베이스 절연막, 7001b. 베이스 절연막, 7002. 준단결정화된 반도체막, 7003. 준단결정화된 반도체막, 7004. 준단결정화된 반도체막, 7005. 준단결정화된 반도체막, 7006. 게이트 절연막, 7007. 게이트 전극, 7008. 게이트 전극, 7009. 게이트 전극, 7010. 게이트 전극, 7011. 절연막(수소화막), 7012. 층간 절연막, 7013. 배선, 7014. 접속부, 7015. 절연막, 7016. 절연막, 7017. 제1 전극, 7018. 단자 전극, 7019. 발광층, 7020. 제2 전극, 7021. 대향 기판, 7022. 쉘재, 7023. 단자, 7024. 플렉시블 배선회로, 7025. 구동용 TFT, 7026. 스위칭용 TFT, 7028. 충전재, 7029. 제1 패시베이션 막, 7030. 절연막(7015)의 가장자리, 7031. 단자부, 7032. 구동회로부, 7033. 화소부, 8000. 제1 기판, 8002. 절연막, 8004. 박리층, 8006. 절연막, 8008. 반도체막, 8009. 캡막, 8010. 준단결정막, 8012. 제1 반도체막, 8014. 제2 반도체막, 8016. 레지스트 마스크, 8018. 제1 절연막, 8020. 제1 절연막, 8022. 제2 절연막, 8024. 제3 절연막, 8026. 도전막, 8026a. 제1 도전막, 8026b. 제2 도전막, 8028. 도전막, 8028a. 제1 도전막, 8028b. 제2 도전막, 8030. 절연막, 8032. 도전막, 8034. 박막트랜지스터, 8036. 박막트랜지스터, 8038. 절연막, 8040. 도전막, 8042. 절연막, 8044. 소자군, 8046. 개구부, 8048. 제1 시트재, 8050. 제2 시트재, 8052. 제3 시트재, 9001. 무선 IC 태그, 9002. 전원회로, 9003. 클록 발생 회로, 9004. 클록 발생 회로, 9005. 제어회로, 9006. 인터페이스 회로, 9007. 메모리, 9008. 데이터 버스, 9009. 안테나, 9010. 리더/라이터, 9020. 표시부, 9021. 휴대 단말, 9022. 리더/라이터, 9024. 물품, 9026. 무선 IC 태그, 9030. 물품, 9032. 리더/라이터, 9024. 물품, 9026. 무선 IC 태그, 9030. 물품, 9032. 리더/라이터, 10001. 하우징, 10002. 지지대, 10003. 표시부, 10004. 스피커부, 10005. 비디오 입력 단자, 10011. 하우징, 10012. 표시부, 10013. 키보드, 10014. 외부접속 포트, 10015. 포인팅 마우스, 10021. 하우징, 10022. 표시부, 10023. 조작 키, 10024. 센서부, 10031. 하우징, 10032. 표시부, 10033. 렌즈, 10034. 조작 키, 10035. 셔터, 10041. 본체, 10042. 표시부, 10043. 하우징, 10044. 외부접속 포트, 10045. 리모트 컨트롤 수신부, 10046. 이미지 수신부, 10047. 배터리, 10048. 음성 입력부, 10049. 조작 키, 10050. 접안부

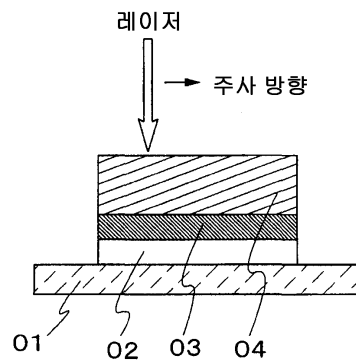
도면

도면1

(a)

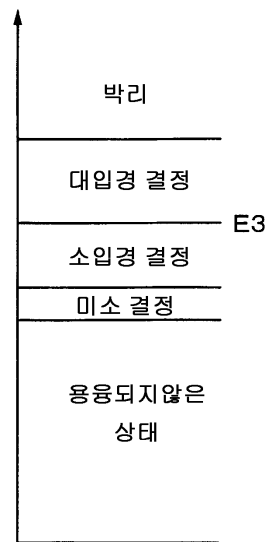


(b)

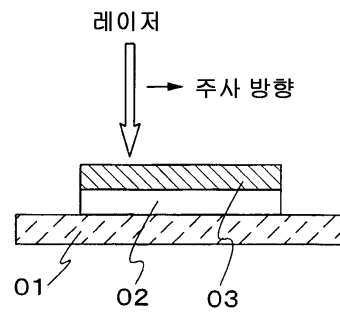


도면2

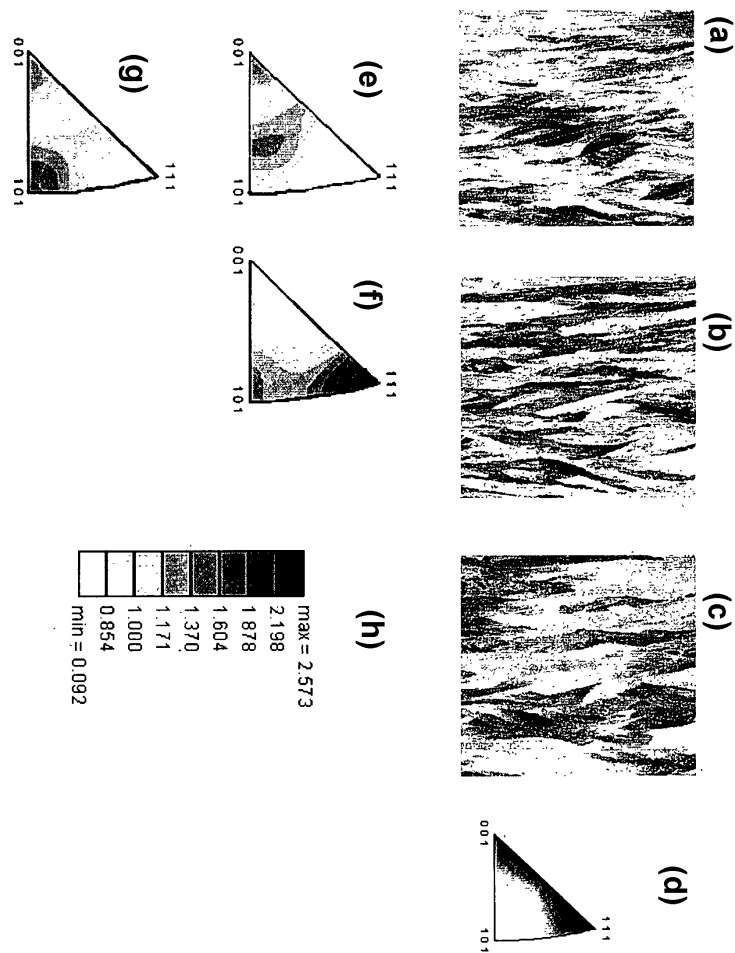
(a)



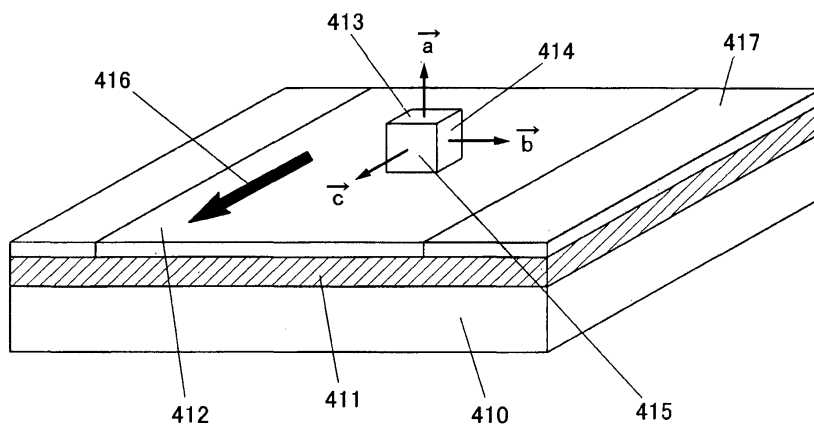
(b)



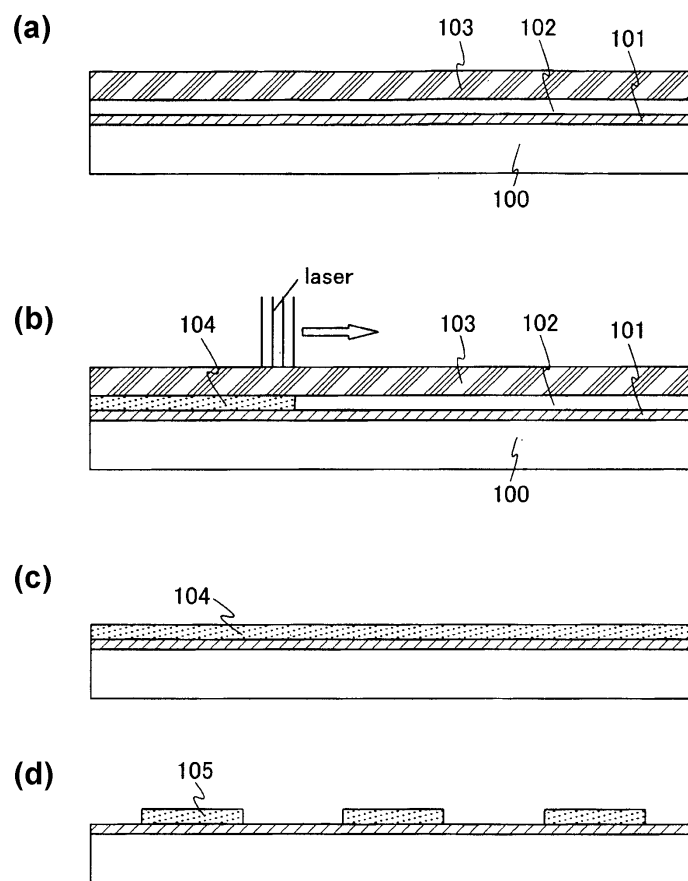
도면3



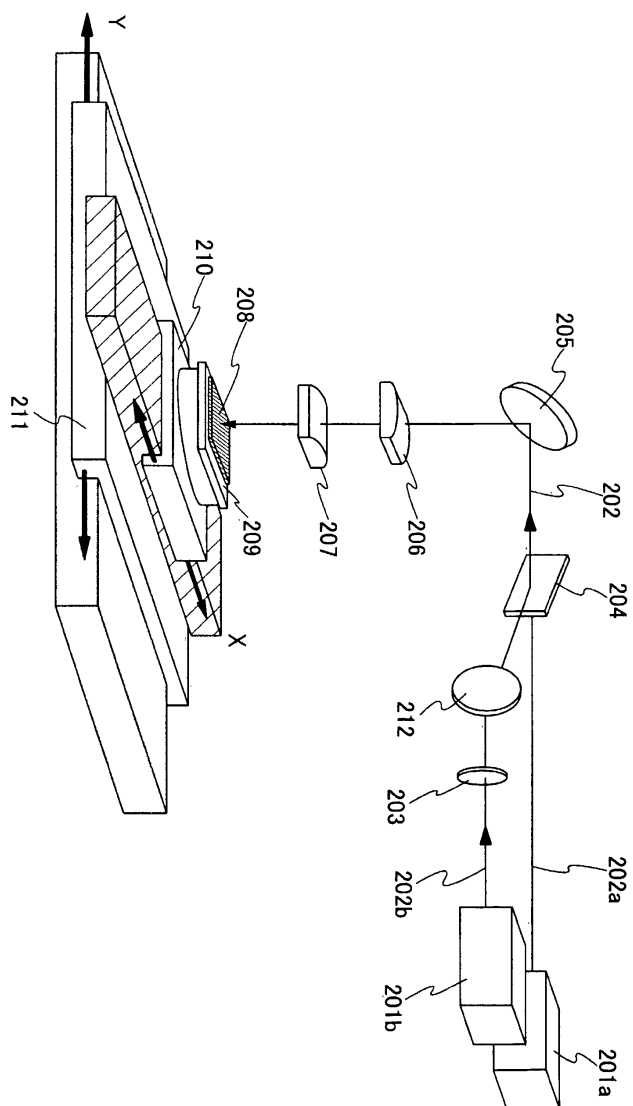
도면4



도면5

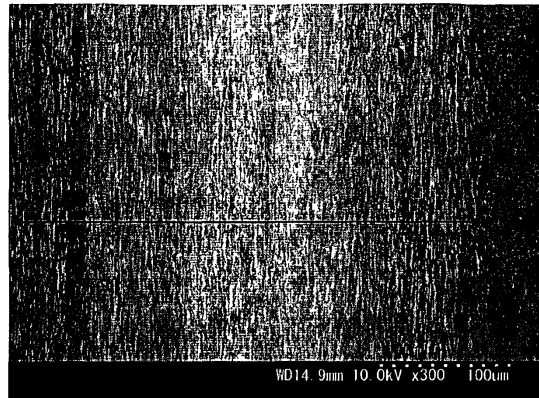


도면6



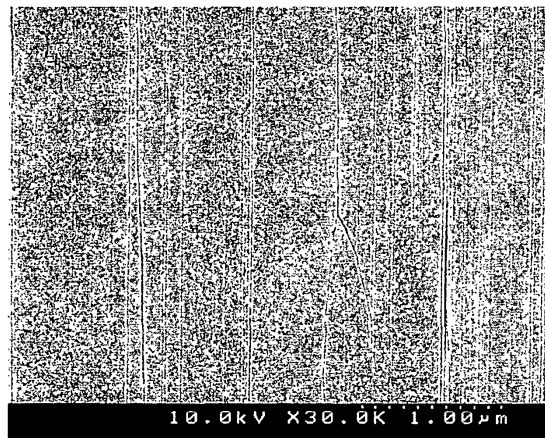
도면7

(a)



세코에칭 이전

(b)



세코에칭 이후

도면8

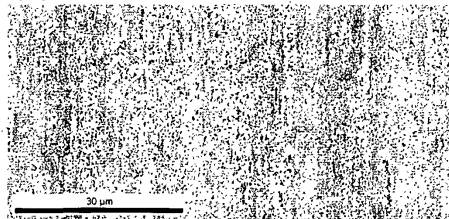
(a) 관찰면A



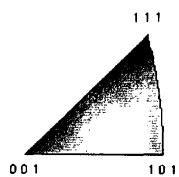
(b) 관찰면B



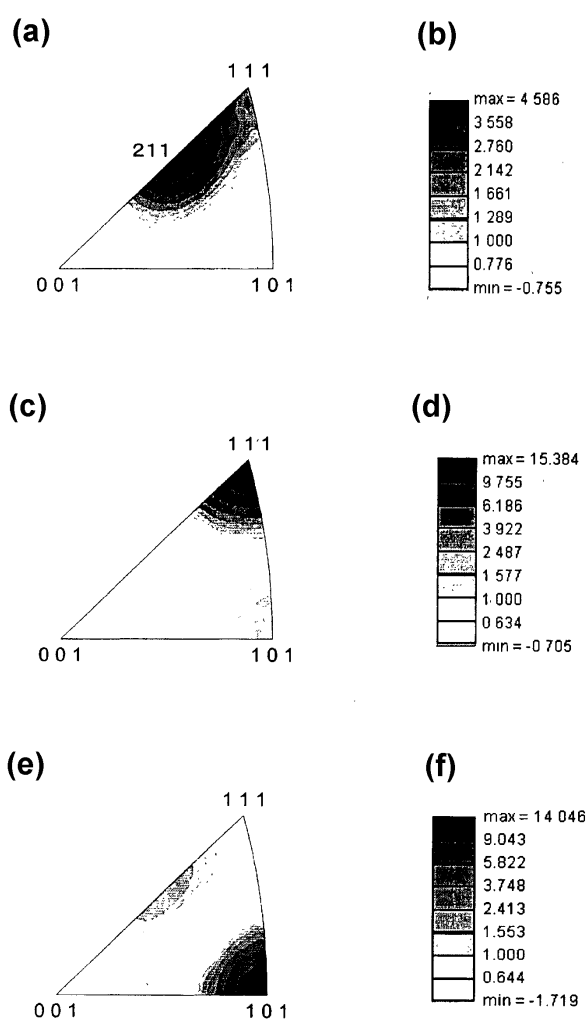
(c) 관찰면C



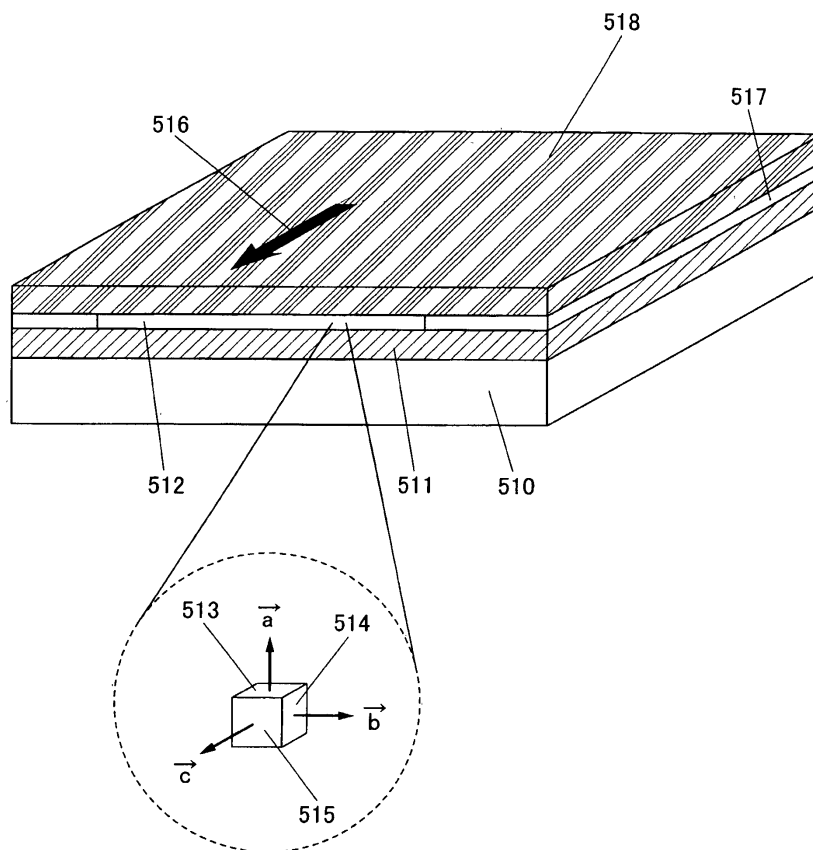
(d)



도면9

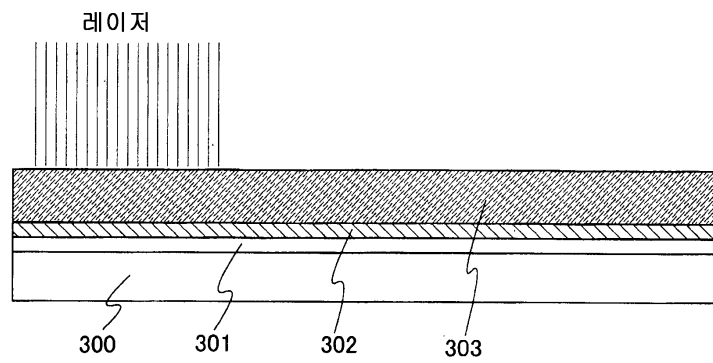


도면10

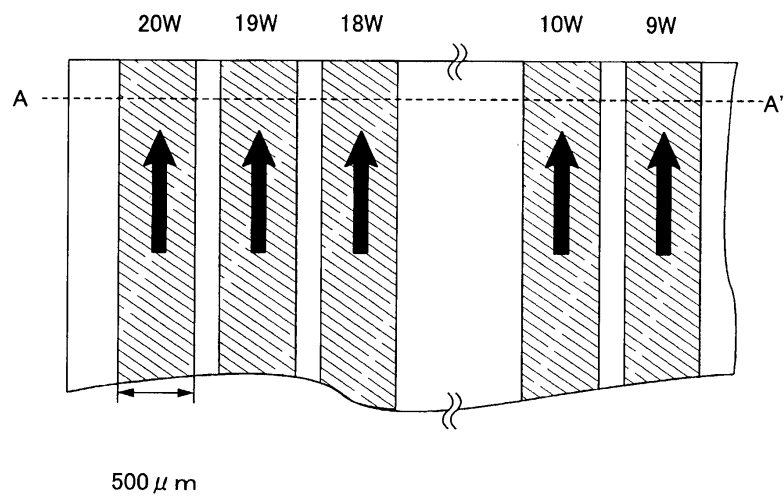


도면11

(a)

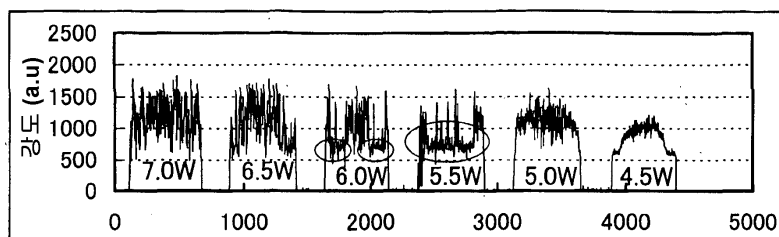


(b)

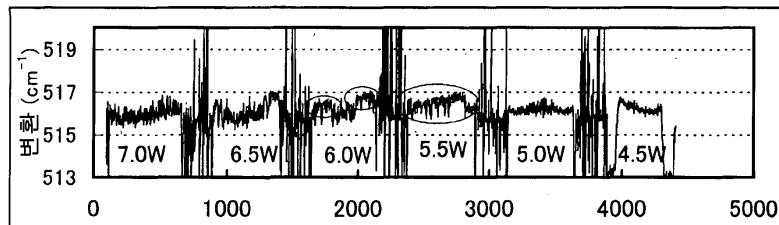


도면12

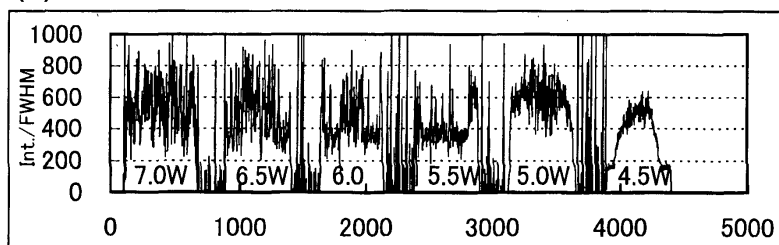
(a)



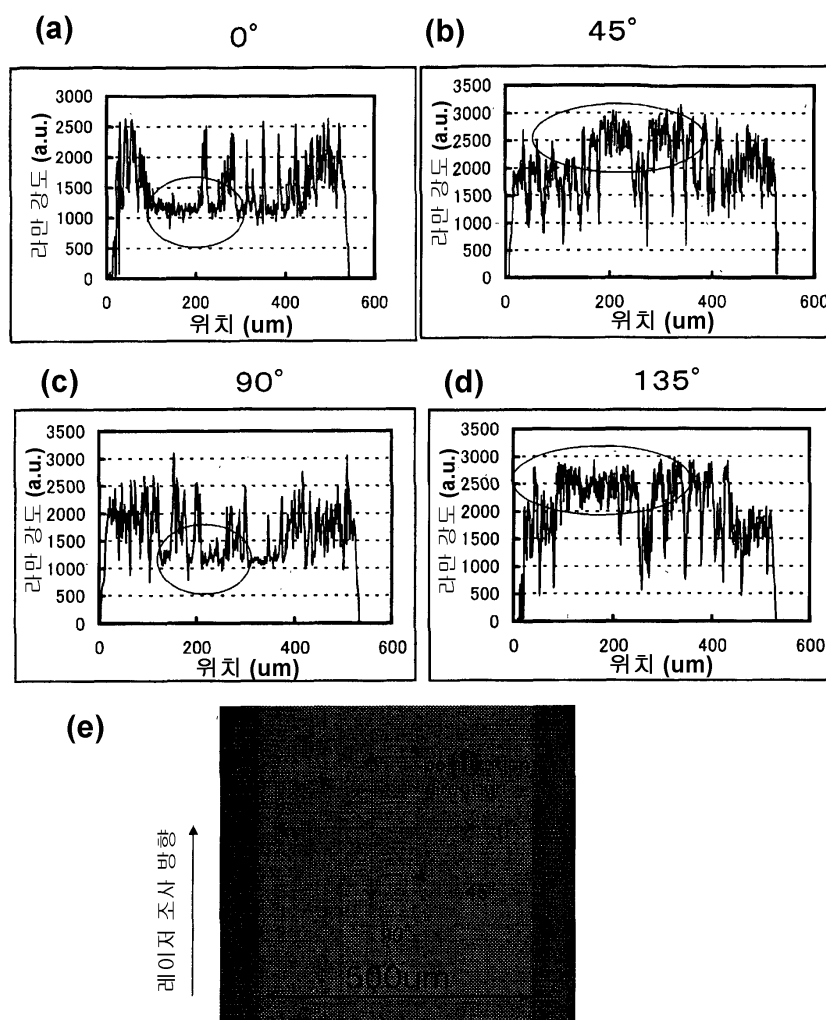
(b)



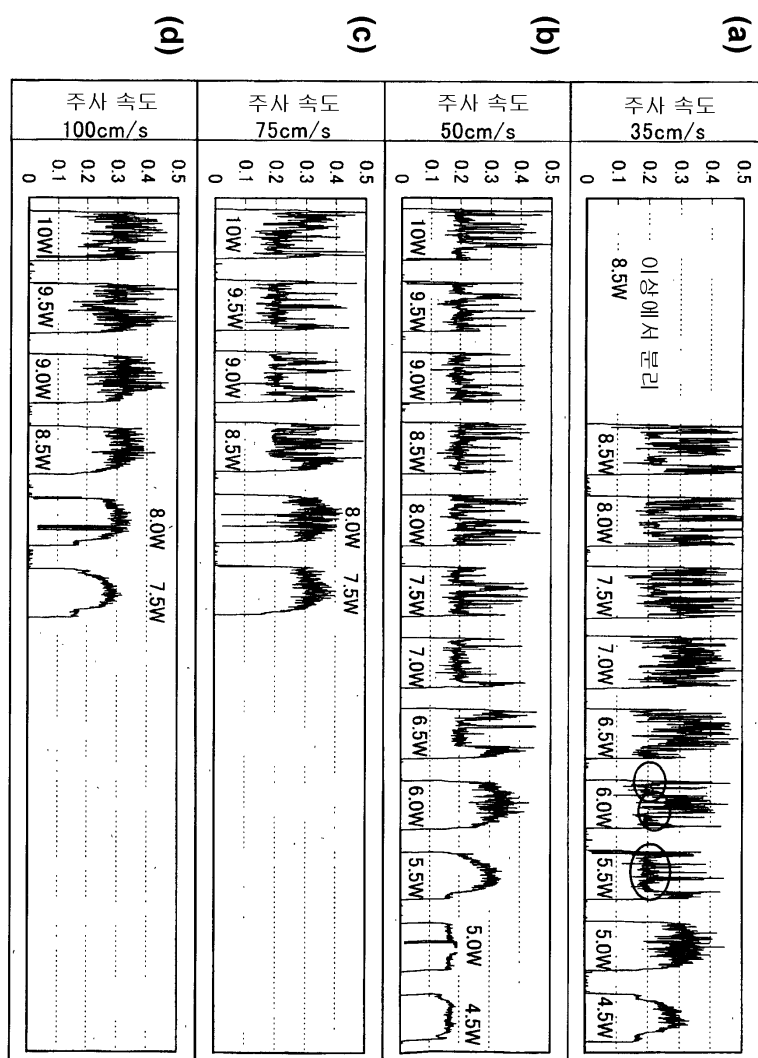
(c)



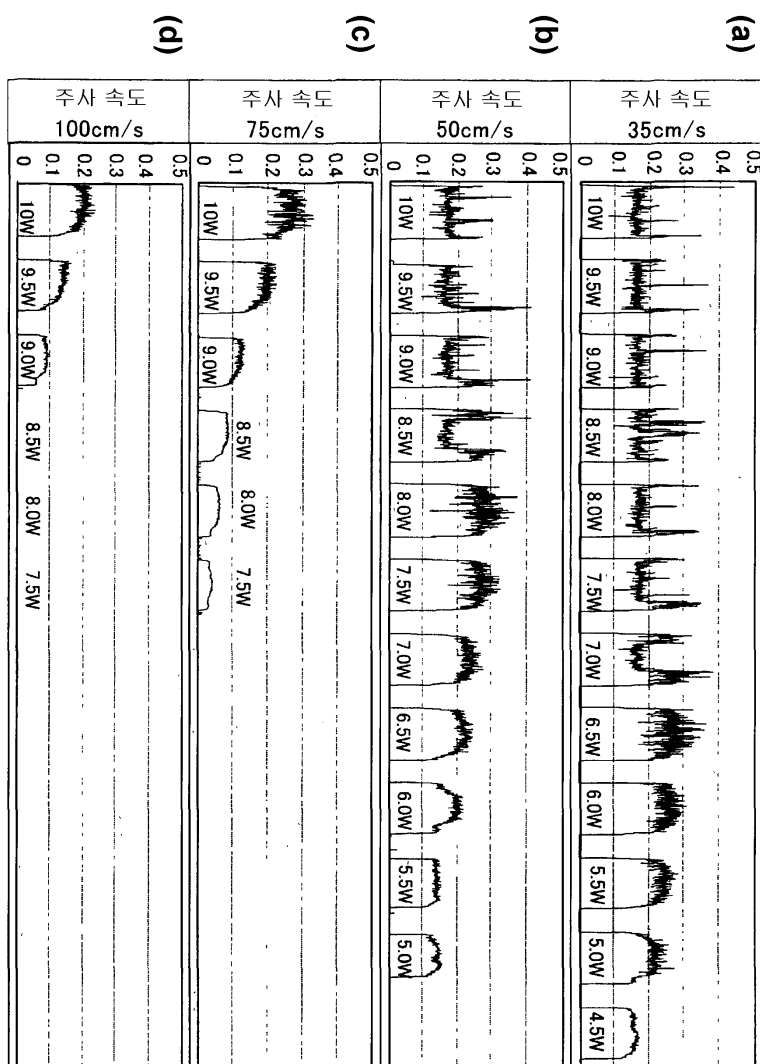
도면13



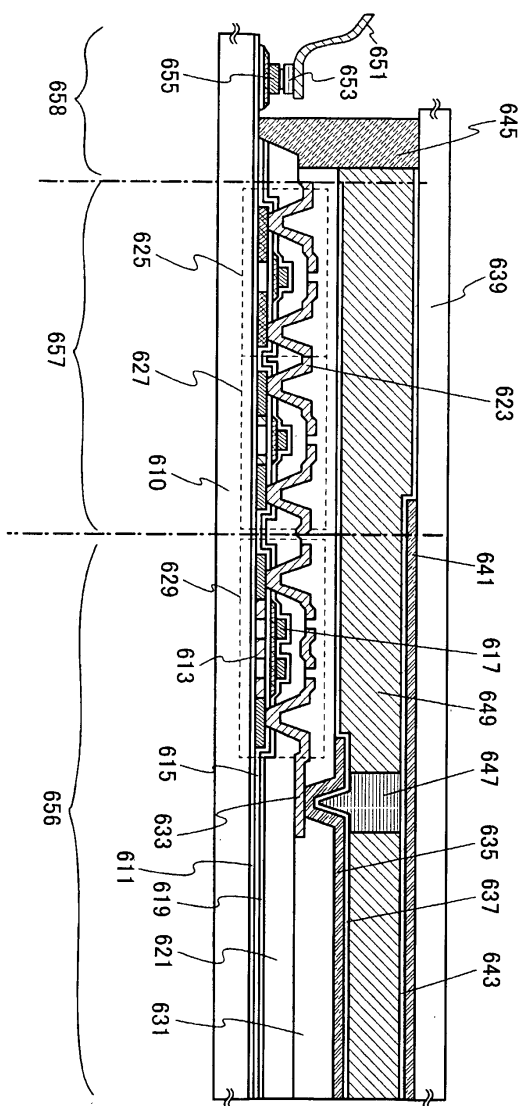
도면14



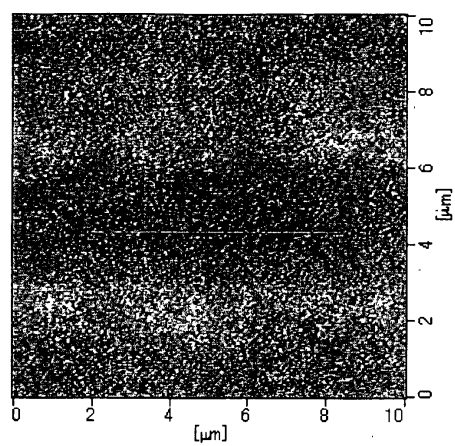
도면15



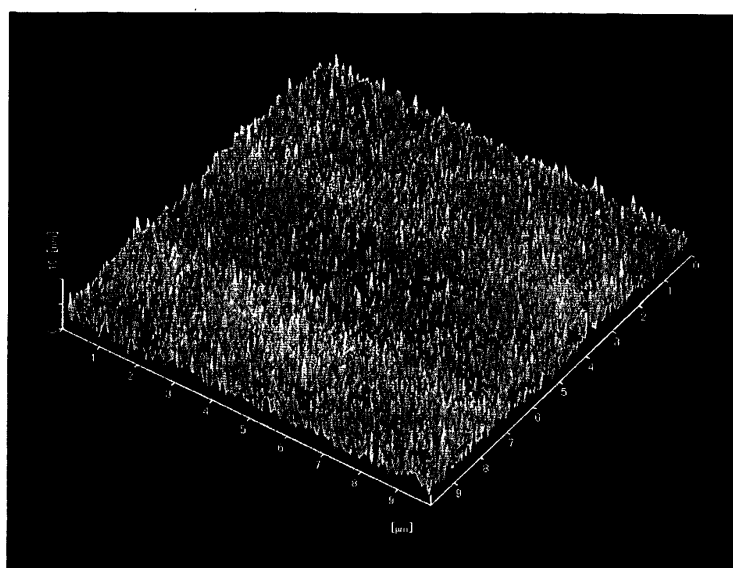
도면16



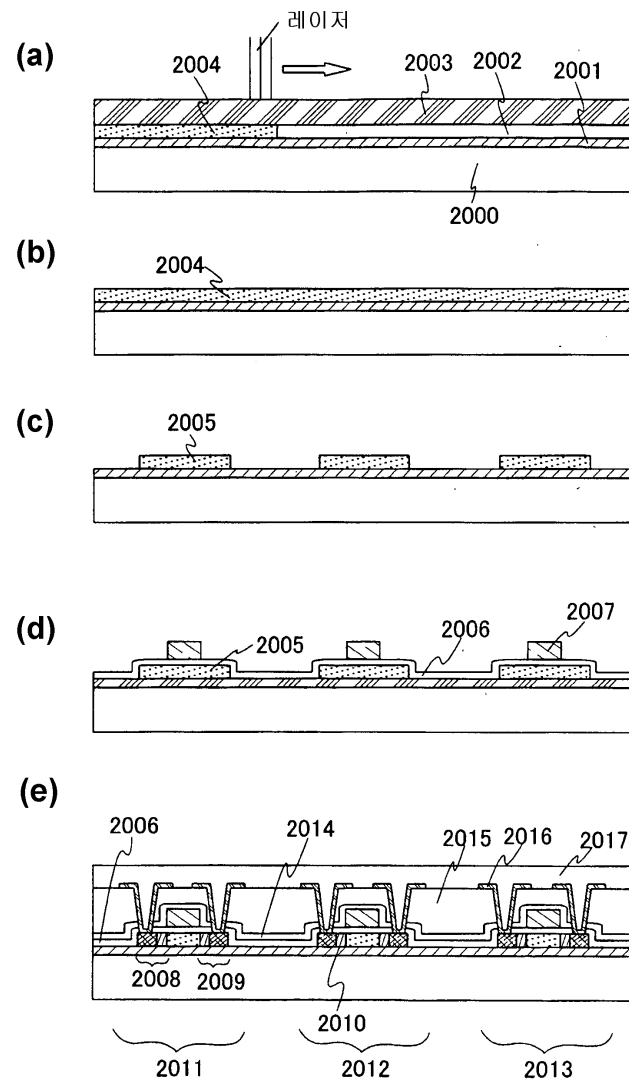
도면17



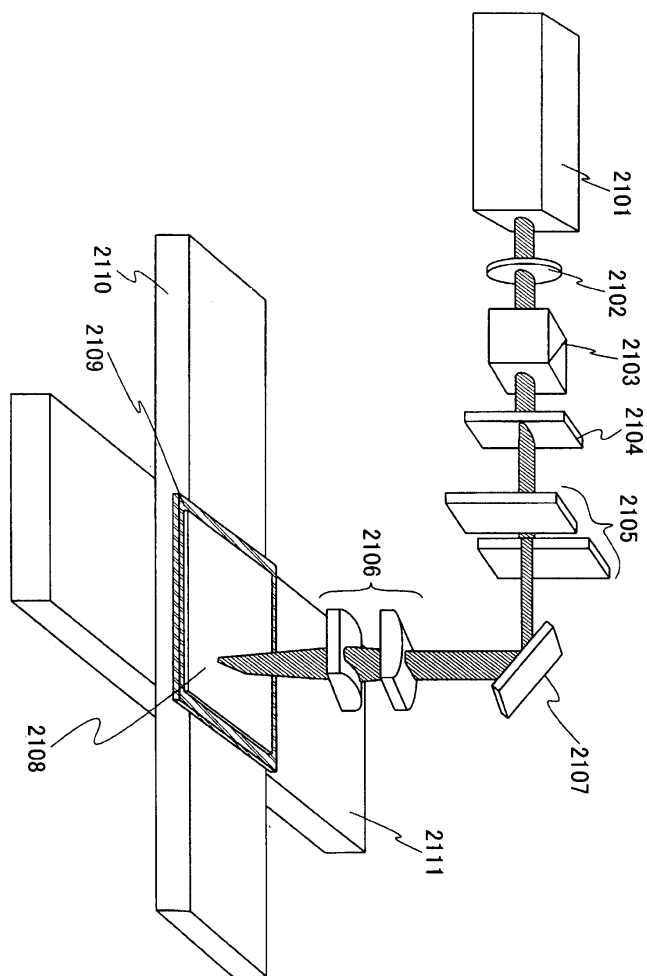
도면18



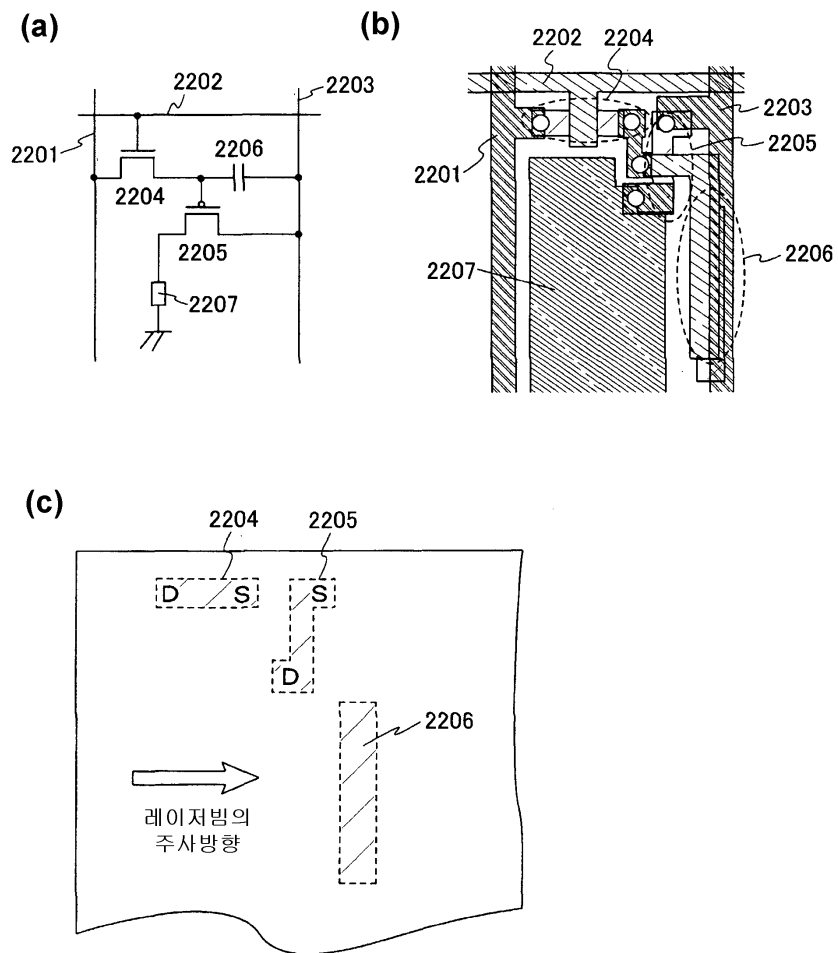
도면19



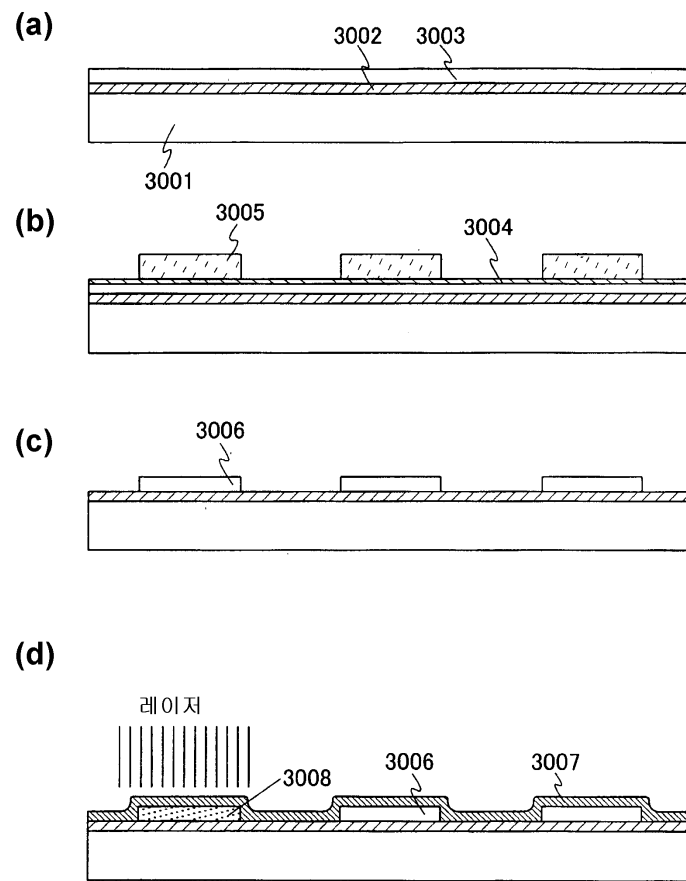
도면20



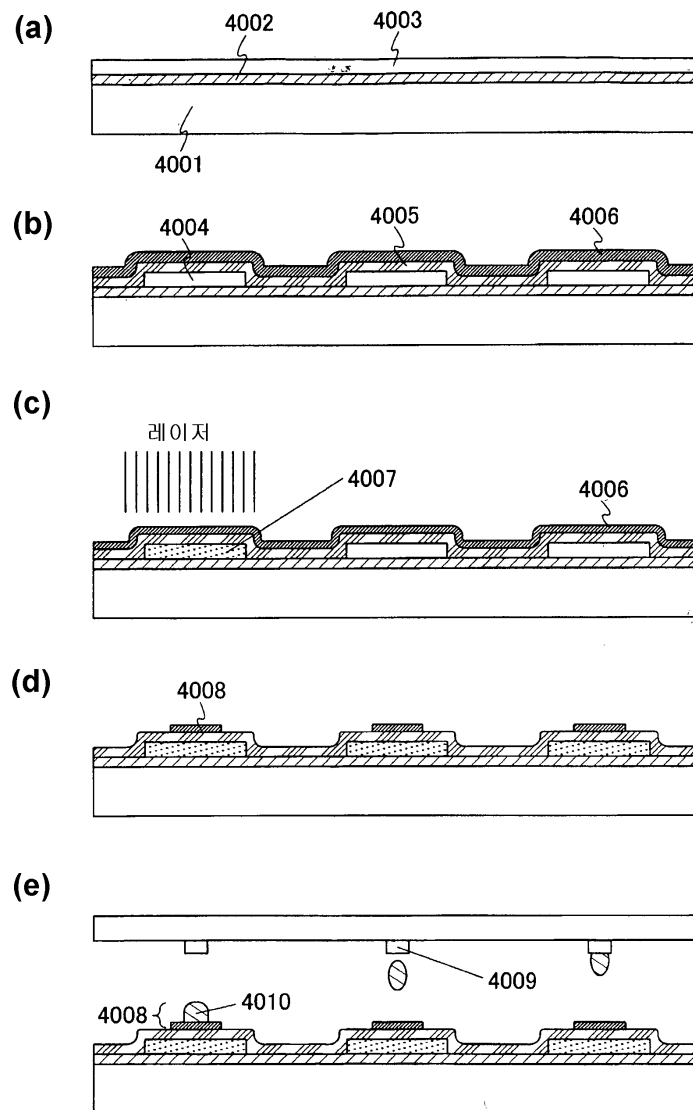
도면21



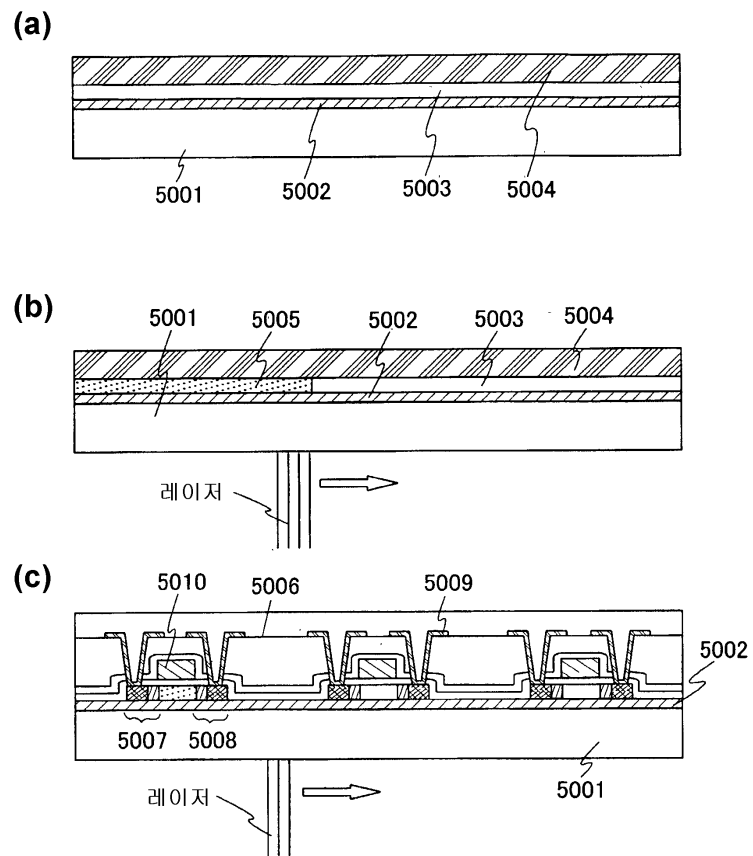
도면22



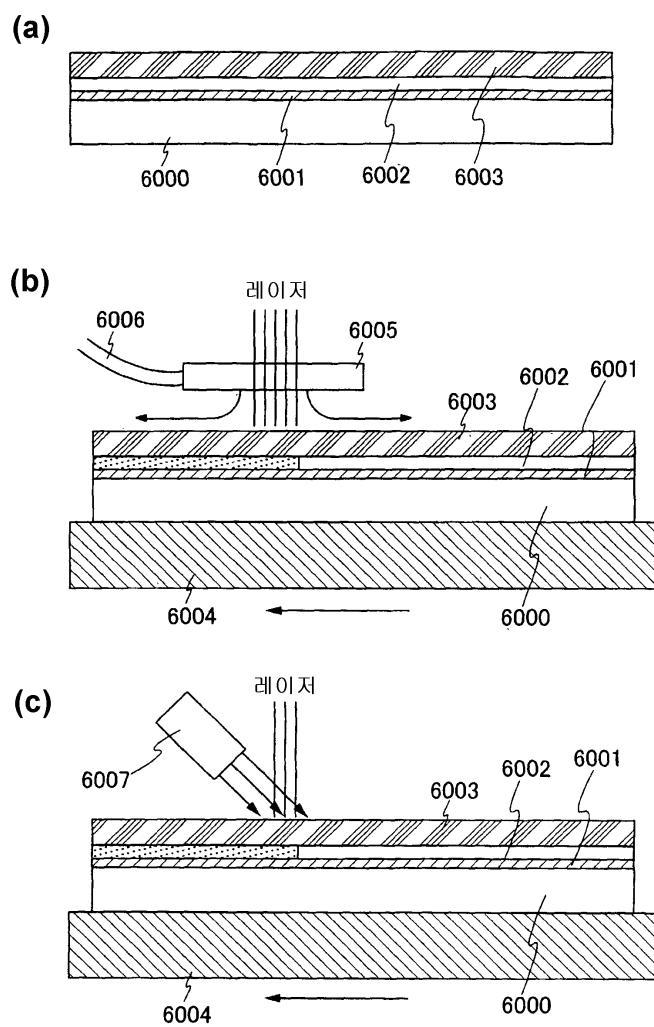
도면23



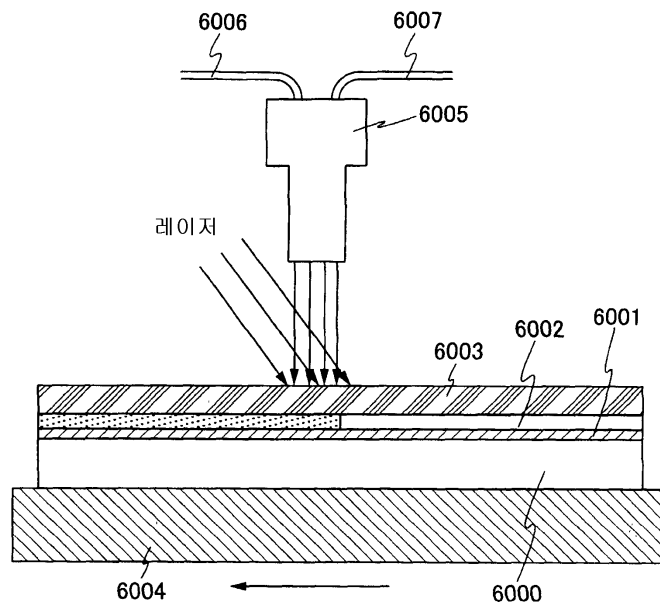
도면24



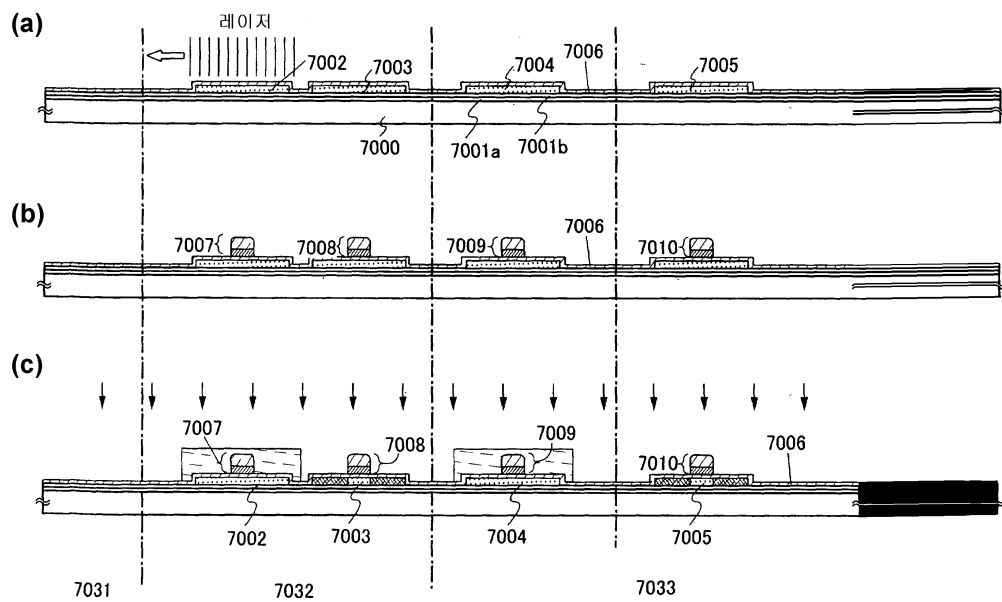
도면25



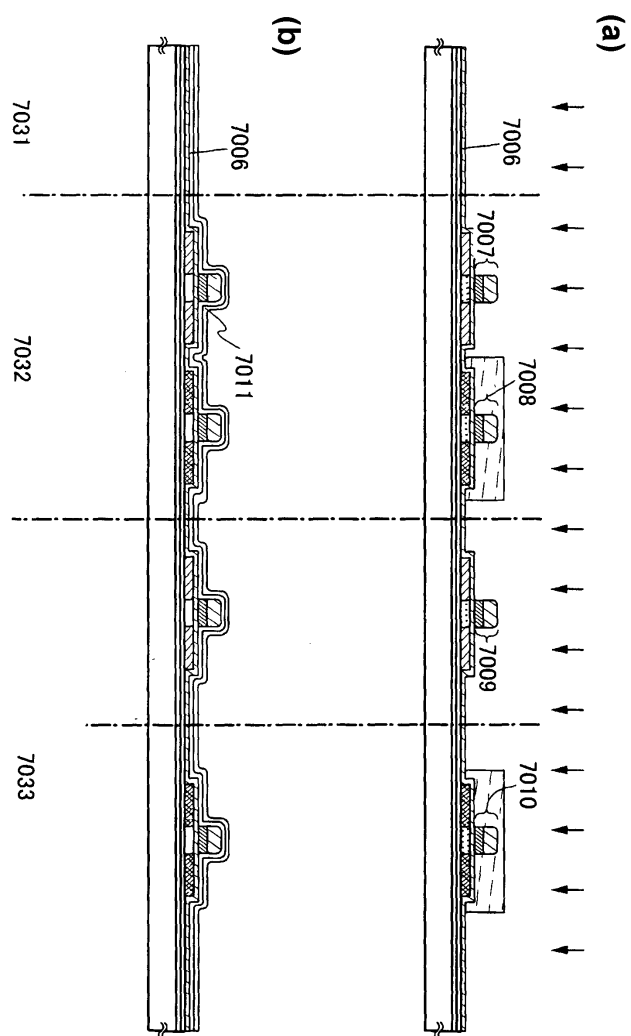
도면26



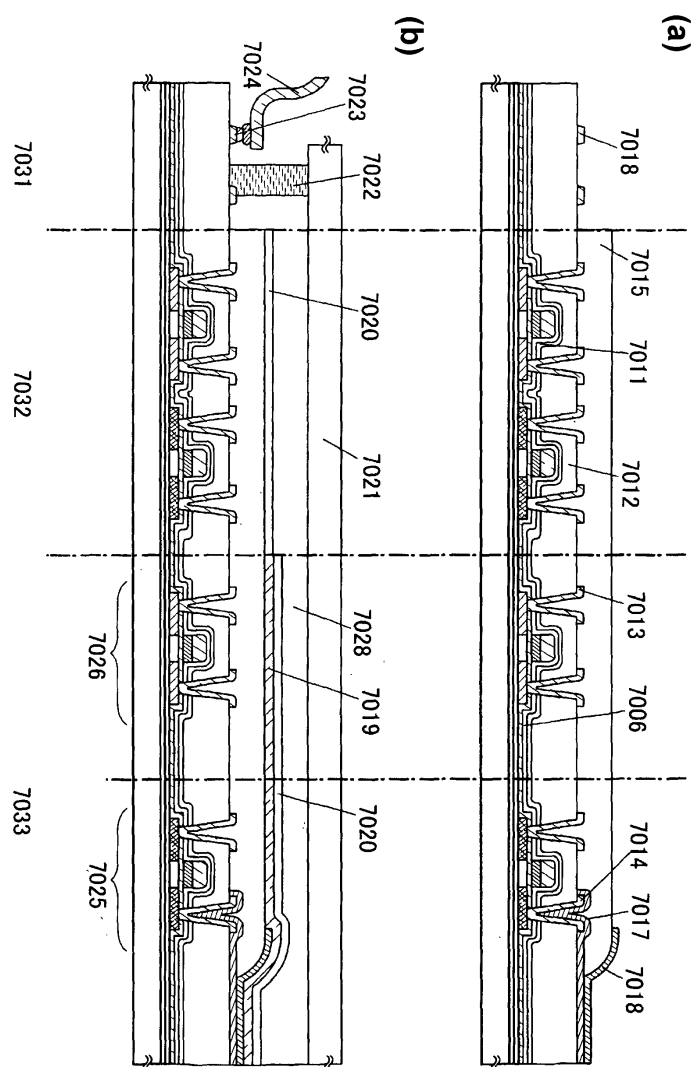
도면27



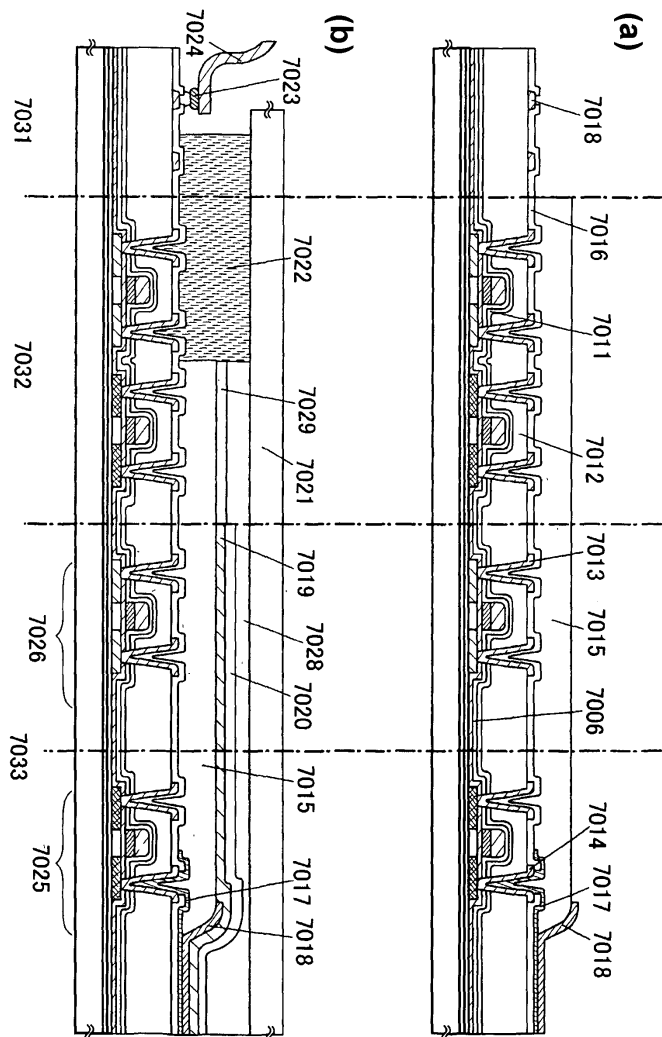
도면28



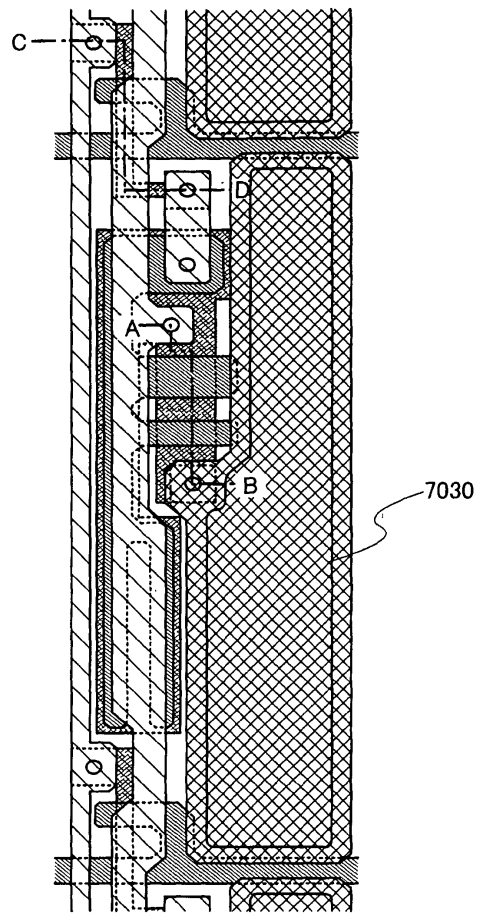
도면29



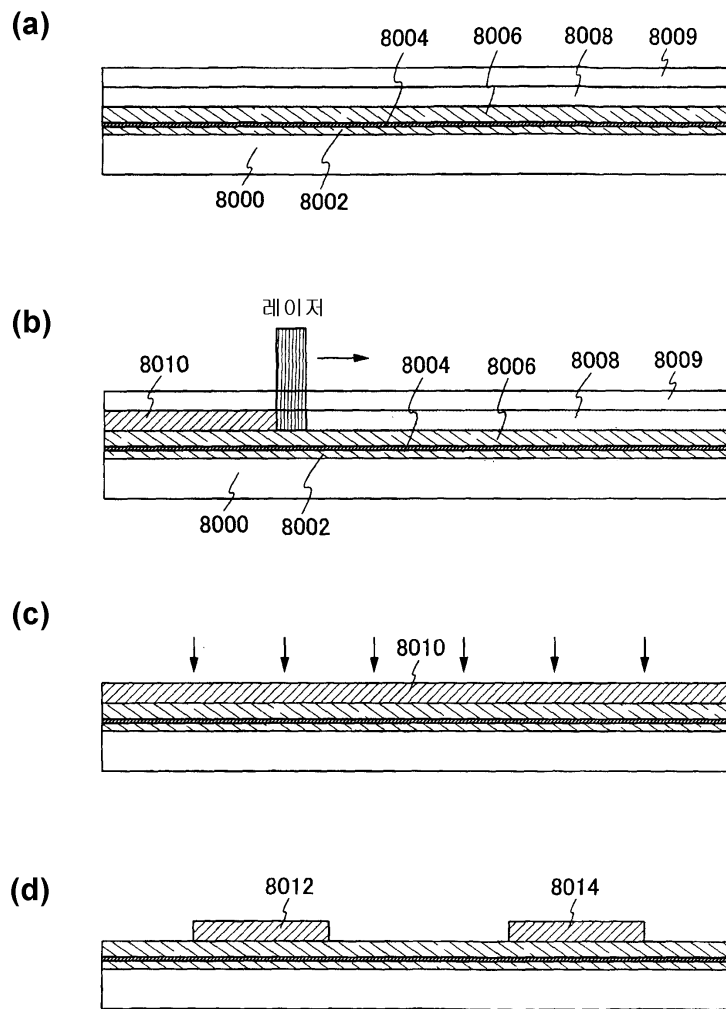
도면30



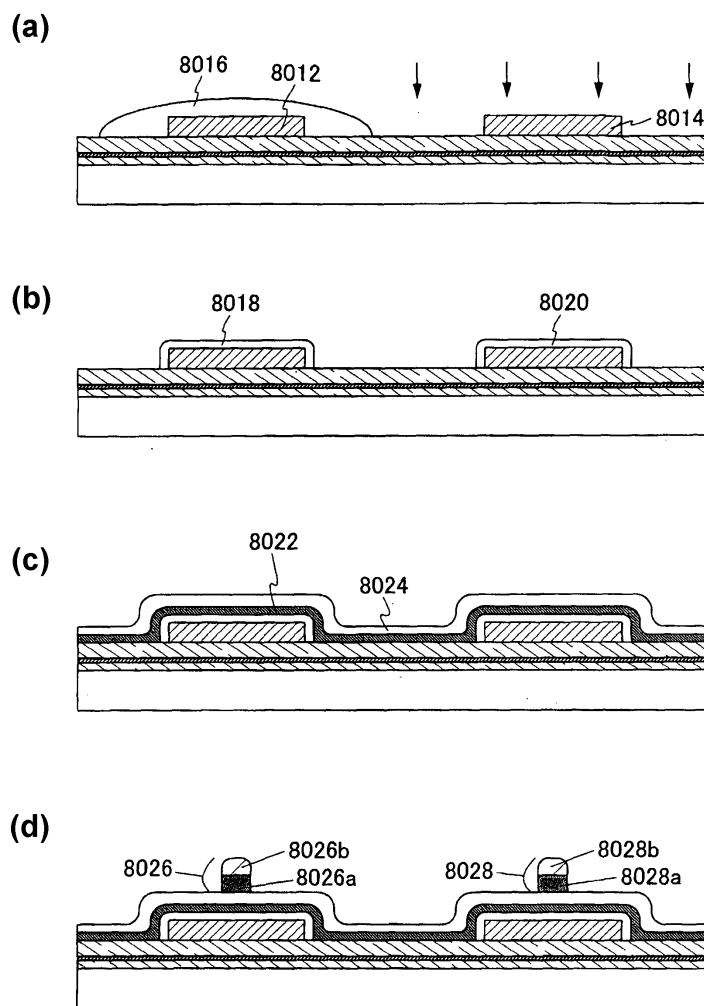
도면31



도면32

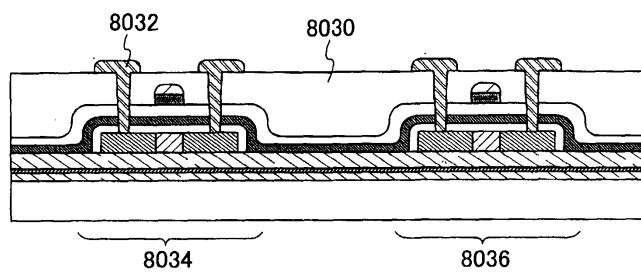


도면33

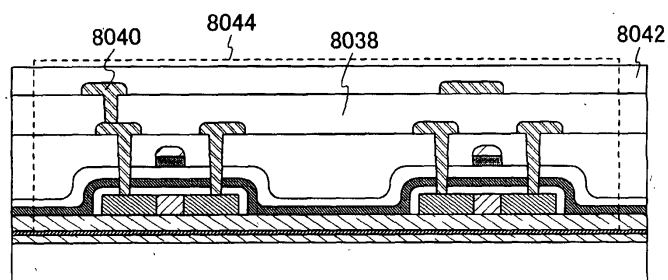


도면34

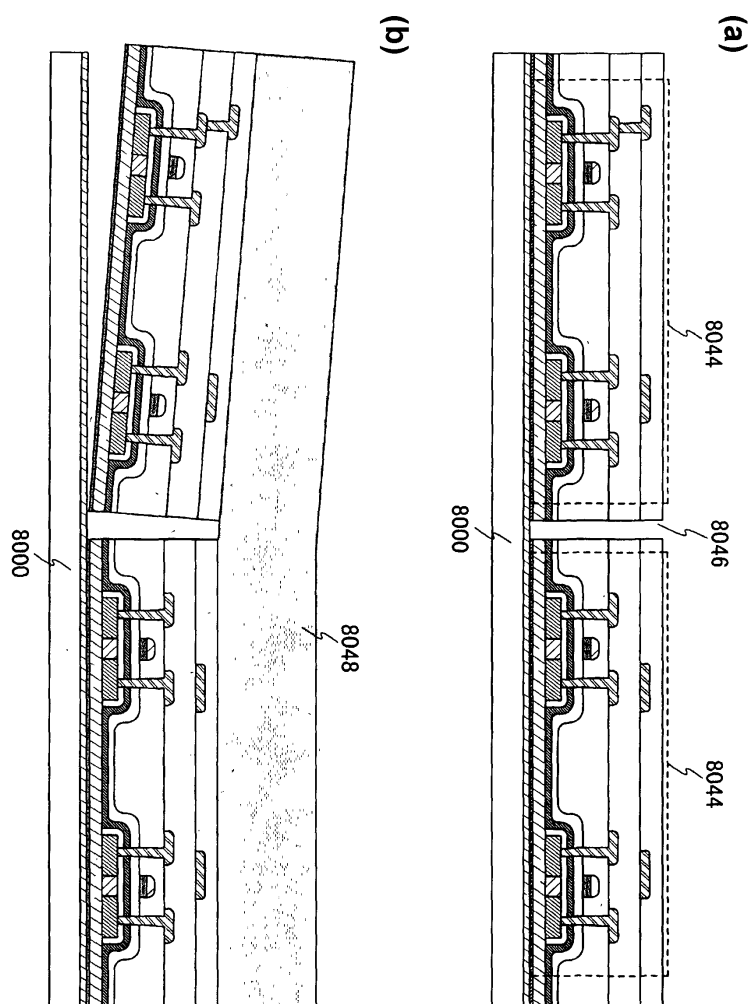
(a)



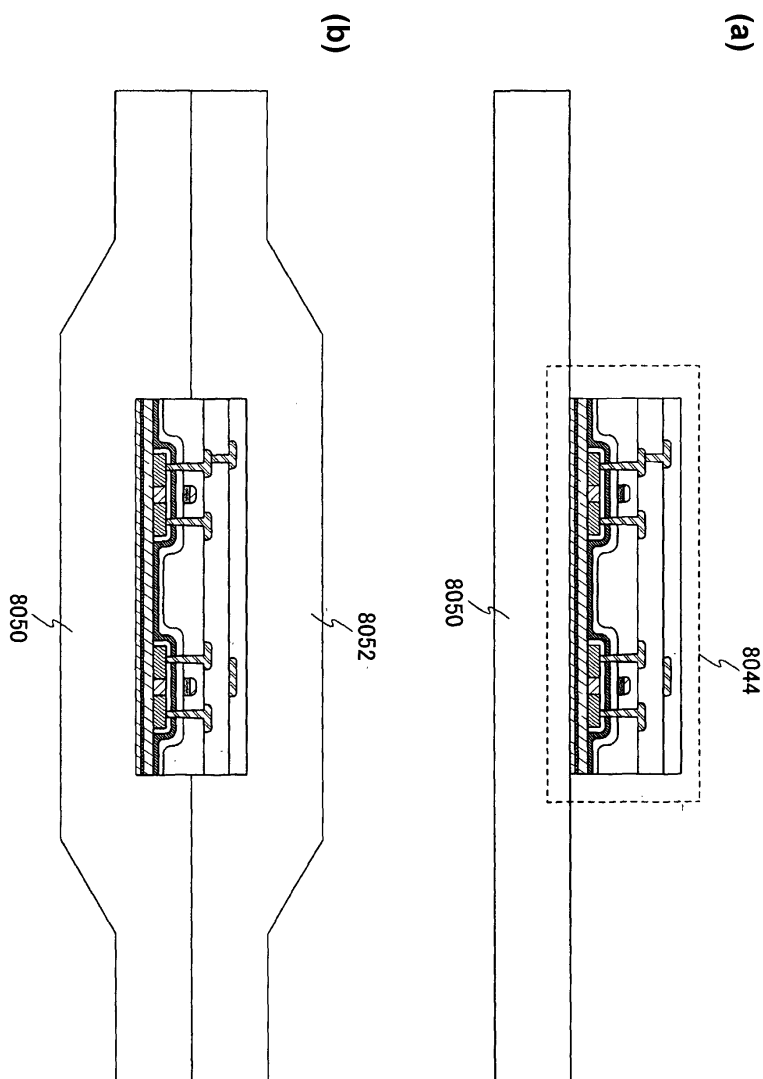
(b)



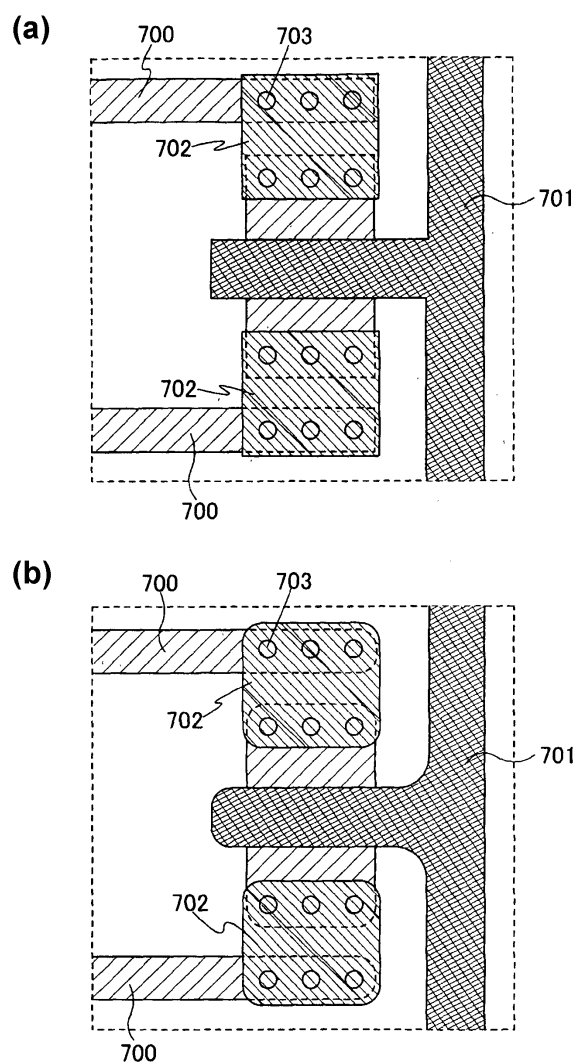
도면35



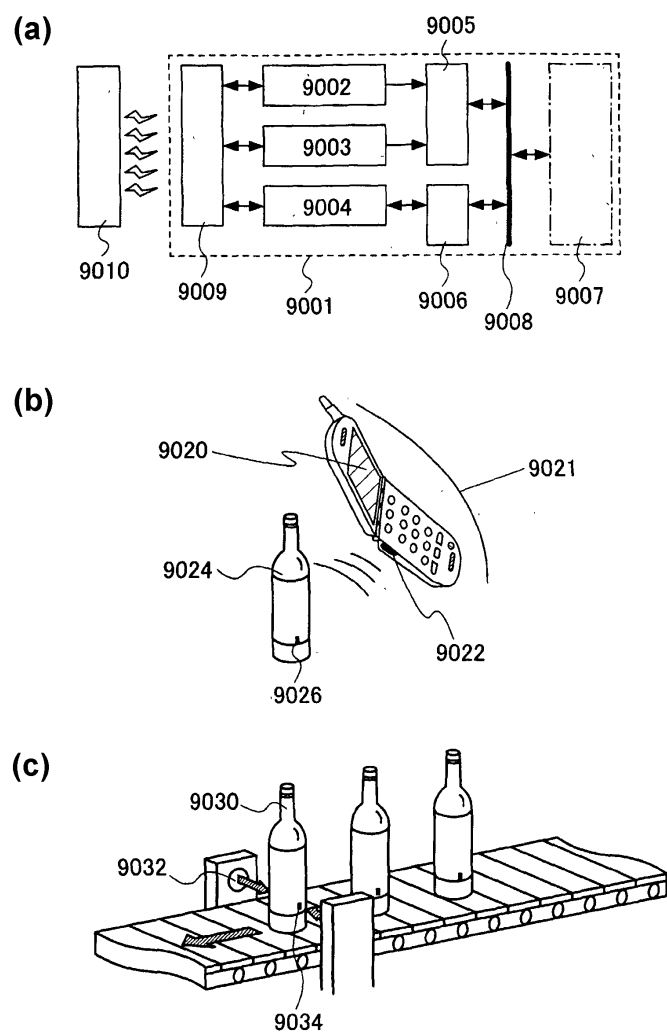
도면36



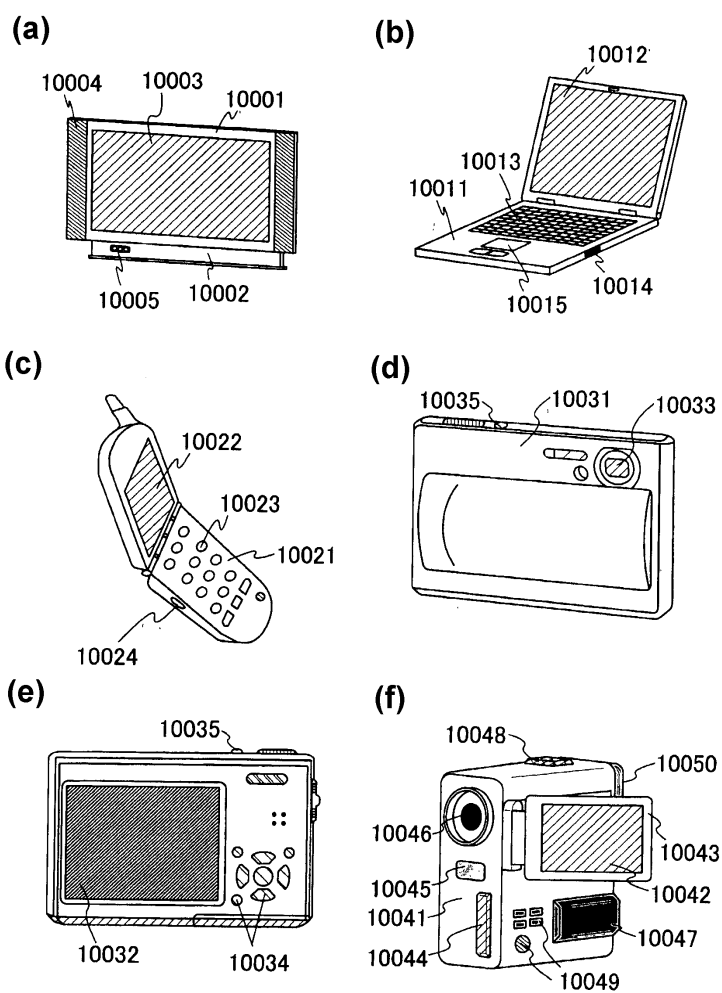
도면37



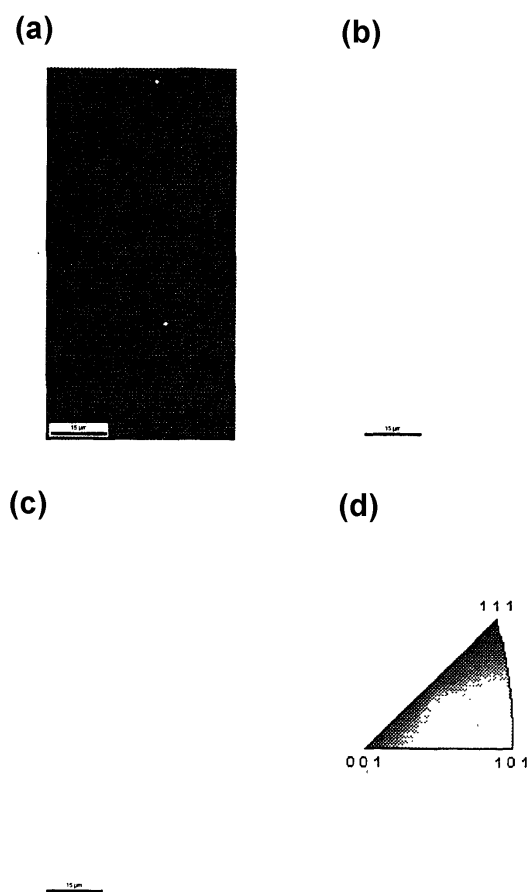
도면38



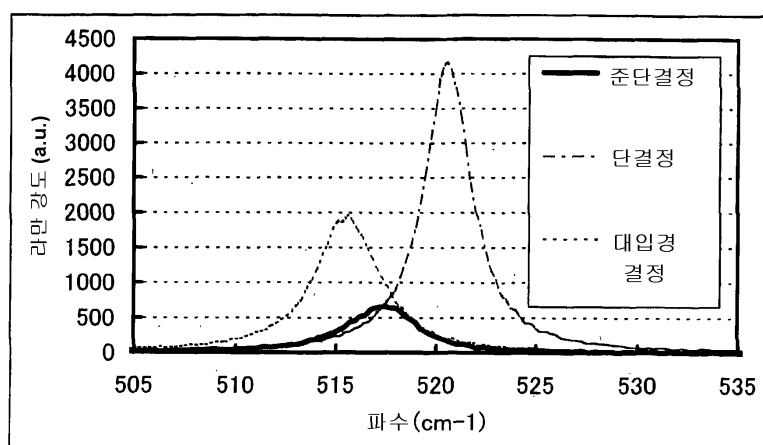
도면39



도면40

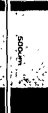
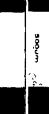
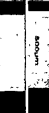
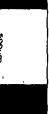
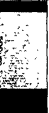
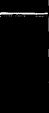
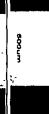
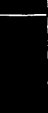


도면41



도면42

레이저빔의 에너지 (W)

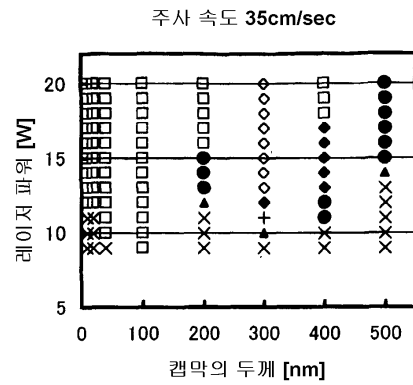
	검사의 두께 (mm)							
	10mm	20mm	40mm	100mm	200mm	300mm	400mm	500mm
10W × 2 = 20W								
9.5W × 2 = 19W								
9.0W × 2 = 18W								
8.5W × 2 = 17W								
8.0W × 2 = 16W								
7.5W × 2 = 15W								
7.0W × 2 = 14W								
6.5W × 2 = 13W								
6.0W × 2 = 12W								
5.5W × 2 = 11W								
5.0W × 2 = 10W								
4.5W × 2 = 9W								

도면43

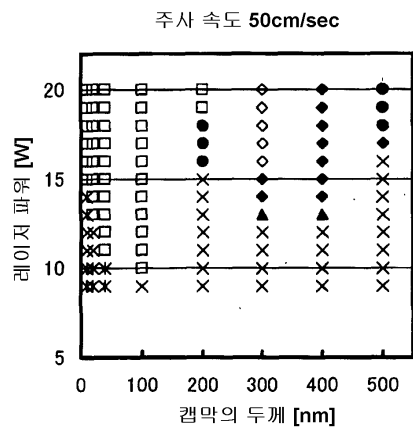
레이저의 에너지 (W)		캡막의 두께 (nm)							
		10nm	20nm	40nm	100nm	200nm	300nm	400nm	500nm
10W x 2 =20W									
9.5W x 2 =19W									
9.0W x 2 =18W									
8.5W x 2 =17W									
8.0W x 2 =16W									
7.5W x 2 =15W									
7.0W x 2 =14W									
6.5W x 2 =13W									
6.0W x 2 =12W									
5.5W x 2 =11W									
5.0W x 2 =10W									
4.5W x 2 =9W									
불충분한 에너지 때문에 결정화될 수 없음									

도면44

(a)



(b)



- *: 결정화될 수 없음
- x: 미소 결정이 형성됨
- ▲: 본 발명의 중단결정 실리콘막 및 미소 결정이 형성됨
- +: 본 발명의 미소 결정, 대입경 결정 및 중단결정 실리콘 막이 형성됨
- : 본 발명의 중단결정 실리콘막이 형성됨
- ◆: 본 발명의 중단결정 실리콘막 및 대입경 결정이 형성됨
- ◇: 대입경 결정이 형성됨
- : 과잉 에너지 때문에 분리됨

도면45

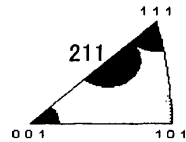
(a)

관찰면A

컬러 코딩된 맵 타입: 결정 방향

방향	Min	Max	전체 분할	부분 분할
 $\langle 0\ 0\ 1 \rangle [0\ 0\ 1]$	0°	10°	0.002	0.003
 $\langle 1\ 0\ 1 \rangle [0\ 0\ 1]$	0°	10°	0.004	0.006
 $\langle 1\ 1\ 1 \rangle [0\ 0\ 1]$	0°	10°	0.086	0.136
 $\langle 2\ 1\ 1 \rangle [0\ 0\ 1]$	0°	10°	0.421	0.668

실리콘
[001]



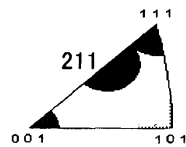
(b)

관찰면B

컬러 코딩된 맵 타입: 결정 방향

방향	Min	Max	전체 분할	부분 분할
 $\langle 0\ 0\ 1 \rangle [0\ 1\ 0]$	0°	10°	0.003	0.005
 $\langle 1\ 0\ 1 \rangle [0\ 1\ 0]$	0°	10°	0.051	0.081
 $\langle 1\ 1\ 1 \rangle [0\ 1\ 0]$	0°	10°	0.412	0.653
 $\langle 2\ 1\ 1 \rangle [0\ 1\ 0]$	0°	10°	0.071	0.113

실리콘
[010]



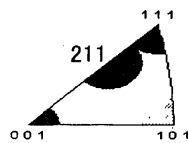
도면46

관찰면C

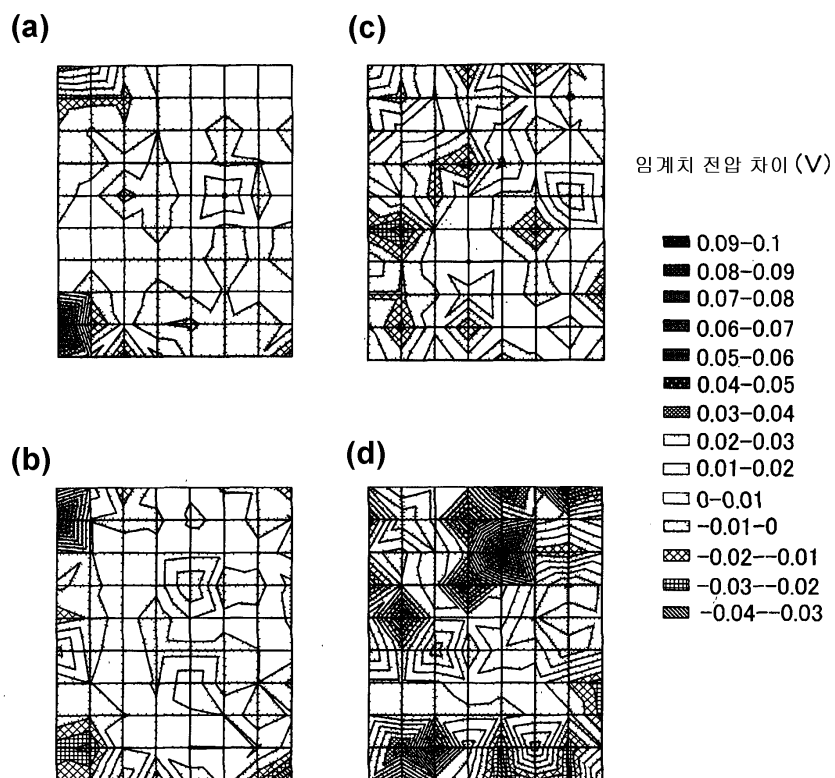
컬러 코딩된 맵 타입: 결정 방향

방향	Min	Max	전체 분할	부분 분할
 $\langle 0\ 0\ 1 \rangle [1\ 0\ 0]$	0°	10°	0.000	0.000
 $\langle 1\ 0\ 1 \rangle [1\ 0\ 0]$	0°	10°	0.523	0.829
 $\langle 1\ 1\ 1 \rangle [1\ 0\ 0]$	0°	10°	0.002	0.004
 $\langle 2\ 1\ 1 \rangle [1\ 0\ 0]$	0°	10°	0.074	0.118

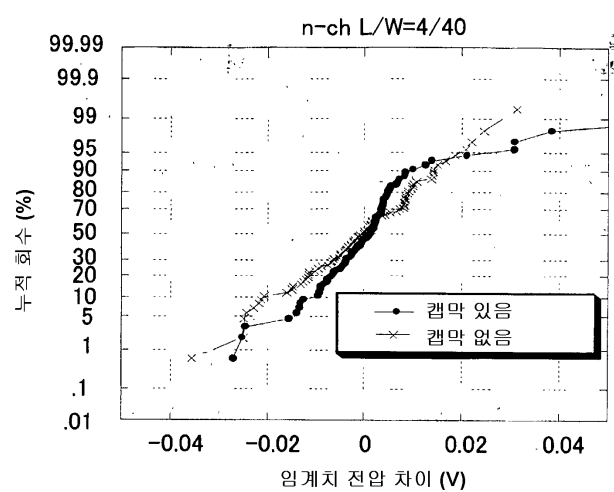
실리콘
[100]



도면47



도면48



도면49

