



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년09월25일
(11) 등록번호 10-2025193
(24) 등록일자 2019년09월19일

(51) 국제특허분류(Int. Cl.)
G11C 16/34 (2006.01) G11C 16/06 (2006.01)
(21) 출원번호 10-2013-0017626
(22) 출원일자 2013년02월19일
심사청구일자 2018년02월19일
(65) 공개번호 10-2014-0103755
(43) 공개일자 2014년08월27일
(56) 선행기술조사문헌
KR1020110001882 A
(뒷면에 계속)

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
서영일
경기 수원시 영통구 봉영로1482번길 18, 104동
1305호 (영통동, 풍림아이원아파트)
윤정호
서울 양천구 목동중앙북로4길 42, 302호 (목동)
(뒷면에 계속)
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 10 항

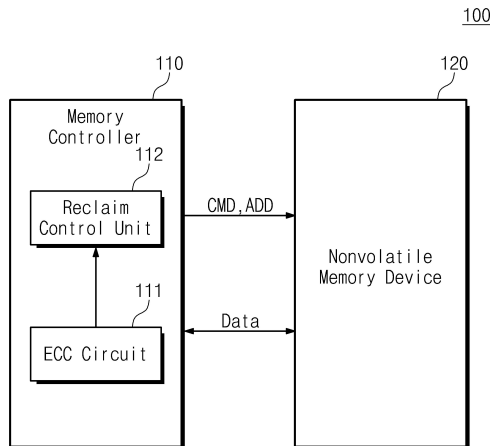
심사관 : 한선경

(54) 발명의 명칭 메모리 컨트롤러 및 그것의 동작 방법, 메모리 컨트롤러를 포함하는 메모리 시스템

(57) 요약

본 발명의 일 실시예에 따른 메모리 컨트롤러는 복수의 메모리 블록을 데이터 저장 공간으로 갖는 불휘발성 메모리 장치를 제어하는 메모리 컨트롤러에 있어서, 상기 불휘발성 메모리 장치로부터 수신되는 데이터에 기초하여 산출되는 비트 에러율을 임계값과 비교하고, 비교 결과를 산출하는 에러 검출 및 정정 회로, 및 상기 에러 검출 및 정정 회로로부터 상기 비교 결과를 전달받고, 상기 데이터의 리드를 위해 사용된 읽기 전압의 레벨에 기초하여 상기 데이터가 저장되었던 메모리 블록과 다른 메모리 블록으로 상기 데이터를 복사하는 리드 리클레임 동작의 실행 여부를 결정하는 리클레임 제어부를 포함하되, 상기 리클레임 제어부는 상기 읽기 전압의 레벨이 소정 영역에 포함되는 경우 상기 리드 리클레임 동작을 수행하지 않도록 상기 불휘발성 메모리 장치를 제어한다.

대표도 - 도1



(72) 발명자

이원철

경기 용인시 수지구 현암로125번길 11, 713동 200
4호 (죽전동, 새터마을죽전힐스테이트)

정다운

경기 화성시 병점3로 74, 206동 1304호 (병점동,
느치미마을주공2단지)

(56) 선행기술조사문헌

KR1020090066691 A

KR1020100093885 A

US20090106513 A1

US20080229164 A1

US7751238 B2

WO2013033107 A1

US20140063955 A1

명세서

청구범위

청구항 1

복수의 메모리 블록들을 데이터 저장 공간으로 갖는 불휘발성 메모리 장치를 제어하는 메모리 컨트롤러에 있어서:

상기 복수의 메모리 블록들 중 하나로부터 데이터를 수신하고 상기 수신된 데이터의 비트 에러율을 임계값과 비교하고, 비교 결과를 산출하는 에러 검출 및 정정 회로; 및

상기 데이터의 리드를 위해 사용된 읽기 전압의 레벨과 상기 비교 결과에 기초하여 리드 리클레임 동작의 실행 여부를 결정하는 리클레임 제어부를 포함하되,

상기 리드 리클레임 동작은 상기 데이터가 저장되었던 메모리 블록과 다른 블록으로 상기 데이터를 복사하고,

상기 비트 에러율이 상기 임계값보다 크고 상기 읽기 전압의 레벨이 리클레임 금지 영역에 속하지 않는 경우, 상기 리클레임 제어부는 상기 리드 리클레임 동작을 수행하는 메모리 컨트롤러.

청구항 2

제 1 항에 있어서,

상기 리클레임 제어부는, 상기 비트 에러율이 상기 임계값보다 작은 경우 상기 리드 리클레임 동작을 수행하지 않는 메모리 컨트롤러.

청구항 3

제1항에 있어서,

상기 리클레임 금지 영역은,

상기 읽기 전압보다 낮은 레벨을 갖는 전압 영역에 정의되는 제 1 영역; 및

상기 읽기 전압보다 높은 레벨을 갖는 전압 영역에 정의되는 제 2 영역을 포함하는 메모리 컨트롤러.

청구항 4

복수의 메모리 블록들을 데이터 저장 공간으로 갖는 불휘발성 메모리 장치를 제어하는 메모리 컨트롤러의 동작 방법에 있어서:

(a) 제1읽기 전압을 이용하여 상기 복수의 메모리 블록들 중 하나에 대해 리드 동작을 수행하는 단계;

(b) 상기 불휘발성 메모리 장치로부터 데이터를 수신하는 단계;

(c) 상기 데이터의 비트 에러율이 임계값보다 작은지 판단하는 단계;

(d) 상기 비트 에러율이 상기 임계값보다 작지 않은 것으로 판단된 경우, 상기 제1읽기 전압의 레벨이 리클레임 금지 영역에 속하는지 판단하는 단계; 및

(e) 상기 (d) 단계의 판단 결과에 기초하여, 상기 데이터가 저장되었던 메모리 블록과 다른 메모리 블록으로 상기 데이터를 복사하는 리드 리클레임 동작의 수행 여부를 결정하는 단계를 포함하는 메모리 컨트롤러의 동작 방법.

청구항 5

제 4 항에 있어서,

상기 제1읽기 전압의 레벨이 상기 리클레임 금지 영역에 속하지 않는 경우, 상기 리드 리클레임 동작이 상기 (e) 단계에서 수행되는 메모리 컨트롤러의 동작 방법.

청구항 6

제 5 항에 있어서,

상기 제1읽기 전압의 레벨이 상기 리클레임 금지 영역에 속하는 경우, 상기 리드 리클레임 동작은 상기 (e) 단계에서 수행되지 않는 메모리 컨트롤러의 동작 방법.

청구항 7

제 6 항에 있어서,

상기 리클레임 금지 영역은,

상기 제1읽기 전압보다 낮은 레벨을 갖는 전압 영역에 정의되는 제 1 영역; 및

상기 제1읽기 전압보다 높은 레벨을 갖는 전압 영역에 정의되는 제 2 영역을 포함하는 메모리 컨트롤러의 동작 방법.

청구항 8

제 7 항에 있어서,

상기 제 1 및 제 2 영역의 전압 범위는 상기 제1읽기 전압의 레벨을 기준으로 비대칭적으로 정의되는 메모리 컨트롤러의 동작 방법.

청구항 9

제 5 항에 있어서,

상기 비트 에러율이 상기 임계값보다 큰 경우, 상기 제1읽기 전압을 제2읽기 전압으로 변화시키기 위한 리드 리드라이(read retry) 동작이 수행되는 메모리 컨트롤러의 동작 방법.

청구항 10

제 9 항에 있어서,

상기 (a) 단계로부터 상기 (e) 단계까지의 상기 단계들은 상기 제1 읽기 전압 대신에 상기 제2 읽기 전압을 사용하여 수행되는 메모리 컨트롤러의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 메모리 컨트롤러 및 그것의 동작 방법, 메모리 컨트롤러를 포함하는 메모리 시스템에 관한 것이다.

배경 기술

[0002] 반도체 메모리 장치는 크게 휘발성 반도체 메모리 장치(Volatile semiconductor memory device)와 불휘발성 반도체 메모리 장치(Non-volatile semiconductor memory device)로 구분된다. 휘발성 반도체 메모리 장치는 읽고 쓰는 속도가 빠르지만 외부 전원 공급이 끊기면 저장된 내용이 사라져 버리는 단점이 있다. 반면에 불휘발성 반도체 메모리 장치는 외부 전원 공급이 중단되더라도 그 내용을 보존한다. 그러므로 불휘발성 반도체 메모리 장치는 전원이 공급되었는지의 여부에 관계없이 보존되어야 할 내용을 기억시키는 데 쓰인다.

[0003] 일반적으로, MROM, PROM 및 EPROM은 시스템 자체적으로 소거 및 쓰기가 자유롭지 못해 일반 사용자들이 기억 내용을 갱신하기가 용이하지 않다. 이에 반해 EEPROM은 전기적으로 소거 및 쓰기가 가능하기 때문에, 지속적인 갱신이 필요한 시스템 프로그래밍(System programming)이나 보조 기억 장치로의 응용이 확대되고 있다. 특히 플래시(Flash) EEPROM은 기존의 EEPROM에 비해 집적도가 높아, 대용량 보조 기억 장치로의 응용에 매우 유리하다. 플래시 EEPROM 중에서도 낸드형(NAND-type) 플래시 EEPROM(이하, '낸드형 플래시 메모리'라 칭함)은 다른 플래시 EEPROM에 비해 집적도가 매우 높은 장점을 가진다.

[0004] 최근 들어 메모리 장치에 대한 고집적 요구가 증가함에 따라, 하나의 메모리 셀에 멀티 비트를 저장하는 멀티-

비트 메모리 장치들이 보편화되고 있다. 멀티-비트 플래시 메모리 장치의 메모리 셀들은 문턱 전압 분포들 간의 간격이 조밀하게 제어되어야 한다. 즉, 데이터 보유 특성(Data retention characteristics) 및 질적 저하 없는 프로그램/소거 사이클 수(또는 수명)는 데이터의 신뢰성과 관련하여 중요한 관심사이다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 목적은 불휘발성 메모리 장치의 수명을 향상시킬 수 있는 메모리 컨트롤러 및 그것의 동작 방법, 메모리 컨트롤러를 포함하는 메모리 시스템을 제공하는 데 있다.

과제의 해결 수단

[0006] 본 발명의 일 실시예에 따른 메모리 컨트롤러는 복수의 메모리 블록을 데이터 저장 공간으로 갖는 불휘발성 메모리 장치를 제어하는 메모리 컨트롤러에 있어서, 상기 불휘발성 메모리 장치로부터 수신되는 데이터에 기초하여 산출되는 비트 에러율을 임계값과 비교하고, 비교 결과를 산출하는 에러 검출 및 정정 회로, 및 상기 에러 검출 및 정정 회로로부터 상기 비교 결과를 전달받고, 상기 데이터의 리드를 위해 사용된 읽기 전압의 레벨에 기초하여 상기 데이터가 저장되었던 메모리 블록과 다른 메모리 블록으로 상기 데이터를 복사하는 리드 리클레임 동작의 실행 여부를 결정하는 리클레임 제어부를 포함하되, 상기 리클레임 제어부는 상기 읽기 전압의 레벨이 소정 영역에 포함되는 경우 상기 리드 리클레임 동작을 수행하지 않도록 상기 불휘발성 메모리 장치를 제어한다.

[0007] 일 실시예에서, 상기 리클레임 제어부는 상기 비트 에러율이 상기 임계값보다 큰 경우 상기 읽기 전압의 레벨이 상기 소정 영역에 포함되는지에 기초하여 상기 리드 리클레임 동작의 실행 여부를 결정할 수 있다.

[0008] 일 실시예에서, 상기 리클레임 제어부는 상기 비트 에러율이 상기 임계값보다 작은 경우 상기 리드 리클레임 동작을 수행하지 않도록 상기 불휘발성 메모리 장치를 제어할 수 있다.

[0009] 일 실시예에서, 상기 소정 영역은 상기 읽기 전압보다 낮은 레벨을 갖는 전압 영역에 정의되는 제 1 영역, 및 상기 읽기 전압보다 높은 레벨을 갖는 전압 영역에 정의되는 제 2 영역을 포함할 수 있다.

[0010] 일 실시예에서, 상기 제 1 및 제 2 영역의 전압 범위는 상기 읽기 전압의 레벨을 기준으로 비대칭적으로 정의될 수 있다.

[0011] 일 실시예에서, 상기 제 1 영역의 전압 범위는 상기 제 2 영역의 전압 범위보다 넓을 수 있다.

[0012] 본 발명의 일 실시예에 따른 메모리 컨트롤러의 동작 방법에 있어서, 복수의 메모리 블록을 데이터 저장 공간으로 갖는 불휘발성 메모리 장치를 제어하는 메모리 컨트롤러의 동작 방법에 있어서, (a) 읽기 전압을 이용하여 데이터를 리드하도록 상기 불휘발성 메모리 장치를 제어하는 단계, (b) 상기 불휘발성 메모리 장치로부터 상기 데이터를 수신하는 단계, (c) 상기 데이터의 비트 에러율을 임계값과 비교하는 단계, (d) 상기 읽기 전압의 레벨이 리클레임 금지 영역에 속하는지 판단하는 단계, 및 (e) 상기 (d) 단계의 판단 결과에 기초하여 상기 데이터가 저장되었던 메모리 블록과 다른 메모리 블록으로 상기 데이터를 복사하는 리드 리클레임 동작의 실행 여부를 결정하는 단계를 포함한다.

[0013] 일 실시예에서, 상기 (e) 단계는 상기 읽기 전압의 레벨이 상기 리클레임 금지 영역에 속하지 않는 경우 상기 리드 리클레임 동작을 수행하도록 결정할 수 있다.

[0014] 일 실시예에서, 상기 (e) 단계는 상기 읽기 전압의 레벨이 상기 리클레임 금지 영역에 속하는 경우 상기 리드 리클레임 동작을 수행하지 않도록 결정할 수 있다.

[0015] 일 실시예에서, 상기 리클레임 금지 영역은 상기 읽기 전압보다 낮은 레벨을 갖는 전압 영역에 정의되는 제 1 영역, 및 상기 읽기 전압보다 높은 레벨을 갖는 전압 영역에 정의되는 제 2 영역을 포함할 수 있다.

[0016] 일 실시예에서, 상기 제 1 및 제 2 영역의 전압 범위는 상기 읽기 전압의 레벨을 기준으로 비대칭적으로 정의될 수 있다.

[0017] 일 실시예에서, 상기 제 1 영역의 전압 범위는 상기 제 2 영역의 전압 범위보다 넓을 수 있다.

[0018] 일 실시예에서, 상기 (d) 단계는 상기 (c) 단계의 판단 결과에 따라 수행 여부가 결정될 수 있다.

[0019] 일 실시예에서, 상기 (d) 단계는 상기 비트 에러율이 상기 임계값보다 작은 경우에 수행되지 않고, 상기 비트 에러율이 상기 임계값보다 높은 경우에 수행될 수 있다.

[0020] 본 발명의 일 실시예에 따른 메모리 시스템은 복수의 메모리 블록을 데이터 저장 공간으로 갖는 불휘발성 메모리 장치, 및 상기 불휘발성 메모리로부터 리드된 데이터를 전달받고, 상기 데이터를 읽기 위한 읽기 전압의 레벨에 기초하여 상기 데이터가 저장되었던 메모리 블록과 다른 메모리 블록으로 상기 데이터를 복사하는 리드 리클레임 동작의 실행 여부를 결정한다.

발명의 효과

[0021] 본 발명의 일 실시예에 따른 메모리 컨트롤러 및 그것의 동작 방법, 메모리 컨트롤러를 포함하는 메모리 시스템은 불휘발성 메모리 장치의 수명을 향상시킬 수 있다.

[0022] 본 발명의 일 실시예에 따른 메모리 컨트롤러 및 그것의 동작 방법, 메모리 컨트롤러를 포함하는 메모리 시스템은 불휘발성 메모리 장치의 리드 리클레임 동작의 실행 타이밍을 관리할 수 있다.

도면의 간단한 설명

- [0023] 도 1은 본 발명의 일 실시예에 따른 메모리 시스템을 보여주는 블록도이다.
- 도 2는 도 1의 불휘발성 메모리 장치를 더욱 구체적으로 보여주는 블록도이다.
- 도 3은 리드 리클레임 동작을 설명하기 위한 도면이다.
- 도 4는 도 1에 도시된 메모리 컨트롤러의 동작을 설명하기 위한 흐름도이다.
- 도 5 및 도 6은 싱글-레벨 셀 플래시 메모리에서의 셀 산포 및 멀티-레벨 셀 플래시 메모리에서의 셀 산포를 보여준다.
- 도 7 및 도 8은 각각 도 5 및 도 6의 셀 산포의 변화를 보여준다.
- 도 9는 도 7의 셀 산포의 변화의 다른 예를 보여준다.
- 도 10 내지 도 12는 도 1에 도시된 메모리 컨트롤러의 동작을 설명하기 위한 메모리 셀의 문턱 전압 산포도이다.
- 도 13은 도 1의 메모리 시스템의 다른 예를 보여준다.
- 도 14는 도 1 및 도 13의 메모리 시스템을 포함하는 컴퓨팅 시스템을 보여준다.

발명을 실시하기 위한 구체적인 내용

[0024] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시 예들에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 발명의 개념에 따른 실시 예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시 예들은 다양한 형태들로 실시될 수 있으며 본 명세서에 설명된 실시 예들에 한정되지 않는다.

[0025] 본 발명의 개념에 따른 실시 예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시 예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시 예들을 특정한 개시 형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물, 또는 대체물을 포함한다.

[0026] 본 발명은 메모리 컨트롤러의 동작 방법 및 메모리 컨트롤러를 포함하는 메모리 시스템에 관한 것이다. 이하에서, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 실시예들을 첨부된 도면을 참조하여 설명하기로 한다.

[0027] 도 1은 본 발명의 일 실시예에 따른 메모리 시스템을 보여주는 블록도이다.

[0028] 도 1을 참조하면, 본 발명의 일 실시예에 따른 메모리 시스템(100)은 메모리 컨트롤러(110) 및 불휘발성 메모리 장치(120)를 포함한다.

[0029] 이하에서는 설명의 편의를 위해, 불휘발성 메모리 장치(120)가 낸드 플래시 메모리 장치로 가정된다. 그러나 불휘발성 메모리 장치(120)가 낸드 플래시 메모리 장치에 국한될 필요는 없다. 불휘발성 메모리 장치(120)는 노어

(NOR) 플래시 메모리 장치, 저항변화 메모리 장치(Resistive Random Access Memory, RRAM), 상변화 메모리 장치(Phase-change Memory, PRAM), 자기저항 메모리 장치(Magnetoresistive Random Access Memory, MRAM), 강유전체 메모리 장치(Ferroelectric Random Access Memory, FRAM) 등이 될 수 있다.

- [0030] 메모리 컨트롤러(110)는 호스트(Host, 미도시) 및 불휘발성 메모리 장치(120)에 연결된다. 메모리 컨트롤러(110)는 불휘발성 메모리 장치(120) 및 호스트(Host) 사이에 인터페이스를 제공하도록 구성된다. 메모리 컨트롤러(110)는 불휘발성 메모리 장치(120)를 제어하기 위한 펌웨어(firmware)를 구동하도록 구성된다. 예시적으로, 메모리 컨트롤러(110)는 불휘발성 메모리 장치(120)에 제어 신호(CMD) 및 어드레스(ADD)를 제공하도록 구성된다. 그리고, 메모리 컨트롤러(110)는 불휘발성 메모리 장치(120)와 데이터(DATA)를 교환하도록 구성된다.
- [0031] 호스트(Host)로부터의 요청에 응답하여, 메모리 컨트롤러(110)는 불휘발성 메모리 장치(120)를 액세스하도록 구성된다. 메모리 컨트롤러(110)는 불휘발성 메모리 장치(120)의 읽기, 쓰기, 소거, 그리고 배경(background) 동작을 제어하도록 구성된다. 배경 동작은 예를 들어, 리드 리클레임(read reclaim) 동작을 포함할 수 있다. 리드 리클레임 동작은 이하의 도 3을 참조하여 구체적으로 설명될 것이다.
- [0032] 예를 들면, 읽기 동작 제어의 경우, 메모리 컨트롤러(110)는 불휘발성 메모리 장치(120)에 읽기 제어 신호 및 어드레스를 전달할 것이다. 불휘발성 메모리 장치(120)는 미리 정해진 레벨을 갖는 읽기 전압을 이용하여 저장된 데이터를 읽고, 리드된 데이터를 메모리 컨트롤러(110)로 전달할 것이다.
- [0033] 메모리 컨트롤러(110)는 에러 검출 및 정정 회로(ECC, 111) 및 리클레임 제어부(112)를 포함할 수 있다.
- [0034] 에러 검출 및 정정 회로(111)는 에러 정정 코드(ECC)를 이용하여 불휘발성 메모리 장치(120)로부터 리드된 데이터의 에러를 검출하고, 검출된 에러를 정정하도록 구성될 수 있다. 에러 검출 및 정정 회로(111)는 리드된 데이터의 비트 에러율(Bit Error Rate, BER)을 산출하고, 산출된 비트 에러율을 임계값(threshold value)과 비교할 수 있다. 에러 검출 및 정정 회로(111)는 산출된 비트 에러율과 임계값의 비교 결과를 리클레임 제어부(112)로 전달할 것이다.
- [0035] 에러 검출 및 정정 회로(111)는 에러 정정 코드로 데이터를 디코딩하도록 구현될 수 있다. 에러 검출 및 정정 회로(111)는 다양한 코드 디코더로 구현될 수 있다. 예를 들어, 비체계적 코드 디코딩을 수행하는 디코더 또는 체계적 코드 디코딩을 수행하는 디코더가 이용될 수 있다.
- [0036] 리클레임 제어부(112)는 읽기 전압의 레벨이 리클레임 금지 영역에 속하는지 판단할 수 있다. 읽기 전압은 에러 검출 및 정정 회로(111)로 수신된 데이터의 리드를 위해 불휘발성 메모리 장치(120)에서 사용된 전압을 의미할 수 있다. 리클레임 금지 영역은 이하의 도 10 내지 도 12를 참조하여 구체적으로 설명될 것이다.
- [0037] 리클레임 제어부(112)는 읽기 전압의 레벨이 리클레임 금지 영역에 속하지 않는 경우에만 리드 리클레임(read reclaim) 동작을 수행하도록 불휘발성 메모리 장치(120)를 제어할 수 있다. 리드 리클레임 동작은 불휘발성 메모리 장치(120)의 복수의 메모리 블록 가운데 어느 하나에 저장된 데이터를 다른 메모리 블록으로 복사하는 동작을 의미할 수 있다.
- [0038] 리클레임 제어부(112)는 에러 검출 및 정정 회로(111)로부터 비트 에러율과 임계값의 비교 결과를 전달받을 수 있다. 리클레임 제어부(112)는 산출된 비트 에러율이 임계값 이상인 경우 리드 리클레임(read reclaim) 동작을 수행하도록 불휘발성 메모리 장치(120)를 제어할 수 있다. 하지만, 리클레임 제어부(112)는 읽기 전압의 레벨이 리클레임 금지 영역에 속하는 경우, 비트 에러율이 임계값 이상인 경우라 할지라도 리드 리클레임 동작을 수행하지 않도록 불휘발성 메모리 장치(120)를 제어할 것이다.
- [0039] 즉, 상술한 바와 같이, 본 발명의 일 실시예에 따른 메모리 시스템(1000)의 메모리 컨트롤러(1100)는 읽기 전압의 레벨이 리클레임 금지 영역에 속하지 않는 경우에만 리드 리클레임 동작을 수행하도록 불휘발성 메모리 장치(120)를 제어한다. 따라서, 불휘발성 메모리 장치(120)의 리드 리클레임 동작 수행 횟수는 관리될 수 있다. 이는 불휘발성 메모리 장치(120)의 수명 향상을 의미할 수 있다. 리드 리클레임 동작 수행 횟수의 증가는 WAI(Wear Acceleration Index)를 증가시킬 수 있기 때문이다.
- [0040] 또한, 예시적으로, 메모리 컨트롤러(110)는 램(RAM, Random Access Memory), 프로세싱 유닛(processing unit), 호스트 인터페이스(host interface), 그리고 메모리 인터페이스(memory interface)와 같은 잘 알려진 구성 요소들을 더 포함할 수 있다. 램(RAM)은 프로세싱 유닛의 동작 메모리, 불휘발성 메모리 장치(120) 및 호스트(Host) 사이의 캐시 메모리, 그리고 불휘발성 메모리 장치(120) 및 호스트(Host) 사이의 버퍼 메모리 중 적어도 하나로 구성된다. 프로세싱 유닛은 메모리 컨트롤러(110)의 제반 동작을 제어할 수 있다.

- [0041] 호스트 인터페이스는 호스트(Host) 및 메모리 컨트롤러(110) 사이의 데이터 교환을 수행하기 위한 프로토콜을 포함한다. 예시적으로, 메모리 컨트롤러(110)는 USB (Universal Serial Bus) 프로토콜, MMC (multimedia card) 프로토콜, PCI (peripheral component interconnection) 프로토콜, PCI-E (PCI-express) 프로토콜, ATA (Advanced Technology Attachment) 프로토콜, Serial-ATA 프로토콜, Parallel-ATA 프로토콜, SCSI (small computer small interface) 프로토콜, ESDI (enhanced small disk interface) 프로토콜, 그리고 IDE (Integrated Drive Electronics) 프로토콜 등과 같은 다양한 인터페이스 프로토콜들 중 적어도 하나를 통해 외부(호스트)와 통신하도록 구성될 수 있다.
- [0042] 메모리 인터페이스는 불휘발성 메모리 장치(120)와 인터페이싱한다. 예를 들면, 메모리 인터페이스는 낸드 인터페이스 또는 노어 인터페이스를 포함할 수 있다.
- [0043] 도 2는 도 1의 불휘발성 메모리 장치를 더욱 구체적으로 보여주는 블록도이다.
- [0044] 도 2를 참조하면, 본 발명의 일 실시예에 따른 불휘발성 메모리 장치(120)는 메모리 셀 어레이(121), 제어 로직(122), 행 디코더(123), 페이지 버퍼(124) 및 입/출력 버퍼(125)를 포함한다.
- [0045] 메모리 셀 어레이(121)는 복수의 메모리 블록(BLK0~BLKn-1)으로 구성된다. 각각의 메모리 블록(BLK0~BLKn-1)은 복수의 페이지로 구성된다. 각각의 페이지는 복수의 메모리 셀을 포함한다. 각각의 메모리 셀은 워드 라인(WL) 및 비트 라인(BL)이 교차하는 영역에 배치된다.
- [0046] 제어 로직(122)은 불휘발성 메모리 장치(120)의 전반적인 동작을 제어한다. 제어 로직(122)은 고전압 발생기(High Voltage Generator)를 포함하여 구성될 수 있다. 즉, 제어 로직(122)은 메모리 컨트롤러(110, 도 1 참조)로부터의 제어 신호(CMD)에 응답하여 프로그램, 읽기 및 소거 동작에 필요한 고전압들을 생성할 수 있다. 예를 들어, 읽기 동작 시, 제어 로직(122)은 읽기 전압(Vrd) 및 읽기 패스 전압(Vread)을 행 디코더(123)를 통해 메모리 셀 어레이(121)에 인가한다. 또한, 제어 로직(122)은 메모리 컨트롤러(110, 도 1 참조)로부터 전달되는 어드레스(ADD)를 행 디코더(123) 및 페이지 버퍼(124)에 각각 전달한다.
- [0047] 페이지 버퍼(124)는 동작 모드에 따라 쓰기 드라이버(write driver)로서 또는 감지 증폭기(Sense Amplifier)로서 동작한다. 예를 들어, 페이지 버퍼(124)는 읽기 동작시, 감지 증폭기로서 동작한다. 페이지 버퍼(124)는 읽기 동작시, 하나의 페이지 단위의 데이터를 메모리 셀 어레이(121)로부터 전달받는다. 구체적으로, 페이지 버퍼(124)는 메모리 셀 어레이(121)로부터 페이지 어드레스에 상응하는 하나의 페이지 단위의 최하위 비트(Least Significant Bit, LSB) 데이터 또는 최상위 비트(Most Significant Bit, MSB) 데이터를 전달받는다.
- [0048] 입/출력 버퍼(125)는 외부와 데이터를 교환하도록 구성된다. 외부로부터 수신되는 데이터는 데이터 라인들(DL)을 통해 페이지 버퍼(124)에 전달된다. 페이지 버퍼(124)로부터 전달되는 데이터는 외부(ex. 메모리 컨트롤러)로 출력된다. 예시적으로, 입/출력 버퍼(125)는 데이터 버퍼 등과 같이 잘 알려진 구성 요소를 포함할 수 있다.
- [0049] 도 3은 리드 리클레임 동작을 설명하기 위한 도면이다.
- [0050] 도 1 내지 도 3을 참조하면, 불휘발성 메모리 장치(120)는 메모리 컨트롤러(110)의 제어에 따라 어드레스에 대응되는 데이터를 메모리 셀 어레이(121)로부터 리드하고, 리드된 데이터를 메모리 컨트롤러(110)로 전달한다.
- [0051] 메모리 셀 어레이(121)는 복수의 메모리 블록(BLK0~BLKn-1)으로 구성된다. 어드레스에 대응되는 데이터는 예를 들어, 메모리 블록(BLK1)에 저장된 것으로 가정된다. 불휘발성 메모리 장치(120)는 리드 리클레임 동작 시에 메모리 블록(BLK1)에 저장된 데이터를 다른 메모리 블록(예를 들어, BLK2)으로 복사할 수 있다. 이러한 리드 리클레임 동작은 데이터의 보존을 위함이다.
- [0052] 한편, 리드 리클레임 동작은 불휘발성 메모리 장치(120)의 배경 동작의 하나이므로, 불휘발성 메모리 장치(120)는 유휴 시간을 이용하여 리드 리클레임 동작을 수행할 수 있다.
- [0053] 도 4는 도 1에 도시된 메모리 컨트롤러의 동작을 설명하기 위한 흐름도이다.
- [0054] 도 4를 참조하면, 본 발명의 일 실시예에 따른 메모리 컨트롤러의 동작 방법은 읽기 전압을 사용하여 데이터를 리드하도록 불휘발성 메모리 장치를 제어하는 단계(S110), 리드된 데이터를 불휘발성 메모리 장치로부터 수신하는 단계(S120), 리드된 데이터의 비트 에러율(BER)을 임계값과 비교하는 단계(S130), 상기 읽기 전압의 레벨이 리클레임 금지 영역(Range X)에 속하는지 판단하는 단계(S140), 및 불휘발성 메모리 장치가 리드 리클레임 동작을 수행하도록 제어하는 단계(S150)를 포함한다.

- [0055] 이하에서, 각 단계가 구체적으로 설명된다.
- [0056] S110 단계에서, 메모리 컨트롤러(110, 도 1 참조)는 불휘발성 메모리 장치(120, 도 1 참조)의 읽기 동작을 제어할 수 있다. 불휘발성 메모리 장치(120)는 메모리 컨트롤러(110)로부터 전달되는 제어 신호(CMD) 및 어드레스(ADD)를 전달받고, 미리 결정된 레벨을 갖는 읽기 전압을 이용하여 어드레스(ADD)에 대응하는 데이터를 리드할 것이다.
- [0057] S120 단계에서, 메모리 컨트롤러(110, 도 1 참조)는 불휘발성 메모리 장치(120)로부터 리드된 데이터를 전달받을 수 있다. 구체적으로, 에러 검출 및 정정 회로(111, 도 1 참조)는 불휘발성 메모리 장치(120)로부터 데이터를 전달받을 것이다.
- [0058] S130 단계에서, 에러 검출 및 정정 회로(111)는 전달받은 데이터의 비트 에러율(BER)을 산출할 수 있다. 에러 검출 및 정정 회로(111)는 산출된 비트 에러율을 미리 설정된 임계값과 비교하고, 비교 결과를 리클레임 제어부(112, 도 1 참조)로 전달할 수 있다.
- [0059] 비트 에러율이 임계값보다 작은 경우, 리클레임 제어부(112)는 불휘발성 메모리 장치(120)가 리드 리클레임 동작을 수행하지 않도록 제어할 것이다. 비트 에러율이 임계값 이상인 경우, S140 단계가 수행될 것이다.
- [0060] S140 단계에서, 리클레임 제어부(112, 도 1 참조)는 읽기 전압의 레벨이 리클레임 금지 영역에 속하는지 판단할 수 있다. 리클레임 금지 영역은 이하의 도 10 내지 12를 참조하여 구체적으로 설명될 것이다.
- [0061] 읽기 전압의 레벨이 리클레임 금지 영역에 속하는 경우, 리클레임 제어부(112)는 불휘발성 메모리 장치(120)가 리드 리클레임 동작을 수행하지 않도록 제어할 것이다. 읽기 전압의 레벨이 리클레임 금지 영역에 속하지 않는 경우 리클레임 제어부(112)는 불휘발성 메모리 장치(120)가 리드 리클레임 동작을 수행하도록 제어할 것이다.
- [0062] 즉, 상술한 바와 같이, 본 발명의 일 실시예에 따른 메모리 컨트롤러의 동작 방법은 읽기 전압의 레벨이 리클레임 금지 영역에 속하지 않는 경우에만 리드 리클레임 동작을 수행하도록 불휘발성 메모리 장치(120)를 제어한다. 따라서, 불휘발성 메모리 장치(120)의 리드 리클레임 동작 수행 횟수는 관리될 수 있다. 이는 불휘발성 메모리 장치(120)의 수명 향상을 의미할 수 있다. 리드 리클레임 동작 수행 횟수의 증가는 WAI(Wear Acceleration Index)를 증가시킬 수 있기 때문이다. 이하에서는 도 5 내지 도 12에 도시된 셀 문턱 전압 산포를 참조하여 메모리 컨트롤러의 동작이 더욱 구체적으로 설명될 것이다.
- [0063] 도 5 및 도 6은 싱글-레벨 셀 플래시 메모리에서의 셀 산포 및 멀티-레벨 셀 플래시 메모리에서의 셀 산포를 보여준다. 도 7 및 도 8은 각각 도 5 및 도 6의 셀 산포의 변화를 보여준다.
- [0064] 먼저, 도 5 및 도 6을 참조하면, 각각 싱글-레벨 셀(Single Level Cell, SLC) 및 멀티-레벨 셀(Multi Level Cell, MLC)에 데이터가 프로그램된 경우에 셀들의 문턱 전압 산포와 프로그램된 데이터를 리드하기 위한 리드 전압의 레벨이 도시된다.
- [0065] 싱글-레벨 셀의 경우 읽기 전압(Vrd)에 의해 2개의 상태, 즉, 소거 상태(Erase, E) 및 프로그램 상태(Program, P)가 구분될 수 있다. 멀티-레벨 셀의 경우 읽기 전압(Vrd1, Vrd2, Vrd3)에 의해 4개의 상태, 즉, 소거 상태(E), 프로그램 상태(P1, P2, P3)가 구분될 수 있다.
- [0066] 하지만, 플래시 메모리 장치에서, 메모리 셀에 대한 프로그램 또는 소거 동작이 반복됨에 따라, 셀 산포가 변화될 수 있다. 도 7 및 도 8을 참조하면, 셀 산포가 변화(점선)됨에 따라, 기 설정된 읽기 전압에 의하여 읽기 동작을 수행할 경우, 데이터의 에러가 증가하고 그에 따라 비트 에러율이 증가할 수 있다. 나아가, 읽기 동작이 페일(FAIL)될 수도 있다. 이는, 도 7 및 도 8과 같이, 셀 산포간 마진이 작은 멀티-레벨 셀 플래시 메모리의 경우에 더 심각한 문제가 될 수 있다.
- [0067] 이와 같이, 셀 산포가 변화되어 비트 에러율이 임계값 이상으로 증가하는 경우, 일반적으로 불휘발성 메모리 장치(120)는 리드 리클레임 동작을 수행할 수 있다. 이는 데이터의 보존을 위함이다. 하지만, 비트 에러율이 임계값 이상으로 증가하는 때 경우마다 리드 리클레임 동작을 수행하는 경우 불휘발성 메모리 장치(120)의 수명이 단축될 수 있다.
- [0068] 도 9는 도 7의 셀 산포의 변화의 다른 예를 보여준다.
- [0069] 도 9를 참조하면, 도 7과 비교하여 메모리 셀에 대한 프로그램 또는 소거 동작의 반복 횟수가 더욱 증가한 경우의 예시적인 셀 산포가 도시된다. 예를 들면, 셀 산포는 도 7과 비교하여 문턱 전압이 증가하는 방향으로 더 많

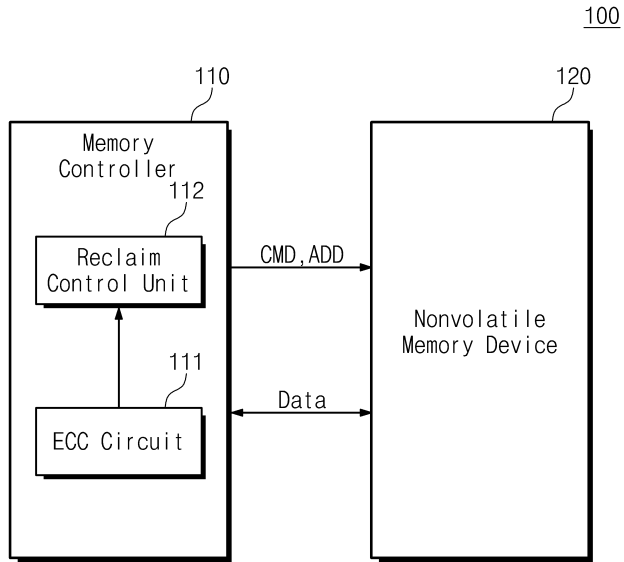
이 이동할 수 있다.

- [0070] 즉, 도 9를 참조하면, 불휘발성 메모리 장치(120, 도 2 참조)가 기존의 읽기 전압(Vrd)을 사용하여 데이터를 리드하는 경우 비트 에러율은 도 7의 경우와 비교하여 더욱 증가할 수 있다. 비트 에러율이 임계값 이상인 경우 (예를 들어, 비트 에러율이 너무 높아져서 읽기 페일이 되는 경우), 불휘발성 메모리 장치(120)는 예를 들어, 리드 리트라이(read retry) 동작을 통해 읽기 전압(Vrd)의 레벨을 제어할 수 있다. 구체적으로, 불휘발성 메모리 장치(120)는 읽기 전압(Vrd)의 레벨을 읽기 전압(Vrdrn)으로 변화시킴으로써 비트 에러율을 감소시킬 수 있다.
- [0071] 하지만, 읽기 전압의 레벨을 제어함으로써 비트 에러율을 감소시킬 수 있지만, 도 7과 비교하여 프로그램 또는 소거 동작 반복 횟수가 더 많고, 셀 산포가 더욱 좋지 않은 상황임에도 불구하고 불휘발성 메모리 장치(120)의 리드 리클레임 동작이 수행되지 않을 수 있다. 즉, 도 9의 경우가 도 7의 경우와 비교하여 리드 리클레임 동작의 수행이 더 필요한 상황임에도 오히려 도 7의 경우에 리드 리클레임 동작이 수행되는 경우가 발생할 수 있다.
- [0072] 도 10 내지 도 12는 도 1에 도시된 메모리 컨트롤러의 동작을 설명하기 위한 메모리 셀의 문턱 전압 산포도이다. 이하에서는 싱글-레벨 셀의 경우가 예시적으로 설명되나, 멀티-레벨 셀의 경우에까지 본 발명의 기술적 사상이 확장될 수 있음은 잘 이해될 것이다.
- [0073] 먼저 도 10을 참조하면, 리클레임 금지 영역(X)이 도시된다. 리클레임 금지 영역(X)은 제 1 영역(x1) 및 제 2 영역(x2)을 포함할 수 있다. 제 1 영역(x1) 및 제 2 영역(x2)은 읽기 전압(Vrd)을 기준으로 각각 소정 범위를 갖도록 정의될 수 있다. 제 1 영역(x1)은 읽기 전압(Vrd)보다 낮은 레벨을 갖는 전압들로 구성될 수 있다. 제 2 영역(x2)은 읽기 전압(Vrd)보다 높은 레벨을 갖는 전압들로 구성될 수 있다. 제 1 영역(x1) 및 제 2 영역(x2)의 전압 범위는 읽기 전압(Vrd)을 기준으로 비대칭적으로 정의될 수 있다. 예를 들어, 제 1 영역(x1)의 경우, 시간에 따른 전하 손실(Charge Loss)을 고려하여 제 2 영역(x2)보다 좁은 범위로 설정될 수 있다.
- [0074] 도 11을 참조하면, 리클레임 제어부(112, 도 1 참조)는 읽기 전압의 레벨이 리클레임 금지 영역(X)에 속하는 경우, 즉, 읽기 전압의 레벨이 Vrd 또는 Vrdr인 경우, 불휘발성 메모리 장치(120, 도 1 참조)가 리드 리클레임 동작을 수행하지 않도록 제어할 것이다. 특히, 읽기 전압의 레벨이 Vrdr인 경우, 변화된 셀 산포(b)에 따라 데이터 리드 시에 에러가 발생하는 것에 관계없이 리드 리클레임 동작은 수행되지 않을 것이다. 구체적으로, 리클레임 제어부(112)는 읽기 전압의 레벨이 리클레임 금지 영역(X)에 속하는 경우, 비트 에러율이 임계값보다 높은 경우에도 불휘발성 메모리 장치(120)가 리드 리클레임 동작을 수행하지 않도록 제어할 것이다.
- [0075] 도 12를 참조하면, 리클레임 제어부(112, 도 1 참조)는 읽기 전압의 레벨이 리클레임 금지 영역(X)에 속하지 않는 경우, 즉, 읽기 전압의 레벨이 Vrdr인 경우, 불휘발성 메모리 장치(120, 도 1 참조)가 리드 리클레임 동작을 수행하도록 제어할 수 있다.
- [0076] 즉, 상술한 바와 같이, 본 발명의 일 실시예에 따른 메모리 컨트롤러의 동작 방법은 읽기 전압의 레벨이 리클레임 금지 영역에 속하지 않는 경우에만 리드 리클레임 동작을 수행하도록 불휘발성 메모리 장치(120)를 제어한다. 따라서, 불휘발성 메모리 장치(120)의 리드 리클레임 동작 수행 횟수는 관리될 수 있다. 이는 불휘발성 메모리 장치(120)의 수명 향상을 의미할 수 있다.
- [0077] 도 13은 도 1의 메모리 시스템의 응용 예를 보여주는 블록도이다.
- [0078] 도 13을 참조하면, 메모리 시스템(1000)은 컨트롤러(1100) 및 불휘발성 메모리 장치(1200)를 포함한다. 불휘발성 메모리 장치(1200)는 복수의 불휘발성 메모리 칩들을 포함한다. 복수의 불휘발성 메모리 칩들은 복수의 그룹들로 분할된다. 복수의 불휘발성 메모리 칩들의 각 그룹은 하나의 공통 채널을 통해 컨트롤러(1100)와 통신하도록 구성된다.
- [0079] 도 13에서, 복수의 불휘발성 메모리 칩들은 제 1 내지 제 k 채널들(CH1~CHk)을 통해 컨트롤러(1100)와 통신하는 것으로 도시되어 있다. 각 불휘발성 메모리 칩은 도 2를 참조하여 설명된 불휘발성 메모리 장치(120)와 같이 구성된다. 그리고, 컨트롤러(1100)는 도 1을 참조하여 설명된 메모리 컨트롤러(110)와 같이 구성된다.
- [0080] 예시적으로, 컨트롤러(1100) 및 불휘발성 메모리 장치(1200)는 하나의 반도체 장치로 집적되어, 메모리 카드를 구성할 수 있다. 예를 들면, 컨트롤러(1100) 및 불휘발성 메모리 장치(1200)는 하나의 반도체 장치로 집적되어 PC 카드(PCMCIA, personal computer memory card international association), 콤팩트 플래시 카드(CF), 스마트 미디어 카드(SM, SMC), 메모리 스틱, 멀티미디어 카드(MMC, RS-MMC, MMCmicro), SD 카드(SD, miniSD,

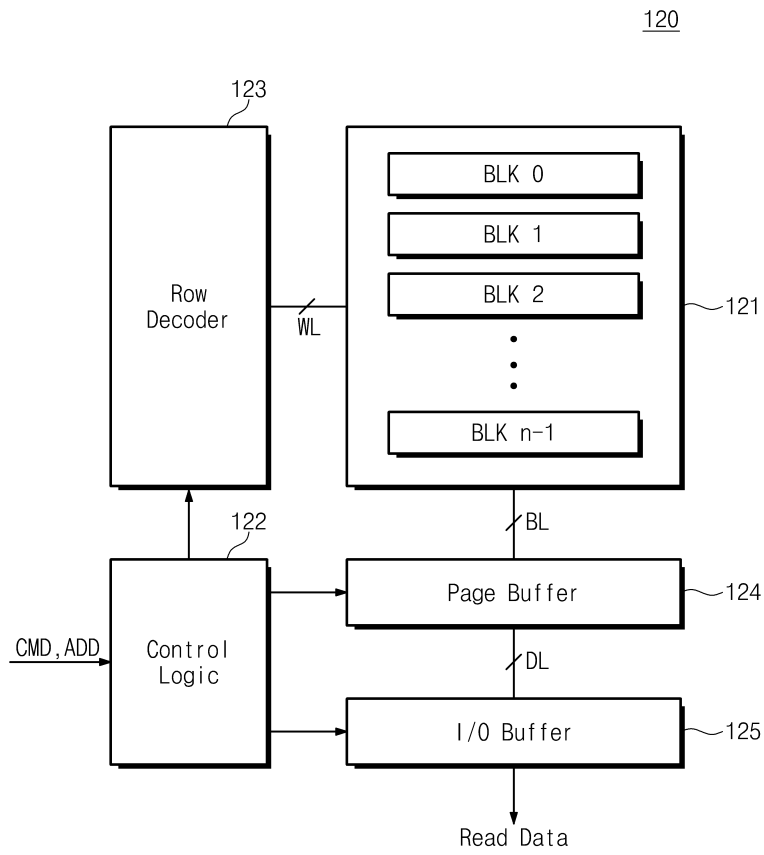
125: I/O 버퍼

도면

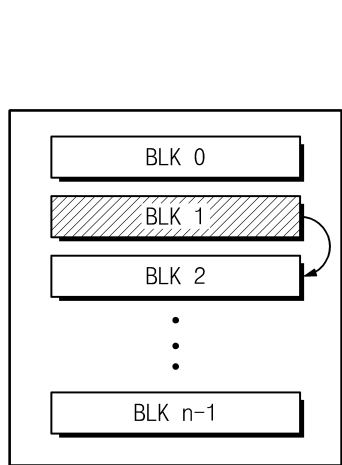
도면1



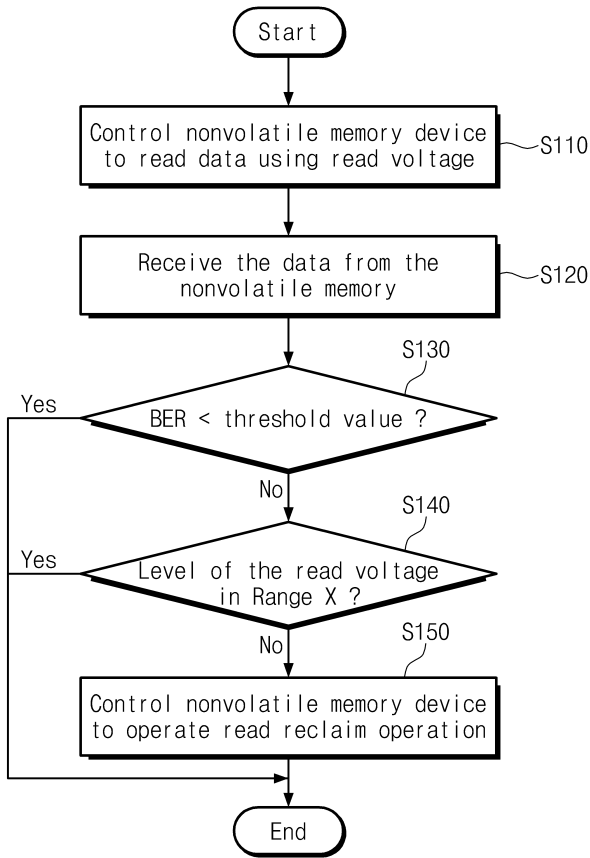
도면2



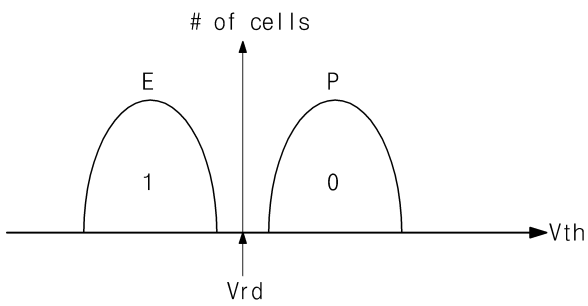
도면3



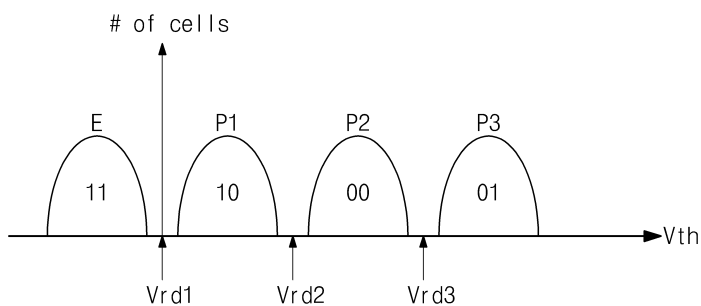
도면4



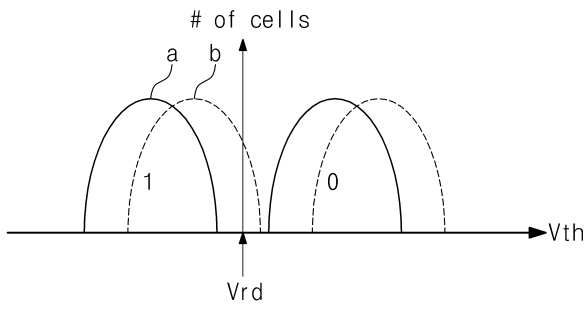
도면5



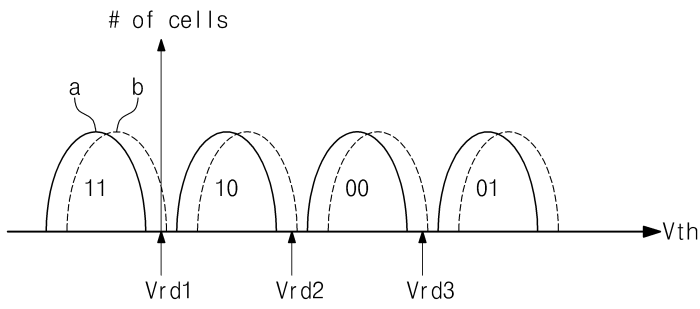
도면6



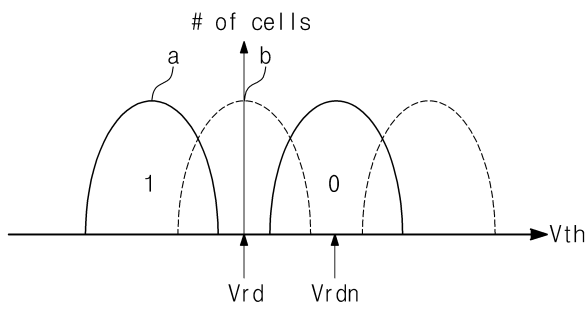
도면7



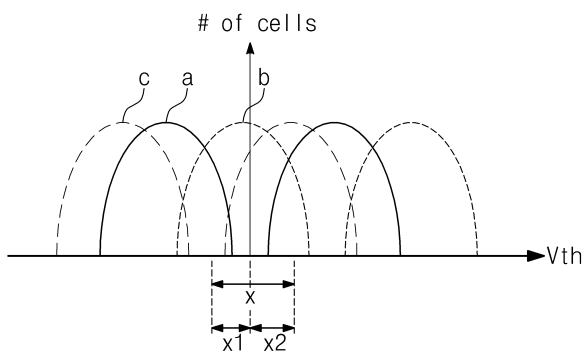
도면8



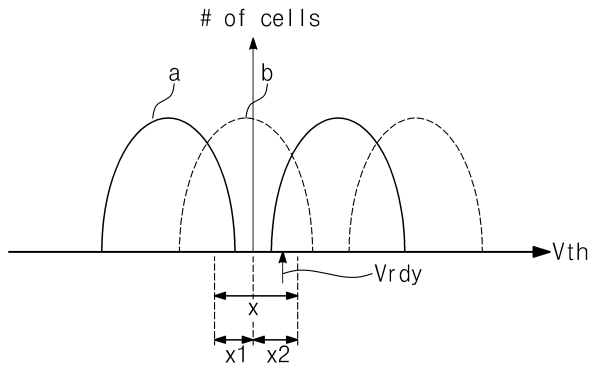
도면9



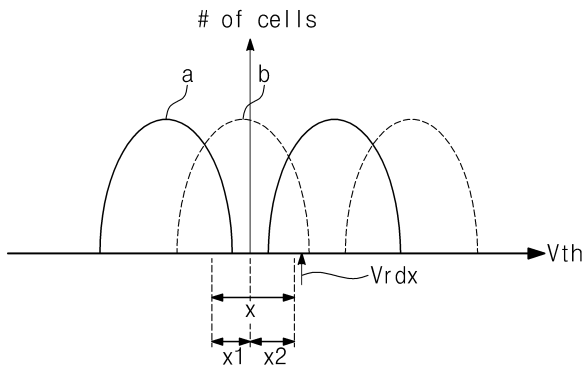
도면10



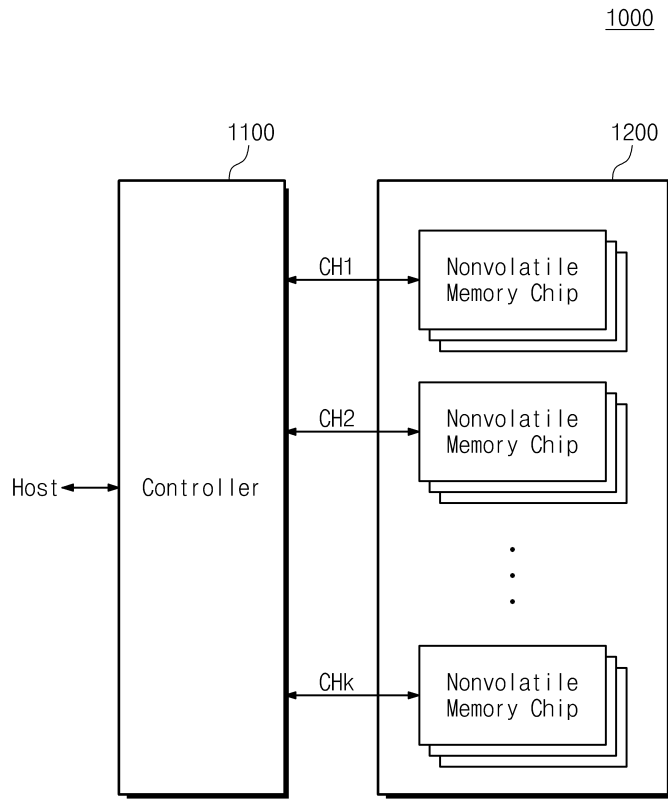
도면11



도면12



도면13



도면14

