

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G01R 19/165 (2006.01)



[12] 发明专利说明书

专利号 ZL 02827605.1

[45] 授权公告日 2009 年 7 月 1 日

[11] 授权公告号 CN 100507582C

[22] 申请日 2002.12.6 [21] 申请号 02827605.1

[30] 优先权

[32] 2001.12.10 [33] US [31] 10/016,513

[86] 国际申请 PCT/US2002/039176 2002.12.6

[87] 国际公布 WO2003/054560 英 2003.7.3

[85] 进入国家阶段日期 2004.7.27

[73] 专利权人 米克罗恩技术公司

地址 美国爱达荷州

[72] 发明人 蒂姆西·B·考尔斯

[56] 参考文献

CN2155572Y 1994.2.9

CU86203080U 1987.6.17

US6133753A 2000.10.17

审查员 赵景焕

[74] 专利代理机构 北京市柳沈律师事务所

代理人 黄小临 王志森

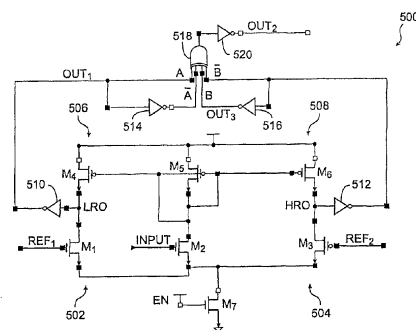
权利要求书 10 页 说明书 12 页 附图 4 页

[54] 发明名称

用于电压电平检测的输入缓冲器和方法

[57] 摘要

一种被配置用于电压检测的改进的输入缓冲器电路和方法被提供，它可以便利使用中间电平的电压以用于测试目的。一种被配置用于电压检测的示范输入缓冲器包括参考发生器和多状态检测器。所述参考发生器被配置来产生至少两个参考电压，所述至少两个参考电压要作为输入信号被提供给多状态检测器。所述多状态检测器被适当地配置来接收输入的参考信号并且通过将输入的参考信号与两个参考电压相比较而向三个输出终端提供输出信号，用于表示高、低和中间操作系统。一种示范的输入缓冲器电路可以包括两个差分对的晶体管，它们被以背对背布置配置并且共享一个公共节点，因此导致较低的电流要求。另外，输入缓冲器可以从同一管芯板提供多种操作而不要求附加的命令引脚。



1. 一种输入缓冲器，被配置来检测在集成电路内的多个电压电平，所述输入缓冲器包括：

至少两个差分输入对，它以背对背的布置被配置并且共享公共的节点，所述至少两个差分输入对被配置来用于接收一个输入电压和至少两个参考电压，包括第一参考电压和第二参考电压；

其中所述输入缓冲器将所述输入电压与所述第一参考电压和所述第二参考电压相比较，并且当所述输入电压小于所述第一参考电压时提供第一输出信号，当所述输入电压具有在所述第一参考电压和所述第二参考电压之间的电压电平时提供第二输出信号，当所述输入电压大于所述第二参考电压时提供第三输出信号。

2. 按照权利要求1的输入缓冲器，其中所述输入缓冲器被配置来接收超过两个的参考电压，并且产生与所述输入电压和所述超过两个的参考电压的比较相对应的超过三个的输出信号。

3. 按照权利要求1的输入缓冲器，其中所述至少两个差分输入对包括：

第一晶体管，具有耦合到所述第一参考电压的栅极；

第二晶体管，具有耦合到所述输入电压的栅极和耦合到所述第一晶体管的源极的源极；

第三晶体管，具有耦合到所述第二参考电压的栅极和耦合到所述第二晶体管的所述源极的源极，使得所述两个差分输入缓冲器共享所述公共节点。

4. 按照权利要求3的输入缓冲器，其中所述输入缓冲器还包括两个电流镜电路，它们耦合到所述两个差分输入对以提供与所述输入电压和所述两个参考电压的比较相对应的输出信号。

5. 按照权利要求4的输入缓冲器，其中所述两个电流镜电路包括：

第四晶体管，具有耦合到所述第二晶体管的漏极的栅极和耦合到所述第一晶体管的漏极的漏极；

第五晶体管，具有耦合到所述第四晶体管的所述栅极和所述第二晶体管的所述漏极的栅极；

第六晶体管，具有耦合到所述第二晶体管的所述漏极的栅极和耦合到所述第三晶体管的漏极的漏极。

6. 按照权利要求 5 的输入缓冲器, 其中所述输入缓冲器还包括一对反相器, 第一反相器耦合到所述第一晶体管和所述第四晶体管的所述漏极, 而第二反相器耦合到所述第三晶体管和所述第六晶体管的所述漏极, 其中所述一对反相器被配置来提供对应于所述低输出信号和所述高输出信号的输出信号。

7. 按照权利要求 6 的输入缓冲器, 其中所述输入缓冲器还包括多个逻辑器件, 包括:

第三反相器, 具有耦合到所述第一反相器的输出的输入, 所述输入对应于所述低输出信号;

第四反相器, 具有耦合到所述第二反相器的输出的输入, 所述第四反相器具有对应于所述高输出信号的输出;

异或门, 具有耦合到所述第三反相器和所述第四反相器的输出的输入;

第五反相器, 具有耦合到所述异或门的输出的输入, 和对应于所述中电平输出信号的输出。

8. 一种输入缓冲器电路, 用于检测集成电路的操作的中电平电压范围, 所述输入缓冲器电路包括:

参考发生器, 被配置来接收电源电压和用于产生两个参考电压, 所述两个参考电压表示第一参考电压和第二参考电压, 所述第二参考电压大于所述第一参考电压;

多状态检测器, 被配置来接收一个输入电压和所述两个参考电压, 其中所述多状态检测器将所述输入电压与所述第一参考电压和所述第二参考电压相比较, 并且当所述输入电压小于所述第一参考电压时提供对应于低输入信号的第一输出信号, 当所述输入电压具有在所述第一参考电压和所述第二参考电压的电平之间的电压电平时提供对应于中电平输入信号的第二输出信号, 当所述输入电压大于所述第二参考电压时提供对应于高输入信号的第三输出信号。

9. 按照权利要求 8 的输入缓冲器电路, 其中所述参考发生器被配置来产生除了所述两个参考电压之外的附加参考电压, 并且所述多状态检测器被配置来产生对应于所述输入电压和所述附加参考电压的比较的附加输出信号。

10. 按照权利要求 8 的输入缓冲器电路, 其中所述多状态检测器包括两个差分输入缓冲器, 它们以背对背的布置被配置并且共享公共节点。

11. 按照权利要求 10 的输出缓冲器电路, 其中所述两个差分输入缓冲器包括:

第一晶体管, 具有耦合到所述第一参考电压的栅极;

第二晶体管, 具有耦合到所述输入电压的栅极和耦合到所述第一晶体管的源极的源极;

第三晶体管, 具有耦合到所述第二参考电压的栅极和耦合到所述第二晶体管的所述源极的源极, 使得所述两个差分输入缓冲器共享所述公共节点。

12. 按照权利要求 11 的输入缓冲器电路, 其中所述第一晶体管、所述第二晶体管和所述第三晶体管包括 n 沟道晶体管器件。

13. 按照权利要求 11 的输入缓冲器电路, 其中所述多状态检测器还包括两个电流镜电路, 它们耦合到所述两个差分输入缓冲器, 以提供对应于所述输入电压和所述两个参考电压的输出的输出信号。

14. 按照权利要求 13 的输入缓冲器电路, 其中所述两个电流镜电路包括:

第四晶体管, 具有耦合到所述第二晶体管的漏极的栅极和耦合到所述第一晶体管的漏极的漏极;

第五晶体管, 具有耦合到所述第四晶体管的所述栅极和所述第二晶体管的所述漏极的栅极;

第六晶体管, 具有耦合所述第二晶体管的所述漏极的栅极和耦合到所述第三晶体管的漏极的漏极。

15. 按照权利要求 14 的输入缓冲器电路, 其中所述多状态检测器还包括一对反相器, 第一反相器耦合到所述第一晶体管和所述第四晶体管的所述漏极, 而第二反相器耦合到所述第三晶体管和所述第六晶体管的所述漏极, 其中所述一对反相器被配置来提供对应于所述低输出信号和所述高输出信号的输出信号。

16. 按照权利要求 15 的输入缓冲器电路, 其中所述多状态检测器还包括多个逻辑器件, 包括:

第三反相器, 具有耦合到所述第一反相器的输出的输入, 所述输入对应于所述低输出信号;

第四反相器, 具有耦合到所述第二反相器的输出的输入, 所述第四反相器具有对应于所述高输出信号的输出;

异或门, 具有耦合到所述第三反相器和所述第四反相器的输出的输入;

和

第五反相器，具有耦合到所述异或门的输出的输入，和对应于所述中电平输出信号的输出。

17. 一种多状态检测器，用于在集成电路器件的操作期间识别多个电压电平，所述多状态检测器包括：

第一差分输入缓冲器，被配置来接收第一参考电压和输入电压；

第二差分输入缓冲器，被配置来接收第二参考电压和所述输入电压，所述第二差分输入缓冲器被配置来与所述第一差分缓冲器共享公共节点，并且

其中所述多状态检测器将所述输入电压与所述第一参考电压和所述第二参考电压相比较，并且当所述输入电压具有在所述第一参考电压和所述第二参考电压的电平之间的电压电平时提供一个输出信号，当所述输入电压具有小于所述第一参考电压和大于所述第二参考电压的至少一个的电压电平时提供另一个输出信号。

18. 按照权利要求 17 的多状态检测器，其中所述多状态检测器提供至少三个操作状态，它们向在集成电路内的命令针脚提供多个功能以提高解码所述集成电路内的状态的能力。

19. 按照权利要求 17 的多状态检测器，其中所述第一差分输入缓冲器和所述第二差分输入缓冲器包括：

第一晶体管，具有耦合到所述第一参考电压的栅极；

第二晶体管，具有耦合到所述输入电压的栅极和耦合到所述第一晶体管的源极的源极；

第三晶体管，具有耦合到所述第二参考电压的栅极和耦合到所述第二晶体管的所述源极的源极，使得所述两个差分输入缓冲器共享所述公共节点，以最小化所述第一差分输入缓冲器和所述第二差分输入缓冲器的电流消耗。

20. 一种用于在集成电路器件的操作期间检测多个电压电平的方法，所述方法包括步骤：

在第一差分输入缓冲器中接收输入电压和第一参考电压；

在第二差分输入缓冲器中接收所述输入电压和第二参考电压，当所述输入电压在小于所述第一参考电压和所述第二参考电压的电平的电压电平时提供第一输出信号；

当所述输入电压在所述第一参考电压和所述第二参考电压的电平之间的

所述电压电平时, 提供对应于所述电压电平的第二输出信号; 以及

当所述输入电压在大于所述第一参考电压和所述第二参考电压的电平的电压电平时提供第三输出信号。

21. 按照权利要求 20 的方法, 还包括步骤:

提供对应于所述低输出信号、所述中电平输出信号和所述高输出信号的操作的至少八个解码状态, 而不提高在集成电路内的命令针脚的要求。

22. 按照权利要求 20 的方法, 其中所述第二差分输入缓冲器被配置为背对背的布置, 并且与所述第一差分输入缓冲器共享公共节点。

23. 一种多状态检测器, 用于检测在集成电路器件内的多个电压电平, 所述多状态检测器包括:

第一差分输入缓冲器, 被配置来接收第一参考电压和输入电压;

第二差分输入缓冲器, 被配置来接收第二参考电压和所述输入电压, 所述第二差分输入缓冲器被配置来与所述第一差分输入缓冲器共享第一公共节点;

第一电流镜电路, 耦合到所述第一差分输入缓冲器, 用于提供对应于所述输入电压和所述第一参考电压的输出的输出信号;

第二电流镜电路, 耦合到所述第二差分输入缓冲器, 用于提供对应于所述输入电压和所述第二参考电压的输出的输出信号, 所述第一电流镜电路和第二电流镜电路共享第二公共节点。

24. 按照权利要求 23 的多状态检测器, 其中所述多状态检测器将所述输入电压与所述第一参考电压和所述第二参考电压相比较, 并且当所述输入电压具有在所述第一参考电压和所述第二参考电压的电平之间的电压电平时提供一个输出信号, 当所述输入电压具有小于所述第一参考电压和大于所述第二参考电压的至少一个的电压电平时提供另一个输出信号。

25. 一种存储器件, 具有输入缓冲器, 所述输入缓冲器被配置来检测在集成电路内的多个电压电平, 所述输入缓冲器包括:

至少两个差分输入对, 它以背对背的布置被配置并且共享公共的节点, 所述至少两个差分输入对被配置来用于接收一个输入电压和至少两个参考电压, 包括第一参考电压和第二参考电压;

其中所述输入缓冲器将所述输入电压与所述第一参考电压和所述第二参考电压相比较, 并且当所述输入电压小于所述第一参考电压时提供第一输出

信号,当所述输入电压具有在所述第一参考电压和所述第二参考电压之间的电平的电压电平时提供第二输出信号,当所述输入电压大于所述第二参考电压时提供第三输出信号。

26. 按照权利要求 25 的存储器件,其中所述输入缓冲器包括三状态检测器,它被配置来提供对应于所述输入电压和所述两个参考电压的比较的三个输出信号,所述第二输出信号对应于中电平输入信号,所述第一输出信号对应于低输入信号,而所述第三输出信号对应于高输入信号。

27. 按照权利要求 25 的存储器件,其中所述输入缓冲器被配置来接收超过两个的参考电压,并且产生与所述输入电压和所述超过两个参考电压的比较相对应的超过三个的输出信号。

28. 按照权利要求 25 的存储器件,其中所述至少两个差分输入对包括:

第一晶体管,具有耦合到所述第一参考电压的控制端;

第二晶体管,具有耦合到所述输入电压的控制端和耦合到所述第一晶体管的输入端的输入端;

第三晶体管,具有耦合到所述第二参考电压的控制端和耦合到所述第二晶体管的所述输入端的输入端,使得所述两个差分输入缓冲器共享所述公共节点。

29. 按照权利要求 28 的存储器件,其中所述输入缓冲器还包括两个电流镜电路,它们耦合到所述两个差分输入对以提供与所述输入电压和所述两个参考电压的比较相对应的输出信号。

30. 按照权利要求 29 的存储器件,其中所述两个电流镜电路包括:

第四晶体管,具有耦合到所述第二晶体管的输出端和控制端和耦合到所述第一晶体管的输出端的输出端;

第五晶体管,具有耦合到所述第四晶体管的所述控制端和所述第二晶体管的所述输出端和控制端;

第六晶体管,具有耦合到所述第二晶体管的所述输出端和控制端和耦合到所述第三晶体管的输出端的输出端。

31. 按照权利要求 30 的存储器件,其中所述输入缓冲器还包括一对反相器,第一反相器耦合到所述第一晶体管和所述第四晶体管的所述输出端,而第二反相器耦合到所述第三晶体管和所述第六晶体管的所述输出端,其中所述一对反相器被配置来提供对应于所述低输出信号和所述高输出信号的输出

信号。

32. 按照权利要求 31 的存储器件，其中所述输入缓冲器还包括多个逻辑器件，包括：

第三反相器，具有耦合到所述第一反相器的输出的输入，所述输入对应于所述低输出信号；

第四反相器，具有耦合到所述第二反相器的输出的输入，所述第四反相器具有对应于所述高输出信号的输出；

异或门，具有耦合到所述第三反相器和所述第四反相器的输出的输入；
和

第五反相器，具有耦合到所述异或门的输出的输入和对应于所述中电平输出信号的输出。

33. 一种存储芯片电路，具有输入缓冲器，所述输入缓冲器用于检测集成电路操作的中电平电压范围，所述存储芯片电路具有多个命令输入，所述输入缓冲器电路包括：

参考发生器，被配置来接收电源电压和用于产生两个参考电压，所述两个参考电压表示第一参考电压和第二参考电压，所述第二参考电压大于所述第一参考电压；以及

多状态检测器，被配置来接收一个输入电压和所述两个参考电压，其中所述多状态检测器将所述输入电压与所述第一参考电压和所述第二参考电压相比较，并且当所述输入电压小于所述第一参考电压时提供对应于低输入信号的第一输出信号，当所述输入电压具有在所述第一参考电压和所述第二参考电压的电平之间的电压电平时提供对应于中电平输入信号的第二输出信号，而当所述输入电压大于所述第二参考电压时提供对应于高输入信号的第三输出信号，使得对于所述存储芯片电路的功能需要较少的命令输入。

34. 按照权利要求 33 的存储芯片电路，其中所述多状态检测器包括三状态检测器，它被配置来提供对应于所述输入电压和所述两个参考电压的比较的三个输出信号，包括所述中电平输出信号、当所述输入电压小于所述第一参考电压时的低输出信号、和当所述输入电压大于所述第二参考电压时的高输出信号。

35. 按照权利要求 34 的存储芯片电路，其中所述参考发生器被配置来产生除了所述两个参考电压之外的附加参考电压，并且所述多状态检测器被配

置来产生对应于所述输入电压和所述附加参考电压的比較的附加输出信号。

36. 按照权利要求 33 的存储芯片电路, 其中所述多状态检测器包括两个差分输入缓冲器, 它们以背对背的布置被配置并且共享公共节点。

37. 按照权利要求 33 的存储芯片电路, 其中所述存储芯片电路包括 SDRAM 器件。

38. 按照权利要求 36 的存储芯片电路, 其中所述两个差分输入缓冲器包括:

第一晶体管, 具有耦合到所述第一参考电压的控制端;

第二晶体管, 具有耦合到所述输入电压的控制端和耦合到所述第一晶体管的输入端的输入端;

第三晶体管, 具有耦合到所述第二参考电压的控制端和耦合到所述第二晶体管的所述输入端的输入端, 使得所述两个差分输入缓冲器共享所述公共节点。

39. 按照权利要求 38 的存储芯片电路, 其中所述第一晶体管、所述第二晶体管和所述第三晶体管包括 n 沟道晶体管器件。

40. 按照权利要求 38 的存储芯片电路, 其中所述多状态检测器还包括两个电流镜电路, 它们耦合到所述两个差分输入缓冲器, 以提供对应于所述输入电压和所述两个参考电压的比較的的输出信号。

41. 按照权利要求 40 的存储芯片电路, 其中所述两个电流镜电路包括:

第四晶体管, 具有耦合到所述第二晶体管的输出端和控制端和耦合到所述第一晶体管的输出端的输出端;

第五晶体管, 具有耦合到所述第四晶体管的所述控制端和所述第二晶体管的所述输出端和控制端;

第六晶体管, 具有耦合到所述第二晶体管的所述输出端和控制端和耦合到所述第三晶体管的输出端的输出端。

42. 按照权利要求 40 的存储芯片电路, 其中所述多状态检测器还包括一对反相器, 第一反相器耦合到所述第一晶体管和所述第四晶体管的所述输出端, 而第二反相器耦合到所述第三晶体管和所述第六晶体管的所述输出端, 其中所述一对反相器被配置来提供对应于所述低输出信号和所述高输出信号的输出信号。

43. 按照权利要求 42 的存储芯片电路, 其中所述多状态检测器还包括多

个逻辑器件, 包括:

第三反相器, 具有耦合到所述第一反相器的输出端的输入端, 所述输入对应于所述低输出信号;

第四反相器, 具有耦合到所述第二反相器的输出端的输入端, 所述第四反相器具有对应于所述高输出信号的输出端;

异或门, 具有耦合到所述第三反相器和所述第四反相器的输出的输入;

第五反相器, 具有耦合到所述异或门的输出的输入, 和对应于所述中电平输出信号的输出。

44. 一种存储器件, 被配置用于减少的数量的用以解码命令输入的针脚, 所述存储器件具有多状态检测器, 用于在集成电路器件的操作期间识别输入电压的多个电平, 所述多状态检测器包括:

第一差分输入缓冲器, 被配置来接收第一参考电压和所述输入电压;

第二差分输入缓冲器, 被配置来接收第二参考电压和所述输入电压, 所述第二差分输入缓冲器被配置来与所述第一差分缓冲器共享公共节点,

其中所述多状态检测器将所述输入电压与所述第一参考电压和所述第二参考电压相比较, 并且当所述输入电压具有在所述第一参考电压和所述第二参考电压的电平之间的电压电平时提供一个输出信号, 当所述输入电压具有小于所述第一参考电压和大于所述第二参考电压的至少一个的电压电平时提供第二个输出信号。

45. 按照权利要求 44 的存储器件, 其中所述多状态检测器提供至少三个操作状态, 它们向集成电路内的命令针脚提供多个功能以提高解码所述集成电路内的状态的能力。

46. 按照权利要求 44 的多状态检测器, 其中所述存储器件包括内部参考发生器, 被配置来用于接收电源电压和用于产生两个参考电压, 所述两个参考电压表示第一参考电压和第二参考电压, 所述第二参考电压大于所述第一参考电压。

47. 一种用于在存储器件中检测用于解码命令输入信号的多个电压电平的方法, 所述方法包括步骤:

在第一差分输入缓冲器中接收输入电压和第一参考电压;

在第二差分输入缓冲器中接收所述输入电压和第二参考电压, 当所述输入电压在小于所述第一参考电压和所述第二参考电压的电平的电压电平时提

供第一输出信号;

当所述输入电压在所述第一参考电压和所述第二参考电压的电平之间的所述电压电平时提供对应于所述电压电平的所述第二输出信号; 和

当所述输入电压在大于所述第一参考电压和所述第二参考电压的电平的电压电平时提供第三输出信号。

48. 按照权利要求 47 的方法, 还包括步骤:

当所述输入电压在小于所述第一参考电压和所述第二参考电压的电平的电压电平时提供低输出信号;

当所述输入电压在大于所述第一参考电压和所述第二参考电压的电平的电压电平时提供高输出信号。

49. 按照权利要求 47 的方法, 还包括步骤:

提供对应于所述低输出信号、所述中电平输出信号和所述高输出信号的操作至少八个解码状态, 而不提高所述存储器件内的命令针脚的要求。

50. 按照权利要求 47 的方法, 其中所述第二差分输入缓冲器被配置为背对背的布置, 并且与所述第一差分输入缓冲器共享公共节点。

51. 一种 SDRAM 存储器件, 包括多状态检测器, 用于检测在所述 SDRAM 存储器件内的多个电压电平, 所述多状态检测器包括:

第一差分输入缓冲器, 被配置来接收第一参考电压和输入电压;

第二差分输入缓冲器, 被配置来接收第二参考电压和所述输入电压, 所述第二差分输入缓冲器被配置来与所述第一差分输入缓冲器共享第一公共节点;

第一电流镜电路, 耦合到所述第一差分输入缓冲器, 用于提供对应于所述输入电压和所述第一参考电压的输出的输出信号; 和

第二电流镜电路, 耦合到所述第二差分输入缓冲器, 用于提供对应于所述输入电压和所述第二参考电压的输出的输出信号, 所述第一电流镜电路和第二电流镜电路共享第二公共节点。

52. 按照权利要求 51 的 SDRAM 存储器件, 其中所述多状态检测器将所述输入电压与所述第一参考电压和所述第二参考电压相比较, 并且当所述输入电压具有在所述第一参考电压和所述第二参考电压的电平之间的电压电平时提供一个输出信号, 而当所述输入电压具有小于所述第一参考电压和大于所述第二参考电压的至少一个的电压电平时提供另一个输出信号。

用于电压电平检测的输入缓冲器和方法

技术领域

本发明一般地涉及输入缓冲器。更具体而言，本发明涉及一种被配置来用于电压电平检测的输入缓冲器和方法，它可以便利检测和使用多电平电压以用于工作——诸如用于测试目的，以及提供来自同一输入焊盘（pad）的多种操作。

背景技术

输入缓冲器已经长期被用于各种模拟和数字应用中。虽然许多输入缓冲器被优化来用于交流交换技术和应用，但其他的输入缓冲器被配置来优化电压检测。通过使用被配置为电压检测器的输入缓冲器，可以确定是否启动或停止特定的系统功能。这样的电压检测器经常被配置来检测集成电路的电源电压的电平（Vcc），包括检测集成电路被设计的指定范围，如果电压电平在指定范围之外则禁止集成电路的运行，或确定是否在允许操作在集成电路内的特定应用之前已经达到一个门限电平。

一般，被配置为电压检测器的输入缓冲器被配置来仅仅对一个门限电平工作，即仅仅为一个点跳闸（trip），以便确认是否电压电平大于或低于所述门限电平。例如，在基于微处理器的应用中，被配置为源电压检测器的输入缓冲器可以被用于检测在基于微处理器的系统的存储器模块内的电源电压的电压电平。通过用于确定是否已经达到一个门限电平的这个检测过程，电压检测器可以启动控制器件的信号，来操作用于基于微处理器的系统的存储器块的电源电压。

许多集成电路应用被设计具有电压检测器，所述电压检测器被配置来检测在高电压、“超高压”或“SV”电平的运行。在芯片中内部配置的这个SV电平一般仅仅由电路制造者使用，并且被设置在正常的操作条件之上，以便适当地测试管芯（die），即将管芯放在不同的测试条件下，并且这个SV电平通常不被集成电路的消费者使用。虽然这样的SV电平初始设计在9伏特到12伏特之间，对于各种技术和处理的改进和改变已经导致将SV电平降低到

7 伏特或更低，以防止在管芯上从活跃区到基底的击穿，因此将 SV 电平移动到更接近集成电路的工作范围。在 SV 电平中的这样的发展已经导致用于这样的测试应用的操作的有限容限。

除了 SV 电平的降低，电路设计者已经要求现代的集成电路 (IC) 被配置最小数量的针脚 (pin)，以简化集成电路的输入/输出连接系统。而且，被配置作为电压检测器的输入缓冲器——它们更通常地由基于 CMOS 的逻辑器件组成——一般被设计来提供操作的两个状态，即输入缓冲器被配置来从外部来源接受高或低电压信号，然后向集成电路提供对应于所述高或低信号的逻辑状态。例如，电压检测器通常被配置为从一个点工作，并且当在“高”条件和在“低”条件时检测电压电平，所述“高”条件即大于门限电压，所述“低”条件即低于门限电压。而且，现代的电压检测器被配置来工作在“高”或“低”或在其间的转换 (transition)，但是不工作在中间范围，即在“高”或“低”之间。

参见图 1，图解了被配置用于电压检测的现有技术的输入缓冲器 100。输入缓冲器 100 包括差分放大器，它包括两个输入端，例如晶体管 M_3 和 M_4 的栅极，它们耦合到输入信号 INPUT 和参考信号 REF，并且差分放大器具有从一系列连续或级联的倒相级 102、104 和 106 的输出提供的输出信号 OUT_DIFF。配置输入缓冲器 100 将在输入信号 INPUT 和参考信号 REF 之间的差放大为高或低信号。

例如，参见图 2，在运行期间，当输入信号 INPUT 在零或地时，例如晶体管 M_2 的输出是零时，反相输出信号 OUT_DIFF 将保持为高信号；当输入信号 INPUT 大于参考信号 REF 时，输出信号 OUT_DIFF 将切换为低信号；而当输入信号 INPUT 再次低于参考信号 REF 时，输出信号 OUT_DIFF 将再次切换到高信号。因此，仅仅两个工作状态被实现，高和低，即输入缓冲器 100 识别高或低状态，而不是在这两个状态之间的任何其他状态。

作为被限定到两个操作状态的结果，也在一定程度上限制了使用这样的输入缓冲器 100 的 IC 的功能。例如，在具有两个命令针脚 A 和 B 并且对每个可以实现两个状态的 IC 中，只有四个功能或命令可以解码，即 $A,B = 0,0$ ； $A,B = 0,1$ ； $A,B = 1,0$ ； $A,B = 1,1$ 。虽然增加针脚数量可以提高可用的功能的数量，但是随着趋向于较小封装的趋势，这是困难的，并且对于 IC 的整体设计和制造来说，对于封装实现附加的控制针脚增加了复杂性和成本。

因此，存在对改进的被配置来用于电压检测的输入缓冲器的需要，它可以便利使用中电平电压来用于测试目的，以及提供来自同一输入焊盘的多种操作。

发明内容

本发明解决了现有技术的许多缺点。按照本发明的各个方面，提供了被配置用于电压检测系统的一种改进的输入缓冲器和方法，它可以便利检测多电平电压，诸如可以用于测试目的的中电平电压。按照一个示范实施例，被配置用于电压检测的一种示范的输入缓冲器包括参考发生器和多状态电压检测器。参考发生器被配置产生作为输入信号提供给多状态检测器的至少两个参考电压。按照一个示范实施例，多状态检测器包括三状态检测器。所述三状态检测器被适当地配置来接收输入参考信号，并且通过比较输入参考信号和至少两个参考电压来向用于表示操作的高、低和中电平状态的至少三个输出端提供输出信号。按照一个示范实施例，三状态检测器包括两个差分对的晶体管，它们以背对背布置配置并且共享共同节点，因此导致较低电流要求。

按照本发明的另一个方面，一种示意的输入缓冲器可以便利来自同一输入焊盘的多种操作。例如，通过使用三状态检测器，可以实现至少三个操作状态。因此，按照其中实现三个操作状态的示范实施例，可以获得多达八个解码状态。结果，可以由三状态检测器提供附加功能而不要求向 IC 设计增加命令针脚。而且，通过除了检测中电平电压范围之外还检测附加的电压电平，可以不增加命令针脚而提供更多的功能。

附图说明

通过结合附图参见详细的说明和权利要求，可以得到本发明的更全面的理解，在全部附图中，同样的附图标号表示类似的元件，并且：

图 1 图解了用于说明现有技术的、被配置来用于电压检测的输入缓冲器的示意图；

图 2 图解了现有技术的、被配置来用于电压检测的输入缓冲器的操作的时序图；

图 3 图解了按照本发明的被配置来用于电压检测的输入缓冲器电路的示范实施例；

图 4 图解了按照本发明的一个示范实施例的、被配置用于电压检测的输入缓冲器的时序图；

图 5 图解了按照本发明的一个示范实施例的、被配置用于多状态检测的示范输入缓冲器；

图 6 图解了按照本发明的参考电压发生器的示范实施例；以及

图 7 图解了按照本发明的一个示范实施例的、被配置用于多状态检测的示范输入缓冲器的模拟结果的时序图。

具体实施方式

在此，可以就各种功能部件和各种处理步骤来说明本发明。应当明白，可以通过任何数量的被配置来执行指定功能的硬件或结构部件来实现这样的功能部件和步骤。例如，本发明可以使用各种集成部件，例如缓冲器、电源基准、电流镜、信号处理器等，它们由各种电子器件组成，所述电子器件诸如电阻器、晶体管、电容器、二极管和其他部件，它们的值可以被适当地配置来用于各种意欲的目的。另外，本发明可以用于其中可以使用电压检测器或输入缓冲器的任何集成电路应用中。例如，本发明可以被用于任何应用专用集成电路（ASIC）、任何超大规模集成（VLSI）电路或任何其他集成电路应用中。在此不详细说明由本领域内的技术人员根据本公开可以明白的这样的一般应用。但是，仅仅为了说明，在此结合存储器芯片应用来说明本发明的示范实施例。而且，应当注意，虽然各种部件可以适当地被耦合或连接到在示范电路中的其他部件，但是这样的连接和耦合可以通过在部件之间的直接连接或通过经由位于其间的其他部件和器件的连接或耦合来实现。

如上所述，被配置用于电压检测的当前的输入缓冲器具有用于如用于超电压（SV）条件的测试条件的有限操作容限。另外，被配置用于电压检测的本输入缓冲器仅仅被配置用于两个操作状态，并且具有被命令针脚的数量限制的输出功能。但是，按照本发明的各个方面，提供了一种改进的被配置用于电压检测的输入缓冲器电路和方法，它可以便利使用中电平电压来用于测试目的，并且提供来自同一管芯焊盘的多种操作。

按照一个示范实施例，一种示范的、被配置来用于电压检测的输入缓冲器电路包括参考发生器和多状态电压检测器。按照这个示范实施例，参考发生器被配置来产生要作为输入信号提供给多状态检测器的、至少两个参考电

压。另外，虽然可以在输入缓冲器电路中内部产生参考发生器，但是可以通过耦合到输入缓冲器电路的各种外部电路来提供参考发生器。所述多状态检测器被适当地配置来接收输入参考，并且通过与至少两个参考电压比较来向用于至少表示操作的低、高和中间电平状态的至少三个输出端提供输出信号。

例如，按照本发明的一个示范实施例，参见图 3，图解了一种示范的、被配置来用于电压检测的输入缓冲器电路 300。按照这个实施例，输入缓冲器电路 300 适当地包括参考发生器 302 和三状态检测器 304。参考发生器 302 被配置来接收电源电压 V_{CC} 和产生要作为输入信号被提供到三状态检测器 304 的至少两个参考电压 REF_1 和 REF_2 。参考发生器 302 可以包括用于产生参考电压的任何电路配置，并且可以包括在各种缓冲器、电流源和/或切换布置中配置的任何数量的晶体管器件、和任何数量的电阻器和/或电容器部件。而且，这样的晶体管器件可以包括 MOS 晶体管器件或 BJT 器件。而且，参考发生器 302 可以被内部配置到输入缓冲器 300，或者可以从外部电路被提供。

除了高和低条件之外，三状态检测器 304 还被适当地配置来识别或检测中间或中电平的电压范围。按照一个示范实施例，三状态检测器 304 被配置来接收输入电压参考 INPUT，并且通过与两个参考电压 REF_1 和 REF_2 相比较来提供三个输出信号，用于表示操作的低(OUT_1)、中电平(OUT_2)和高(OUT_3)状态。结果，三状态检测器 304 能够识别电压操作的中电平范围。通过使用这样的中电平操作范围，取代不稳定地靠近给定处理的高操作范围的 SV 条件而可以在安全的中电平电压范围内实施测试条件，同时仍然作为用于传统的双状态输入缓冲器的串联输入器件工作。

例如，利用表示 2 伏特的高信号和表示 0.8 伏特的低信号，并且利用用于在大约 0.8 伏特的参考信号 REF_1 和大约 2.0 伏特的参考信号 REF_2 之间的中电平检测组，输入缓冲器电路 300 可以仍然提供两状态的操作，可知，输入信号 INPUT 一般确实低于 0.8 伏特或高于 2.0 伏特、或在例如大约 2 纳秒内在其间迅速转换。因此，当输入信号 INPUT 在任何较长持续时间在 1.2-1.6 伏特的中电平检测周期内、即不是简单地在通过中电平区域的正常转换内时，中电平输出信号(OUT_2)可以被三状态检测器 304 提供。应当注意，可以根据手边的应用在各种范围内配置高和低信号电平。

三状态检测器 304 适当地包括一对差分输入缓冲器，它们被配置来接收

两个参考电压 REF_1 和 REF_2 ，并且用于与输入参考 INPUT 相比较。虽然可以以各种方式来配置所述一对输入缓冲器，但按照一个示范实施例，三状态检测器 304 适当地包括两个差分对晶体管，它们被以背对背的布置配置，并且共享共同的节点。这样的实施例也导致较低的电流要求，这在下面更详细地说明。

参见图 4，在输入缓冲器电路 300 的操作期间，当输入信号 INPUT 是零或地时，输出信号 OUT_1 将保持为高信号，而输出信号 OUT_2 和 OUT_3 将保持为低，这指示输入信号 INPUT 小于参考信号 REF_1 ，因此在低状态。当输入信号 INPUT 沿斜坡向上高于参考信号 REF_1 但是保持低于参考信号 REF_2 时，输出信号 OUT_1 将切换到低信号，输出信号 OUT_2 将切换到高信号， OUT_3 将保持低，这指示输入信号 INPUT 在中电平范围内。其后，当输入信号 INPUT 沿斜坡向上高于参考信号 REF_2 时，输出信号 OUT_1 将保持在低信号，输出信号 OUT_2 将切换回低信号， OUT_3 将切换为高信号，这指示输入信号在高状态。

当输入信号 INPUT 转换回低电平、例如到地的时候，三状态检测器 304 可以提供对应的输出信号，用于表示低(OUT_1)、中电平(OUT_2)和高(OUT_3)操作状态。因此，实现至少三个操作状态，低、中电平和高，即输入缓冲器电路 300 不仅识别高或低状态，而且识别在这两个条件之间的状态。结果，可以从集成电路应用获得至少三种操作范围。

加上中电平操作范围可以便利电路设计者进行更想要的测试选择。例如，通过使用这样的中电平操作范围，取代不稳定地靠近高操作范围的 SV 条件而可以在安全的中电平电压范围内实施测试条件。可能比在中电平电压范围期间实施测试条件的能力更为显著，提供附加的操作范围可以便利在集成电路封装内的针脚要求和功能的各种优点。而且，中电平检测器也可以被配置来提供在双输入缓冲器配置中的较低电流要求。

按照本发明的另一个方面，一种被配置来用于电压电平检测的示范输入缓冲器电路 300 可以便利从同一输入焊盘来的多种操作。例如，通过使用三状态检测器 304，可以实现至少三个操作状态。因此，例如，对于每个具有可以被实现的至少三个状态的两个命令针脚 A 和 B，可以提供至少八个功能或命令，即 $A,B = 0,0$; $A,B = 0,1$; $A,B = 0,x$; $A,B = 1,0$; $A,B = 1,1$; $A,B = 1,x$; $A,B = x,0$; $A,B = x,1$ ，其中 x 表示中电平状态，可以实现至少八个不同的逻辑输出条件而不提高命令针脚的数量。换句话说，可以由三状态检测器 300

来便利附加的功能而不要求向电压检测系统增加命令针脚。

因此,通过使用三状态检测器 304,通过减少用于解码命令输入所需要的针脚的数量,来自其他器件和电路的命令输入的数量被大大地减少。例如,对于同步动态随机存取存储器(SDRAM)应用,其需要与现代计算机系统保持步调一致,它具有多个命令输入,诸如芯片选择(CS)、列地址选通(CAS)、行地址选通(RAS)和 WE,对于所述同步动态随机存取存储器(SDRAM)应用,从集成电路封装大大地减少了用于解码所有可能的命令输入所需要的针脚的数量。

虽然输入缓冲器电路 300 的上述示范实施例被配置了三状态检测器 304,用于提供表示低、中电平和高条件的三个输出信号 OUT_1 、 OUT_2 和 OUT_3 ,但是再次应当注意,输入缓冲器电路 300 可以被配置多状态检测器,用于便利电压检测的附加范围。例如,参考发生器 302 可以被配置来提供一个或多个附加的参考电压,例如参考电压 REF_3 和 REF_4 ,它们大于参考电压 REF_2 但是小于电源电压 V_{CC} ,所述一个或多个附加的参考电压作为输入信号被提供到多状态检测器 304。通过将输入参考 INPUT 与两个附加的参考电压 REF_3 和 REF_4 相比较,多状态检测器 304 可以提供用于表示五个操作状态的至少五个输出信号。

例如,多状态电压检测器 304 可以提供:低操作状态(OUT_1),即 INPUT 小于 REF_1 ;较低的中电平操作状态(OUT_2),即 INPUT 大于 REF_1 和小于 REF_2 ;中电平操作状态(OUT_3),即 INPUT 大于 REF_2 和小于 REF_3 ;较高的中电平操作状态(OUT_4),即 INPUT 大于 REF_3 和小于 REF_4 ;以及高操作状态(OUT_5),即 INPUT 大于 REF_4 和小于电源电压 V_{CC} 。另外,对于两个命令针脚 A 和 B——对每个可以实现至少五个状态——甚至可以从输入缓冲器电路 300 实现附加功能或命令。

因此,一种示范的输入缓冲器电路可以被配置参考发生器,不论在输入缓冲器电路内部或来自外部电路,它用于产生多个参考电压,所述多个参考电压被提供到多状态检测器以输出多个操作状态。结果,不仅各种操作电平可以用于其他目的,诸如测试,而且集成电路器件的功能性也可以大大地提高而不提高每个电路的命令针脚的数量。

如上所述,三状态检测器 304 可以以各种方式被配置来提供中电平电压操作范围。例如,按照本发明的一个示范实施例,参照图 5,图解了示范的

三状态检测器 500。三状态检测器 500 被适当地配置来提供表示操作的中电平范围的输出信号。在这个实施例中，三状态检测器 500 适当地包括一对差分输入缓冲器，它们被配置来用于接收两个参考电压 REF_1 和 REF_2 ，并且用于与输入参考 INPUT 相比较。虽然可以以各种方式来配置所述一对差分输入缓冲器，但按照这个示范实施例，所述一对差分输入缓冲器包括两个差分对晶体管，它们被以背对背的布置配置，并且共享一个公共的节点，因此导致较低的电流消耗。

例如，第一输入对 502 包括晶体管 M_1 和 M_2 ，每个具有耦合到一起的源极，第二输入对 504 包括晶体管 M_3 和 M_2 ，每个具有耦合到一起的源极，即输入对 502 和 504 共享到晶体管 M_2 的源极的共同连接，它们都可以耦合到地。另外，晶体管 M_1 具有耦合到参考电压 REF_1 的栅极，晶体管 M_2 具有耦合到输入参考电压 INPUT 的栅极，而晶体管 M_3 具有耦合到参考电压 REF_2 的栅极。按照所述示范实施例，晶体管 M_1 、 M_2 和 M_3 包括 n 沟道差分对设计的 n 沟道器件；但是，按照其他的示范实施例，也可以以 p 沟道差分对设计来配置三状态检测器 500，p 沟道器件用于晶体管 M_1 、 M_2 和 M_3 ，即，输入对 502 和 504 适当地被替代为 p 沟道器件，并且具有耦合到电源电压 (V_{CC}) 的源极。

每个输入对 502 和 504 分别适当地耦合到电流镜电路 506 和 508。电流镜电路 506 和 508 被配置来提供与所述输入电压和所述两个参考电压的比较对应的输出信号。电流镜电路 506 包括 p 沟道晶体管 M_4 和 M_5 ，它们的栅极连接在一起，而电流镜电路 508 包括 p 沟道晶体管 M_6 和 M_5 ，它们的栅极也连接在一起。共同的晶体管 M_5 被以像二极管的方式配置，即栅极和源极连接在一起。因此，为了将输入对 502 和 504 耦合到电流镜电路 506 和 508，晶体管 M_1 、 M_2 和 M_3 的漏极分别连接到晶体管 M_4 、 M_5 和 M_6 的漏极。另外，晶体管 M_4 、 M_5 和 M_6 的源极耦合到电源电压 (V_{CC})。

来自差分输入缓冲器对 502 和 504 的输出信号可以被分别提供到低参考输出 (LRO) 节点和高参考输出 (HRO) 节点。在所述示范实施例中，低参考输出节点 LRO 被配置在晶体管 M_1 的漏极和晶体管 M_4 的源极，而高参考输出节点 HRO 被配置在晶体管 M_3 的漏极和晶体管 M_6 的源极。

三状态检测器 500 也包括逻辑器件，它被配置来提供低电平、中电平和电平输出信号。按照这个示范实施例，三状态检测器包括多个反相器 510、512、514、516 和 520 以及异或门 518。反相器 510、512、514、516 和 520

可以包括任何传统反相器配置。例如，反相器 510、512、514、516 和 520 之一可以包括 CMOS 晶体管反相器级，它被配置一个 PMOS 和一个 NMOS 晶体管，其中，当到反相器的输入是逻辑高时，NMOS 晶体管提供到地的开关连接，而当到反相器的输入是逻辑低时，PMOS 器件提供到 V_{DD} 电源轨的连接。同时，异或门 518 也可以包括用于提供异或功能的任何传统电路。

反相器 510 被配置来从低参考输出节点 LRO 接收信号，并且提供输出信号 OUT_1 ，它指示输入信号 INPUT 的低电平，即小于参考电压 REF_1 。反相器 510 的输出信号耦合到反相器 514 的输入，并且与反相器 514 的输出一起耦合到异或门 518 的输入。同时，反相器 512 被配置来从高参考输出节点 HRO 接收信号，并且提供输出信号，它耦合到反相器 516 的输入，并且与提供高电平输出信号 OUT_3 的反相器 516 的输出一起，也耦合到异或门 516 的输入。反相器 520 连接到异或门 516 的输出，并且被配置来提供用于表示中电平电压范围的输出信号 OUT_2 。

三状态检测器 500 也可以适当地被配置一个使能电路，用于在集成电路工作期间控制三状态检测器的接通和关闭。例如，三状态检测器 500 可以包括晶体管 M_7 ，它耦合在晶体管 M_1 、 M_2 和 M_3 的源极和地之间。晶体管 M_7 包括耦合到其栅极的使能信号 EN，其可以被任何命令信号适当地使能。而且，可以通过将晶体管 M_7 的栅极绑定到电源电压 V_{CC} 、到直流电源 V_{DC} 或例如到参考电压 REF_1 或 REF_2 而永久地使能三状态检测器 500。

虽然三状态检测器 500 被配置了共享公共节点的一对差分输入缓冲器，但是应当注意，按照本发明的其他示意实施例，两个独立的输入缓冲器——即没有公共的节点——也可以被实现。但是，应当注意，这样的独立差分输入缓冲器在切换操作期间吸收大量的电流。例如，每个独立的输入缓冲器可以消费 600 微安或更多的电流，导致总共 1.2 毫安的电流被消耗。但是，使用公共节点配置，例如共享在输入缓冲器 502 和 504 和电流镜 506 和 508 内的晶体管 M_2 和 M_5 ，大约消耗 600 微安。另外，在当输入信号 INPUT 提高和降低时晶体管 M_1 、 M_2 和 M_3 的切换期间，对于公共节点配置实现小的电涌，例如 220 微安那么小。但是，在具有独立输入缓冲器的一个实施例中，可以实现五倍或更多的电流。

而且，在三状态检测器 500 的那种操作中，可能不要求用于检测中电平电压范围的快速操作，例如当中电平范围用于测试目的而不是用于完全操作

时,可以通过降低晶体管 M_1 到 M_6 可以提供的电流、例如通过降低相应的晶体管沟道宽度或提高晶体管的沟道长度来进一步最小化由三状态检测器 500 消耗的电流。而且,在一个包括具有晶体管 M_7 的使能电路的示范实施例中,可以通过将晶体管 M_7 的栅极耦合到电源电压 V_{CC} 、到直流电源 V_{DC} 或例如到参考电压 REF_1 或 REF_2 以及使用具有较小强度的晶体管 M_7 的晶体管大小来扼流。另一方面,为了配置三状态检测器 500 以便更像正常的缓冲器那样工作,可以适当地提高或另外就调整各种晶体管的大小、强度和 W/L 比率,并且独立地向晶体管 M_7 的栅极提供使能信号,以控制三状态检测器 500 的操作。

已经描述了三状态检测器 500 的示意实施例,现在参照图 7 所图解的模拟时序图来提供操作的示例。在这个示例中,参考电压 REF_1 包括 1.0 伏特的信号,而参考电压 REF_2 包括 1.5 伏特的信号。对于初始条件,当输入参考 INPUT 在地、并且因此小于参考电压 REF_1 和 REF_2 时,相对于 M_2 ,更多的电流将流过晶体管 M_1 和 M_3 ,产生在节点 LRO 和 HRO 的输出。结果,输出信号将被实现在输出参考 OUT_1 ,例如在 A 和在对反相器 516 的输入。因此,在那个输出参考 OUT_1 是高信号,并且 OUT_3 、即反相器 516 的反相输出信号将是在 B 的低信号时,异或门 518 的输出将是被提供给反相器 520 的高信号,导致用于输出参考 OUT_2 的低信号。

输出参考 OUT_1 、 OUT_2 和 OUT_3 将保持在那些状态中,直到输入参考 INPUT 提高到高于参考电压 REF_1 的电压电平。当此发生时,在晶体管 M_2 中比在 M_1 中有更多的电流流动,使得在节点 LRO、因此在输出参考 OUT_1 、即在 A 不再有输出。同时,节点 HRO 将保持在“高”状态,并且输出参考 OUT_3 将继续在 B 提供低信号,因此在异或门 518 的输出提供低信号,导致输出参考 OUT_2 的高信号。因此,三状态检测器 500 适当地指示输入参考 INPUT 工作在由参考电压 REF_1 和 REF_2 确定的中电平范围内。当输入参考 INPUT 继续提高到大于参考电压 REF_2 的电压电平、使得在晶体管 M_2 中比晶体管 M_3 中有更多的电流流动时,在节点 HRO 将不再有输出,使得在反相器 512 的输出的输出参考 OUT_3 变为在 B 的高信号。结果,在异或门 518 的输出实现了高信号,因此导致输出参考 OUT_2 的低信号。因此,三状态检测器 500 适当地指示输入参考 INPUT 不再工作在中电平范围,而是在高操作状态。

虽然上述的示范实施例图解了用于提供中电平检测的示例,但是应当注意,可以按照本发明的其他示范实施例向三状态检测器 500 做出各种改变和

修改。例如，三状态检测器 500 可以被配置附加的输入对，所述附加的输入对被配置来接收附加的参考电压，并且包括被配置来共享公共节点的背对背的晶体管对。结果，可以适当地检测电压的附加范围。另外，三状态检测器 500 可以被配置附加的或较少的逻辑器件配置——包括附加的或较少的级联反相器级——或能够提供对应的输出信号 OUT_1 、 OUT_2 和 OUT_3 的任何其他的逻辑配置。而且，也可以依据任何数量的不同设计标准来以各种方式配置直流电源电压和晶体管器件大小、强度和 W/L 比率。

另外，如上所述，可以以各种方式来产生在三状态检测器 500 内使用的任何参考电压信号，不论是在输入缓冲器电路内部还是从其他集成电路和器件从外部提供。例如，按照一个示范实施例，参照图 6，参考发生器 600 被配置来从电源电压 V_{CC} 产生第一参考电压 REF_1 和第二参考电压 REF_2 。参考发生器 600 适当地包括电阻分压器电路，它包括其源极通过电阻器 R_1 耦合到电源电压 V_{CC} 的、输入 p 沟道晶体管 M_9 ，所述电阻器 R_1 包括被配置来提供期望电压的电阻值，以及一对 n 沟道晶体管 M_{11} 和 M_{13} ，它们串联到地。输入 p 沟道晶体管 M_9 也适当地被配置为其栅极连接到地，使得 p 沟道晶体管 M_9 总是“接通”。通过操作电阻器分压器电路，可以在晶体管 M_9 的漏极适当地产生参考电压 REF_1 。

同样地，参考发生器 600 包括另一电阻分压器电路，它包括其源极通过电阻器 R_2 耦合到电源电压 V_{CC} 的、输入 p 沟道晶体管 M_8 ，所述电阻器 R_2 包括被配置来提供期望电压的电阻值，以及一对 p 沟道晶体管 M_{10} 和 M_{12} ，它们串联到地。输入 p 沟道晶体管 M_8 也适当地被配置为其栅极连接到地，使得 p 沟道晶体管 M_8 总是“接通”。通过操作所述附加的电阻器分压器电路，可以在晶体管 M_{10} 的漏极适当地产生参考电压 REF_2 。

结果，参考发生器 600 可以向电压检测系统提供至少两个参考电压 REF_1 和 REF_2 。应当注意，可以根据期望的参考电压输出来修改各种电阻器值和晶体管大小。另外，一个或更多的附加电阻器分压器电路可以被包括在参考发生器 600 内，以提供附加的参考电压，如 REF_3 和 REF_4 。而且，可以以现在公知的或以后设计的用于产生参考电压的任何方式来配置参考发生器 600。

上面已经参照各种示范实施例描述了本发明。但是，本领域内的技术人员将认识到可以在不脱离本发明的范围的情况下对示范实施例进行改变和修改。例如，可以根据特定应用或考虑到与系统的操作相关联的任何数量的成

本函数来以替代方式实现各种处理步骤以及用于执行所述处理步骤的部件。另外，可以使用被配置来执行所意欲的功能的任何类型的晶体管器件。这些和其他改变或修改被视为包括如在权利要求中提出的本发明的范围内。

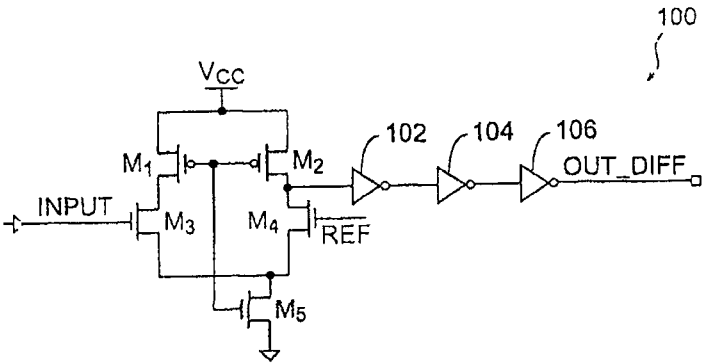


图 1
(现有技术)

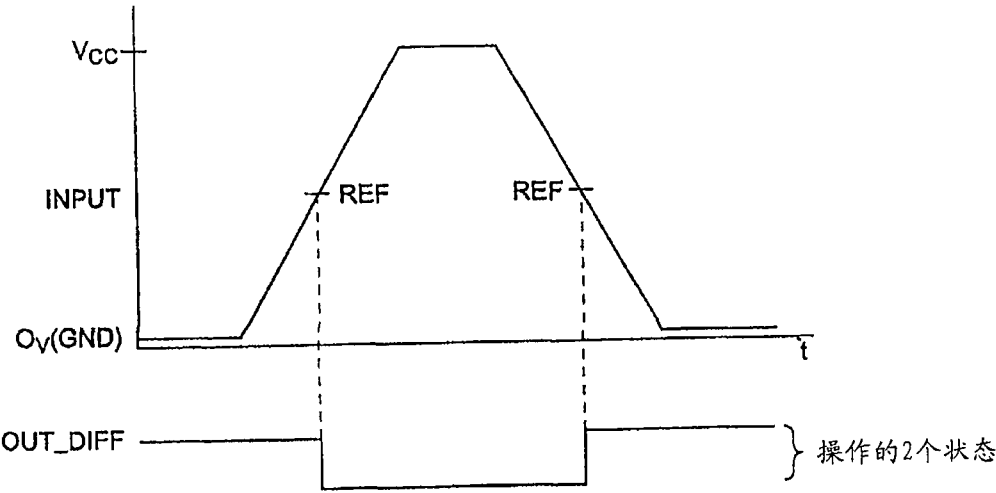


图 2
(现有技术)

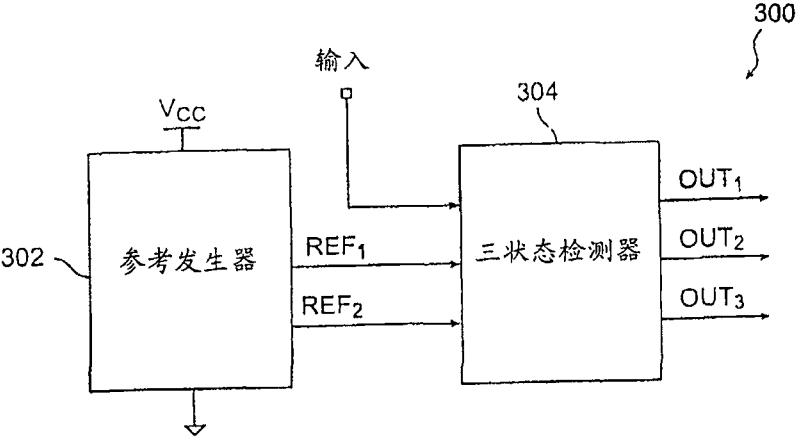


图 3

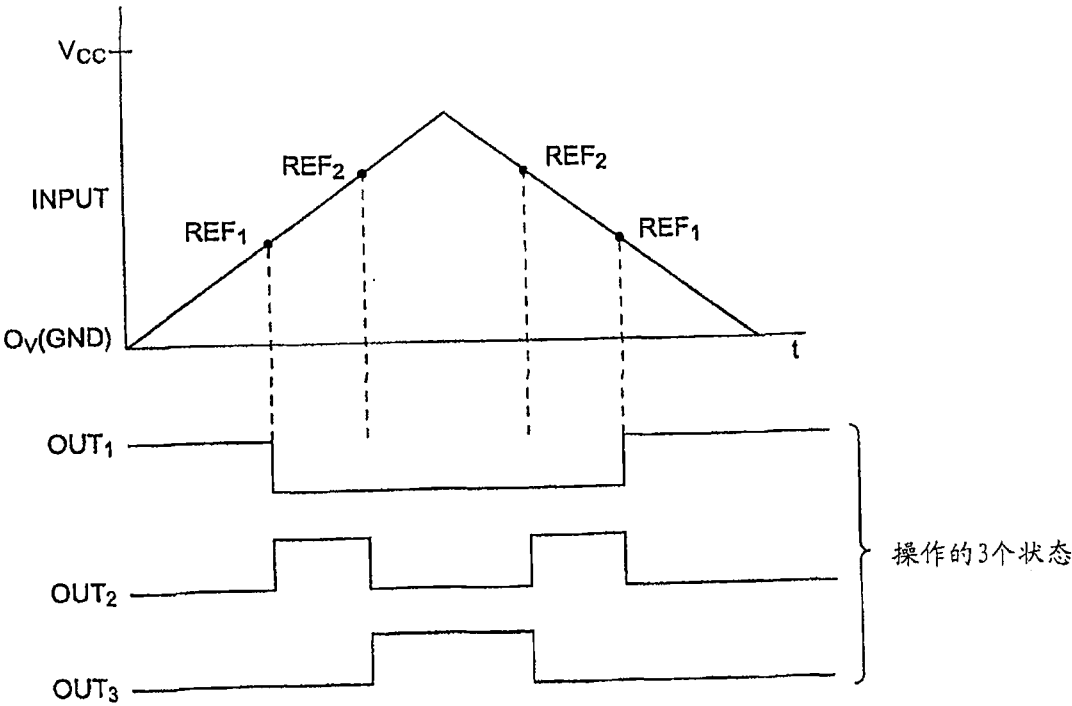


图 4

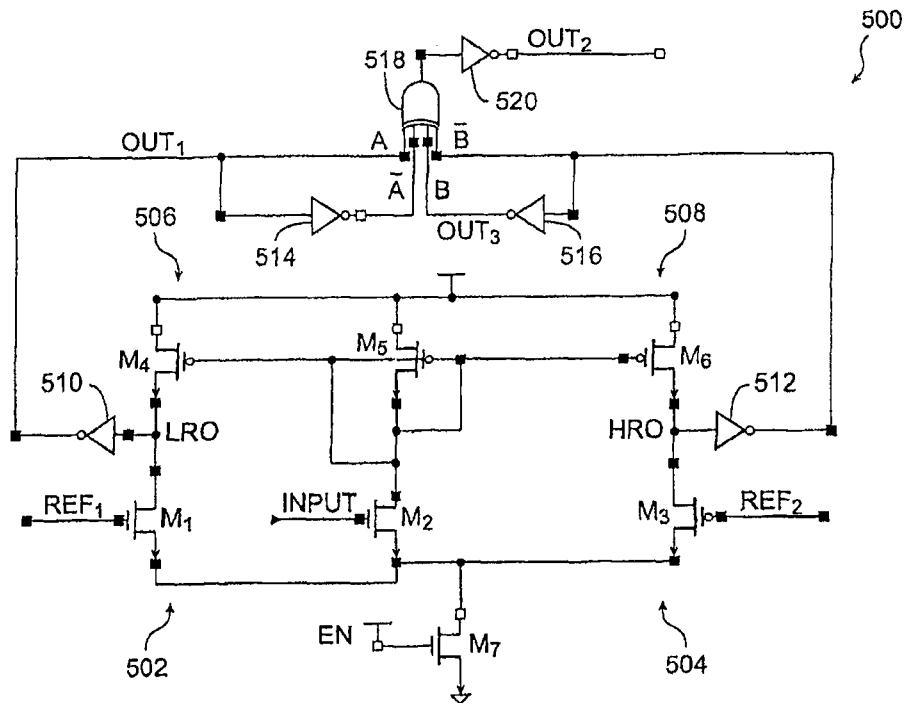


图 5

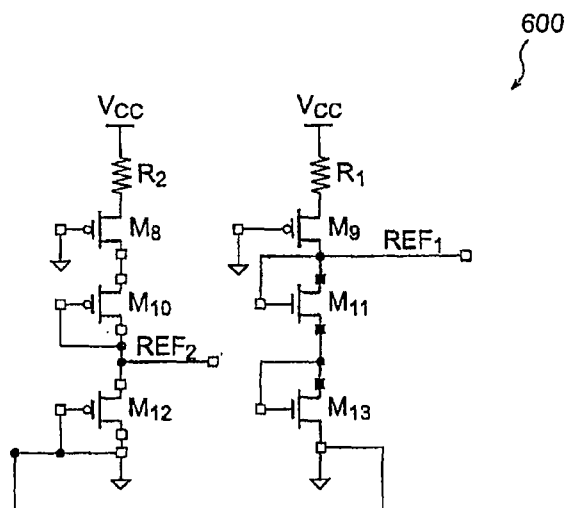


图 6

<u>input(v)</u>	0V
<u>ref1(v)</u>	1.00000V
<u>ref2(v)</u>	1.50000V
<u>out1(v)</u>	3.00000V
<u>out2(v)</u>	196.800nV
<u>out3(v)</u>	196.800nV
<u>out_diff(v)</u>	196.800nV

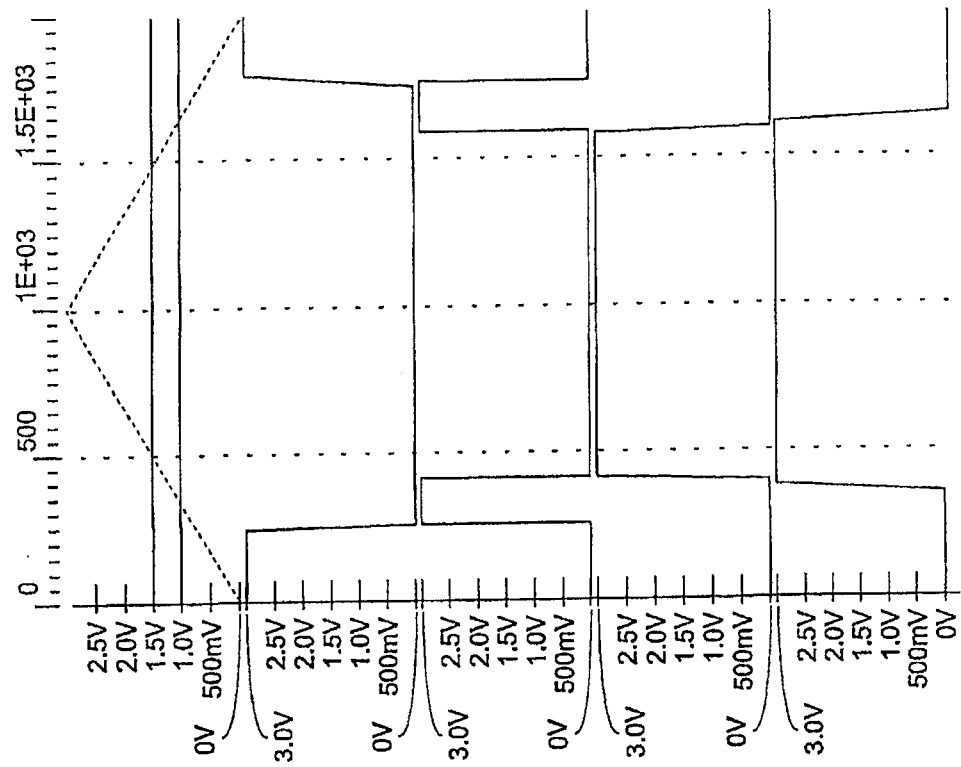


图 7