



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년11월12일
 (11) 등록번호 10-1461206
 (24) 등록일자 2014년11월06일

- (51) 국제특허분류(Int. Cl.)
 H01L 29/78 (2006.01) H01L 21/20 (2006.01)
- (21) 출원번호 10-2008-0027873
- (22) 출원일자 2008년03월26일
 심사청구일자 2013년03월21일
- (65) 공개번호 10-2008-0101655
- (43) 공개일자 2008년11월21일
- (30) 우선권주장
 JP-P-2007-00131229 2007년05월17일 일본(JP)
- (56) 선행기술조사문헌
 US20060006389 A1*
 US20060292770 A1*
 US20050275018 A1
 US20060091427 A1
 *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
 가부시키가이샤 한도오따이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
 오누마 히데토
 일본국 243-0036 가나가와켄 아쓰기시 하세 398
 가부시키가이샤한도오따이 에네루기 켄큐쇼 내
- (74) 대리인
 황의만

전체 청구항 수 : 총 17 항

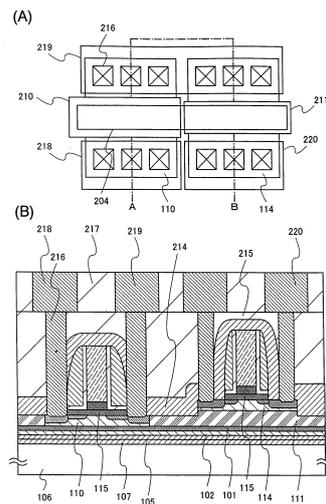
심사관 : 최정민

(54) 발명의 명칭 반도체장치 및 그의 제조방법

(57) 요약

미세가공 기술에 의거할 뿐만 아니라, 반도체 집적회로의 고성능화를 도모하는 것을 목적으로 한다. 또한, 반도체 집적회로의 저소비전력화를 도모하는 것을 목적으로 한다. 제1 도전형의 MISFET와 제2 도전형의 MISFET에서 단결정 반도체층의 결정 방위 또는 결정 축이 다른 반도체장치를 제공한다. 결정 방위 또는 결정 축은, 각각의 MISFET에서 채널 길이 방향으로 주행하는 캐리어의 이동도가 높게 되도록 배치된다. 이와 같은 구성으로 함으로써, MISFET의 채널에서 흐르는 캐리어의 이동도가 높게 되고, 반도체 집적회로의 동작의 고속화를 도모할 수 있다. 또한, 저전압으로 구동하는 것이 가능하게 되어, 저소비전력화를 도모할 수 있다.

대표도 - 도11



특허청구의 범위

청구항 1

반도체장치에 있어서,

기관 위의 제1 절연층;

상기 제1 절연층 위의 제1 단결정 반도체층으로서, 상기 제1 단결정 반도체층은 소스 영역과 드레인 영역을 포함하는, 상기 제1 단결정 반도체층;

상기 제1 절연층 위의 제2 절연층;

상기 제2 절연층 위의 제2 단결정 반도체층으로서, 상기 제2 단결정 반도체층은 소스 영역과 드레인 영역을 포함하는, 상기 제2 단결정 반도체층;

상기 제1 단결정 반도체층, 상기 제2 절연층, 및 상기 제2 단결정 반도체층 위의 제3 절연층;

상기 제3 절연층을 사이에 두고, 상기 제1 단결정 반도체층 위에 있는 제1 게이트 전극;

상기 제3 절연층을 사이에 두고, 상기 제2 단결정 반도체층 위에 있는 제2 게이트 전극;

상기 제1 게이트 전극, 상기 제2 게이트 전극, 및 상기 제3 절연층 위의 제4 절연층;

상기 제4 절연층을 사이에 두고, 상기 제1 게이트 전극에 인접한 제1 사이드월; 및

상기 제4 절연층을 사이에 두고, 상기 제2 게이트 전극에 인접한 제2 사이드월을 포함하고,

상기 제1 사이드월의 폭은 상기 제2 사이드월의 폭보다 크고,

상기 제1 단결정 반도체층의 결정면 방위는 상기 제2 단결정 반도체층의 결정면 방위와 다르고,

상기 제3 절연층은 상기 제1 단결정 반도체층 및 상기 제2 단결정 반도체층과 접촉하는, 반도체장치.

청구항 2

반도체장치에 있어서,

기관 위의 제1 절연층;

상기 제1 절연층 위의 제1 단결정 반도체층;

상기 제1 단결정 반도체층과 상기 제1 절연층 위의 제2 절연층;

상기 제2 절연층 위의 제2 단결정 반도체층;

상기 제2 절연층을 사이에 두고, 상기 제1 단결정 반도체층 위에 있는 제3 절연층;

상기 제2 단결정 반도체층 위의 제4 절연층;

상기 제3 절연층 위의 제1 게이트 전극; 및

상기 제4 절연층 위의 제2 게이트 전극을 포함하고,

상기 제2 절연층과 상기 제3 절연층은 제1 게이트 절연층으로서 기능하고;

상기 제4 절연층은 제2 게이트 절연층으로서 기능하고;

상기 제1 게이트 절연층은 상기 제2 게이트 절연층보다 두껍고;

상기 제1 단결정 반도체층의 결정면 방위는 상기 제2 단결정 반도체층의 결정면 방위와 다르고,

상기 제1 단결정 반도체층의 채널 길이 방향에서의 결정 축은 상기 제2 단결정 반도체층의 채널 길이 방향에서의 결정 축과는 다른, 반도체장치.

청구항 3

제 1 항 또는 제 2 항에 있어서, 상기 제1 단결정 반도체층의 상기 결정면 방위는 {100}이고, 상기 제2 단결정

반도체층의 상기 결정면 방위는 {110}인, 반도체장치.

청구항 4

제 1 항 또는 제 2 항에 있어서, 상기 제1 단결정 반도체층의 상기 채널 길이 방향에서의 결정 축은 <100>이고, 상기 제2 단결정 반도체층의 상기 채널 길이 방향에서의 결정 축은 <110>인, 반도체장치.

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

제 1 항 또는 제 2 항에 있어서, 상기 제1 단결정 반도체층은 n형 도전성을 가지고, 상기 제2 단결정 반도체층은 p형 도전성을 가지는, 반도체장치.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

제 1 항 또는 제 2 항에 있어서,

상기 제1 절연층은 산화규소막, 산화질화규소막, 또는 질화산화규소막인, 반도체장치.

청구항 15

제 1 항 또는 제 2 항에 있어서, 상기 제2 절연층은 산화규소막, 산화질화규소막, 또는 질화산화규소막인, 반도체장치.

청구항 16

제 1 항 또는 제 2 항에 있어서, 상기 기판은 유리 기판인, 반도체장치.

청구항 17

반도체장치 제조방법에 있어서,

제1 취화층을 형성하기 위해, 제1 단결정 반도체 기판에 이온화한 수소를 조사하는 단계;

제1 기판을 형성하기 위해, 상기 제1 단결정 반도체 기판 위에 제1 절연층을 형성하는 단계;
 상기 제1 절연층을 사이에 두고 상기 제1 기판과 제2 기판을 서로 접합하는 단계;
 상기 제1 절연층을 사이에 두고 상기 제2 기판 위에 단결정 반도체층을 형성하기 위해, 상기 제1 기판을 가열하고 상기 제1 취화층에서 상기 제1 기판을 분단하는 단계;
 상기 제1 단결정 반도체층을 에칭하여 제1 섬 형상의 단결정 반도체층을 형성하는 단계;
 상기 제1 절연층 및 상기 제1 섬 형상의 단결정 반도체층 위에 제2 절연층을 형성하는 단계;
 상기 제1 섬 형상의 단결정 반도체층의 표면을 노출시키기 위해, 상기 제2 절연층의 일부를 제거하는 단계;
 제3 기판이 형성되도록 제2 취화층을 형성하기 위해, 제2 단결정 반도체 기판에 이온화한 수소를 조사하는 단계;
 상기 제2 절연층과 상기 제3 기판을 서로 접합하는 단계;
 제2 단결정 반도체층을 형성하기 위해 상기 제3 기판을 가열하고, 상기 제2 취화층에서 상기 제3 기판을 분단하는 단계;
 상기 제2 단결정 반도체층을 에칭하여 제2 섬 형상의 단결정 반도체층을 형성하는 단계;
 상기 제1 섬 형상의 단결정 반도체층, 상기 제2 섬 형상의 단결정 반도체층, 및 상기 제2 절연층 위의 제3 절연층을 형성하는 단계;
 상기 제3 절연층을 사이에 두고, 상기 제1 섬 형상의 단결정 반도체층 위에 제1 게이트 전극을 형성하는 단계;
 상기 제3 절연층을 사이에 두고, 상기 제2 섬 형상의 단결정 반도체층 위에 제2 게이트 전극을 형성하는 단계;
 상기 제1 게이트 전극, 상기 제2 게이트 전극, 및 상기 제3 절연층 위에 제4 절연층을 형성하는 단계;
 상기 제4 절연층을 사이에 두고, 상기 제1 게이트 전극에 인접한 제1 사이드월을 형성하는 단계; 및
 상기 제4 절연층을 사이에 두고, 상기 제2 게이트 전극에 인접한 제2 사이드월을 형성하는 단계를 포함하고,
 상기 제1 사이드월의 폭은 상기 제2 사이드월의 폭보다 크고,
 상기 제1 섬 형상의 단결정 반도체층의 결정면 방위는 상기 제2 섬 형상의 단결정 반도체층의 결정면 방위와 같고,
 상기 제1 섬 형상의 단결정 반도체층의 채널 길이 방향에서의 결정 축과, 상기 제2 섬 형상의 단결정 반도체층의 채널 길이 방향에서의 결정 축이 서로 다른, 반도체장치 제조방법.

청구항 18

삭제

청구항 19

제 17 항에 있어서, 상기 제1 섬 형상의 단결정 반도체층을 사용하여, 제1 도전형을 가지는 MIS형 전계효과 트랜지스터가 형성되고,
 상기 제2 섬 형상의 단결정 반도체층을 사용하여, 제2 도전형을 가지는 MIS형 전계효과 트랜지스터가 형성되는, 반도체장치 제조방법.

청구항 20

제 17 항에 있어서, 상기 제1 섬 형상의 단결정 반도체층은 n형 도전성을 가지고, 상기 제2 섬 형상의 단결정 반도체층은 p형 도전성을 가지는, 반도체장치 제조방법.

청구항 21

제 17 항에 있어서, 상기 제1 섬 형상의 단결정 반도체층은 p형 도전성을 가지고, 상기 제2 섬 형상의 단결정 반도체층은 n형 도전성을 가지는 반도체장치 제조방법.

청구항 22

제 17 항에 있어서, 상기 제1 섬 형상의 단결정 반도체층의 상기 결정면 방위 및 상기 제2 섬 형상의 단결정 반도체층의 상기 결정면 방위는 {110}이고,

상기 제1 섬 형상의 단결정 반도체층의 상기 채널 길이 방향에서의 상기 결정 축은 <100>이고, 상기 제2 섬 형상의 단결정 반도체층의 상기 채널 길이 방향에서의 상기 결정 축은 <110>인, 반도체장치 제조방법.

청구항 23

제 17 항에 있어서, 상기 제1 섬 형상의 단결정 반도체층의 상기 결정면 방위 및 상기 제2 섬 형상의 단결정 반도체층의 상기 결정면 방위는 {110}이고,

상기 제1 섬 형상의 단결정 반도체층의 상기 채널 길이 방향에서의 상기 결정 축은 <110>이고, 상기 제2 섬 형상의 단결정 반도체층의 상기 채널 길이 방향에서의 상기 결정 축은 <100>인, 반도체장치 제조방법.

청구항 24

제 17 항에 있어서, 상기 제1 절연층은 산화규소막, 산화질화규소막, 또는 질화산화규소막인, 반도체장치 제조방법.

청구항 25

제 17 항에 있어서, 상기 제2 절연층은 산화규소막, 산화질화규소막, 또는 질화산화규소막인, 반도체장치 제조방법.

청구항 26

제 17 항에 있어서, 상기 제2 기관은 유리 기관인, 반도체장치 제조방법.

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 절연 표면에 반도체층이 제공된 소위 SOI(Silicon on Insulator) 구조를 가지는 반도체장치에 관한 것이다.

배경기술

[0002] 단결정 반도체의 잉곳(ingot)을 얇게 슬라이스하여 제작되는 실리콘 웨이퍼 대신에, 절연 표면에 얇은 단결정 반도체층을 제공한 실리콘 온 인슐레이터(Silicon on Insulator: 이하, "SOI"라고도 한다)라 불리는 반도체 기판을 사용한 집적회로가 개발되고 있다. SOI 기판을 사용한 집적회로는 트랜지스터의 드레인과 기판 사이에서의 기생 용량을 저감하여, 반도체 집적회로의 성능을 향상시키는 것으로서 주목을 모으고 있다.

[0003] SOI 기판의 제조방법은 다양한 것이 있는데, SOI층의 품질과 생산의 용이성(스루풋(throughput))을 양립시킨 것으로서, 스마트 컷(Smart Cut)(등록상표)이라 불리는 방법을 이용하여 형성되는 SOI 기판이 알려져 있다. 이 SOI 기판은, 실리콘층이 되는 본드 웨이퍼(bond wafer)에 수소 이온을 주입하고, 실온에서 별도의 웨이퍼(베이스 웨이퍼)에 접합시킨다. 접합에는 반 데르 발스력(van der Waals force)과 수소 결합을 이용하여 실온에서 강고(強固)한 접합을 형성한다. 또한, 400℃에서 700℃의 열 처리에 의하여 공유 결합을 형성하여, 보다 강고한 결합이 된다. 베이스 웨이퍼와 접합된 실리콘층은 500℃ 정도의 온도로 열 처리함으로써 본드 웨이퍼로부터 박리된다.

[0004] 이와 같은 SOI 기판을 사용한 반도체장치의 일례로서, 본 출원인에 의한 것이 알려져 있다(문헌 1 참조).

[0005] [문헌 1] 일본국 공개특허공고 2000-012864호 공보

발명의 내용

해결하고자하는 과제

[0006] 반도체 집적회로의 기술 분야에서, 미세화가 기술 개발의 로드 맵(road map)의 중심이 되어 진전해 온 역사가 있다. 지금까지는 반도체 집적회로가 미세화됨에 따라, 고속 동작이 가능하게 되고, 저소비전력화가 도모되어 왔다. 그리고, 근래에는 100 nm 이하의 디자인 룰(design rule)로 반도체 집적회로를 제조하는 기술이 실용 단계로 이행해 오고 있다. 그러나, 그 한편으로는, 미세화에 의한 반도체 집적회로의 성능 향상에는 한계가 있다

고 알려져 있다. 디자인 룰의 미세화가 진행됨에 따라 초고정밀도의 제조장치가 필요하게 되고, 점점 더 설비 투자액이 증대하므로, 기술적 견지에서는 물론 경제적 관점으로부터도 한계설이 나오고 있다.

[0007] 따라서, 본 발명은, 미세가공 기술에 의거할 뿐만 아니라, 반도체 집적회로의 고성능화를 도모하는 것을 목적으로 한다. 또한, 반도체 집적회로의 저소비전력화를 도모하는 것을 목적으로 한다.

과제 해결수단

[0008] 본 발명의 하나는, 반도체 집적회로에 있어서, MIS(Metal Insulator Semiconductor)형 전계효과 트랜지스터(이하, "MISFET"라고도 한다)를 구성하는 단결정 반도체층의 결정 방위가, 제1 도전형의 MISFET와 제2 도전형의 MISFET에서 서로 다른 반도체장치이다. 이 결정 방위는, 각각의 MISFET에서 채널 길이 방향으로 주행하는 캐리어의 이동도가 높게 되는 결정 방위를 가지고 있다.

[0009] 본 발명의 하나는, 반도체 집적회로에 있어서, MISFET를 구성하는 단결정 반도체층의 결정 방위와 채널 길이 방향의 결정 축이, 제1 도전형의 MISFET와 제2 도전형의 MISFET에서 서로 다른 반도체장치이다.

[0010] 본 발명의 하나는, 반도체 집적회로에 있어서, MISFET를 구성하는 단결정 반도체층의 결정 방위가 같고, 그 단결정 반도체층의 채널 길이 방향의 결정 축이 제1 도전형의 MISFET와 제2 도전형의 MISFET에서 서로 다른 반도체장치이다.

[0011] 상기 구성의 바람직한 양태로서, 제1 단결정 반도체층 위에 제1 절연층이 형성되고, 상기 제1 절연층과 기판을 접합함으로써, 이 기판 위에 제1 절연층을 사이에 두고 제1 단결정 반도체층이 형성되고, 상기 제1 단결정 반도체층 위에 제2 절연층이 형성되고, 제2 절연층과 제2 단결정 반도체층을 접합함으로써, 상기 기판 위에 제2 절연층을 사이에 두고 제2 단결정 반도체층이 형성된 소위 SOI 구조를 가지는 반도체장치이다. 본 발명의 반도체 장치는, 제1 단결정 반도체층을 사용하여 제1 도전형의 MISFET가 제조되고, 제2 단결정 반도체층을 사용하여 제2 도전형의 MISFET가 형성되어 있다. 또한, 본 발명의 반도체 장치는, 제1 단결정 반도체층과 제2 단결정 반도체층이 각각 다른 절연층 위에 접합되어 형성되어 있다. 또한, 제2 절연층과 제2 단결정 반도체층 사이에 제3 절연층이 형성되어 있어도 좋다.

효과

[0012] 본 발명에 의하면, MISFET의 채널에서 흐르는 캐리어의 이동도가 높게 되는 결정 방위 또는 결정 축을 적용함으로써, 반도체 집적회로의 동작의 고속화를 도모할 수 있다. 또한, 저전압으로 구동하는 것이 가능하게 되고, 저소비전력화를 도모할 수 있다. 즉, MISFET의 채널에서 흐르는 캐리어가 원자에 의해 산란될 확률을 저감할 수 있고, 그것에 의해, 전자 또는 정공이 받는 저항을 감소시켜, MISFET의 성능 향상을 도모할 수 있다.

[0013] 또한, 기판 위에 다른 결정 방위를 가지는 단결정 반도체층을 접합시킬 때, 각각의 단결정 반도체층은 각각 평탄한 서로 다른 절연층 위에 형성되기 때문에, 절연층과 단결정 반도체층의 접합을 용이하게 행할 수 있다. 또한, 다른 도전형의 MISFET를 형성하는 단결정 반도체층은 각각 다른 절연층 위에 형성되기 때문에, 다른 도전형의 MISFET의 단결정 반도체층 간의 기생 용량, 또는 다른 도전형의 MISFET의 게이트 전극 간의 기생 용량을 저감할 수 있다. 따라서, 성능이 좋은 반도체장치를 제조할 수 있다.

발명의 실시를 위한 구체적인 내용

[0014] 본 발명의 실시형태에 대하여 도면을 사용하여 이하에 설명한다. 그러나, 본 발명은 이하의 설명에 한정되는 것은 아니고, 본 발명의 취지 및 그 범위로부터 벗어남이 없이 그의 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있을 것이다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에 설명하는 본 발명의 구성에서, 같은 것을 가리키는 부호는 다른 도면 간에 공통으로 사용하는 것으로 한다.

[0015] [실시형태 1]

[0016] 본 실시형태는, n형 MISFET와 p형 MISFET를 구성하는 반도체층을, 결정 방위가 다른 단결정 반도체 기판(이하 "본드 웨이퍼"라고도 한다)으로부터, 이종(異種) 기판(이하, "베이스 기판"이라고도 한다)으로 전이(轉移)하는 양태에 대하여 설명한다. 또한, 이 기판을 사용한 반도체장치의 일례로서 CMOS 회로의 구성예를 설명한다. 이하의 설명에서는, n형 MISFET 및 p형 MISFET 각각에 대하여, 채널 길이 방향으로 주행하는 캐리어의 이동도가 높게 되는 결정 방위를 선택한 것에 대하여 설명한다. 즉, n형 MISFET에 대하여 {100}면의 반도체층을 적용하

고, p형 MISFET에 대하여 {110}면의 반도체층을 적용하는 경우에 대하여 설명한다.

[0017] 먼저, 제1 본드 웨이퍼(100) 위에 산화질화규소막(101)과 질화산화규소막(102)을 순차로 형성한다(도 1(A)). 여기서, 제1 본드 웨이퍼(100)로서, 결정 방향이 {100}인 단결정 반도체 기판이 선택된다. 단결정 반도체 기판으로서, 예를 들어, 단결정 실리콘을 사용할 수 있다. 또한, 다결정 반도체 기판으로부터 분리 가능한 실리콘이나, 단결정 반도체 기판 또는 다결정 반도체 기판으로부터 분리 가능한 게르마늄도 적용할 수 있다. 그 외에도, 실리콘 게르마늄, 갈륨 비소, 인듐 인 등의 화합물 반도체에 의한 결정성 반도체 기판을 적용할 수도 있다. 또한, 산화질화규소막(101)은 막 두께 10 nm 이상 150 nm 이하 정도로 형성하는 것이 바람직하다. 또한, 질화산화규소막(102)은 막 두께 10 nm 이상 200 nm 이하 정도로 형성하는 것이 바람직하다.

[0018] 또한, 산화질화규소막(101) 및 질화산화규소막(102)은 베이스 기판(106)으로부터 나트륨 이온 등의 불순물이 확산하여 단결정 반도체층을 오염시키지 않게 하기 위해 제공되어 있다. 여기서, 질화산화규소막이란, 그의 조성으로서, 산소보다 질소의 함유량이 많은 것으로서, 러더포드 후방 산란법(RBS: Rutherford Backscattering Spectrometry) 및 수소 전방 산란법(HFS: Hydrogen Forward Scattering)을 사용하여 측정된 경우에, 농도 범위로서 산소가 5~30 원자%, 질소가 20~55 원자%, Si가 25~35 원자%, 수소가 10~30 원자%의 범위로 함유되는 것을 말한다. 또한, 산화질화규소막이란, 그의 조성으로서, 질소보다 산소의 함유량이 많은 것으로서, RBS 및 HFS를 사용하여 측정된 경우에, 농도 범위로서 산소가 50~70 원자%, 질소가 0.5~15 원자%, Si가 25~35 원자%, 수소가 0.1~10 원자%의 범위로 함유되는 것을 말한다. 그러나, 산화질화규소 또는 질화산화규소를 구성하는 원자의 합계를 100 원자%라 했을 때, 질소, 산소, Si 및 수소의 함유 비율이 상기 범위 내에 포함되는 것으로 한다. 또한, 질화알루미늄, 질소 산화알루미늄 등을 사용하여도 좋다. 또한, 산화질화규소막(101) 또는 질화산화규소막(102)은 반드시 형성할 필요는 없고, 단결정 반도체 기판에 이온 조사를 행하여 취화층(脆化層)이 형성된 기판을 사용하여도 좋다.

[0019] 다음에, 제1 본드 웨이퍼(100)에, 수소 가스를 이온화한 수소 이온(103)을 조사하여 취화층(104)을 형성한다(도 1(A)). 여기서의 수소 이온 조사는 베이스 기판으로 전치(轉置)되는 단결정 반도체층의 두께를 고려하여 행해진다. 이 단결정 반도체층의 두께는 10 nm~200 nm, 바람직하게는 10 nm~50 nm의 두께로 한다. 수소 이온을 조사할 때의 가속 전압은 이와 같은 두께를 고려하여, 제1 본드 웨이퍼(100)의 심부(深部)에 조사되도록 한다. 이 처리에 의하여, 제1 본드 웨이퍼(100)의 표면으로부터 일정 깊이의 영역에 취화층(104)이 형성된다. 또한, 수소 이온 조사는, 수소를 원료 가스에 사용하여, 질량 분리를 행하지 않고, 소위 이온 도핑으로 행하여도 좋다. 또한, 취화층(104)은, 수소 이온으로서 H⁺뿐만 아니라, H₂⁺, H₃⁺, H₄⁺ 중 어느 하나 또는 다수 종을 사용하여도 좋다. 또한, 수소뿐만 아니라 희가스를 사용하여도 좋고, 또는 양자를 혼합하여 사용하여도 좋다.

[0020] 다음에, 질화산화규소막(102) 위에, TEOS 가스와 산소 가스와의 혼합 가스를 사용하여 화학 기상 성장법(CVD법: Chemical Vapor Deposition법) 또는 플라즈마 화학 기상 성장법(플라즈마 CVD법)에 의해 성막되는 산화규소막(105)을 형성한다(도 1(B)). 또한, 산화규소막(105)은 제1 본드 웨이퍼(100)에 이온 조사를 행하기 전에 형성하여도 좋다. 또한, TEOS 가스와 산소 가스와의 혼합 가스를 사용하여 CVD법 또는 플라즈마 CVD법에 의해 성막되는 산화규소막을 형성하는 경우, 10 nm 이상 800 nm 이하의 막 두께로 형성하는 것이 바람직하다.

[0021] 또한, 여기서 TEOS 가스란, 테트라 에틸 오르토 실리케이트(Tetra Ethyl Ortho Silicate) 가스를 의미한다. TEOS 가스와 산소 가스를 사용한 CVD법 또는 플라즈마 CVD법에 의해 성막되는 산화규소막을 본드 웨이퍼와 베이스 기판의 접합 계면에 제공함으로써, 기판의 밀착성을 더욱 향상시킬 수 있다.

[0022] 또한, 본드 웨이퍼(100) 위에 산화질화규소막(101) 및 질화산화규소막(102)을 형성하기 전, 또는 산화질화규소막(101) 및 질화산화규소막(102)을 형성하지 않고, 수소 이온을 조사하는 경우에는, 제1 본드 웨이퍼(100)의 표면에, 자연 산화막, 케미컬 옥사이드, 또는 산소를 함유하는 분위기에서 UV광을 조사함으로써 형성되는 극박(極薄) 산화막을 형성하여 두는 것이 바람직하다. 여기서, 케미컬 옥사이드는, 오존수, 과산화산소수, 황산 등의 산화제로 본드 웨이퍼 표면을 처리함으로써 형성할 수 있다. 본드 웨이퍼 위에 산화막을 형성하여 뚝으로써, 후에 수소를 도입했을 때의 본드 웨이퍼 표면의 에칭에 의한 표면 거칠어짐을 방지할 수 있다.

[0023] 다음에, 도 1(C)에 나타내는 바와 같이, 제1 본드 웨이퍼(100) 위에 형성된 산화규소막(105)과 베이스 기판(106)을 접합시킨다. 또한, 여기서, 베이스 기판(106)의 표면에는, TEOS 가스와 산소 가스와의 혼합 가스를 사용하여 CVD법 또는 플라즈마 CVD법에 의해 성막되는 산화규소막(107)이 형성되어 있고, 산화규소막(105)과 산화규소막(107)을 접합함으로써, 제1 본드 웨이퍼(100)와 베이스 기판(106)을 접합시킬 수 있다. 또한, 산화규소막(107)은 반드시 형성할 필요는 없지만, 기판의 밀착성을 향상시키기 위해 형성하는 것이 바람직하다.

- [0024] 여기서, 베이스 기판(106)은, 접합의 형성이 저온에서 가능하기 때문에 다양한 것을 적용할 수 있다. 베이스 기판(106)의 재질로서는, 유리, 석영, 사파이어 등의 절연 기판, 실리콘, 갈륨 비소, 인듐 인 등의 반도체 기판 등을 적용할 수 있다.
- [0025] 본 실시형태에서, 접합은 제1 본드 웨이퍼(100)측의 산화규소막(105)과 베이스 기판(106)측의 산화규소막(107)이 밀접함으로써 형성된다. 접합의 형성은 실온에서 행하는 것이 가능하다. 이 접합은 원자 레벨로 행해지고, 반 데르 발스력 또는 수소 결합이 작용하여 실온에서 접합할 수 있다.
- [0026] 제1 본드 웨이퍼(100)와 베이스 기판(106)과의 접합을 형성한 후, 400°C~700°C의 열 처리를 행하여, 제1 본드 웨이퍼(100)로부터 부분적으로 단결정 반도체층(108)을 분리한다(도 2(A)). 가열함으로써 취화층(104)에 형성된 미소한 공동(空洞)의 체적 변화가 일어나, 취화층(104)을 따라 파단면이 발생하고, 파단면을 따라 단결정 반도체층(108)을 분리(분단)할 수 있다. 또한, 이 열 처리에 의해, 접합을 더욱 강고한 것으로 할 수 있다. 이와 같이 하여, 베이스 기판(106) 위에 박막의 단결정 반도체층(109)이 형성된다(도 2(B)).
- [0027] 다음에, 단결정 반도체층(109) 위에 레지스트(116)를 선택적으로 형성하고, 레지스트(116)를 마스크로 하여 단결정 반도체층(109)을 에칭함으로써, 섬 형상의 단결정 반도체층(이하, "제1 SOI층"이라고도 한다)(110)을 형성한다(도 2(C)).
- [0028] 다음에, 섬 형상의 단결정 반도체층(110) 및 산화질화규소막(101) 위에 절연층(111)을 형성한다(도 3(A)). 절연층(111)으로서, 산화막이 바람직하고, 산화막 표면이 평탄화되는 막 두께로 형성한다. 또한, 산화막 표면을 화학적 기계적 연마(Cheical Mechanical Polishing: CMP)함으로써 평탄화하여도 좋다. 예를 들어, TEOS 가스와 산소 가스와의 혼합 가스를 사용하여 CVD법 또는 플라즈마 CVD법에 의해 성장되는 산화규소막, 열 CVD법을 이용하여 형성되는 산화질화규소막, 또는 열 CVD법을 이용하여 형성되는 질화산화규소막 등을 사용할 수 있다. 또한, 절연층(111)을 형성하기 전에, 단결정 반도체층(110)의 표면에 자연 산화막, 케미컬 옥사이드, 또는 산소를 함유하는 분위기에서 UV광을 조사함으로써 형성되는 극박 산화막을 형성하여 두어도 좋다. 여기서, 케미컬 옥사이드는, 오존수, 과산화산소수, 황산 등의 산화제로 단결정 반도체층 표면을 처리함으로써 형성할 수 있다.
- [0029] 다음에, 절연층(111)과, 취화층(112)이 형성된 제2 본드 웨이퍼(113)를 접합한다(도 3(B)). 여기서, 제2 본드 웨이퍼(113)는, 제1 본드 웨이퍼(100)와 마찬가지로 단결정 반도체 기판에 이온 조사를 행함으로써 형성할 수 있다. 또한, 제2 본드 웨이퍼(113)로서, 결정 방위가 {110}인 단결정 반도체 기판이 선택된다. 또한, 제1 본드 웨이퍼(100)의 결정 방위와 제2 본드 웨이퍼(113)의 결정 방위는 본 실시형태의 조합에 한정되는 것은 아니고, 예를 들어, 제1 본드 웨이퍼(100)로서 결정 방위가 {110}인 기판을 사용하고, 제2 본드 웨이퍼(113)로서 결정 방위가 {100}인 기판을 사용하여도 좋다. 그 경우, 제1 본드 웨이퍼(100)를 사용하여 p형 MISFET를 제조하고, 제2 본드 웨이퍼(113)를 사용하여 n형 MISFET를 제조하는 것이 바람직하다. 또한, 이온 조사 시, 결정 방위가 {110}인 기판 쪽에, 결정 방위가 {100}인 기판보다 다량의 이온을 조사할 필요가 있다.
- [0030] 다음에, 열 처리를 행하여 제2 본드 웨이퍼(113)로부터 단결정 반도체층을 분리함으로써, 절연층(111) 위에 박막의 단결정 반도체층을 형성할 수 있다(도 3(B)). 그 후, 박막의 단결정 반도체층을 선택적으로 에칭하여, 절연층(111) 위에 섬 형상의 단결정 반도체층(이하, "제2 SOI층"이라고도 한다)(114)을 형성한다(도 3(C)).
- [0031] 이상의 공정에 의해, 결정 방위가 서로 다른 제1 SOI층(110)과 제2 SOI층(114)이 다른 절연층 위에 형성된 베이스 기판(106)을 형성할 수 있다. 상기 공정에서, 제1 본드 웨이퍼(100)의 결정 방위가 {100}인 경우에는 제1 SOI층(110)의 면 방위도 {100}이 되고, 제2 본드 웨이퍼(113)의 결정 방위가 {110}인 경우에는, 제2 SOI층(114)의 면 방위도 {110}이 된다. 전치된 제1 SOI층(110) 및 제2 SOI층(114)에 대하여 각각, 그의 표면을 평탄화하기 위해 화학적 기계적 연마(Cheical Mechanical Polishing: CMP)를 행하여도 좋다. 제1 SOI층(110) 및 제2 SOI층(114)의 두께는 CMP에 의해 더욱 박막화되어도 좋고, 10 nm~50 nm의 두께로 제조되어 있으면 바람직하다.
- [0032] 다음에, 절연층(111)을 선택적으로 제거하여 제1 SOI층(110)의 표면을 노출시킨다(도 4(A)). 또한, 여기서 반드시 절연층(111)을 제거할 필요는 없지만, 후에 형성되는 제1 SOI층(110), 제2 SOI층(114) 위에 형성되는 게이트 절연층의 막 두께를 균일하게 하기 위해 제거하는 것이 바람직하다. 그 후, 제1 SOI층(110) 및 제2 SOI층(114)을 덮도록 게이트 절연층으로서 기능하는 절연층(115)을 형성한다(도 4(B)). 절연층(115)으로서, 산화규소, 산화질화규소, 질화산화규소, 산화haf늄(HfO_x), 산화알루미늄(Al_xO_y)(x>y>0), 산화탄탈(TaxO_y, x>y>0) 등의 재료를 적용할 수 있다.

- [0033] 이하에, CMOS 회로의 일 구성요소로서 인버터 회로를 제작하는 공정 예에 대하여 설명한다. 또한, 인버터 회로에 한정하지 않고 마이크로프로세서를 비롯한 다양한 집적회로를 형성할 수 있다. 도 5 내지 도 11에서, 각 도면의 (A)는 인버터 회로의 평면도를 나타내고, (B)는 각 도면의 A-B선에 대응하는 단면도를 나타낸다.
- [0034] 도 5(A) 및 도 5(B)에 나타내는 바와 같이, 게이트 절연층으로서 기능하는 절연층(115)을 사이에 두고 제1 SOI 층(110) 및 제2 SOI 층(114) 위에 게이트 전극으로서 기능하는 도전층(게이트 전극이라고도 한다)(204)을 형성한다. 여기서는, 제1 SOI 층(110) 및 제2 SOI 층(114) 위에 도전층(204)이 형성되어 있다. 또한, 본 실시형태에서는, 게이트 전극으로서 기능하는 도전층(204)은 도전층(제1 게이트 전극층이라고도 한다)(205)과 도전층(제2 게이트 전극층이라고도 한다)(206)과의 적층막으로 형성되어 있다.
- [0035] 또한, 절연층(115)으로서 고유전율 물질(high-k 재료)을 사용하는 경우에는, 게이트 전극(204)을 다결정 실리콘, 실리사이드, 금속 또는 금속 질화물로 형성하면 좋다. 바람직하게는, 금속 또는 금속 질화물로 형성하는 것이 바람직하다. 예를 들어, 절연층(115)과 접하는 제1 게이트 전극층(205)을 금속 질화물 재료로 형성하고, 그 위의 제2 게이트 전극층(206)을 금속 재료로 형성한다. 이 조합을 사용함으로써, 게이트 절연층이 박막화한 경우에도 게이트 전극으로 공핍층이 퍼지는 것을 방지할 수 있고, 미세화한 경우에도 트랜지스터의 구동 능력을 해치는 것을 방지할 수 있다.
- [0036] 다음에, 게이트 전극(204) 위에 제1 절연층(207)을 형성한다(도 6). 제1 절연층(207)은 산화규소막 또는 산화 질화규소막으로 형성한다. 다른 형태로서, 게이트 전극(204)을 산화 또는 질화 처리에 의해 절연화하여 같은 층을 형성하여도 좋다. 제1 절연층(207)은 게이트 전극(204)의 측면에도 1 nm~10 nm의 두께로 성막되도록 한다. 제1 절연층(207)은, 이후의 공정에서, 제1 SOI 층(110) 및 제2 SOI 층(114)에 가전자(價電子) 제어를 목적으로 한 불순물이 첨가되지 않는 오프셋 영역을 형성하기 위해 제공한다.
- [0037] 도 7은, 제1 SOI 층(110) 및 제2 SOI 층(114)에 극천(極淺) 접합(ultrashallow junction)(소스 드레인 익스텐션(extension))을 형성하는 공정을 나타내고 있다. 이 극천 접합부는 단(短)채널 효과를 억제하기 위해 제공하는 것이 바람직하다. n형 MISFET용의 제1 SOI 층(110)에 대해서는 주기율표의 13족 원소가 첨가되는 제1 극천 접합부(208)를 형성하고, p형 MISFET용의 제2 SOI 층(114)에 대해서는 주기율표의 15족 원소가 첨가되는 제2 극천 접합부(209)를 형성한다. 이 극천 접합부의 불순물 농도는 저농도 드레인보다는 1 자리수 높게 되도록 한다. 예를 들어, 제1 극천 접합부(208)에 대해서는, 인을 15 keV , $2 \times 10^{14} / \text{cm}^2$ 의 도즈량으로 이온 주입을 행한다. 제2 극천 접합부(209)에 대해서는, 붕소를 15 keV , $3 \times 10^{13} / \text{cm}^2$ 의 도즈량으로 이온 주입을 행한다.
- [0038] 다음에, 도 8에 나타내는 바와 같이, 게이트 전극(204)의 측면에 제1 사이드월(sidewall)(210)과 제2 사이드월(211)을 형성한다. 예를 들어, 제1 사이드월(210)과 제2 사이드월(211)은 질화규소막으로 형성된다. 이들 사이드월은 이방성 에칭에 의해 자기정합적으로 형성된다.
- [0039] 이 경우, 제1 SOI 층(110)측의 제1 사이드월(210)과 제2 SOI 층(114)측의 제2 사이드월(211)의 폭을 같게 되도록 가공하여도 좋지만, 바람직하게는 이 양자의 폭이 서로 달라지도록 가공한다. p형 MISFET용의 제2 SOI 층(114)에 대한 제2 사이드월(211)의 폭은, n형 MISFET용의 제1 SOI 층(110)에 대한 제1 사이드월(210)의 폭보다 얇게 하면 좋다. p형 MISFET에서 소스 영역 및 드레인 영역을 형성하기 위해 첨가되는 붕소는 확산하기 쉽고, 단채널 효과를 일으키기 쉽기 때문이다. 오히려, 이와 같은 구성으로 함으로써, p형 MISFET에서, 소스 영역 및 드레인 영역에 고농도의 붕소를 첨가하는 것이 가능하게 되어, 소스 영역 및 드레인 영역을 저저항화할 수 있다.
- [0040] 사이드월을 형성한 후, 도 9에 나타내는 바와 같이, 제1 절연층(207)의 노출부 및 그 아래에 형성되어 있는 절연층(115)을 에칭한 후, 소스 영역 및 드레인 영역을 자기정합적으로 형성한다. 이 공정은, 가전자를 제어하는 불순물 이온을 전계에서 가속하여 첨가하는 이온 주입법으로 행할 수 있다. 제1 SOI 층(110)에는 15족 원소를 첨가하여, 소스 영역 및 드레인 영역이 되는 제1 불순물 영역(212)을 형성한다. 제2 SOI 층(114)에는 13족 원소를 첨가하여, 소스 영역 및 드레인 영역이 되는 제2 불순물 영역(213)을 형성한다. 예를 들어, n형 MISFET용의 제1 SOI 층(110)에 대해서는, 인을 50 keV , $5 \times 10^{15} / \text{cm}^2$ 의 도즈량으로 이온 주입한다. p형 MISFET용의 제2 SOI 층(114)에 대해서는, 붕소를 30 keV , $3 \times 10^{15} / \text{cm}^2$ 의 도즈량으로 이온 주입한다. 이온 종(種), 가속 전압 및 도즈량의 도핑 조건은 적절히 설정하면 좋다.
- [0041] 소스 영역 및 드레인 영역을 더욱 저저항화하기 위해서는 실리사이드층을 형성하여도 좋다. 실리사이드층으로서, 코발트 실리사이드 또는 니켈 실리사이드를 적용하면 좋다. SOI 층의 두께가 얇은 경우에는, 이 영역의 SOI 층의 바닥부까지 실리사이드 반응을 진행시켜 풀 실리사이드화하여도 좋다.

- [0042] 도 10에서는, 패시베이션층(214), 제1 층간절연층(215), 콘택트 플러그(216)를 형성하는 공정을 나타낸다. 패시베이션층(214)은 질화규소막, 질화산화규소막 등을 CVD법으로 전면(全面)에 성막한다. 제1 층간절연층(215)은, 인 실리케이트 유리(PSG) 또는 붕소 인 실리케이트 유리(BPSG)를 CVD법으로 성막하고, 리플로(reflow)에 의해 평탄화하여 형성한다. 또는, CVD법으로 정규산 4에틸(Tetra-Ethyl-Ortho-Silicate, $\text{Si}(\text{OCH}_2\text{CH}_3)_4$)을 사용하여 산화규소막을 형성하고, 그 후 CMP로 평탄화하여도 좋다. 콘택트 플러그(216)는, 제1 층간절연층(215)에 형성한 콘택트 홀을 매립하도록 텅스텐 실리사이드로 형성한다. 텅스텐 실리사이드는 6불화 텅스텐(WF_6)과 실란(SiH_4)을 사용하여 CVD법으로 형성한다.
- [0043] 배선의 다층화는 반도체장치의 구성에 따라 고려된다. 도 11에서는, 제1 층간절연층(215) 위에, 제2 층간절연층(217)과 제1 배선(218), 제2 배선(219), 제3 배선(220)을 형성한 구성을 나타내고 있다. 이들 배선은 텅스텐 실리사이드로 형성하여도 좋고, 다마신(damascene)법에 의해 Cu 배선을 형성하여도 좋다.
- [0044] 여기서, p형 MISFET와 n형 MISFET의 면 방위와 결정 축의 바람직한 조합의 예를 도 12와 도 13에 나타낸다.
- [0045] 도 12(A) 및 도 12(B)는 p형 MISFET와 n형 MISFET를 형성하는 SOI층의 결정 방위가 서로 다른 경우의 예를 나타내고 있다. 도 12(A)는 p형 MISFET의 경우이고, {110}면의 SOI층이 적용된다. 이 경우, 채널 길이 방향의 결정 축은 <110>이라는 보다 바람직한 형태가 된다. 도 12(B)는 n형 MISFET의 경우이고, {100}면의 SOI층이 적용된다. 이 경우, 채널 길이 방향의 결정 축은 <100>이라는 보다 바람직한 형태가 된다. 이와 같은 조합에 의해 정공 및 전자의 전계효과 이동도를 높일 수 있다.
- [0046] 또한, p형 MISFET와 n형 MISFET를 형성하는 SOI층의 결정 방위는 반드시 다를 필요는 없다. 도 13(A) 및 도 13(B)에 p형 MISFET와 n형 MISFET를 형성하는 SOI층의 결정 방위가 같은 경우의 예를 나타낸다. 도 13(A)는 p형 MISFET의 경우이고, {110}면의 SOI층이 적용된다. 이 경우, 채널 길이 방향의 결정 축은 <110>이라는 보다 바람직한 형태가 된다. 도 13(B)는 n형 MISFET의 경우이고, {110}면의 SOI층에 대하여 채널 길이 방향의 결정 축은 <100>이라는 바람직한 형태가 된다. 이와 같은 조합에 의해 정공 및 전자의 전계효과 이동도를 높일 수 있다.
- [0047] 본 실시형태에 따르면, n형 MISFET에 제공하는 제1 SOI층과, p형 MISFET에 제공하는 제2 SOI층이 서로 다른 절연 표면 위에 제공되고, 또한, 그 양자의 결정 방위가 서로 다른 반도체장치를 얻을 수 있다. 본 실시형태에서, 각각의 MISFET에 대하여 전자 및 정공의 전계효과 이동도가 가장 높게 되는 결정 방위에 채널 형성 영역을 제공하는 것이 가능하게 된다. 또한, 제1 SOI층과 제2 SOI층에 같은 면 방위의 결정을 사용하여도, n형 MISFET와 p형 MISFET의 채널의 방향을 평행으로 하면서, 다른 결정 축 방향으로 캐리어를 흘릴 수 있다. 트랜지스터의 채널에서 흐르는 캐리어의 이동도가 높게 되는 결정 방위를 적용함으로써, 반도체 집적회로의 동작의 고속화를 도모할 수 있다. 또한, 저전압으로 구동하는 것이 가능하게 되어, 저소비전력화를 도모할 수 있다. 즉, 캐리어가 원자에 의해 산란될 확률을 저감할 수 있고, 그것에 의해, 전자 또는 정공이 받는 저항을 감소시켜, 트랜지스터의 성능 향상을 도모할 수 있다. 또한, 본 실시형태에 따르면 소자 분리를 행하기 위한 구조를 형성할 필요가 없기 때문에 제조공정을 간략화할 수 있다.
- [0048] 또한, 기판 위에 서로 다른 결정 방위를 가지는 단결정 반도체층을 접합할 때에, 각각의 단결정 반도체층은 각각 평탄한 다른 절연층 위에 형성되기 때문에, 절연층과 단결정 반도체층과의 접합을 용이하게 행할 수 있다. 또한, 서로 다른 도전형의 MISFET를 형성하는 단결정 반도체층은 각각 다른 절연층 위에 형성되기 때문에, 다른 도전형의 MISFET의 단결정 반도체층 간의 기생 용량, 또는 다른 도전형의 MISFET의 게이트 전극 간의 기생 용량을 저감할 수 있다. 따라서, 성능이 좋은 반도체장치를 제조할 수 있다.
- [0049] 본 실시형태에서는, 수소 이온 등을 일정 깊이로 조사하여 단결정 반도체층을 본드 웨이퍼로부터 분리하는 방법에 대하여 나타내었지만, 다른 SOI 기술을 사용하여 동일한 베이스 기판을 제조하는 것도 가능하다. 예를 들어, 본드 웨이퍼의 표면을 양극화성(anodization)에 의해 다공질 실리콘층을 형성하고, 그 위에 에피택셜(epitaxial) 성장으로 형성한 단결정 실리콘층을, 본 실시형태에서 나타내는 SOI층으로서 사용할 수 있다. 이 구성의 본드 웨이퍼를 사용하는 경우에는, 워터젯(water jet)법을 이용하여 다공질 실리콘층과 에피택셜 성장한 단결정 실리콘층을 분리한다.
- [0050] 본 실시형태에 따르면, 반도체 집적회로를 형성하는 베이스 기판에 다른 면 방위를 가지는 단결정 반도체층(SOI층)을 형성할 수 있다. 이 면 방위는 n형 MISFET 및 p형 MISFET 각각에 대하여, 높은 전계효과 이동도를 얻을 수 있는 면 방위를 선택하는 것이 가능하다. 이와 같은 베이스 기판을 사용함으로써 반도체 집적회로의 고성능

화 또는 집적화를 도모할 수 있다.

- [0051] [실시형태 2]
- [0052] 본 실시형태에서는, 게이트 절연층의 막 두께가 다른 n형 MISFET와 p형 MISFET 및 그의 제작공정에 대하여 설명한다.
- [0053] 먼저, 베이스 기판(106) 위에 산화규소막(107)이 형성되고, 산화규소막(107) 위에 산화질화규소막(105)이 형성되고, 산화질화규소막(105) 위에 질화산화규소막(102)이 형성되고, 질화산화규소막(102) 위에 산화질화규소막(101)이 형성되고, 산화질화규소막(101) 위에 제1 SOI층(110)이 선택적으로 형성되고, 제1 SOI층(110) 및 산화질화규소막(101) 위에 절연층(111)이 형성되고, 절연층(111) 위에 제2 SOI층(114)이 형성된 기판을 준비한다(도 14(A)). 또한, 여기까지의 공정은 도 1~도 3(C)까지와 마찬가지로 행할 수 있기 때문에 그의 설명은 생략한다.
- [0054] 다음에, 제2 SOI층(114) 및 절연층(111) 위에 게이트 절연층으로서 기능하는 절연층(115)을 형성한다(도 14(B)). 여기서, 절연층(115)으로서, 실시형태 1에서 나타낸 절연층(115)과 같은 것을 사용할 수 있다.
- [0055] 이후의 공정은 도 5~도 11과 마찬가지로 행함으로써, 도 15에 나타내는 바와 같은 n형 MISFET(301) 및 p형 MISFET(302)를 포함하는 반도체장치를 형성할 수 있다. 도 15에 나타내는 반도체장치는, 도 11에 나타내는 반도체장치의 구성에 추가하여, n형 MISFET(301)의 제1 SOI층(110)과 절연층(115) 사이에 절연층(111)이 형성되어 있고, 절연층(115)과 절연층(111)이 n형 MISFET(301)의 게이트 절연층으로서 기능한다. 따라서, 본 실시형태의 반도체장치에서, n형 MISFET(301)의 게이트 절연층을 p형 MISFET(302)의 게이트 절연층보다 두껍게 형성할 수 있다.
- [0056] 본 실시형태에서, n형 MISFET(301)의 게이트 절연층을 p형 MISFET(302)의 게이트 절연층보다 두껍게 형성할 수 있기 때문에, n형 MISFET(301)의 내압이 향상하여, 반도체장치의 신뢰성을 향상시킬 수 있다.
- [0057] 또한, 본 실시형태에 따르면, n형 MISFET(301)에 제공하는 제1 SOI층(110)과 p형 MISFET(302)에 제공하는 제2 SOI층(114)이 다른 절연 표면 위에 제공되고, 또한, 그 양자의 결정 방위가 서로 다른 반도체장치를 얻을 수 있다. 본 실시형태에서, 각각의 MISFET에 대하여 전자 및 정공의 전계효과 이동도가 가장 높게 되는 결정 방위로 채널 형성 영역을 형성하는 것이 가능하게 된다. 또한, 제1 SOI층(110)과 제2 SOI층(114)에 같은 면 방위의 결정을 사용하여도, n형 MISFET와 p형 MISFET의 채널의 방향을 평행으로 하면서, 다른 결정 축 방향으로 캐리어를 흘릴 수 있다. 트랜지스터의 채널에서 흐르는 캐리어의 이동도가 높게 되는 결정 방위를 적용함으로써, 반도체 집적회로의 동작의 고속화를 도모할 수 있다. 또한, 저전압으로 구동하는 것이 가능하게 되어, 저소비전력화를 도모할 수 있다. 즉, 캐리어가 원자에 의해 산란될 확률을 저감할 수 있고, 그것에 의해 전자 또는 정공이 받는 저항을 감소시켜, 트랜지스터의 성능 향상을 도모할 수 있다. 또한, 본 실시형태에 따르면, 소자 분리를 행하기 위한 구조를 형성할 필요가 없기 때문에 제조공정을 간략화할 수 있다.
- [0058] 또한, 기판 위에 다른 결정 방위를 가지는 단결정 반도체층을 접합시킬 때, 각각의 단결정 반도체층은 각각 평탄한 다른 절연층 위에 형성되기 때문에, 절연층과 단결정 반도체층과의 접합을 용이하게 행할 수 있다. 또한, 다른 도전형의 MISFET를 형성하는 단결정 반도체층은 각각 다른 절연층 위에 형성되기 때문에, 다른 도전형의 MISFET의 단결정 반도체층 간의 기생 용량, 또는 다른 도전형의 MISFET의 게이트 전극 간의 기생 용량을 저감할 수 있다. 따라서, 성능이 좋은 반도체장치를 제조할 수 있다.
- [0059] 본 실시형태에 따르면, 반도체 집적회로를 형성하는 베이스 기판에 다른 면 방위를 가지는 단결정 반도체층(SOI층)을 형성할 수 있다. 이 면 방위는 n형 MISFET 및 p형 MISFET 각각에 대하여, 높은 전계효과 이동도를 얻을 수 있는 면 방위를 선택하는 것이 가능하다. 이와 같은 베이스 기판을 사용함으로써 반도체 집적회로의 고성능화를 도모할 수 있다.
- [0060] [실시형태 3]
- [0061] 상기 실시형태에서 나타내는 바와 같이, 결정 방위가 서로 다른 반도체층을 베이스 기판에 접합하는 경우에, 보다 바람직한 양태로서, 채널 길이 방향의 결정 축을 특정의 방향으로 선택하면 좋다. MISFET의 채널 형성 영역을 흐르는 전자 또는 정공의 캐리어 이동도의 이방성은, SOI층의 결정면 방향에서의 이방성과, 캐리어가 흐르는 방향에서의 이방성을 고려하는 것이 보다 바람직한 양태가 된다. 이것은, 결정 중에서 캐리어의 유효 질량이 이방성을 가지기 때문이다.
- [0062] 예를 들어, 도 16(A)에 나타내는 바와 같이, {100}면의 본드 웨이퍼로부터 n형 MISFET용의 SOI층을 취출하는 경우에는, 채널 길이 방향이 <100>축과 평행한 방향이 되도록 하는 것이 바람직하다. 한편, p형 MISFET용의

SOI층을 형성하기 위해서는, 도 16(B)에 나타내는 바와 같이 {110}면의 본드 웨이퍼를 사용하고 채널 길이 방향이 <110>축과 평행한 방향이 되도록 하는 것이 바람직하다. 이와 같이, n형 MISFET에 대하여 <100>축, p형 MISFET에 대하여 <110>축을 선택하면 채널 형성 영역을 흐르는 전자와 정공의 전계효과 이동도를 더욱 높일 수 있다.

[0063] [실시형태 4]

[0064] 본 실시형태는, 동일한 결정 방위를 가지는 본드 웨이퍼로부터, n형 MISFET와 p형 MISFET에 적합한 SOI층을 취출하는 구성에 대하여 나타낸다. 도 17은 {110}면의 본드 웨이퍼를 사용하는 경우에 대하여 나타낸다. 이 경우, n형 MISFET용의 SOI층을 취출하는 경우에는, 도 17(A)에 나타내는 바와 같이 채널 길이 방향이 <100>축과 평행한 방향이 되도록 한다. 한편, p형 MISFET용의 SOI층을 형성하기 위해서는, 도 17(B)에 나타내는 바와 같이 채널 길이 방향이 <110>축과 평행한 방향이 되도록 한다.

[0065] 본 실시형태에 따르면, 절연 표면을 가지는 기판 위에, n형 MISFET가 형성되는 제1 SOI층과 p형 MISFET가 형성되는 제2 SOI층이 같은 결정 방위이고, 채널 길이 방향의 결정 축의 방향이 서로 다른 반도체 집적회로를 얻을 수 있다. n형 MISFET에 대하여 <100>축, p형 MISFET에 대하여 <110>축을 선택하면 채널 형성 영역을 흐르는 전자와 정공의 전계효과 이동도를 더욱 높이는 것이 가능하게 된다. 또한, n형 MISFET의 SOI층과 베이스 기판의 접합 공정과, p형 MISFET의 SOI층과 베이스 기판의 접합 공정은 별도 공정이다. 따라서, n형 MISFET와 p형 MISFET의 회로 배치에 설계의 자유도가 확보되므로, 반도체 집적회로의 집적도를 향상시킬 수 있다. n형 MISFET 및 p형 MISFET 각각에 대하여, 높은 전계효과 이동도를 얻을 수 있는 면 방위 또는 결정 축을 선택하는 것이 가능하기 때문에, 이와 같은 베이스 기판을 사용함으로써 반도체 집적회로의 고성능화를 도모할 수 있다.

[0066] [실시형태 5]

[0067] 본 실시형태에서는, 반도체장치의 일례로서 마이크로프로세서의 양태에 대하여 도 18을 참조하여 설명한다.

[0068] 도 18은 마이크로프로세서(221)의 일례를 나타낸다. 이 마이크로 프로세서(221)는, 실시형태 3, 실시형태 4에서 나타내는 바와 같이, n형 MISFET를 구성하는 SOI층과, p형 MISFET를 구성하는 SOI층의 결정 방위가 상이하다. 또는, 같은 결정 방위이고, n형 MISFET와 p형 MISFET에서, 전자가 흐르는 방향 또는 정공이 흐르는 방향이 결정 축으로부터 보아 상이하다. 또한, n형 MISFET를 구성하는 SOI층과 p형 MISFET를 구성하는 SOI층은 다른 절연층 위에 형성되어 있다.

[0069] 이 마이크로프로세서(221)는, 연산회로(Arithmetic logic unit: ALU라고도 함)(222), 연산회로 제어부(ALU Controller)(223), 명령 해석부(Instruction Decoder)(224), 인터럽트 제어부(Interrupt Controller)(225), 타이밍 제어부(Timing Controller)(226), 레지스터(Register)(227), 레지스터 제어부(Register Controller)(228), 버스 인터페이스(Bus I/F)(229), 판독 전용 메모리(ROM)(230), 및 ROM 인터페이스(ROM I/F)(231)를 가지고 있다.

[0070] 버스 인터페이스(229)를 통하여 마이크로프로세서(221)에 입력된 명령은 명령 해석부(224)에 입력되어 디코드된 후, 연산회로 제어부(223), 인터럽트 제어부(225), 레지스터 제어부(228), 타이밍 제어부(226)에 입력된다. 연산회로 제어부(223), 인터럽트 제어부(225), 레지스터 제어부(228), 타이밍 제어부(226)는, 디코드된 명령에 의거하여 각종 제어를 행한다. 구체적으로, 연산회로 제어부(223)는 연산회로(222)의 동작을 제어하기 위한 신호를 생성한다. 또한, 인터럽트 제어부(225)는 마이크로프로세서(221)의 프로그램 실행 중에 외부의 입출력 장치나 주변회로부터의 인터럽트 요구를 그의 우선도나 마스크 상태에서부터 판단하여 처리한다. 레지스터 제어부(228)는 레지스터(227)의 어드레스를 생성하고, 마이크로프로세서의 상태에 따라 레지스터(227)의 판독이나 기입을 행한다.

[0071] 또한, 타이밍 제어부(226)는 연산회로(222), 연산회로 제어부(223), 명령 해석부(224), 인터럽트 제어부(225), 레지스터 제어부(228)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들어, 타이밍 제어부(226)는 기준 클럭 신호(CLK1)를 기초로 내부 클럭 신호(CLK2)를 생성하는 내부 클럭 생성부를 구비하고 있고, 내부 클럭 신호(CLK2)를 상기 각종 회로에 공급한다. 또한, 도 18에 나타내는 마이크로프로세서(221)는 그의 구성을 간략화하여 나타낸 일례에 지나지 않고, 실제의 마이크로프로세서는 그의 용도에 따라 다종 다양한 구성을 가지고 있다.

[0072] 본 실시형태의 마이크로프로세서는, p형 MISFET에 제공하는 제1 SOI층과 n형 MISFET에 제공하는 제2 SOI층이 다른 절연 표면 위에 제공되고, 또한, 그 양자의 결정 방위가 상이하다. 또는, 제1 SOI층과 제2 SOI층에 같은 면 방위의 결정을 사용하여도, n형 MISFET와 p형 MISFET의 채널의 방향을 평행으로 하면서, 다른 결정축 방향으로

캐리어가 흐르도록 구성되어 있다. 이와 같이, 트랜지스터의 채널을 흐르는 캐리어의 이동도가 높게 되는 결정 방향을 적용함으로써, 마이크로프로세서의 동작의 고속화를 도모할 수 있다. 또한, 저전압으로 구동하는 것이 가능하게 되고, 저소비전력화를 도모할 수 있다. 즉, 캐리어가 원자에 의해 산란될 확률을 저감할 수 있고, 그것에 의해 전자 또는 정공이 받는 저항을 감소시켜, 마이크로프로세서의 성능 향상을 도모할 수 있다.

[0073] [실시형태 6]

[0074] 본 실시형태는, 상기 실시형태에서 나타낸 n형 MISFET 및 p형 MISFET를 사용한 반도체장치의 일례로서 통신 회로를 가지고 비접촉으로 데이터의 입출력이 가능한 마이크로컴퓨터의 양태에 대하여 도 19를 참조하여 설명한다.

[0075] 도 19는 본 실시형태에 관한 마이크로컴퓨터(232)의 블록도를 나타내고 있다. 이 마이크로컴퓨터(232)는 안테나 회로(233), 아날로그 회로부(234) 및 디지털 회로부(235)를 가지고 있다. 아날로그 회로부(234)로서, 공진용량을 가지는 공진 회로(236), 정전압 회로(237), 정류 회로(238), 복조 회로(239), 변조 회로(240), 리셋 회로(241), 발진 회로(242), 전원 관리 회로(243)를 가지고 있다. 디지털 회로부(235)는, RF 인터페이스(244), 제어 레지스터(245), 클록 콘트롤러(246), 인터페이스(247), 중앙 처리 유닛(248), 랜덤 액세스 메모리(249), 판독 전용 메모리(250)를 가지고 있다. 또한, 마이크로컴퓨터(232)의 동작에 필요한 전력은, 무선 신호를 안테나 회로(233)가 수신한 것을 정류 회로(238)를 거쳐 정류된 전력이 축전부(251)에 충전된다. 축전부(251)는 세라믹 콘덴서나 전기 이중층 콘덴서 등의 커패시터로 구성된다. 축전부(251)는 마이크로컴퓨터(232)와 일체로 형성되어 있을 필요는 없고, 별도 부품으로서 마이크로컴퓨터(232)를 구성하는 절연 표면을 가지는 기판에 부착되어 있으면 된다.

[0076] 이와 같은 구성의 마이크로컴퓨터(232)의 동작은 이하와 같다. 안테나 회로(233)가 수신한 신호는 공진 회로(236)에 의해 유도 기전력을 일으킨다. 입력된 신호는 복조 회로(239)로 복조되고, 제어 명령이나 데이터 신호가 디지털 회로부(235)로 출력된다. 리셋 회로(241)는 디지털 회로부(235)를 리셋하여 초기화하는 신호를 생성한다. 예를 들어, 전원 전압의 상승 후 지연하여 상승하는 신호를 리셋 신호로서 생성한다. 발진 회로(242)는, 정전압 회로(237)에 의해 생성되는 제어 신호에 따라 클록 신호의 주파수와 듀티비를 변경한다. 로패스 필터(lowpass filter)로 형성되는 복조 회로(239)는, 예를 들어, 진폭 변조(ASK) 방식의 수신 신호의 진폭의 변동을 2값화한다. 변조 회로(240)는, 송신 데이터를 진폭 변조(ASK) 방식의 송신 신호의 진폭을 변동시켜 송신한다. 변조 회로(240)는, 공진 회로(236)의 공진점을 변화시킴으로써 통신 신호의 진폭을 변화시키고 있다. 클록 콘트롤러(246)는, 전원 전압 또는 중앙 처리 유닛(248)에서의 소비전류에 따라 클록 신호의 주파수와 듀티비를 변경하기 위한 제어 신호를 생성하고 있다. 전원 전압의 감시는 전원 관리 회로(243)가 행하고 있다.

[0077] 안테나 회로(233)로부터 마이크로컴퓨터(232)에 입력된 신호는 복조 회로(239)로 복조된 후, RF 인터페이스(244)에 의해 제어 커맨드나 데이터 등으로 분해된다. 제어 커맨드는 제어 레지스터(245)에 격납된다. 제어 커맨드에는 판독 전용 메모리(250)에 기억되어 있는 데이터의 판독, 랜덤 액세스 메모리(249)에의 데이터의 기입, 중앙 처리 유닛(248)에의 연산 명령 등이 포함되어 있다. 중앙 처리 유닛(248)은, 인터페이스(247)를 통하여 판독 전용 메모리(250), 랜덤 액세스 메모리(249), 제어 레지스터(245)에 액세스한다. 인터페이스(247)는, 중앙 처리 유닛(248)이 요구하는 어드레스로부터, 판독 전용 메모리(250), 랜덤 액세스 메모리(249), 제어 레지스터(245) 중 어느 하나에 대한 액세스 신호를 생성하는 기능을 가지고 있다.

[0078] 중앙 처리 유닛(248)의 연산 방식은, 판독 전용 메모리(250)에 OS(Operating System)를 기억시켜 두고, 기동과 함께 프로그램을 판독하여 실행하는 방식을 채용할 수 있다. 또한, 전용 회로로 연산 회로를 구성하여, 연산 처리를 하드웨어적으로 처리하는 방식을 채용할 수도 있다. 하드웨어와 소프트웨어를 병용하는 방식에서는, 전용의 연산 회로로 일부 처리를 행하고, 나머지의 연산을 프로그램을 사용하여 중앙 처리 유닛(248)이 실행하는 방식을 적용할 수 있다.

[0079] 도 20은, 상기와 같은 구성을 가지는 본 실시형태에 관한 마이크로컴퓨터의 외관을 나타낸다. 베이스 기판(106)에 다수의 SOI층이 제공되고, 그것에 의해 n형 MISFET 및 p형 MISFET가 형성되는 소자 형성층(252)을 가지고 있다. 소자 형성층(252)은, 도 19의 아날로그 회로부(234) 및 디지털 회로부(235)를 형성한다. 안테나(253)는 베이스 기판(106) 위에 제공되어 있다. 또한, 이 안테나(253) 대신에 안테나 접속 단자를 설치하여도 좋다. 도 20에 나타내는 안테나(253)는 자계형의 스파이럴 안테나를 나타내지만, 전계형의 안테나로서 다이폴 안테나 등과 조합하여도 좋다.

- [0080] 도 21은, 도 20에서 나타내는 마이크로컴퓨터의 일부를 나타내고, 단면 구조를 모식적으로 나타내고 있다. 베이스 기판(106) 위에는 제1 SOI층(110) 및 제2 SOI층(114)에 의해 n형 MISFET 및 p형 MISFET가 형성되어 있다. 제2 층간절연층(217)보다 하층의 구성은 도 11과 같으므로 그의 설명은 생략한다.
- [0081] 제1 배선(218) 위에는 제3 층간절연층(254)과 제4 층간절연층(255)이 형성되어 있다. 제3 층간절연층(254)은 산화규소막, 제4 층간절연층(255)은 질화규소막으로 형성하고, 듀얼 다마신에 의해 홈의 폭이 다른 개구를 형성하고 있다. 그 개구부에 질화탄탈 등의 배리어 메탈(256)을 형성하고, 구리 도금에 의해 구리 배선(257)을 형성하고 있다. 또한, 제5 층간절연층(258)과 제6 층간절연층(259)을 형성하고, 배리어 메탈(260) 및 구리 도금에 의한 구리 배선(261)을 형성한다. 안테나(253)는 제7 층간절연층(262) 위에 형성된다. 시드(seed)층(263)은 안테나(253)를 구리 도금법으로 형성하는 경우에 제공된다. 안테나(253)는 스퍼터링에 의해 알루미늄 등의 도전막을 퇴적하고, 그것을 포트리소그래피법에 의해 안테나 형상으로 가공하여도 좋다.
- [0082] 이와 같은 마이크로컴퓨터는, 베이스 기판(106)으로서 대면적의 유리 기판을 사용함으로써 생산성을 향상시킬 수 있다. 예를 들어, 시장에 유통하고 있는 제4 세대의 액정 패널은 730 mm×920 mm이고, 면적은 671600 mm²이므로, 칩의 마진을 무시한다고 하여도, 2 mm×2 mm의 칩을 잘라내는 경우에는 대략 계산하여도 34만개의 칩을 취출할 수 있다. 또한, 1 mm×1 mm의 칩에서는, 대략 67만개의 칩을, 0.4 mm×0.4 mm에서는 대략 400만개의 칩을 취출할 수 있다. 유리 기판의 두께는 0.4~0.7 mm이고, SOI층을 고정하는 면과 반대측의 면에 보호 필름을 부착하면, 유리 기판을 0.1~0.3 mm 정도까지 얇게 하는 것도 가능하다.
- [0083] 본 실시형태의 마이크로컴퓨터는, p형 MISFET에 제공하는 제1 SOI층과 n형 MISFET에 제공하는 제2 SOI층이 다른 절연 표면 위에 제공되고, 또한, 그 양자의 결정 방위가 상이하다. 또는, 제1 SOI층과 제2 SOI층에 같은 면 방위의 결정을 사용하여도, n형 MISFET와 p형 MISFET의 채널의 방향을 평행으로 하면서, 다른 결정축 방향으로 캐리어가 흐르도록 구성되어 있다. 이와 같이, 트랜지스터의 채널을 흐르는 캐리어의 이동도가 높게 되는 결정 방위를 적용함으로써, 마이크로컴퓨터의 동작의 고속화를 도모할 수 있다. 또한, 저전압으로 구동하는 것이 가능하게 되고, 저소비전력화를 도모할 수 있다. 즉, 캐리어가 원자에 의해 산란될 확률을 저감할 수 있고, 그것에 의해 전자 또는 정공이 받는 저항을 감소시켜, 마이크로프로세서의 성능 향상을 도모할 수 있다.

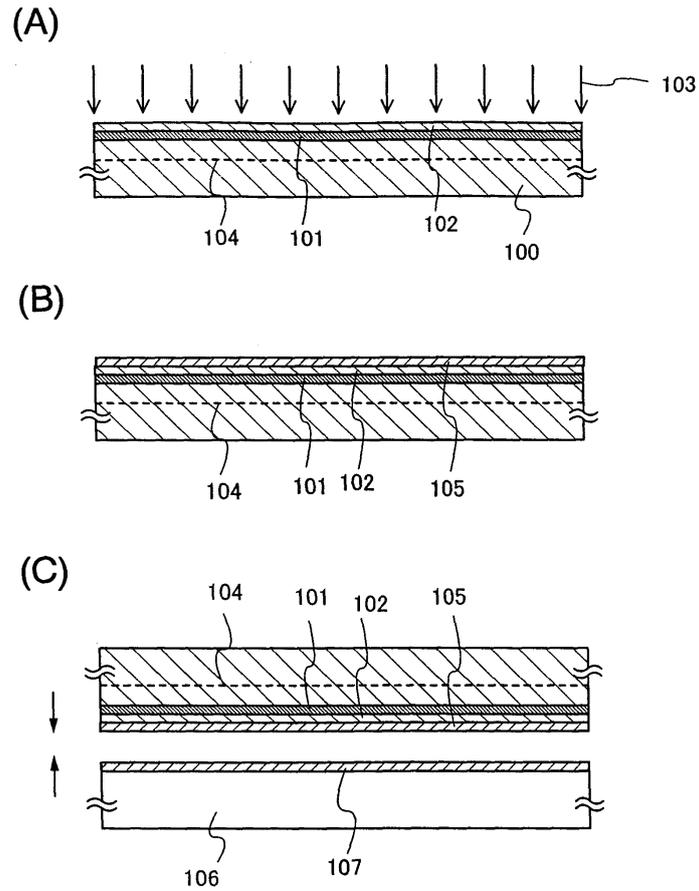
도면의 간단한 설명

- [0084] 도 1은 반도체장치의 제작공정을 설명하는 도면.
- [0085] 도 2는 반도체장치의 제작공정을 설명하는 도면.
- [0086] 도 3은 반도체장치의 제작공정을 설명하는 도면.
- [0087] 도 4는 반도체장치의 제작공정을 설명하는 도면.
- [0088] 도 5는 반도체장치의 제작공정을 설명하는 도면.
- [0089] 도 6은 반도체장치의 제작공정을 설명하는 도면.
- [0090] 도 7은 반도체장치의 제작공정을 설명하는 도면.
- [0091] 도 8은 반도체장치의 제작공정을 설명하는 도면.
- [0092] 도 9는 반도체장치의 제작공정을 설명하는 도면.
- [0093] 도 10은 반도체장치의 제작공정을 설명하는 도면.
- [0094] 도 11은 반도체장치의 제작공정을 설명하는 도면.
- [0095] 도 12는 p형 MISFET와 n형 MISFET에 대한 SOI층의 결정 방위의 바람직한 조합의 일례를 설명하는 도면.
- [0096] 도 13은 p형 MISFET와 n형 MISFET에 대한 SOI층의 결정 방위의 바람직한 조합의 일례를 설명하는 도면.
- [0097] 도 14는 반도체장치의 제작공정을 설명하는 도면.
- [0098] 도 15는 반도체장치의 제작공정을 설명하는 도면.
- [0099] 도 16은 p형 MISFET와 n형 MISFET에 대한 SOI층의 결정 방위의 일례를 설명하는 도면.
- [0100] 도 17은 p형 MISFET와 n형 MISFET에 대한 SOI층의 결정 방위의 일례를 설명하는 도면.

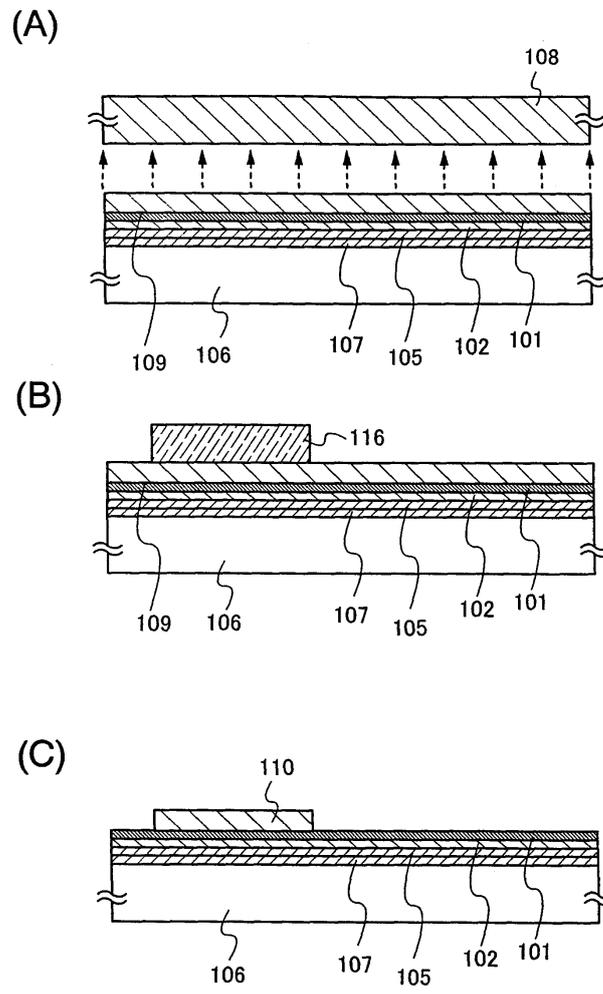
- [0101] 도 18은 마이크로프로세서의 양태에 대하여 설명하는 블록도.
- [0102] 도 19는 마이크로컴퓨터의 양태에 대하여 설명하는 블록도.
- [0103] 도 20은 마이크로컴퓨터의 외관 예를 나타내는 사시도.
- [0104] 도 21은 마이크로컴퓨터의 구성을 설명하는 단면도.

도면

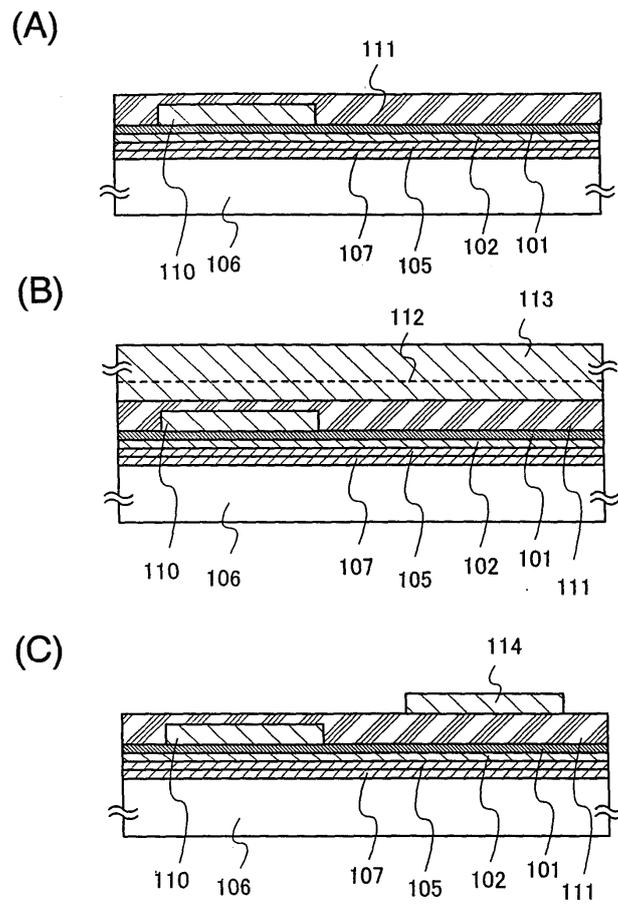
도면1



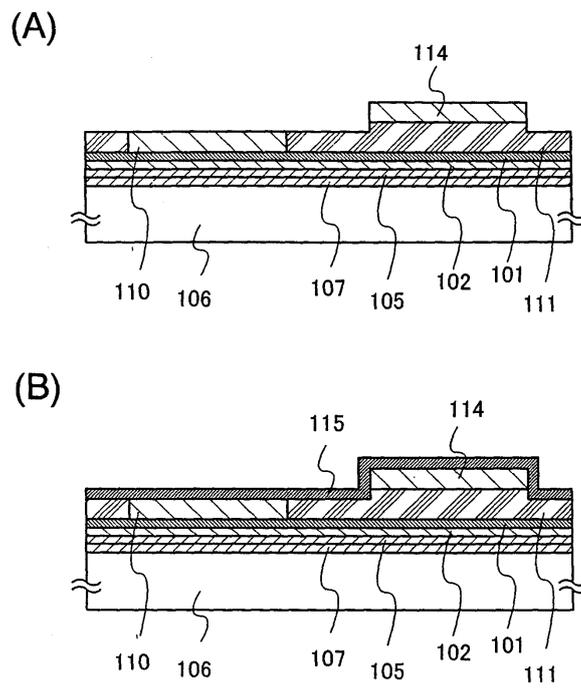
도면2



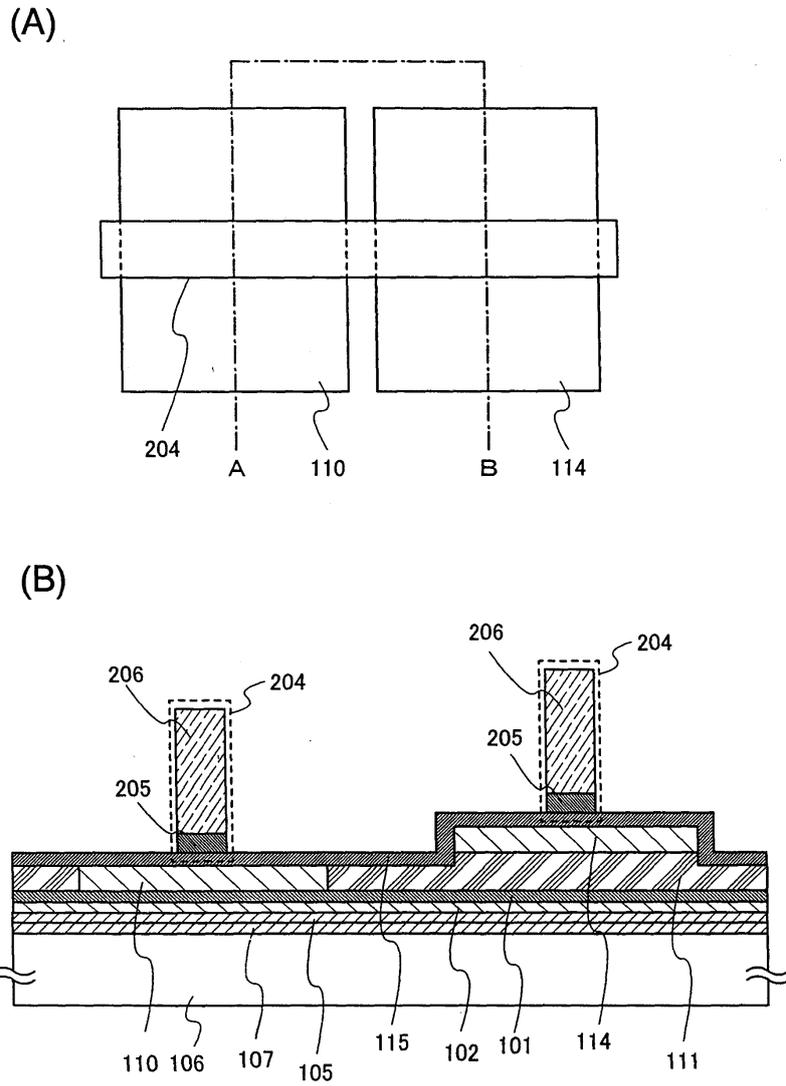
도면3



도면4

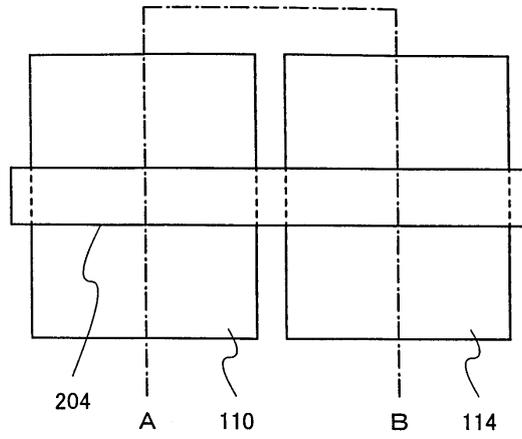


도면5

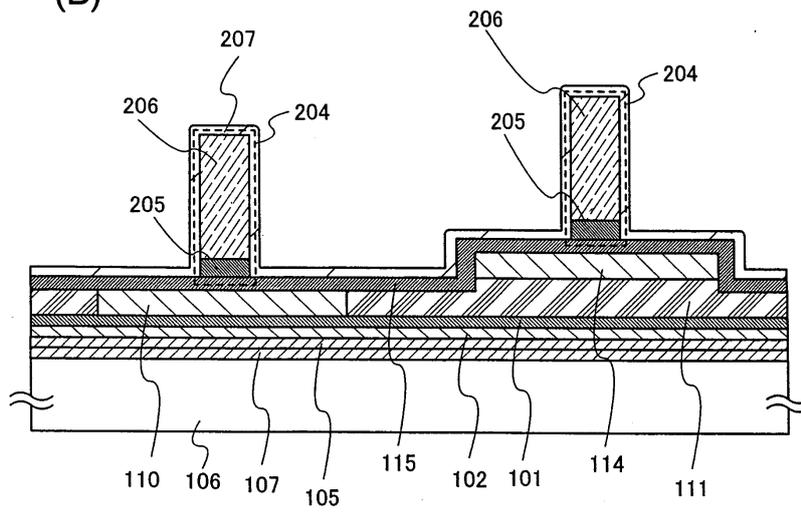


도면6

(A)

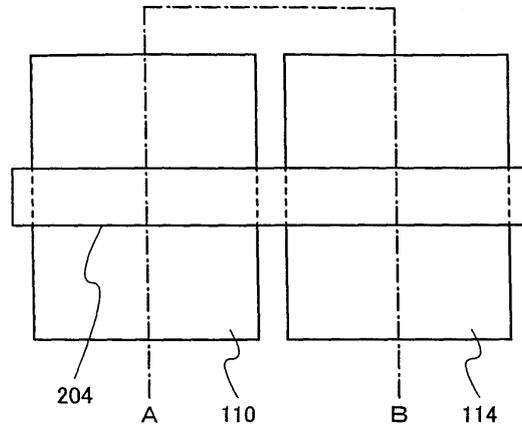


(B)

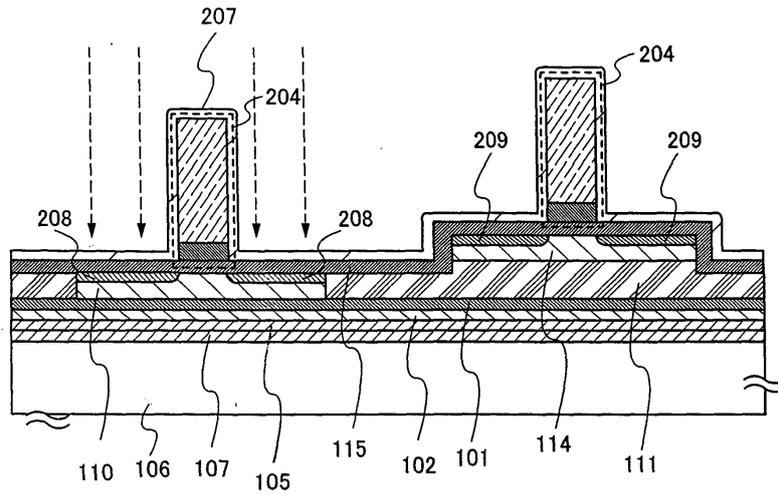


도면7

(A)

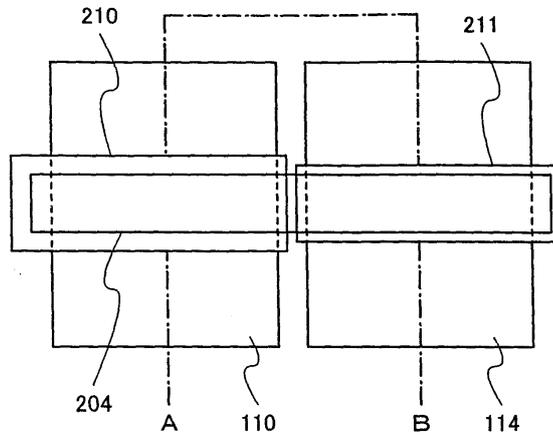


(B)

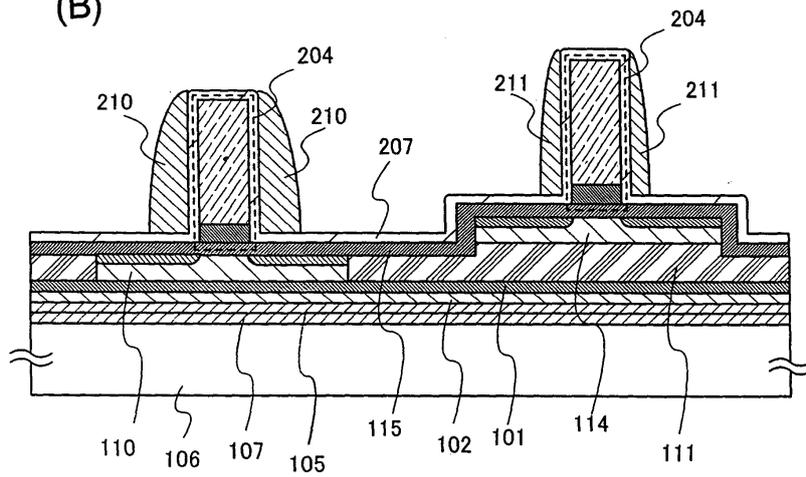


도면8

(A)

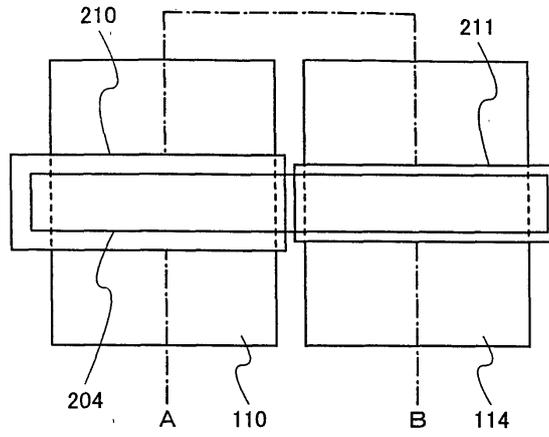


(B)

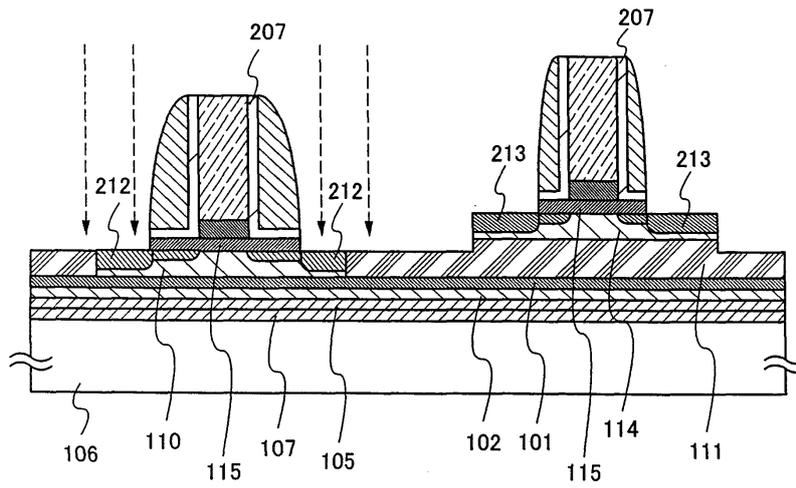


도면9

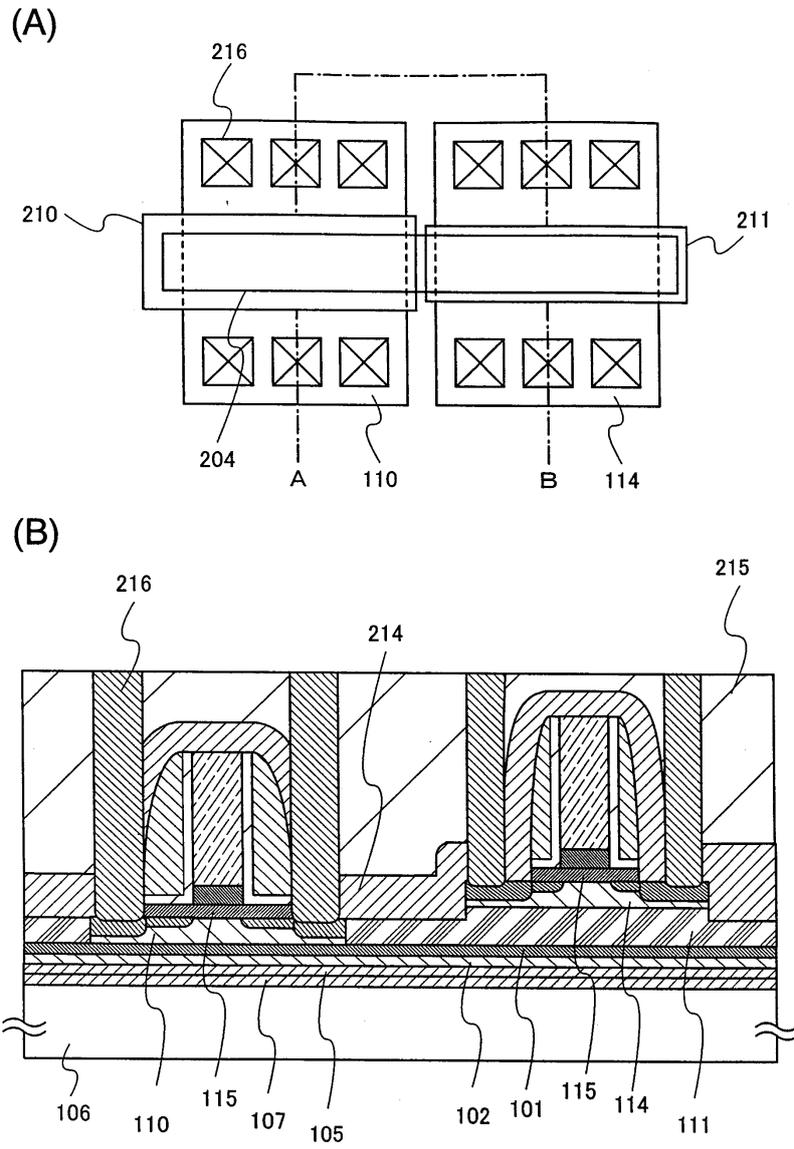
(A)



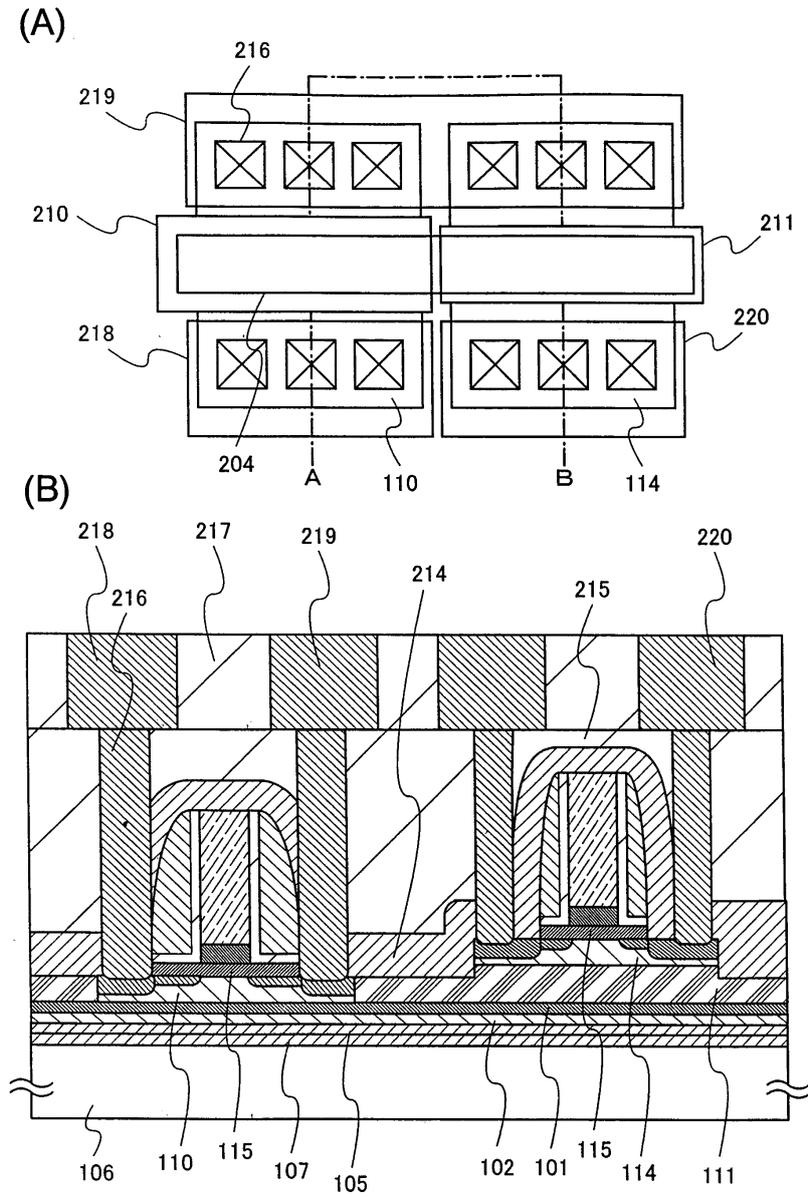
(B)



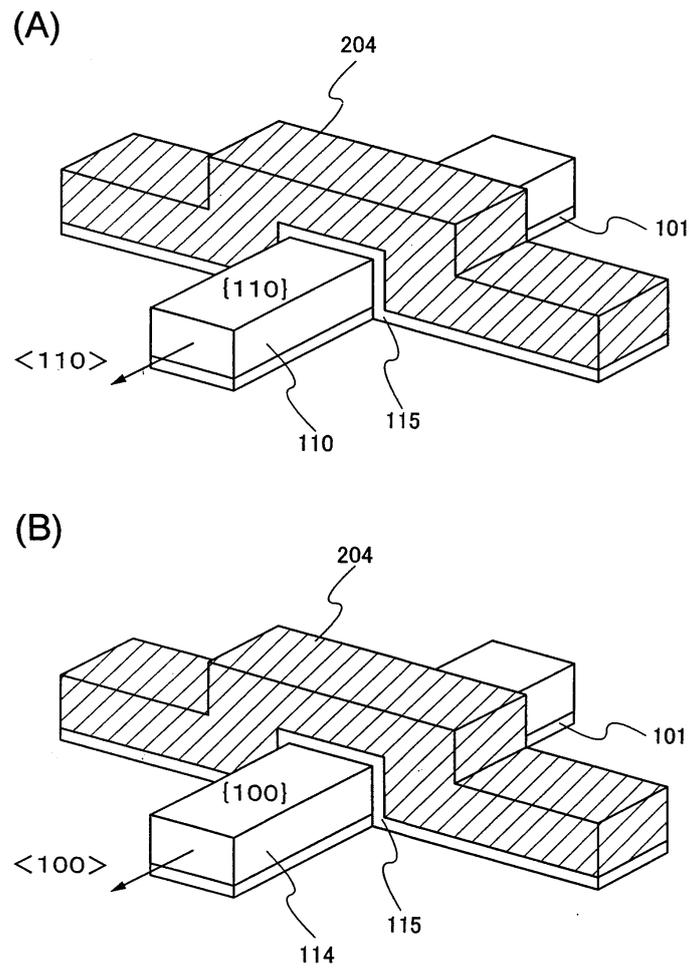
도면10



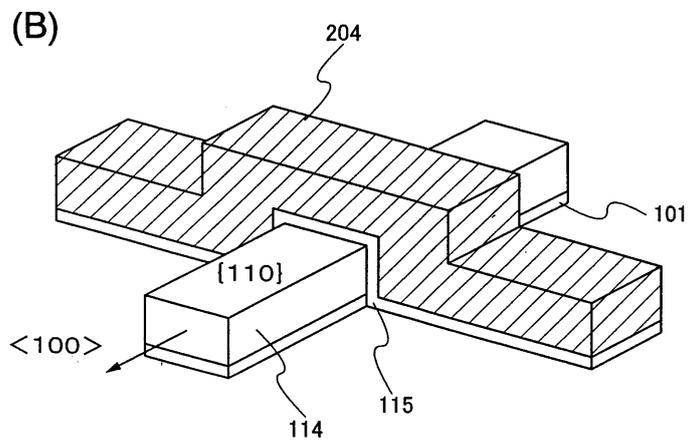
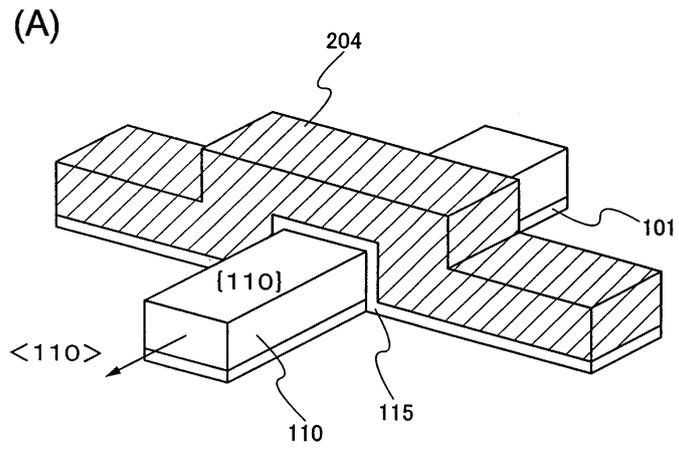
도면11



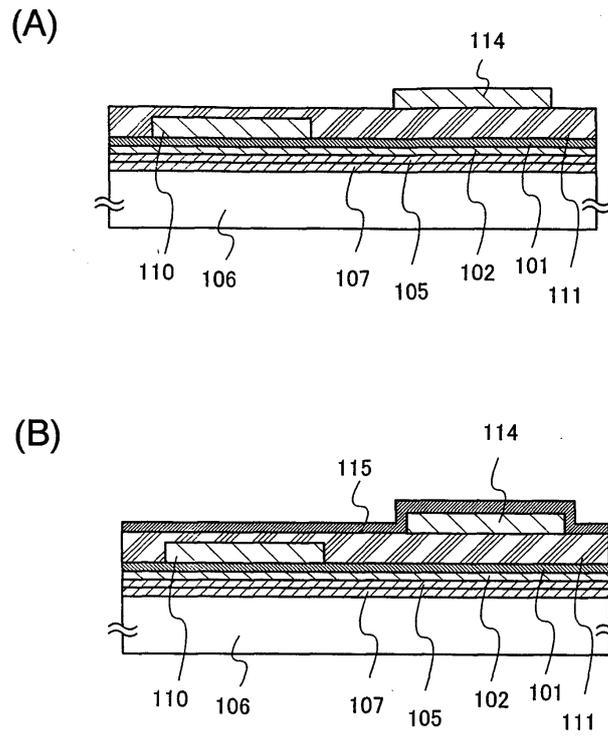
도면12



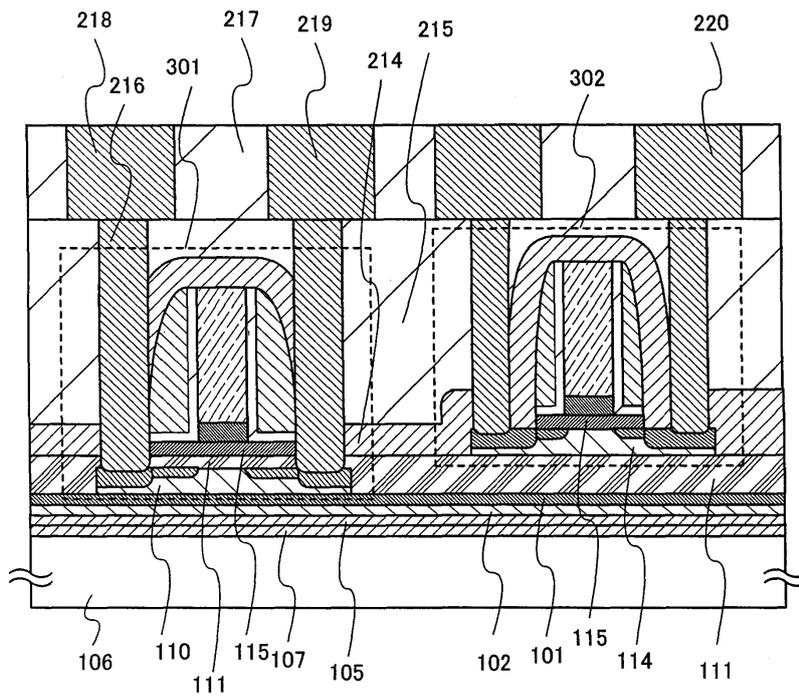
도면13



도면14

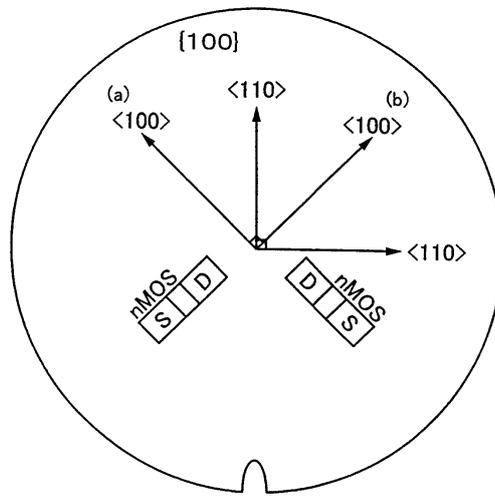


도면15

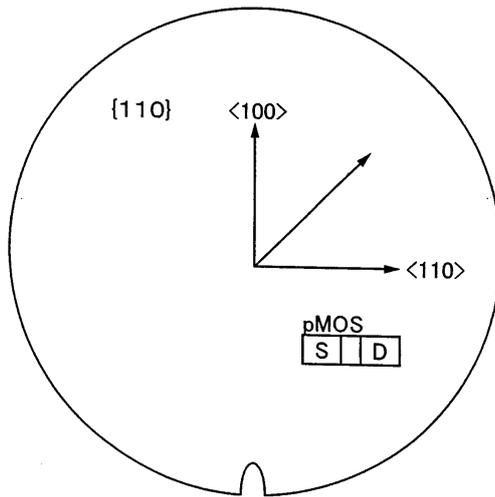


도면16

(A)

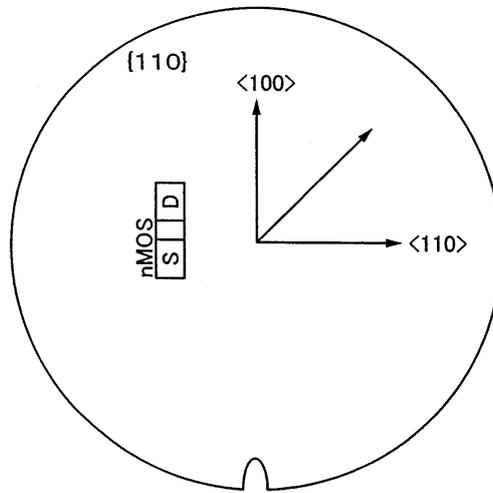


(B)

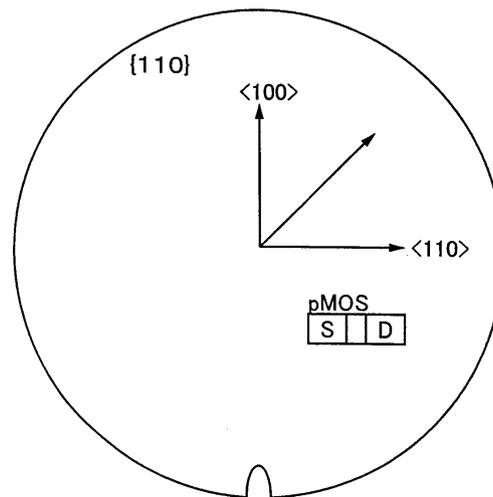


도면17

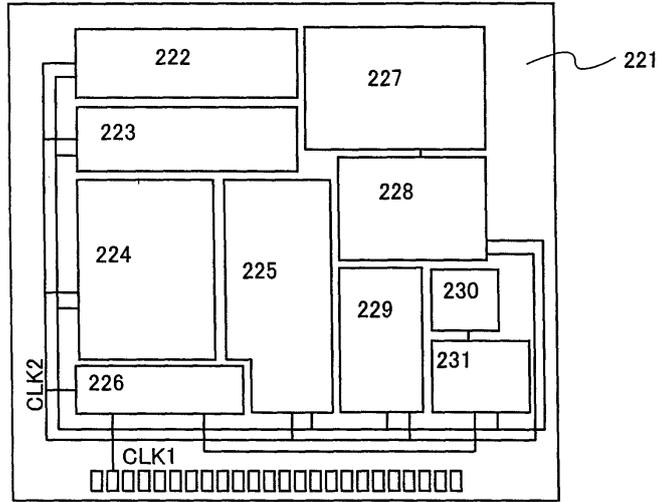
(A)



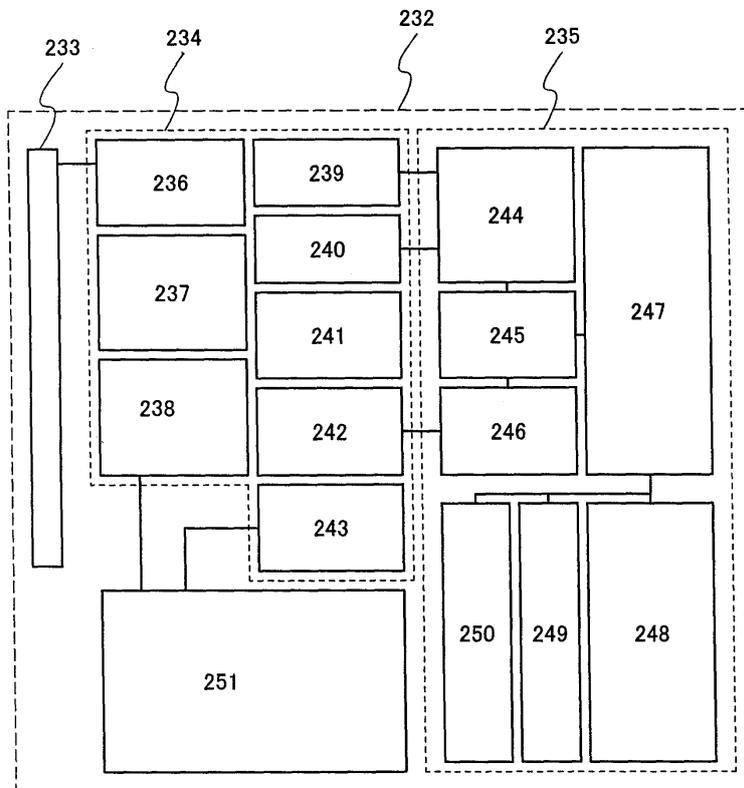
(B)



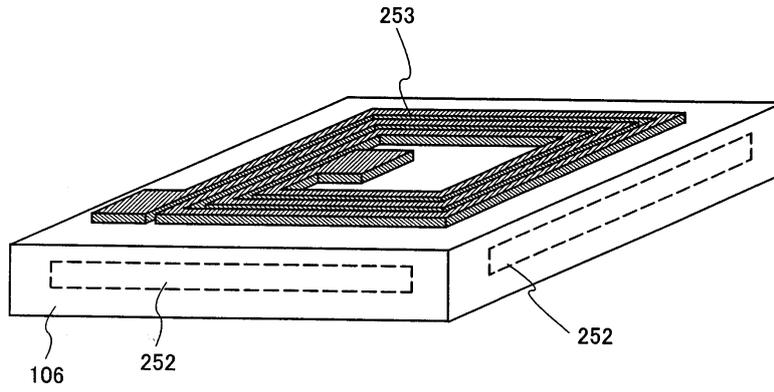
도면18



도면19



도면20



도면21

