

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成23年3月17日(2011.3.17)

【公開番号】特開2011-9760(P2011-9760A)

【公開日】平成23年1月13日(2011.1.13)

【年通号数】公開・登録公報2011-002

【出願番号】特願2010-174203(P2010-174203)

【国際特許分類】

H 01 L 21/76 (2006.01)

H 01 L 29/78 (2006.01)

H 01 L 29/786 (2006.01)

H 01 L 27/08 (2006.01)

H 01 L 21/8238 (2006.01)

H 01 L 27/092 (2006.01)

【F I】

H 01 L 21/76 L

H 01 L 29/78 3 0 1 R

H 01 L 29/78 6 2 1

H 01 L 27/08 3 3 1 A

H 01 L 27/08 3 3 1 E

H 01 L 27/08 3 2 1 C

【手続補正書】

【提出日】平成23年2月1日(2011.2.1)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板と、該基板上に設けられたシリコンゲルマニウム歪み層と、該基板上に設けられているトランジスタとを含む構造であって、

該トランジスタが、

前記基板に設けられたソース領域およびドレイン領域と、

前記ソース領域と前記ドレイン領域との間に設けられていて、第1の種類の歪みを有しているチャネル領域と、

前記チャネル領域上にかつ前記ソース領域と前記ドレイン領域との間に設けられていて、ドープ半導体、金属および金属化合物からなる群から選択される材料を含むゲートと、トレンチ内に設けられているトレンチ構造とを含んでおり、

前記トレンチが、前記ソース領域および前記ドレイン領域の一方の少なくとも一方の側に隣接しており、

前記トレンチ構造の第1の種類の歪みの一部のみが、前記トレンチ構造によって導入されており、

前記チャネル領域の少なくとも一部が歪み層内に設けられており、

前記トレンチ内に設けられている前記トレンチ構造が、前記トレンチのトレンチサイドウォールおよびトレンチ底部分を被覆する第1の誘電層と、前記第1の誘電層上にコンформアルに堆積された保護ライナと、前記保護ライナ上の前記トレンチを充填する充填材料とを含み、

前記チャネル領域の少なくとも一部が歪み層内に設けられており、前記第1の誘電層が、1000より低い温度での湿式の酸化またはCVD法によって形成されている、構造。

【請求項2】

前記第1の誘電層と前記保護ライナが異なる種類の歪みを有している、請求項1に記載の構造。

【請求項3】

前記基板上に設けられた誘電層をさらに含み、前記歪み層が、該誘電層上に設けられかつ当該誘電層と接触している、請求項1に記載の構造。

【請求項4】

前記第1の種類の歪みが引張り歪みである、請求項1に記載の構造。

【請求項5】

前記第1の種類の歪みが圧縮歪みである、請求項1に記載の構造。

【請求項6】

前記基板が、シリコンおよびゲルマニウムの少なくとも一方を含む、請求項1に記載の構造。

【請求項7】

前記基板が、シリコン以外の少なくとも1つの元素を含むシリコン基板である、請求項1に記載の構造。

【請求項8】

前記シリコン以外の元素がゲルマニウムである、請求項7に記載の構造。

【請求項9】

前記トランジスタの表面上に設けられたキャップ層をさらに含み、前記第1の種類の歪みが、当該キャップ層によって導入される、請求項1に記載の構造。

【請求項10】

前記キャップ層が窒化シリコンを含む、請求項9に記載の構造。

【請求項11】

前記ソース領域および前記ドレイン領域の少なくとも一方が、金属-半導体アロイを含み、前記チャネル領域内の歪みが、当該金属-半導体アロイによって導入される、請求項1に記載の構造。

【請求項12】

前記第1の種類の歪みは、前記トランジスタの前記ソース領域と前記ドレイン領域のそれぞれに隣接し、かつ、前記ソース領域及び前記ドレイン領域よりも大きな格子定数を有する半導体材料である第1の材料によって導入される、請求項1に記載の構造。

【請求項13】

前記第1の材料が、前記ソース領域及び前記ドレイン領域よりもGe含有量が高いSiGe、およびGeからなる群から選択される材料を含む、請求項12に記載の構造。

【請求項14】

前記第1の種類の歪みは、前記トランジスタの前記ソース領域と前記ドレイン領域のそれぞれに隣接し、かつ、前記ソース領域及び前記ドレイン領域よりも小さな格子定数を有する半導体材料である第1の材料によって導入される、請求項1に記載の構造。

【請求項15】

前記第1の材料が、前記ソース領域及び前記ドレイン領域よりもGe含有量が低いSiGe、Si、SiCからなる群から選択される材料を含む、請求項14に記載の構造。

【請求項16】

前記第1の種類の歪みがゲートによって導入される、請求項1に記載の構造。

【請求項17】

前記ゲートが、金属シリサイド、金属ゲルマノシリサイドおよび金属ゲルマノサイドからなる群から選択される材料を含む、請求項16に記載の構造。

【請求項18】

前記トランジスタがチップ内に設けられており、前記構造が、前記チップを収容するパッケージをさらに含み、該パッケージが、前記チャネル領域内に歪みを導入する、請求項1に記載の構造。

【請求項19】

半導体構造を形成する方法であって、

半導体基板を準備し、該基板上にシリコンゲルマニウム歪み層が設けられており、

前記基板に、ソース領域およびドレイン領域を画定し、前記ソース領域と前記ドレイン領域との間に、第1の種類の歪みを有するチャネル領域を画定し、前記チャネル領域上にかつ前記ソース領域と前記ドレイン領域との間に、ドープ半導体、金属および金属化合物からなる群から選択される材料を含むゲートを形成し、前記ソース領域および前記ドレイン領域の一方の少なくとも一方の側に隣接させてトレンチ構造を形成することによって、前記基板の上にトランジスタを形成し、

前記トレンチ構造の形成が、該トレンチ構造を形成する領域にトレンチを形成し、該トレンチのトレンチサイドウォールおよびトレンチ底部分を第1の誘電層で被覆し、前記第1の誘電層上に保護ライナをコンフォーマルに堆積し、前記トレンチを充填材料で充填することを含み、

前記トレンチ構造を、前記チャネル領域内に第1の種類の歪みの一部のみを導入するように調整し、

前記チャネル領域の少なくとも一部が歪み層内に設けられており、

前記第1の誘電層を、1000より低い温度での湿式の酸化またはCVD法によって形成する、方法。

【請求項20】

前記第1の誘電層と前記保護ライナが異なる種類の歪みを有している、請求項19に記載の方法。

【請求項21】

前記トランジスタの表面上にキャップ層を形成することをさらに含み、該キャップ層が、前記チャネル領域内に前記第1の種類の歪みを導入するように調整される、請求項19に記載の方法。

【請求項22】

前記トランジスタの形成が、前記トランジスタの前記ソース領域に隣接する領域と前記ドレイン領域に隣接する領域の各々に、前記ソース領域及び前記ドレイン領域よりも格子定数が大きな半導体材料を設けることによって、前記第1の種類の歪みの少なくとも一部を導入することを含む、請求項19に記載の方法。

【請求項23】

前記トランジスタの形成が、前記トランジスタの前記ソース領域に隣接する領域と前記ドレイン領域に隣接する領域の各々に、前記ソース領域及び前記ドレイン領域よりも格子定数が小さな半導体材料を設けることによって、前記第1の種類の歪みの少なくとも一部を導入することを含む、請求項19に記載の方法。

【請求項24】

金属-半導体アロイを、前記ソース領域および前記ドレイン領域の少なくとも一方の上に形成することをさらに含み、該金属-半導体アロイは、前記チャネル領域内に前記第1の種類の歪みを導入するように調整されている、請求項19に記載の方法。

【請求項25】

前記ゲートの形成が、該ゲート上に被覆層を堆積させ、当該ゲートをアニールして、前記第1の種類の歪みの少なくとも一部が、前記ゲートによって導入されようようにすることを含む、請求項19に記載の方法。

【請求項26】

前記ゲートの形成が、前記基板上に多結晶半導体層を形成し、該多結晶シリコン半導体層と金属とを、前記ゲートが金属と半導体層との合金から構成されるように反応させて、前記第1の種類の歪みの少なくとも一部が、前記ゲートによって導入されるようにするこ

とを含む、請求項 1 9 に記載の方法。

【請求項 2 7】

前記トランジスタがチップ内に設けられており、

前記チップをパッケージに取り付けることをさらに含み、

前記第 1 の種類の歪みの少なくとも一部が、前記パッケージによって導入される、請求項 1 9 に記載の方法。