【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】平成17年5月26日(2005.5.26)

【公開番号】特開2003-224278(P2003-224278A)
【公開日】平成15年8月8日(2003.8.8)
【出願番号】特願2002-23666(P2002-23666)
【国際特許分類第７版】
　ＨＯ１Ｌ　29/78
　ＨＯ１Ｌ　21/336
　ＨＯ１Ｌ　29/43
【ＦＩ】
　ＨＯ１Ｌ　29/78　　６５５Ａ
　ＨＯ１Ｌ　29/78　　６５２Ｋ
　ＨＯ１Ｌ　29/78　　６５２Ｍ
　ＨＯ１Ｌ　29/78　　６５２Ｑ
　ＨＯ１Ｌ　29/78　　６５３Ａ
　ＨＯ１Ｌ　29/78　　６５８Ａ
　ＨＯ１Ｌ　29/78　　６５８Ｇ
　ＨＯ１Ｌ　29/78　　６５８Ｆ
　ＨＯ１Ｌ　29/62　　Ｇ

【手続補正書】
【提出日】平成16年7月27日(2004.7.27)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
　第１導電型の半導体基体と、
　前記第１導電型の半導体基体の下主面に形成された第２導電型のコレクタ領域と、
　前記コレクタ領域と接続されたコレクタ電極と、
　前記第１導電型の半導体基体の上主面に選択的に形成された第２導電型のベース領域と、
　前記ベース領域内に選択的に形成された第１導電型のエミッタ領域と、
　前記ベース領域内に選択的に形成され、かつ前記第１導電型の半導体基体まで到達する深さを有する第１のトレンチ、第２のトレンチ及び第３のトレンチと、
　前記第１のトレンチ、第２のトレンチ及び第３のトレンチの内部にそれぞれ絶縁膜を介して埋設された第１のゲート電極領域、ダミーゲート領域、第２のゲート電極領域と、
　前記ベース領域と前記エミッタ領域および前記ダミーゲート領域が共通に接続されたエミッタ電極と、を備えた絶縁ゲート型半導体装置であって、
　前記第２のゲート電極領域は前記第１のゲート電極領域とのみ接続され、
　前記エミッタ電極と前記ダミーゲート領域が部分的に接続されたことを特徴とする半導体装置。
【請求項２】
　前記ベース領域と前記半導体基体の間に形成され、前記半導体基体より不純物濃度の高い第１導電型のキャリア蓄積領域を有する請求項１に記載の半導体装置。
【請求項３】

前記トレンチが互いに並行かつストライプ状に形成された請求項１または２に記載の半導体装置。
【請求項４】
前記エミッタ電極と前記ダミーゲート領域間を部分的に接続するパターン構成の層間絶縁膜を形成した請求項１～３のいずれか１項に記載の半導体装置。
【請求項５】
前記層間絶縁膜の前記ダミーゲート領域上に配置された部分が四角状に分離された構成である請求項４に記載の半導体装置。
【請求項６】
前記第２のトレンチ内部に形成される前記ダミーゲート領域の半導体表面に露出する面積Ｓ１と前記エミッタ電極との接続面積Ｓ２との比が、　　Ｓ２／Ｓ１＜７０％
である請求項１～５のいずれか１項に記載の半導体装置。
【請求項７】
前記エミッタ電極はアルミワイヤと超音波接続され、該アルミワイヤとの接続直下の領域以外で前記エミッタ電極と前記ダミーゲート領域とが接続した請求項１～６のいずれか１項に記載の半導体装置。
【請求項８】
前記第１のトレンチと前記第２のトレンチのそれぞれの終端に直行するゲート配線電極を備え、前記ゲート配線電極は前記第１のゲート電極領域とのみ接続され、前記ダミーゲート領域は前記ゲート配線近傍領域のみ前記エミッタ電極と接続された請求項３に記載の半導体装置。
【請求項９】
第１導電型の半導体基体の下主面に第２導電型のコレクタ領域を形成する工程と、
前記コレクタ領域の下主面に接続されたコレクタ電極を形成する工程と、
前記第１導電型の半導体基体の上主面に選択的に第２導電型のベース領域を形成する工程と、
前記ベース領域内に第１導電型のエミッタ領域を選択的に形成する工程と、
前記ベース領域内に、前記第１導電型の半導体基体まで到達する深さを有する第１のトレンチ、第２のトレンチ及び第３のトレンチを選択的に形成する工程と、
前記第１のトレンチ、第２のトレンチ及び第３のトレンチの内部にそれぞれ絶縁膜を介して第１のゲート電極領域、ダミーゲート領域、第２のゲート電極領域を埋設する工程と、
前記ベース領域と前記エミッタ領域および前記ダミーゲート領域の上面部と共通に接続されたエミッタ電極を形成する工程と、を備えた絶縁ゲート型半導体装置の製造方法であって、
前記第２のゲート電極領域は前記第１のゲート電極領域とのみ接続し、
前記エミッタ電極と前記ダミーゲート領域とを部分的に接続することを特徴とする半導体装置の製造方法。
【請求項１０】
前記ベース領域と前記半導体基体の間に前記半導体基体より不純物濃度の高い第１導電型のキャリア蓄積領域を形成する工程を有する請求項９に記載の半導体装置の製造方法。
【請求項１１】
前記トレンチを互いに並行かつストライプ状に形成した請求項９または１０に記載の半導体装置の製造方法。
【請求項１２】
前記エミッタ電極と前記ダミーゲート領域間を部分的に接続するパターン構成の層間絶縁膜を形成する請求項９～１１のいずれか１項に記載の半導体装置の製造方法。
【請求項１３】
前記層間絶縁膜の前記ダミーゲート領域上に配置した部分を四角状に分離した請求項１２に記載の半導体装置の製造方法。

【請求項１４】
前記第２のトレンチ内部に形成した前記ダミーゲート領域の半導体表面に露出する面積Ｓ１と前記エミッタ電極との接続面積Ｓ２との比が、　　Ｓ２／Ｓ１＜７０％
である請求項９～１３のいずれか１項に記載の半導体装置の製造方法。
【請求項１５】
前記エミッタ電極はアルミワイヤと超音波接続し、該アルミワイヤとの接続直下の領域以外で前記エミッタ電極と前記ダミーゲート領域とを接続した請求項９～１４のいずれか１項に記載の半導体装置の製造方法。
【請求項１６】
前記第１のトレンチと前記第２のトレンチのそれぞれの終端に直行するゲート配線電極を配置し、前記ゲート配線電極は前記第１のゲート電極領域とのみ接続し、前記ダミーゲート領域は前記ゲート配線近傍領域のみ前記エミッタ電極と接続する請求項１１に記載の半導体装置の製造方法。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】０００３
【補正方法】変更
【補正の内容】
【０００３】
図６は従来のトレンチゲート型ＩＧＢＴ（Trench gate Bipolar Transistor：以後「ＴＩＧＢＴ」と略記する）の構造の一例を示す断面図であり、このＴＩＧＢＴ構成を模式的に示した一例を図７（ａ）の上面図および図７（ｂ）、（ｃ）の断面図として示している。これら図６、図７を参照して、以下にＴＩＧＢＴの構造と動作について簡単に説明する。
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】０００５
【補正方法】変更
【補正の内容】
【０００５】
図７の構成では、複数のトレンチ１０７がn^+エミッタ領域１０５と直交するように延在し、一定の間隔（ピッチ）Ｗをもって互いに平行に配列している。各トレンチはn^+エミッタ領域１０５の高さ位置からn^-半導体層１０３内に達する深さにまで形成され、このトレンチ１０７の内部にはＭＯＳトランジスタのトレンチゲート電極１１０がゲート絶縁膜１０８を介して埋め込まれている。ゲート電極と対向し、n^+エミッタ領域１０５とn^-半導体層１０３との間に介在するｐベース領域１０４がチャネル領域として機能する。ゲート電極１１０の上面およびn^+エミッタ領域１０５の表面の一部領域上は層間絶縁膜１０９で被膜され、n^+エミッタ領域１０５の表面の一部領域上と層間絶縁膜１０９の表面を覆うようにエミッタ電極１１１が形成されている。また、図６に示すようにゲート配線層ＧＬの直下の領域部分には耐圧を高く保持するためのｐ型半導体層１１３が設けされている。
【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】００１５
【補正方法】変更
【補正の内容】
【００１５】
そこで、従来の改良型として、図１１（ＴＩＧＢＴ）および図１２（ＣＳＴＢＴ）に示すように、例えばトレンチゲートを形成するピッチは変えずに、トレンチ内に形成されたゲート電極１１０とエミッタ電極１１１とを接続する構成部分の改良型が提案されている

。即ち、図１１および図１２の構成ではエミッタ電極と第２のゲート電極部１１０ｂ上面が接続されている。
【手続補正５】
【補正対象書類名】明細書
【補正対象項目名】００２０
【補正方法】変更
【補正の内容】
【００２０】
【課題を解決するための手段】
上記目的を達成するために、本発明の第１の態様による半導体装置は、第１導電型の半導体基体と、前記第１導電型の半導体基体の下主面に形成された第２導電型のコレクタ領域と、前記コレクタ領域と接続されたコレクタ電極と、前記第１導電型の半導体基体の上主面に選択的に形成された第２導電型のベース領域と、前記ベース領域内に選択的に形成された第１導電型のエミッタ領域と、前記ベース領域内に選択的に形成され、かつ前記第１導電型の半導体基体まで到達する深さを有する第１、第２、第３のトレンチと、前記第１、第２、第３のトレンチの内部にそれぞれ絶縁膜を介して埋設された第１のゲート電極領域、ダミーゲート領域、第２のゲート電極領域と、前記ベース領域と前記エミッタ領域および前記第２のゲート電極ダミーゲート領域が共通に接続されたエミッタ電極と、を備えた絶縁ゲート型半導体装置であって、前記第２のゲート電極領域は前記第１のゲート電極領域とのみ接続され、前記エミッタ電極と前記ダミーゲート領域が部分的に接続されたことを特徴とする。
【手続補正６】
【補正対象書類名】明細書
【補正対象項目名】００２２
【補正方法】変更
【補正の内容】
【００２２】
また、前記トレンチがそれぞれ並行かつストライプ状に形成される。また、前記第１のトレンチと前記第２のトレンチのそれぞれの終端に直行するゲート配線電極を備え、前記ゲート配線電極は前記第１のゲート電極とのみ接続され、前記ダミーゲート領域は前記ゲート配線近傍領域のみ前記エミッタ電極と接続してもよい。
【手続補正７】
【補正対象書類名】明細書
【補正対象項目名】００２３
【補正方法】変更
【補正の内容】
【００２３】
上記構成により、アルミワイヤとエミッタ電極を超音波接続する際に、ゲート電極のポリシリコン面へ直接応力がかかる部分を減らすことができる。よって、エミッタ電極とダミーゲート領域との接続領域を起点としてクラックが発生するといった従来技術の問題を解消し、ゲートショートや耐圧ショートの発生を効果的に抑制することが可能となる。
【手続補正８】
【補正対象書類名】明細書
【補正対象項目名】００２４
【補正方法】変更
【補正の内容】
【００２４】
また、前記エミッタ電極と前記ダミーゲート領域間を部分的に接続するパターン構成の層間絶縁膜を前記エミッタ電極と前記ダミーゲート領域間に形成してもよい。
【手続補正９】

【補正対象書類名】明細書
【補正対象項目名】００２５
【補正方法】変更
【補正の内容】
【００２５】
本発明の第２の態様による半導体装置は、前記層間絶縁膜の前記ダミーゲート領域上に配置された部分が四角状に分離された構成である。
【手続補正１０】
【補正対象書類名】明細書
【補正対象項目名】００２７
【補正方法】変更
【補正の内容】
【００２７】
本発明の第３の態様による半導体装置は、前記第２のトレンチ内部に形成される前記ダミーゲート領域の半導体表面に露出する面積Ｓ１と前記エミッタ電極との接続面積Ｓ２との比が、　　Ｓ２／Ｓ１＜７０％　　である。
【手続補正１１】
【補正対象書類名】明細書
【補正対象項目名】００２８
【補正方法】変更
【補正の内容】
【００２８】
上記構成により、エミッタ電極とダミーゲート領域との間に配置した層間絶縁膜が、ゲート電極のシリコン内部への超音波による応力を緩和し、クラックによるゲートショートの発生を効果的に防止できる。
【手続補正１２】
【補正対象書類名】明細書
【補正対象項目名】００２９
【補正方法】変更
【補正の内容】
【００２９】
本発明の第４の態様による半導体装置は、前記エミッタ電極はアルミワイヤと超音波接続され、該アルミワイヤとの接続直下の領域以外で前記エミッタ電極と前記ダミーゲート領域とが接続した構成である。
【手続補正１３】
【補正対象書類名】明細書
【補正対象項目名】００３０
【補正方法】変更
【補正の内容】
【００３０】
このような配置構成とすることにより、アルミワイヤと超音波接続されるエミッタ電極部の直下に位置するダミーゲート領域部は、その上面を層間絶縁膜９ｂで覆われているので、クラックによるゲートショートの発生を最小限に抑えることができる。
【手続補正１４】
【補正対象書類名】明細書
【補正対象項目名】００３１
【補正方法】変更
【補正の内容】
【００３１】
【発明の実施の形態】

本発明の絶縁ゲート型半導体装置は、例えばＣＳＴＢＴにおいて、ベース領域内に選択的に形成された第１導電型のエミッタ領域と、ベース領域内に選択的に形成され、かつ前記第１導電型の半導体基体まで到達する第１のトレンチと、第１のトレンチの内部に形成された絶縁膜と第１のゲート電極と、ベース領域内に選択的に形成され、かつ前記第１導電型の半導体基体まで到達する第２のトレンチと、第２のトレンチの内部に形成された絶縁膜と第２のゲート電極と、ベース領域と前記エミッタ領域および第２のトレンチ内に形成された前記第２のゲート電極が共通に接続されたエミッタ電極と、第１のトレンチの内部に形成された第１のゲート電極とのみ接続された第３のゲート電極と、コレクタ領域と接続されたコレクタ電極を有し、エミッタ電極と前記第２のゲート電極が部分的に接続されたことを特徴とする。ここで、本実施の形態では、第２のゲート電極と呼ぶ領域は前述のようにそのセルがエミッタ電極と接続されてゲート電圧が０Ｖであり、ゲートとして機能しないダミーゲート領域である。以後の説明において第２のゲート電極と呼ぶ場合はこのダミーゲート領域のことを意味するものとする。

【手続補正１５】
【補正対象書類名】明細書
【補正対象項目名】００３５
【補正方法】変更
【補正の内容】
【００３５】

上記構成において、ｐベース領域４とｎ$^{-}$ベース層３との間にキャリア蓄積用のｎ$^{-}$層（キャリアストアド領域）１３を介在させ、複数のトレンチ7（各参照番号７ａ，７ｂ，７ｃで示す）がＮ＋エミッタ領域５の長手方向と直交する方向に延在するようにストライプ状に形成され、一定の間隔（ピッチ）Ｗをもって互いに平行に配列している。各トレンチ7はｎ$^{-+}$エミッタ領域５の高さ位置からＮ－半導体層３内に達する深さにまで形成され、このトレンチ7の内部にはＭＯＳトランジスタのトレンチゲート電極１０（各参照番号１０ａ，１０ｂ，１０ｃで示す）が埋め込まれている。即ち、トレンチ内にはゲート絶縁膜８を介してその内部にポリシリコン等のゲート電極１０が埋設されている。ゲート絶縁膜８を介してゲート電極と対向し、ｎ$^{+}$エミッタ領域５とキャリアストアド領域１３との間に介在するｐベース領域４がチャネル領域として機能する。

【手続補正１６】
【補正対象書類名】明細書
【補正対象項目名】００３７
【補正方法】変更
【補正の内容】
【００３７】

本実施例１では、上記構成において図１（ａ）に示すように、エミッタ電極１１と接続される第２のゲート電極１０ｂ上にも部分的に直交するように横切る層間絶縁膜連結部９ｂを形成したことを特徴としている。即ち、横方向に延在する層間絶縁膜連結部９ｂを、ゲート電極上の長手方向に延在する長手方向層間絶縁膜部９ａと一体的にブリッジ状に構成し、第２のゲート電極上に層間絶縁膜部が構成されていない四角形状の窓部１４を複数個網目状に配置し、この窓部１４に対応する第２のゲート電極面がエミッタ電極と接続して、第２ゲート電極とエミッタ電極との部分接続構成としている。また、ｐベース層４の表面部分には、第１と第３のトレンチ７ａ、７ｃの外側の側壁上部に隣接するようにＮ＋エミッタ領域５が選択的に形成されている。

【手続補正１７】
【補正対象書類名】明細書
【補正対象項目名】００５５
【補正方法】変更
【補正の内容】
【００５５】

また、上記構成において、従来図６に示したゲート配線電極ＧＬの配置構成については、図５に示すような好ましい実施例では、第１（および第３）のトレンチと第２のトレンチのそれぞれの終端に直行するゲート配線電極ＧＬを備え、ゲート配線電極は第１（および第３）のゲート電極とのみ接続され、第２のゲート電極はゲート配線近傍領域のみエミッタ電極と接続する構成としてもよい。

【手続補正１８】
【補正対象書類名】明細書
【補正対象項目名】００５７
【補正方法】変更
【補正の内容】
【００５７】
【発明の効果】
以上のように、本発明によれば、アルミワイヤボンド時の超音波による応力を緩和することができ、クラックによるゲートショートおよび耐圧ショートの発生を抑制することができる。これにより、製造時の歩留りの安定した電界効果型半導体装置を供給することができる。