

(12) 发明专利申请

(10) 申请公布号 CN 102163609 A

(43) 申请公布日 2011.08.24

(21) 申请号 201010276967.4

(22) 申请日 2010.09.07

(30) 优先权数据

12/706,809 2010.02.17 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹市新竹科学园区力行六路八号

(72) 发明人 洪圣强 黄怀莹 王屏薇

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 陈红

(51) Int. Cl.

H01L 27/092(2006.01)

H01L 27/11(2006.01)

H01L 29/43(2006.01)

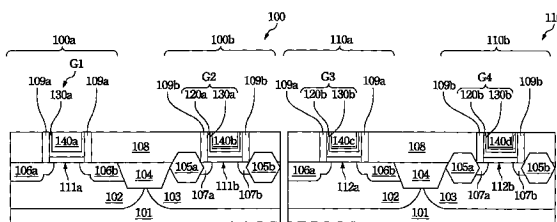
权利要求书 2 页 说明书 8 页 附图 9 页

(54) 发明名称

半导体装置

(57) 摘要

半导体装置。本发明揭露一种静态随机存取内存,在一基板上具有一 PMOS 结构及一 NMOS 结构。每一 MOS 结构包含一 p 型功函数金属层及一 n 型功函数金属层。p 型功函数金属层及 n 型功函数金属层是加总形成 PMOS 结构及 NMOS 结构的一结合后功函数。



1. 一种半导体装置,其特征在于,包含:

- N型金属氧化物半导体结构,包含:
- 第一栅极绝缘层设置于一基板上;
- 第一金属栅极设置于该第一栅极绝缘层上;及
- 第一导体设置于该第一金属栅极上;以及
- P型金属氧化物半导体结构,包含:
- 第二栅极绝缘层设置于该基板上;
- 第二金属栅极设置于该第二栅极绝缘层上;及
- 第二导体设置于该第二金属栅极上;

其中,该第一金属栅极及该第二金属栅极各自具有一范围为约 4.4eV 至约 4.8eV 的功函数。

2. 根据权利要求1所述的半导体装置,其特征在于,该第一金属栅极包含一第一 p 型功函数层及一第一 n 型功函数层,该第二金属栅极包含一第二 p 型功函数层及一第二 n 型功函数层,该第一 p 型功函数层与该第二 p 型功函数层相同,该第一 n 型功函数层与该第二 n 型功函数层相同。

3. 根据权利要求1所述的半导体装置,其特征在于,该第一金属栅极包含一第一 p 型功函数层及一第一 n 型功函数层,该第二金属栅极包含一第二 p 型功函数层及一第二 n 型功函数层,该第一 p 型功函数层与该第二 p 型功函数层各自具有一大于或等于 4.8eV 的功函数,该第一 n 型功函数层与该第二 n 型功函数层各自具有一小于或等于 4.4eV 的功函数。

4. 根据权利要求1所述的半导体装置,其特征在于,该功函数为一 p 型功函数及一 n 型功函数的一结合后功函数,且该功函数约为 4.6eV。

5. 一种半导体装置,其特征在于,包含:

- NMOS 结构,包含:
- 第一栅极绝缘层设置于一基板上;
- 第一金属栅极设置于该第一栅极绝缘层上;
- 第二金属栅极设置于该第一金属栅极上;及
- 第一导体设置于该第二金属栅极上;以及
- PMOS 结构,包含:
- 第二栅极绝缘层设置于该基板上;
- 第三金属栅极设置于该第二栅极绝缘层上;
- 第四金属栅极设置于该第三金属栅极上;及
- 第二导体设置于该第四金属栅极上;

其中,该第一金属栅极与该第三金属栅极相同,该第二金属栅极与该第四金属栅极相同。

6. 根据权利要求5所述的半导体装置,其特征在于,该第一金属栅极及该第三金属栅极分别为一 p 型功函数层,该第二金属栅极及该第四金属栅极分别为一 n 型功函数层。

7. 根据权利要求5所述的半导体装置,其特征在于,该 NMOS 结构具有一范围为约 4.4eV 至约 4.8eV 的结合后功函数,该 PMOS 结构具有一范围为约 4.4eV 至约 4.8eV 的结合后功函数。

8. 一种半导体装置,其特征在于,包含:
- 一静态随机存取内存,包含一第一 PMOS 及一第一 NMOS ;以及
 - 一互补金属氧化物半导体,包含一第二 PMOS 及一第二 NMOS ;
- 其中,该第一 PMOS 的功函数与该第一 NMOS 的功函数相同,该第二 PMOS 的功函数与该第二 NMOS 的功函数不同。
9. 根据权利要求 8 所述的半导体装置,其特征在于,该第一 PMOS 及该第一 NMOS 包含一 p 型功函数层及一 n 型功函数层。
10. 根据权利要求 8 所述的半导体装置,其特征在于,该第二 NMOS 不包含一 p 型功函数层。

半导体装置

技术领域

[0001] 本发明是有关于半导体装置,且特别是有关于金属栅极晶体管、集成电路、系统及其制造方法。

背景技术

[0002] 半导体集成电路(integrated circuit, IC)产业近年来快速地成长, IC材料及 IC设计方面技术的进展,产生了许多不同世代的集成电路。随着集成电路的演进,新一代的集成电路中具有更小、更复杂的电路。在集成电路演进的过程中,同时亦增加了处理及制造集成电路的复杂度。为了实现更新一代的集成电路,处理及制造集成电路方法也必须随之进化。

[0003] 在集成电路的演进过程中,功能密度(亦即单位芯片面积中互相连接的装置的数目)逐渐增加,但是几何尺寸(亦即制程中可制造出最小的组件或线路)却逐渐缩小。随着尺寸的缩小,制程的效率可以随之提升,并且降低相关的成本。此外,较小尺寸的集成电路也意味着相对较高的发热量,需要使用相对低功耗的装置,例如使用互补金属氧化物半导体(complementary metal-oxide-semiconductor, CMOS),来解决高发热量的问题。

[0004] 在集积度增加的趋势中,多种不同的材料是被应用在 CMOS 装置中,用以作为栅极以及栅极绝缘层。典型的 CMOS 装置中包含栅极氧化物及多晶硅栅极。为了进一步提升装置的效率以及符合特征尺寸逐渐缩小的要求,目前存在一种使用高介电常数栅极及金属栅极取代栅极氧化物及多晶硅栅极的需求。

发明内容

[0005] 因此,本发明的一目的是在提供一种半导体装置,其中 PMOS 结构及 NMOS 结构的一结合后功函数是由 p 型功函数层及 n 型功函数金属层加总形成。

[0006] 本发明的一方面提出一种半导体装置,包含一 NMOS(N 型金属氧化物半导体)结构以及一 PMOS(P 型金属氧化物半导体)结构。NMOS 结构包含一第一栅极绝缘层、一第一金属栅极及一第一导体,第一栅极绝缘层设置于一基板上,第一金属栅极设置于第一栅极绝缘层上,第一导体设置于第一金属栅极上。PMOS 结构包含一第二栅极绝缘层、一第二金属栅极及一第二导体,第二栅极绝缘层设置于基板上,第二金属栅极设置于第二栅极绝缘层上,第二导体设置于第二金属栅极上。第一金属栅极与第三金属栅极相同,第二金属栅极与第四金属栅极相同。

[0007] 依据本发明一实施例,第一金属栅极包含一第一 p 型功函数层及一第一 n 型功函数层。第二金属栅极包含一第二 p 型功函数层及一第二 n 型功函数层。第一 p 型功函数层与第二 p 型功函数层相同,第一 n 型功函数层与第二 n 型功函数层相同。

[0008] 依据本发明一实施例,第一金属栅极包含一第一 p 型功函数层及一第一 n 型功函数层。第二金属栅极包含一第二 p 型功函数层及一第二 n 型功函数层。第一 p 型功函数层与第二 p 型功函数层各自具有一大于或等于 4.8eV 的功函数。第一 n 型功函数层与第二 n

型功函数层各自具有一小于或等于 4.4eV 的功函数。

[0009] 依据本发明一实施例,功函数为一 p 型功函数及一 n 型功函数的一结合后功函数,且此功函数约为 4.6eV。

[0010] 本发明的另一方面提出一种半导体装置,包含一 NMOS 结构以及一 PMOS 结构。NMOS 包含一第一栅极绝缘层、一第一金属栅极、一第二金属栅极及一第一导体。第一栅极绝缘层设置于一基板上,第一金属栅极设置于第一栅极绝缘层上,第二金属栅极设置于第一金属栅极上,第一导体设置于第二金属栅极上。PMOS 包含一第二栅极绝缘层、一第三金属栅极、一第四金属栅极及一第二导体。第二栅极绝缘层设置于基板上,第三金属栅极设置于第二栅极绝缘层上,第四金属栅极设置于第三金属栅极上,第二导体设置于第四金属栅极上。第一金属栅极与第三金属栅极相同,第二金属栅极与第四金属栅极相同。

[0011] 依据本发明一实施例,第一金属栅极及第三金属栅极分别为一 p 型功函数层,第二金属栅极及第四金属栅极分别为一 n 型功函数层。

[0012] 依据本发明一实施例,NMOS 结构具有一范围为约 4.4eV 至约 4.8eV 的结合后功函数,PMOS 结构具有一范围为约 4.4eV 至约 4.8eV 的结合后功函数。

[0013] 本发明的又一方面提出一种半导体装置,包含一静态随机存取内存以及一 CMOS。静态随机存取内存包含一第一 PMOS 及一第一 NMOS,CMOS 包含一第二 PMOS 及一第 NMOS。第一 PMOS 的功函数与第一 NMOS 的功函数相同,第二 PMOS 的功函数与第 NMOS 的功函数不同。

[0014] 依据本发明一实施例,第一 PMOS 及第一 NMOS 包含一 p 型功函数层及一 n 型功函数层。

[0015] 依据本发明一实施例,第二 NMOS 不包含一 p 型功函数层。

附图说明

[0016] 为了让本发明的上述和其它目的、特征、优点与实施例能更明显易懂,所附附图的说明如下:

[0017] 图 1 绘示依照本发明一实施例的一种包含 PMOS 及 NMOS 的集成电路的剖面图;

[0018] 图 2A 至 2H 分别绘示依照本发明一实施例的一种集成电路的栅极后制制造方法的各步骤剖面图。

[0019] 【主要组件符号说明】

[0020]	100 :逻辑装置	200a :NMOS
[0021]	100a :NMOS	200b :PMOS
[0022]	100b :PMOS	201 :基板
[0023]	101 :基板	208 :介电材料
[0024]	102 :P 井区	208a :上表面
[0025]	103 :N 井区	209a :间隔物
[0026]	104 :隔离结构	209b :间隔物
[0027]	105a :锗化硅结构	210 :静态随机存取内存
[0028]	105b :锗化硅结构	210a :NMOS
[0029]	106a :n 型源极 / 漏极区	210b :PMOS
[0030]	106b :n 型源极 / 漏极区	211a :栅极介电层

[0031]	107a :p 型源极 / 漏极区	211b :栅极介电层
[0032]	107b :p 型源极 / 漏极区	212a :栅极介电层
[0033]	108 :介电层	212b :栅极介电层
[0034]	109a :间隔物	213a :拟栅极
[0035]	109b :间隔物	213b :拟栅极
[0036]	110 :静态随机存取内存	214a :拟栅极
[0037]	110a :NMOS	214b :拟栅极
[0038]	110b :PMOS	215a :开口
[0039]	111a :栅极介电层	215b :开口
[0040]	111b :栅极介电层	216a :开口
[0041]	112a :栅极介电层	216b :开口
[0042]	112b :栅极介电层	220 :p 型功函数材料
[0043]	120a :第二功函数金属层	220a :p 型功函数金属层
[0044]	120b :第四功函数金属层	221a :介电材料
[0045]	130a :第一功函数金属层	221b :光阻
[0046]	130b :第三功函数金属层	230 :n 型功函数材料
[0047]	140a ~ 140d :导体结构	240 :导电材料
[0048]	G1 ~ G4 :金属栅极	240a ~ 240d :导电块
[0049]	200 :逻辑装置	250 :移除制程

具体实施方式

[0050] 形成金属栅极的技术可分为栅极优先 (gate-first) 制程以及与栅极后制 (gate-last) 制程。在栅极优先制程中,晶体管的栅极是在形成源极 / 漏极区域之前形成,在栅极后制制程中,是在基板中形成源极 / 漏极区域,以及在层间介电层 (interlayer dielectric, ILD) 中形成一拟栅极 (dummy gate)。拟栅极被移除后是在层间介电层中形成一开口,接着将金属栅极充填于此开口中。前述栅极优先与栅极后制制程可应用于形成逻辑装置及 / 或静态随机存取内存装置中的金属栅极互补金属氧化物半导体 (complementary metal-oxide-semiconductor, CMOS) 晶体管。

[0051] 逻辑装置中的一金属栅极 CMOS 晶体管包含一金属栅极 PMOS 晶体管及一金属栅极 NMOS 晶体管。金属栅极 PMOS 晶体管包含一 n 型功函数材料,其是设置于 p 型功函数材料上。另外,通过移除先前形成的 p 型功函数材料,形成包含单一 n 型功函数材料的金属栅极 NMOS 晶体管。具有与金属栅极 PMOS 及 NMOS 晶体管相同设计的一静态随机存取内存,由于应用了不同功函数的材料,因此包含有不同功函数的金属栅极 PMOS 及 NMOS 晶体管。在 CMOS 晶体管上还可形成一导电材料,用以进行电性传输。

[0052] 如上所述,在栅极后制制程中,是将拟栅极移除以形成容置金属栅极的开口。p 型功函数材料形成于对应金属栅极 PMOS 及 NMOS 晶体管处的开口中。接着在沉积一 n 型功函数材料之前,通过图案化及蚀刻制程移除对应于金属栅极 NMOS 晶体管处的 p 型功函数材料。相较于一般逻辑装置,静态随机存取内存具有较为严格的制程限制。因此自 NMOS 晶体管中移除 p 型功函数材料的步骤,增加了制程的复杂度及不确定性。如果制程尺寸进一步

缩小（例如小于或等于约 22 纳米），会更加难以掌握对该移除步骤的制程控制。

[0053] 另外，在金属栅极 PMOS 及 NMOS 晶体管中具有不同功函数材料的静态随机存取内存，具有高布植剂量的需求，以形成井区及 / 或环形布植区。较高的布植剂量可以诱发重穿隧效应、可以增加装置中杂质的非均匀分布，并且提升装置临界电压的振荡。

[0054] 以下内容揭露多种实施例或范例，用以涵盖本发明的特征。各组件的范例及配置方式描述如后，且在不同范例中采用相同的组件标号，以简化揭露内容。这些实施例或范例仅用以作为示例说明，并非用以限制本发明的范围。此外，以下内容揭露的一特征位于、连接于及耦接于另一特征上的描述，是包含该特征直接及间接接触于另一特征的实施例。再者，在空间上具有相对位置的描述（例如较低、较高、垂直、水平、上方、下方、高、低、顶部及底部），以及其衍生的描述方式（例如垂直地、水平地及向上地），是用以简化对于两特征之间相对位置的描述，其同时亦包含不同方向的实施例。

[0055] 图 1 绘示依照本发明一实施例的一种包含一逻辑装置 100 及一静态随机存取内存 110 的集成电路的剖面图。逻辑装置 100 包含一 N 型晶体管 (NMOS) 100a 及一 P 型晶体管 (PMOS) 100b，并且位于一基板 101 上。静态随机存取内存 (static random access memory, SRAM) 110 包含一 N 型晶体管 (NMOS) 110a 及一 P 型晶体管 (PMOS) 110b，并且位于基板 101 上。

[0056] 基板 101 可包含：一元素半导体，包含硅或锗的结晶、多晶体或非晶形结构；一化合物半导体，包含碳化硅、砷化镓、磷化镓、磷化铟、砷化铟及锑化铟；合金半导体，包含 SiGe、GaAsP、AlInAs、AlGaAs、GaInAs、GaInP 及 GaInAsP；其它可应用的材料；或前述材料的任意组合。在一实施例中，合金半导体基板具有一 SiGe 梯度变化特征，其中 Si 与 Ge 的组成比例由一位置的一组成比例，变化至另一位置的另一组成比例。在另一实施例中，SiGe 基板是被施予应力。此外，半导体基板可为一绝缘材料上的半导体，例如绝缘层上覆硅 (silicon on insulator, SOI) 或一薄膜晶体管。在其它实施例中，化合物半导体可具有一多层结构，或者基板可包含多层式化合物半导体结构。

[0057] 如图 1 所示，逻辑装置 100 及静态随机存取内存 110 各自包含形成于基板 101 中的一 P 井区 102 及一 N 井区 103。P 井区 102 及 N 井区 103 可用以提供 NMOS 100a、110a 及 PMOS 100b、110b 的通道区。逻辑装置 100 及静态随机存取内存 110 中的 P 井区 102 及 N 井区 103，可具有小于约 $5.7 \times 10^{13} \text{ atoms/cm}^2$ 的掺杂浓度。

[0058] 逻辑装置 100 及静态随机存取内存 110 各自包含一隔离结构 104，设置于 NMOS 100a、110a 与 PMOS 100b、110b 之间。隔离结构 104 可使 NMOS 100a、110a 与 PMOS 100b、110b 之间相互绝缘。在其它实施例中，隔离结构 104 可以是浅沟槽隔离 (STI) 结构、局部氧化硅 (LOCOS) 结构，或其它隔离结构。

[0059] 在一实施例中，PMOS 100b 及 110b 各自包含锗化硅 (SiGe) 结构 105a 及 105b，设置于邻近 p 型源极 / 漏极区 107a 及 107b。p 型源极 / 漏极区 107a 及 107b 可设置于邻近 PMOS 100b 及 110b 的通道区的位置。NMOS 100a 及 110a 各自包含 n 型源极 / 漏极区 106a 及 106b，设置于邻近 NMOS 100a 及 110a 的通道区的位置。

[0060] 在一实施例中，n 型源极 / 漏极区 106a 及 106b 可包含掺杂物，例如砷 (As)、磷 (P)、其它第五族元素或其任意组合。p 型源极 / 漏极区 107a 及 107b 可包含掺杂物，例如硼 (B) 或其它第三族元素。在另一实施例中，p 型源极 / 漏极区可包含硅化物，用以降低阻抗。硅

化物可包含硅化镍 (NiSi)、硅化镍 / 铂 (NiPtSi)、硅化镍 / 铂 / 锗 (NiPtGeSi)、硅化镍 / 锗 (NiGeSi)、硅化镱 (YbSi)、硅化铂 (PtSi)、硅化铱 (IrSi)、硅化铪 (ErSi)、硅化钴 (CoSi)、其它适用的材料或者前述材料的任意组合。用来形成硅化物的材料可利用物理气相沉积 (如溅镀及蒸镀)、电镀、化学气相沉积 (如等离子辅助化学气相沉积 (PECVD)、常压化学气相沉积 (APCVD)、低压化学气相沉积 (LPCVD)、高密度等离子化学气相沉积 (HDPCVD) 及原子层化学气相沉积 (ALCVD))、其它适用的沉积技术及 / 或前述沉积技术的任意组合。完成前述沉积步骤之后,接着执行硅化物化 (salicidation) 的步骤。让前述沉积材料与掺杂区域在高温中进行反应;温度的选择是根据材料的种类决定。此步骤亦可称之为退火,其可包含一快速热处理 (RTP) 步骤,利用单一阶段快速热处理或者多阶段快速热处理形成硅化物材料层。

[0061] 请继续参照图 1,至少一介电层 108 设置于基板 101 上。介电层 108 可包含氧化物、氮化物、氮氧化物、低介电常数 (low-k) 的介电材料、超低介电常数 (ultra low-k) 的介电材料、极低介电常数 (extreme low-k) 的介电材料、其它适用的介电材料及 / 或前述材料的任意组合。介电层 108 可利用化学气相沉积、高密度等离子化学气相沉积、高纵深比填沟制程 (HARP)、旋转涂布、其它沉积制程及 / 或前述沉积技术的任意组合而形成。在一实施例中,介电层 108 可为一层间介电层。在另一实施例中,亦可形成额外的介电层 (未显示于图中) 于介电层 108 下方或上方。

[0062] 在一实施例中,间隔物 109a 及 109b 分别设置于邻近 NMOS 100a 及 110a 及 PMOS 100b 及 110b 的栅极结构处。间隔物 109a 及 109b 可分别包含氧化物、氮化物、氮氧化物及 / 或其它适用的介电材料。

[0063] 如前所述,逻辑装置 100 包含 NMOS 100a 及 PMOS 100b, NMOS 100a 位于 P 井区 102 上方, PMOS 100b 位于 N 井区 103 上方。NMOS 100a 包含一栅极介电层 111a, 设置于 P 井区 102 上。一金属栅极 G1 设置于栅极介电层 111a 上, 并且包含一第一功函数金属层 130a, 用以调整金属栅极 G1 的功函数值。第一功函数金属层 130a 例如为一 n 型功函数金属层。PMOS 100b 包含一栅极介电层 111b, 设置于 n 井区 103 上。一金属栅极 G2 设置于栅极介电层 111b 上, 并且包含一第二功函数金属层 120a, 设置于第一功函数金属层 130a 下方。第二功函数金属层 120a 例如为一 p 型功函数金属层。第一功函数金属层 130a 及第二功函数金属层 120a 是加总形成一结合后功函数, 可用以调整金属栅极 G2 的功函数值。

[0064] 如前所述,静态随机存取内存 110 包含 NMOS110a 及 PMOS110b, NMOS110a 位于 P 井区 102 上方, PMOS 110b 位于 N 井区 103 上方。NMOS 110a 包含一栅极介电层 112a, 设置于 P 井区 102 上。一金属栅极 G3 设置于栅极介电层 112a 上, 并且包含一第三功函数金属层 130b, 此第三功函数金属层 130b 位于一第四功函数金属层 120b 上。PMOS 110b 包含一栅极介电层 112b, 设置于 N 井区 103 上。一金属栅极 G4 设置于栅极介电层 112b 上, 并且包含第三功函数金属层 130b, 此第三功函数金属层 130b 位于第四功函数金属层 120b 上。第三功函数金属层 130b 及第四功函数金属层 120b 是加总形成一结合后功函数, 可用以调整金属栅极 G3 及金属栅极 G4 的功函数值。

[0065] 在一实施例中,第三功函数金属层 130b 为一 n 型功函数金属层,第四功函数金属层 120b 为一 p 型功函数金属层。在另一实施例中,第三功函数金属层 130b 为一 p 型功函数金属层,第四功函数金属层 120b 为一 n 型功函数金属层。

[0066] 在一实施例中,第一功函数金属层 130a 的材料与第三功函数金属层 130b 的材质相同。在另一实施例中,第二功函数金属层 120a 的材料与第四功函数金属层 120b 的材质相同。在又一实施例中,第一功函数金属层 130a 的材料与第三功函数金属层 130b 的材质相同,且第二功函数金属层 120a 的材料与第四功函数金属层 120b 的材质相同。

[0067] 导体结构 140a、140b、140c 及 140d 分别设置于金属栅极 G1、G2、G3 及 G4 上,用以提供一电性传输的机制。导体结构 140a、140b、140c 及 140d 可为线状、块状、塞状及 / 或其它形状的结构。导体结构 140a、140b、140c 及 140d 可包含金属 (如 Al) 或硅化物 (如硅化镍 (NiSi)、硅化镍 / 铂 (NiPtSi)、硅化镍 / 铂 / 锗 (NiPtGeSi)、硅化镍 / 锗 (NiGeSi)、硅化镱 (YbSi)、硅化铂 (PtSi)、硅化铱 (IrSi)、硅化铪 (ErSi)、硅化钴 (CoSi)、硅化钛 (TiSi))、其它适用的材料及 / 或前述材料的任意组合。

[0068] 请继续参照图 1,每一栅极介电层 111a、111b、112a 及 112b 可为一单层或者一多层结构。在一实施例中,每一栅极介电层 111a、111b、112a 及 112b 可包含一接口层,一氧化硅层及一高介电常数层覆盖于界面层上。在一实施例中,高介电常数层可包含二氧化铪 (HfO_2)、氧化硅铪 (HfSiO)、氮氧化硅铪 (HfSiON)、氧化钽铪 (HfTaO)、氧化钛铪 (HfTiO)、氧化锆铪 (HfZrO)、其它适用的高介电常数材料,及 / 或前述材料的任意组合。高介电常数材料还可为金属氧化物、金属氮化物、金属硅酸盐、过渡金属氧化物、过渡金属氮化物、过渡金属硅酸盐、金属氮氧化物、金属铝酸盐、硅酸锆、铝酸锆、氧化铪、氮化硅、氮氧化硅、氧化锆、氧化钛、氧化铝、氧化铪、二氧化铪 / 三氧化二铝合金 ($\text{HfO}_2\text{-Al}_2\text{O}_3\text{alloy}$)、其它适用的材料,及 / 或前述材料的组合。高介电常数材料可以使用任何适用的制程形成,例如原子层沉积 (ALD)、化学气相沉积 (CVD)、物理气相沉积 (PVD)、遥控等离子化学气相沉积 (RPCVD)、等离子辅助化学气相沉积 (PECVD)、金属有机化合物化学气相沉积 (MOCVD)、溅镀、电镀、其它适用的制程,及 / 或前述制程的任意组合。

[0069] 第一及第三功函数金属层 130a 及 130b 可包含金属、金属碳化物、金属氮化物或其适用的材料。在一实施例中,第一及第三功函数金属层 130a 及 130b 可包含铪、锆、钛、钽、铝、金属碳化物、其它适用的材料及 / 或前述材料的任意组合。在另一实施例中,第一及第三功函数金属层 130a 及 130b 可包含铝钛金属间化合物 (TiAl)。第一及第三功函数金属层 130a 及 130b 可提供小于或等于约 4.4eV 的一功函数值。在一实施例中,第一及第三功函数金属层 130a 及 130b 可具有约 30 埃的一底层厚度。

[0070] 第二及第四功函数金属层 120a 及 120b 可包含金属、金属碳化物、金属氮化物或其它可提供晶体管一需求功函数的材料。在一实施例中,第二及第四功函数金属层 120a 及 120b 可包含一导电金属 (例如钨、钼、铂、钴及镍)、导电金属氧化物 (例如氧化钨)、其它适用的材料或前述材料的任意组合。在另一实施例中,第二及第四功函数金属层 120a 及 120b 可包含氮化钛 (TiN)。第二及第四功函数金属层 120a 及 120b 可提供大于或等于约 4.8eV 的一功函数值。在一实施例中,第二及第四功函数金属层 120a 及 120b 可具有小于或等于约 100 埃的一底层厚度。在另一应用 25 纳米制程技术的实施例中,第二及第四功函数金属层 120a 及 120b 可具有约 30 埃的一底层厚度。

[0071] 第一功函数金属层 130a 及第二功函数金属层 120a 是加总形成金属栅极 G2 的功函数值。第三及第四功函数金属层 130b 及 120b 是加总形成金属栅极 G3 及 G4 的功函数值。加总形成的金属栅极 G2、G3 及 G4 的功函数值范围为约 4.4eV 至约 4.8eV。

[0072] 值得注意的是,上述辅以图 1 进行说明的结构,仅为用以作为范例说明。在另一实施例中,在介电层 108 上还可形成一互连结构(未显示于图中),以进行电性连接的动作。互连结构可包含多种介电材料层、导通结构、金属线、单镶嵌结构、双镶嵌结构、钝化材料层、其它需求半导体结构及 / 或前述结构的任意组合。

[0073] 图 2A 至 2H 分别绘示依照本发明一实施例的一种栅极后制的 CMOS 晶体管的制造方法各步骤的剖面图。在图 2A 至 2H 中与图 1 相同的组件是使用相同的组件标号数字加上 100。

[0074] 如图 2A 所示,一逻辑装置 200 包含一 NMOS 200a 及一 PMOS 200b,并且位于一基板 201 上;一静态随机存取内存 210 包含一 NMOS 210a 及一 PMOS 210b,并且位于一基板 201 上。NMOS 200a、PMOS 200b、NMOS 210a 及 PMOS 210b 分别具有一拟栅极 213a、213b、214a 及 214b。这些拟栅极 213a、213b、214a 及 214b 分别形成于栅极介电层 211a、211b、212a 及 212b 上。拟栅极 213a、213b、214a 及 214b 的材料可例如是硅、多晶硅、非晶硅以及其它相对于介电材料 208、间隔物 209a 及间隔物 209b 具有一需求蚀刻率的材料。拟栅极 213a、213b、214a 及 214b 可由沉积、微影图案化、蚀刻及 / 或其任意组合的步骤形成。沉积制程可包含化学气相沉积、原子层沉积、其它适用的沉积方法及 / 或前述制程的任意组合。微影图案化的制程可包含光阻涂布(如旋转涂布)、软烤、掩膜对准(mask aligning)、曝光、曝光后烘烤、显影、清洗、干燥(如硬烤)、其它适用的步骤及 / 或前述步骤的任意组合。微影曝光制程可由其它适用的方法所取代,例如无掩膜微影(maskless photolithography)、电子束曝光、离子束曝光及分子拓印。蚀刻制程可包含干式蚀刻、湿式蚀刻及 / 或其它蚀刻方法(如反应离子蚀刻)。此外,蚀刻制程可为纯化学性蚀刻(等离子蚀刻)、纯物理性蚀刻(离子研磨)及 / 或两者的任意组合。

[0075] 如图 2B 所示,移除拟栅极 213a、213b、214a 及 214b(绘示于图 2A 中),以分别形成开口 215a、215b、216a 及 216b。拟栅极 213a、213b、214a 及 214b 可例如应用湿式蚀刻制程、干式蚀刻制程、其它移除制程及 / 或前述制程的任意组合来移除。在一实施例中,栅极介电层 211a、211b、212a 及 212b 可包含至少一覆盖层(cap layer)(未显示于图中),覆盖层设置于高介电常数材料上。覆盖层实质上可用来保护高介电常数材料,使其在移除拟栅极 213a、213b、214a 及 214b 的过程中不会受到伤害。在一实施例中,覆盖层可包含氮化钛(TiN)、氮化钽(TaN)、其它可承受移除制程的材料及 / 或前述材料的任意组合。

[0076] 如图 2C 所示,一保护层(未显示于图中)及一 p 型功函数材料 220 是形成于图 2B 所绘示的结构上。保护层(例如氮化钽)可在稍后的定义 p 型功函数金属层 220a 的过程中保护下方的结构。p 型功函数材料 220(例如氮化钛、氮化钽或钽)有助于让 PMOS 200b、NMOS 210a 及 PMOS 210b 的栅极电极达到需求的功函数值。保护层及 p 型功函数材料 220 可以经由任何适合的制程形成,例如原子层沉积、化学气相沉积、物理气相沉积、遥控等离子化学气相沉积、等离子辅助化学气相沉积、金属有机化合物化学气相沉积、溅镀、电镀、其它适用的制程及 / 或前述制程的任意组合。

[0077] 如图 2D 所示,一介电材料 221a 例如以旋转涂布(spin-in-glass)的方式形成,并且覆盖对应于 PMOS 200b、NMOS 210a 及 PMOS 210b 的区域,并且填入开口 215b、216a 及 216b(如图 2C 所绘示)。一光阻 221b 可定义于介电材料 221a 上方。介电材料 221a 及 / 或光阻 221b 是用以进行 PMOS 200b、NMOS 210a 及 PMOS 210b 的 p 型功函数材料 220 的图

案化。介电材料 221a 及 / 或光阻 221b 可以经由旋转涂布、微影以及蚀刻等步骤进行图案的定义。

[0078] 如图 2E 所示, 移除 p 型功函数材料 220 未被介电材料 221a 及光阻 221b (如图 2D 所绘示) 遮盖的部分, 借以定义出 p 型功函数金属层 220a。定义出 p 型功函数金属层 220a 之后, 可利用一湿式蚀刻制程、一干式蚀刻制程及 / 或两者的任意组合移除介电材料 221a 及光阻 221b, 借之暴露出 p 型功函数金属层 220a。

[0079] 如图 2F 所示, 于图 2E 所绘示的结构上形成一 n 型功函数材料 230。此 n 型功函数材料 230 可例如是钛、钽、铝、钛合金、钽合金或铝合金, 可提供 NMOS 200a 的栅极电极一需求的功函数值, 并且有助于使 PMOS 200b、NMOS 210a 及 PMOS 210b 的栅极电极达到需求的功函数值。n 型功函数材料 230 可以经由任何适合的制程形成, 例如原子层沉积、化学气相沉积、物理气相沉积、遥控等离子化学气相沉积、等离子辅助化学气相沉积、金属有机化合物化学气相沉积、溅镀、电镀、其它适用的制程及 / 或前述制程的任意组合。

[0080] 如图 2G 所示, 在 NMOS 200a、PMOS 200b、NMOS 210a 及 PMOS 210b 上形成一导电材料 240, 且导电材料是填入开口 215a、215b、216a 及 216b (如图 2F 所绘示) 内。导电材料 240 可例如为金属 (例如铝) 或硅化物。举例来说, 硅化物可为硅化镍、硅化镍 / 铂、硅化镍 / 铂 / 锗、硅化镍 / 锗、硅化镱、硅化铂、硅化铍、硅化铟、硅化钴、硅化钛、其它适用的材料及 / 或前述材料的任意组合。导电材料 240 可经由物理气相沉积或化学气相沉积 (如高密度等离子化学气相沉积或原子层化学气相沉积等沉积制程) 形成。

[0081] 在图 2H 中, 利用一移除制程 250 移除一部分的导电材料 240, 使得导电块 (conducting bulks) 240a、240b、240c 及 240d 的上表面 (未标示) 可实质上与介电材料 208 的一上表面 208a 齐平。导电块 240a、240b、240c 及 240d 可用以作为电性传递的媒介。另外, 移除制程 250 可包含一化学机械研磨 (CMP) 制程、一干式蚀刻制程、一湿式蚀刻制程及 / 或前述制程的任意组合。

[0082] 值得注意的是, 以上辅以图 2A 至 2H 的方法仅用以作为示例说明。任何熟悉此技艺者, 可更动制造方法的流程, 以取得需求的金属栅极晶体管。举例来说, 若单独使用光阻 221b 来定义 p 型功函数金属层 220a 的图案, 前述形成并定义介电材料 221a 的步骤即可被省略。

[0083] 在另一实施例中, PMOS 200b 亦可未包含 n 型功函数金属层 230。另外, 在又一实施例中, 亦可使用额外的微影制程、蚀刻制程及 / 或清洁制程, 使得 NMOS 200a 中仅留下 n 型功函数金属层 230。

[0084] 前述实施例是揭露本发明的各项特征, 使得相关技术领域中具有通常知识者可以理解本发明。任何熟悉此技艺者在不脱离本发明的精神和范围内, 当可作各种的更动与润饰。熟悉此技艺者以本发明揭露的内容为基础, 经由设计或修饰其它制程及结构, 以实现与前述实施例相同的目的并且达到相同的优点者, 均属于本发明的范围。

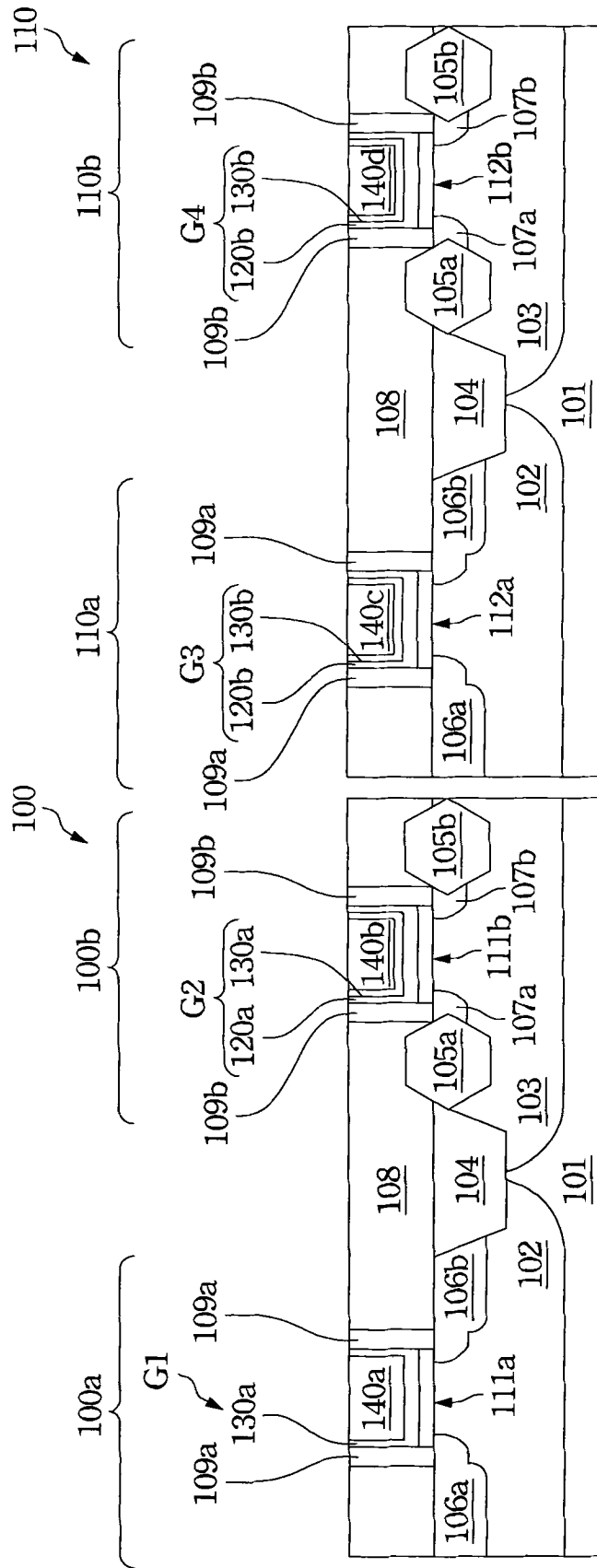


图 1

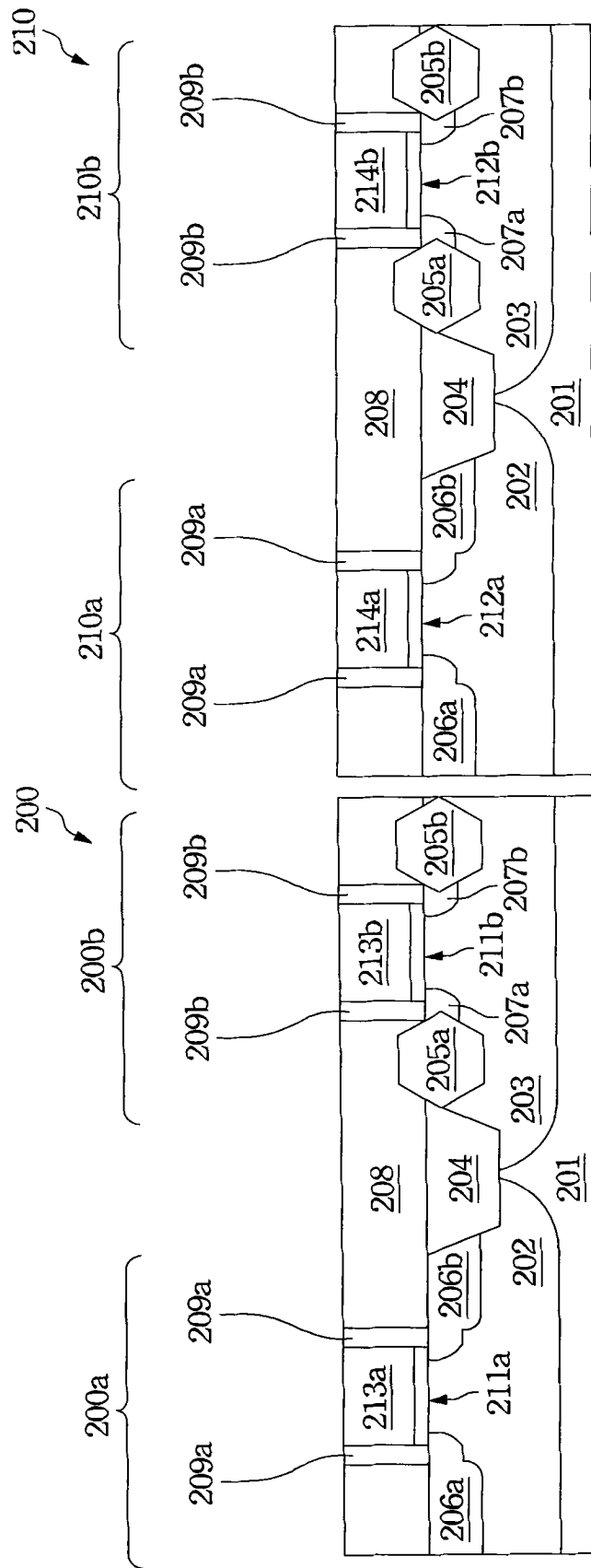


图 2A

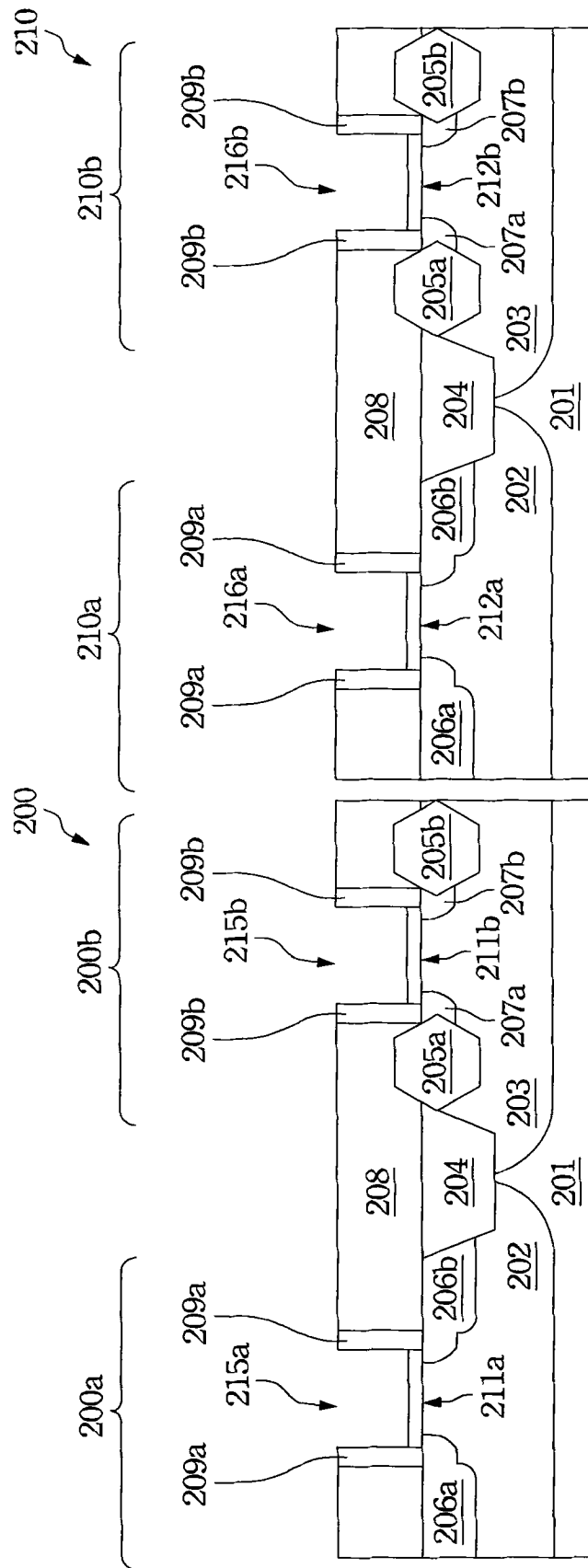


图 2B

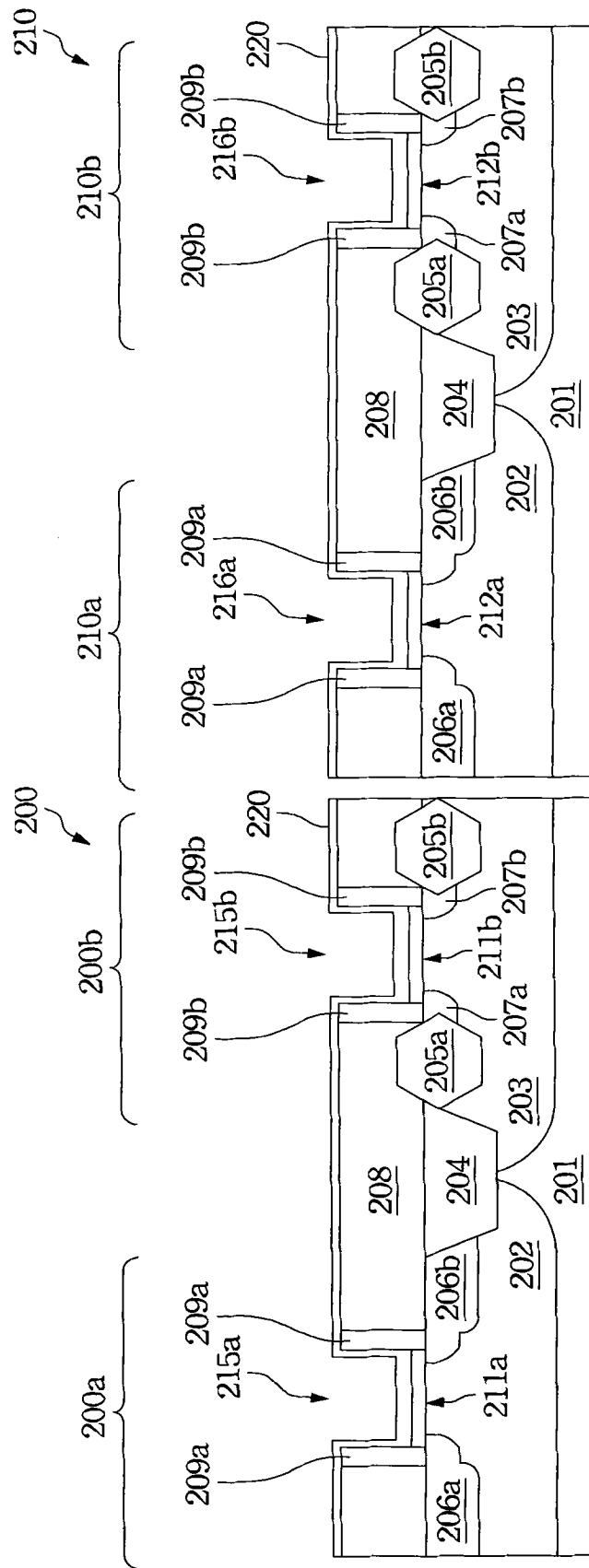


图 2C

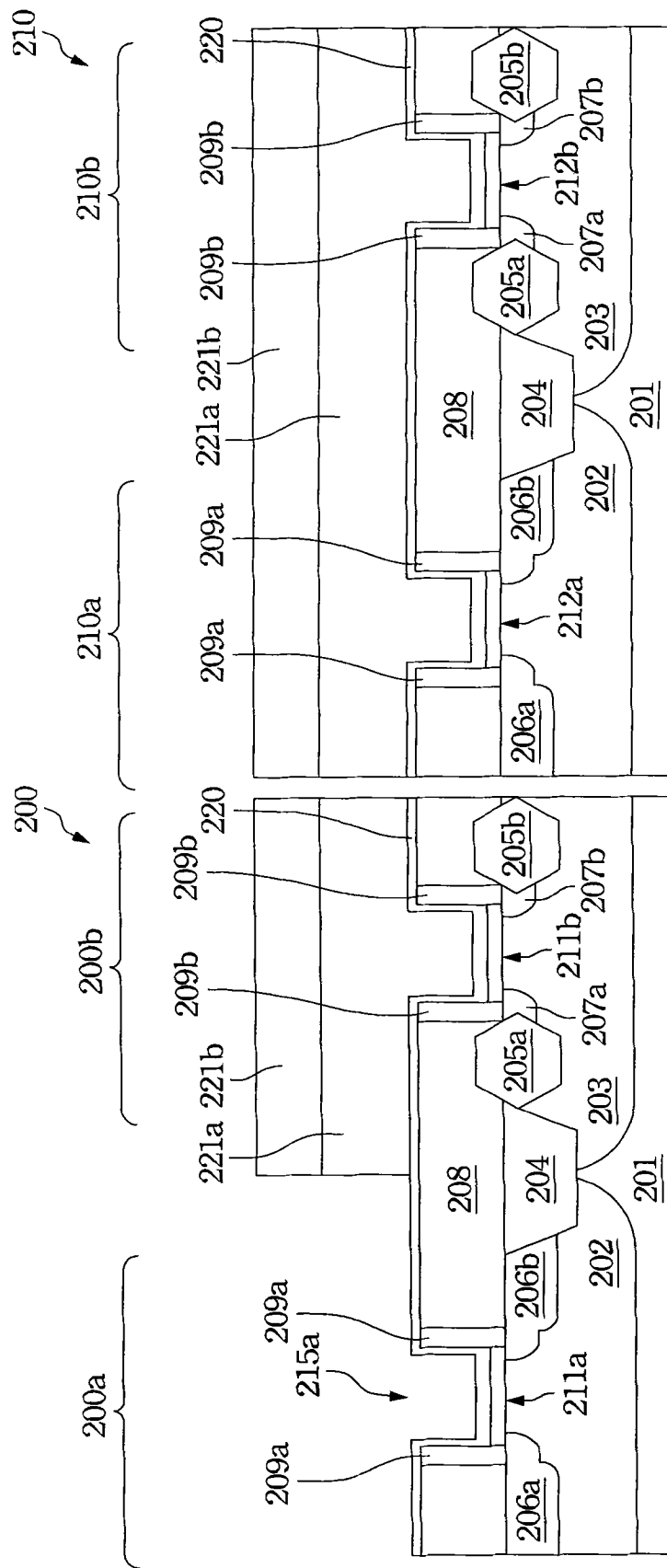


图 2D

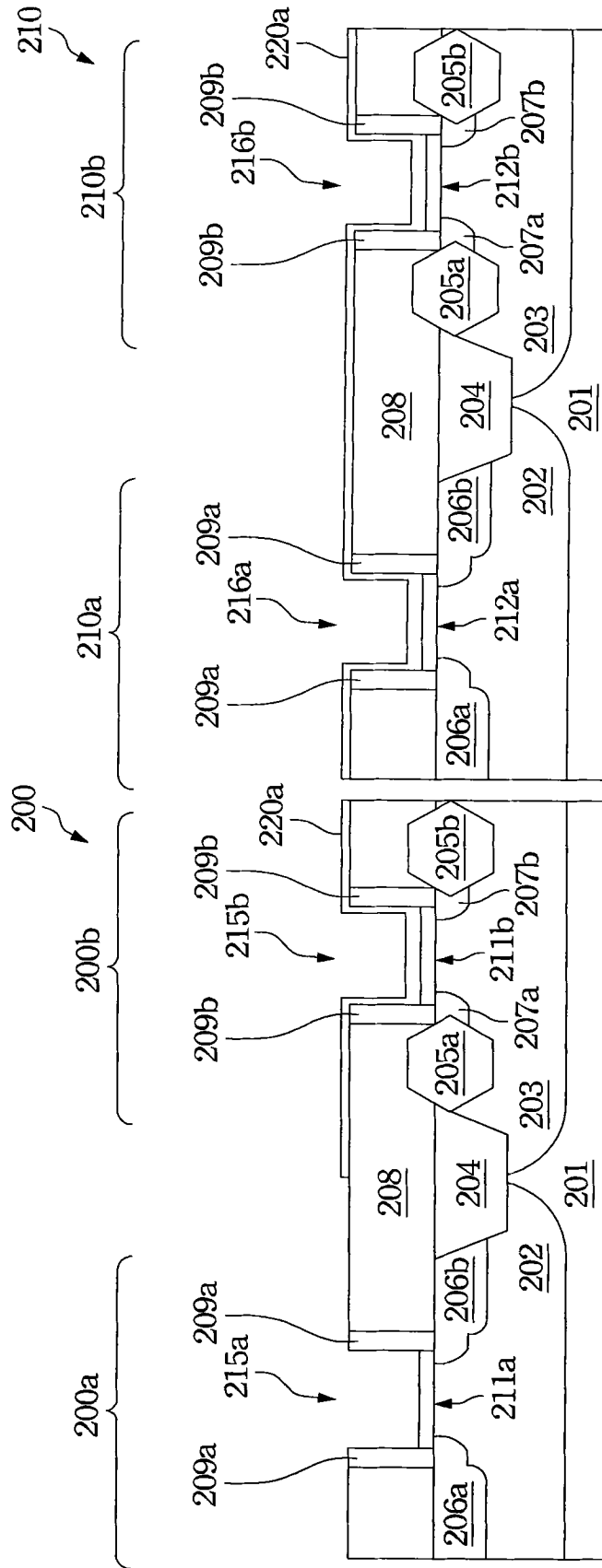


图 2E

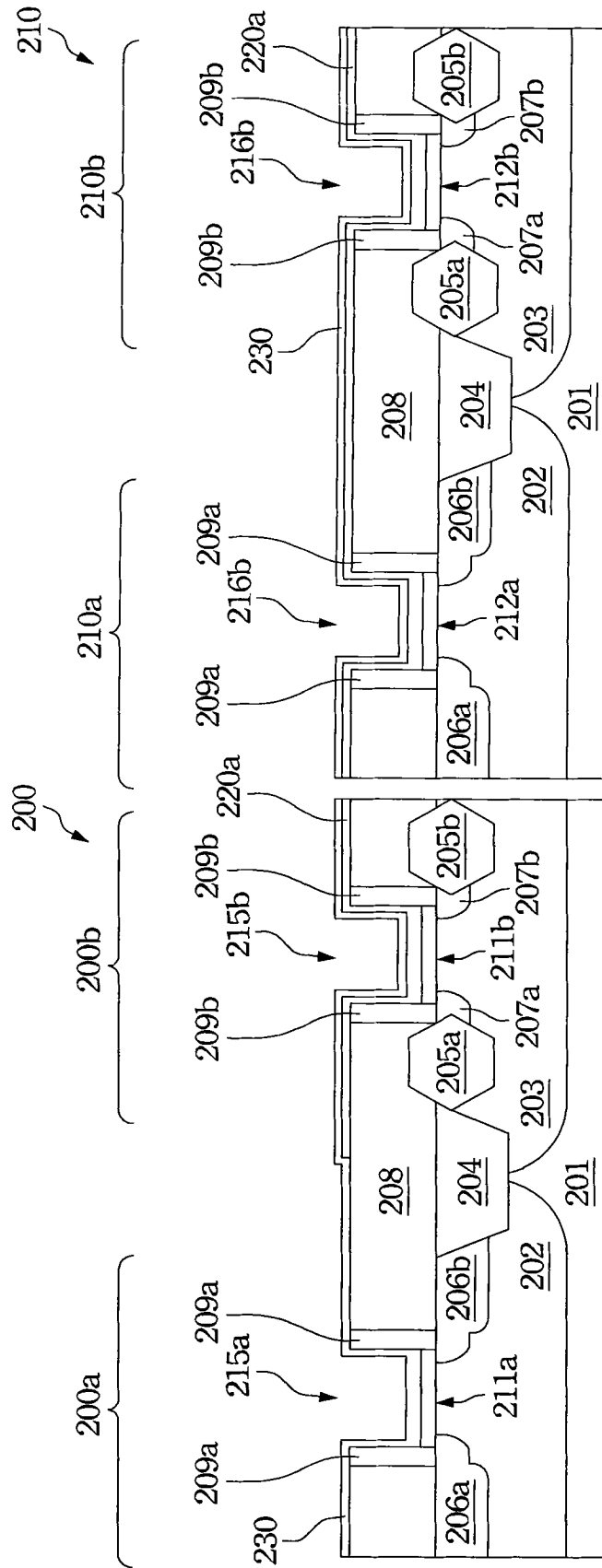


图 2F

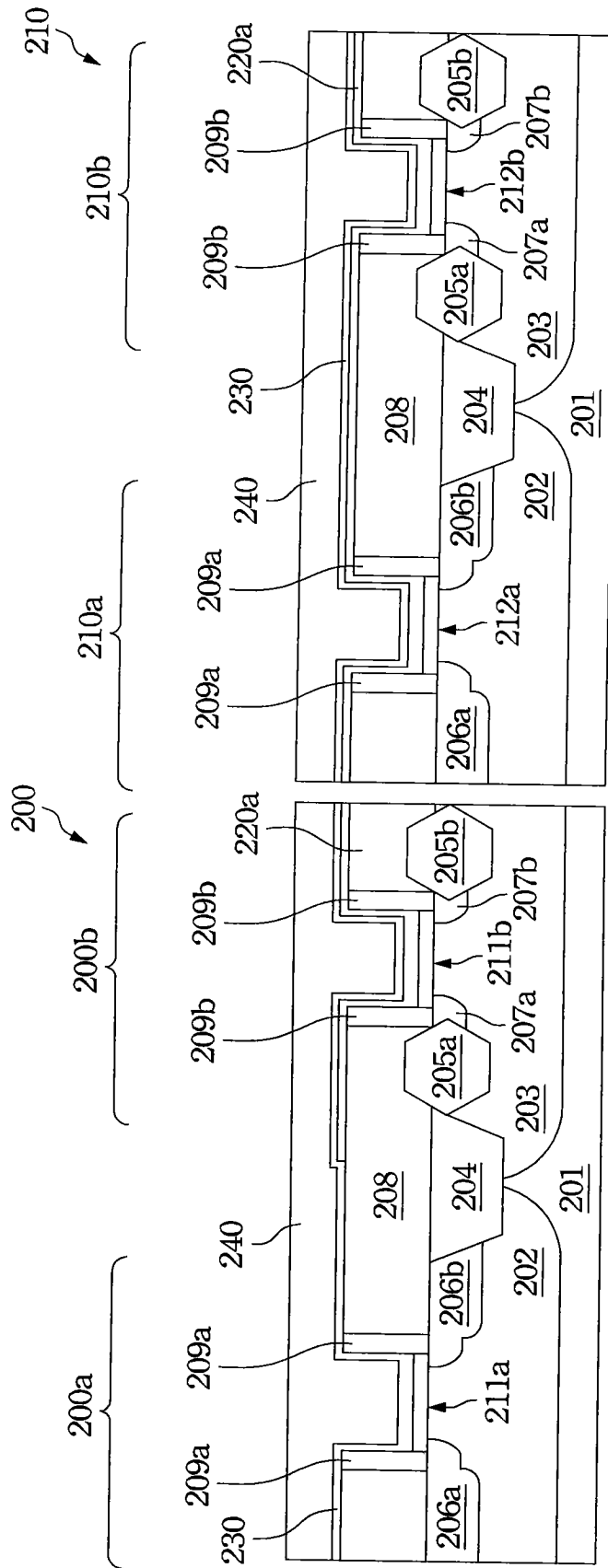


图 2G

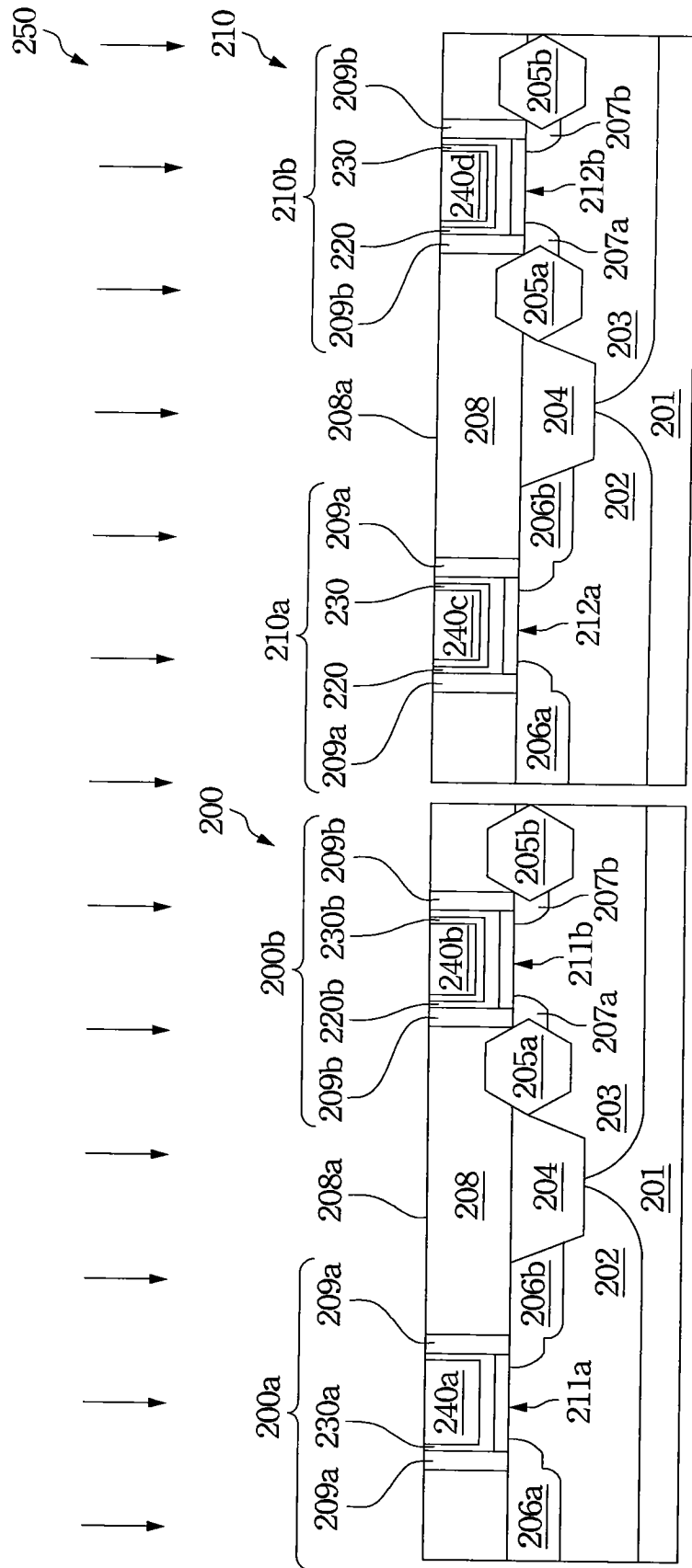


图 2H