

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7581312号
(P7581312)

(45)発行日 令和6年11月12日(2024.11.12)

(24)登録日 令和6年11月1日(2024.11.1)

(51)国際特許分類		F I	
G 0 9 G	3/3233(2016.01)	G 0 9 G	3/3233
G 0 9 G	3/3291(2016.01)	G 0 9 G	3/3291
G 0 9 G	3/3266(2016.01)	G 0 9 G	3/3266
G 0 9 G	3/20 (2006.01)	G 0 9 G	3/20 6 2 2 G
G 0 9 F	9/30 (2006.01)	G 0 9 G	3/20 6 2 3 U
請求項の数 22 (全73頁) 最終頁に続く			
(21)出願番号	特願2022-211895(P2022-211895)	(73)特許権者	501426046
(22)出願日	令和4年12月28日(2022.12.28)		エルジー ディスプレイ カンパニー リ
(65)公開番号	特開2024-94956(P2024-94956A)		ミテッド
(43)公開日	令和6年7月10日(2024.7.10)		大韓民国 ソウル、ヨンドゥンポーク、
審査請求日	令和4年12月28日(2022.12.28)		ヨウィ - テロ 1 2 8
		(74)代理人	100094112
			弁理士 岡部 譲
		(74)代理人	100106183
			弁理士 吉澤 弘司
		(74)代理人	100114915
			弁理士 三村 治彦
		(74)代理人	100125139
			弁理士 岡部 洋
		(74)代理人	100209808
			弁理士 三宅 高志
		最終頁に続く	

(54)【発明の名称】 表示装置

(57)【特許請求の範囲】
【請求項1】

行列状に配列された複数の副画素、行方向に延在する複数のゲート線、および列方向に延在する複数のデータ線を有する表示パネルと、
前記複数のゲート線を介して、前記複数の副画素をアクティブにするための複数のゲート信号を前記複数の副画素に供給するゲート駆動部と、
前記複数のデータ線を介して、前記複数の副画素の輝度に対応する複数のデータ信号を前記複数の副画素に供給するデータ駆動部と、
前記ゲート駆動部および前記データ駆動部を制御するタイミング制御部と、
を含み、
前記複数の副画素は、第1の行において前記複数のデータ線のうちの第1のデータ線を共有する第1の色の第1の副画素および第2の色の第2の副画素、第2の行において前記第1のデータ線を共有する前記第1の色の第3の副画素および前記第2の色の第4の副画素を含み、
前記タイミング制御部は、前記第1の副画素を含む前記第1の行の奇数列に配された副画素の前記データ信号の輝度値と前記第3の副画素を含む前記第2の行の奇数列に配された副画素の前記データ信号の輝度値との類似に基づき前記第1の行と前記第2の行との間の類似を判定し、前記第1の行が前記第2の行に類似すると判定した場合に、前記第1の行の奇数列に配された前記副画素に続いて前記第2の行の奇数列に配された副画素に、それぞれの副画素に対応する前記データ信号を供給させるように、前記ゲート駆動部および

前記データ駆動部を制御する、
表示装置。

【請求項 2】

前記タイミング制御部は、前記第 1 の行が前記第 2 の行に類似しないと判定した場合に、前記第 1 の行の奇数列に配された前記副画素に続いて前記第 2 の副画素を含む前記第 1 の行の偶数列に配された副画素に、それぞれの副画素に対応する前記データ信号を供給させるように、前記ゲート駆動部および前記データ駆動部を制御する、請求項 1 に記載の表示装置。

【請求項 3】

前記タイミング制御部は、前記第 1 の行の偶数列に配された前記副画素に続いて前記第 4 の副画素を含む前記第 2 の行の偶数列に配された副画素に、それぞれの副画素に対応する前記データ信号を供給させるように、前記ゲート駆動部および前記データ駆動部を制御する、請求項 2 に記載の表示装置。

10

【請求項 4】

前記タイミング制御部は、前記第 1 の副画素を含む前記第 1 の行の奇数列に配された副画素の前記データ信号の輝度値および前記第 3 の副画素を含む前記第 2 の行の奇数列に配された副画素の前記データ信号の輝度値の差分と所定の閾値との比較に基づき類似を判定する、請求項 1 乃至 3 のいずれか 1 項に記載の表示装置。

【請求項 5】

前記タイミング制御部は、前記差分が前記所定の閾値未満の場合に、前記第 1 の副画素の前記データ信号は前記第 3 の副画素の前記データ信号に類似すると判定する、請求項 4 に記載の表示装置。

20

【請求項 6】

前記タイミング制御部は、前記差分が前記所定の閾値以上の場合に、前記第 1 の副画素の前記データ信号は前記第 3 の副画素の前記データ信号に類似しないと判定する、請求項 4 に記載の表示装置。

【請求項 7】

前記所定の閾値は、固定された値である、請求項 4 に記載の表示装置。

【請求項 8】

前記タイミング制御部は、前記差分と、前記第 1 の行において前記複数のデータ線のうちの第 2 のデータ線に接続された前記第 1 の色の副画素のデータ信号および前記第 2 の行において前記第 2 のデータ線に接続された前記第 1 の色の副画素のデータ信号の差分との積算値に基づき類似を判断する、請求項 4 に記載の表示装置。

30

【請求項 9】

前記タイミング制御部は、前記積算値と所定の閾値との比較に基づき類似を判定する、請求項 8 に記載の表示装置。

【請求項 10】

前記タイミング制御部は、前記積算値が前記所定の閾値未満の場合に、前記第 1 の行の前記データ信号は前記第 2 の行の前記データ信号に類似すると判定する、請求項 9 に記載の表示装置。

40

【請求項 11】

前記タイミング制御部は、前記積算値が前記所定の閾値以上の場合に、前記第 1 の行の前記データ信号は前記第 2 の行の前記データ信号に類似しないと判定する、請求項 9 に記載の表示装置。

【請求項 12】

前記タイミング制御部は、学習用の画像データから算出された閾値および前記学習用の画像データから算出された前記差分の積算値を用いて生成される学習済みモデルに基づき前記所定の閾値を変更する、請求項 9 に記載の表示装置。

【請求項 13】

前記タイミング制御部は、クラスタリング解析によって分類された複数の前記積算値に

50

基づき前記所定の閾値を変更する、請求項 9 に記載の表示装置。

【請求項 14】

前記タイミング制御部は、同一のフレーム内で前記第 1 の副画素の前記データ信号が前記第 3 の副画素の前記データ信号に類似するか否かを判定する、請求項 1 乃至 3 のいずれか 1 項に記載の表示装置。

【請求項 15】

前記タイミング制御部は、複数のフレーム間で前記第 1 の副画素の前記データ信号が前記第 3 の副画素の前記データ信号に類似するか否かを判定する、請求項 1 乃至 3 のいずれか 1 項に記載の表示装置。

【請求項 16】

前記第 1 の行は、前記第 2 の行と隣接する行である、請求項 1 乃至 3 のいずれか 1 項に記載の表示装置。

【請求項 17】

前記第 1 の行は、前記第 2 の行と隣接しない行である、請求項 1 乃至 3 のいずれか 1 項に記載の表示装置。

【請求項 18】

前記データ駆動部は、前記データ信号を格納する記憶部を備え、

前記タイミング制御部は、前記第 1 の副画素の前記データ信号が前記第 3 の副画素の前記データ信号に類似すると判定した場合に、前記記憶部に前記第 3 の副画素の前記データ信号を格納させないように、前記データ駆動部を制御する、請求項 1 乃至 3 のいずれか 1 項に記載の表示装置。

【請求項 19】

前記タイミング制御部は、前記第 1 の副画素の前記データ信号が前記第 3 の副画素の前記データ信号に類似しないと判定した場合に、前記記憶部に前記第 3 の副画素の前記データ信号を格納させるように、前記データ駆動部を制御する、請求項 18 に記載の表示装置。

【請求項 20】

前記タイミング制御部は、前記表示パネルに表示される画像が動画である場合に、前記第 1 の色の副画素に前記データ信号を連続して供給させる行数を制限する、請求項 1 乃至 3 のいずれか 1 項に記載の表示装置。

【請求項 21】

前記タイミング制御部は、前記表示パネルに表示される画像が静止画像である場合に、前記第 1 の色の副画素に前記データ信号を連続して供給させる行数を制限しない、請求項 1 乃至 3 のいずれか 1 項に記載の表示装置。

【請求項 22】

前記タイミング制御部は、前記表示パネルに表示される画像全体に対応する前記輝度の平均が所定の値以下である場合に、前記判定にかかわらず前記第 1 の行の奇数列に配された前記副画素に続いて前記第 1 の行の偶数列に配された前記副画素に、それぞれの副画素に対応する前記データ信号を供給させるように、前記ゲート駆動部および前記データ駆動部を制御する、請求項 1 乃至 3 のいずれか 1 項に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関する。

【背景技術】

【0002】

特許文献 1 には、2 つの副画素が 1 本のデータ線を共有するダブルレート駆動 (Double Rate Driving: DRD) を用いた表示装置が開示されている。

【先行技術文献】

【特許文献】

【0003】

10

20

30

40

50

【文献】米国特許出願公開第 2 0 2 1 / 0 1 5 0 9 9 0 号明細書

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 4 】

特許文献 1 に記載されている表示装置においては、消費電力の低減の観点において十分でない場合がある。

【 0 0 0 5 】

本発明は、上述した課題に鑑みてなされたものであって、消費電力が低減された表示装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 6 】

本発明の一観点によれば、行列状に配列された複数の副画素、行方向に延在する複数のゲート線、および列方向に延在する複数のデータ線を有する表示パネルと、前記複数のゲート線を介して、前記複数の副画素をアクティブにするための複数のゲート信号を前記複数の副画素に供給するゲート駆動部と、前記複数のデータ線を介して、前記複数の副画素の輝度に対応する複数のデータ信号を前記複数の副画素に供給するデータ駆動部と、前記ゲート駆動部および前記データ駆動部を制御するタイミング制御部と、を含み、前記複数の副画素は、第 1 の行において前記複数のデータ線のうちの第 1 のデータ線を共有する第 1 の色の第 1 の副画素および第 2 の色の第 2 の副画素、第 2 の行において前記第 1 のデータ線を共有する前記第 1 の色の第 3 の副画素および前記第 2 の色の第 4 の副画素を含み、前記タイミング制御部は、前記第 1 の副画素の前記データ信号が前記第 3 の副画素の前記データ信号に類似すると判定した場合に、前記第 1 の副画素に続いて前記第 3 の副画素に前記データ信号を供給させるように、前記ゲート駆動部および前記データ駆動部を制御する、表示装置が提供される。

【発明の効果】

【 0 0 0 7 】

本発明によれば、消費電力が低減された表示装置を提供することができる。

【図面の簡単な説明】

【 0 0 0 8 】

【図 1】第 1 実施形態に係る表示装置の概略構成を示すブロック図である。

【図 2】第 1 実施形態に係る副画素の等価回路図である。

【図 3】第 1 実施形態に係る表示パネルの概略構成を示す平面図である。

【図 4】第 1 実施形態に係るタイミング制御部の概略構成を示すブロック図である。

【図 5】第 1 実施形態に係るゲート駆動部の概略構成を示すブロック図である。

【図 6】第 1 実施形態に係る第 1 シフトレジスタに含まれるステージとクロック配線との間の接続を示す回路図である。

【図 7】第 1 実施形態に係る第 2 シフトレジスタに含まれるステージとクロック配線との間の接続を示す回路図である。

【図 8】第 1 実施形態に係る第 1 シフトレジスタに含まれるステージおよび第 2 シフトレジスタに含まれるステージとクロック配線との間の接続を示す回路図である。

【図 9】第 1 実施形態に係る第 1 G I P の信号出力端および第 2 G I P の信号出力端とゲート線との間の対応関係を示す図である。

【図 1 0】第 1 実施形態に係る第 1 G I P および第 2 G I P のオン状態とホールド状態の遷移の一例を示す図である。

【図 1 1】第 1 実施形態に係る第 1 G I P および第 2 G I P のオン状態とホールド状態の遷移の別の一例を示す図である。

【図 1 2】第 1 実施形態に係るデータ駆動部の概略構成を示すブロック図である。

【図 1 3】第 1 実施形態に係る類似度判定部の概略構成を示すブロック図である。

【図 1 4】第 1 実施形態に係るスケジューラの概略構成を示すブロック図である。

【図 1 5】第 1 実施形態に係るデータ選択部の概略構成を示すブロック図である。

10

20

30

40

50

- 【図 1 6】第 1 実施形態に係るスケジューラへの入力の例を示す表である。
- 【図 1 7】第 1 実施形態に係るデータ選択部へ入力される信号の例を示す表である。
- 【図 1 8】第 1 実施形態に係るスケジューラへの入力の例を示す表である。
- 【図 1 9】第 1 実施形態に係るデータ選択部へ入力される信号の例を示す表である。
- 【図 2 0】第 1 実施形態に係る表示装置に表示される画像の一例である。
- 【図 2 1】第 1 実施形態に係る表示装置の副画素が走査される順序を示す模式図である。
- 【図 2 2】第 1 実施形態に係る表示装置のゲート線に印加されるゲート信号のタイミング図である。
- 【図 2 3】第 1 実施形態に係る表示装置の副画素が走査される順序を示す模式図である。
- 【図 2 4】第 1 実施形態に係る表示装置のゲート線に印加されるゲート信号のタイミング図である。
- 【図 2 5】第 1 実施形態に係る表示装置の副画素が走査される順序を示す模式図である。
- 【図 2 6】第 1 実施形態に係る表示装置のゲート線に印加されるゲート信号のタイミング図である。
- 【図 2 7】第 1 実施形態に係る表示装置の走査時間とデータ信号の書き込みが行われる副画素の行との間の関係を示すグラフである。
- 【図 2 8】第 2 実施形態に係る類似度判定部の概略構成を示すブロック図である。
- 【図 2 9】第 2 実施形態に係る学習部の概略構成を示すブロック図である。
- 【図 3 0】第 2 実施形態に係る調整された閾値を示すグラフである。
- 【図 3 1】第 3 実施形態に係る類似度判定部の概略構成を示すブロック図である。
- 【図 3 2】第 3 実施形態に係る表示装置に表示される画像の一例である。
- 【図 3 3】第 3 実施形態に係るスケジューラへの入力の例を示す表である。
- 【図 3 4】第 3 実施形態に係る表示装置の副画素が走査される順序を示す模式図である。
- 【図 3 5】第 3 実施形態に係る表示装置のゲート線に印加されるゲート信号のタイミング図である。
- 【図 3 6】第 4 実施形態に係るデータ選択部へ入力される入力レジスタ選択信号、入力有効化信号、出力レジスタ選択信号の例を示す表である。
- 【図 3 7】第 5 実施形態に係るスケジューラの概略構成を示すブロック図である。
- 【図 3 8】第 6 実施形態に係るタイミング制御部の概略構成を示すブロック図である。
- 【発明を実施するための形態】

10

20

30

以下、本発明に係る実施形態について図面を参照しつつ詳細に説明する。各図面を通じて共通する機能を有する要素には同一の符号を付し、重複する説明を省略または簡略化することがある。

【 0 0 1 0 】

[第 1 実施形態]

図 1 は、本実施形態に係る表示装置 1 0 の概略構成を示すブロック図である。本実施形態に係る表示装置 1 0 は有機発光ダイオード表示装置であるがこれに限定されない。例えば、本発明に係る表示装置 1 0 は液晶表示装置であり得る。表示装置 1 0 は、表示パネル 1 0 0、ゲート駆動部 2 0 0、データ駆動部 3 0 0、電源 4 0 0 およびタイミング制御部 5 0 0 を有する。

40

【 0 0 1 1 】

表示パネル 1 0 0 は表示装置 1 0 の表示画像を構成する。表示パネル 1 0 0 は、ゲート駆動部 2 0 0 から行方向に延在するゲート線 G L 1 ~ G L n とデータ駆動部 3 0 0 から列方向に延在するデータ線 D L 1 ~ D L m (m、n は正の整数、以下同様) とが交差して画定される各画素領域に、行列状に配列された複数の副画素 P を含む。ゲート線 G L 1 ~ G L n の各々に沿って隣接する一対の副画素は、データ線 D L 1 ~ D L m のうちの 1 本を共有するように配置されている。

【 0 0 1 2 】

ゲート駆動部 2 0 0 は、ゲート制御信号 G C S に基づいて決定された順序でゲート線 G

50

L 1 ~ G L n の各々にゲート信号を出力する。ゲート駆動部 2 0 0 は、レベルシフタ、シフトレジスタ、遅延回路、フリップフロップ等の内部回路を備え、ゲート制御信号 G C S に応じて、ゲート開始パルス信号 G S P、ゲートシフトクロック信号 G S C、ゲート出力イネーブル信号 G O E 等の制御信号を連続的に生成する。ゲート開始パルス信号 G S P は、ゲート駆動部 2 0 0 に含まれるゲートドライバ集積回路の動作の開始のタイミングを制御する。ゲートシフトクロック信号 G S C は、ゲートドライバ集積回路に共通に入力されるクロック信号であり、走査信号（ゲート信号）のシフトタイミングを制御する。ゲート出力イネーブル信号 G O E は、ゲートドライバ集積回路のタイミング情報を指定する。ゲート駆動部 2 0 0 は、ゲートシフトクロック信号 G S C に応じてゲート開始パルス信号 G S P をシフトすることにより、連続してゲート信号を生成する。また、ゲート駆動部 2 0 0 は、生成されたゲート信号をゲート線 G L 1 ~ G L n の各々に供給する。ゲート線 G L 1 ~ G L n を介して供給されるゲート信号は、表示パネル 1 0 0 に含まれる複数の副画素の各々をアクティブにするために用いられる。ゲート駆動部 2 0 0 は、タイミング制御部 5 0 0 によって出力幅が変調されたデータイネーブル信号 D E およびデータイネーブル信号 D E によって出力幅が変化したゲート出力イネーブル信号 G O E によってゲート信号の出力幅を制御する。なお、ゲート駆動部 2 0 0 の配置は図 1 に示される形態に限定されない。例えば、ゲート駆動部 2 0 0 は、表示パネル 1 0 0 の両端に存する非表示領域に配されることもできる。

10

【 0 0 1 3 】

データ駆動部 3 0 0 は、タイミング制御部 5 0 0 によって整列された画像データ R ' G ' B ' W ' を行毎にタイミング制御部 5 0 0 から受信する。データ駆動部 3 0 0 は、ソース・スタート・パルス信号 S S P、ソース・シフト・クロック信号 S S C およびソース出力イネーブル信号 S O E を含むデータ制御信号 D S C をタイミング制御部 5 0 0 から受信する。ソース・スタート・パルス信号 S S P は、データ駆動部 3 0 0 に含まれるソースドライバ集積回路のデータサンプリングの開始のタイミングを制御する。ソース・シフト・クロック信号 S S C は、ソースドライバ集積回路の各々でデータのサンプリングのタイミングを制御するクロック信号である。ソース出力イネーブル信号 S O E は、データ駆動部 3 0 0 からの信号の出力タイミングを制御する。データ駆動部 3 0 0 は、データ制御信号 D S C を用いて、画像データ R G B W を整列させ、各行に対するアナログのデータ電圧に変換する。なお本発明は、画像データ形式が R G B W の表示装置だけでなく、白色サブピクセルを含まない R G B の表示装置や、黄色サブピクセルを含む R G B Y の表示装置にも同じように適用できる。以下の説明では R G B W を用いるが、それに限定されるものではない。

20

30

【 0 0 1 4 】

具体的には、データ駆動部 3 0 0 は、ソース出力イネーブル信号 S O E に応じてゲート信号がゲート線 G L 1 ~ G L n の各々に供給される 1 水平周期毎に、ソース・シフト・クロック信号 S S C に応じて整列された画像データ R ' G ' B ' W ' を 1 行毎にサンプリングしてデータ電圧 D A T A に変換する。データ駆動部 3 0 0 は、アナログ信号であるデータ電圧 D A T A を、データ線 D L 1 ~ D L m を介しての表示パネル 1 0 0 に含まれる複数の副画素の各々に供給する。データ駆動部 3 0 0 のデータ電圧への変換期間および出力期間は、タイミング制御部 5 0 0 により出力幅が変調されたデータイネーブル信号 D E およびデータイネーブル信号 D E により出力幅が変更されたソース出力イネーブル信号 S O E に応じて変更されることができる。データ駆動部 3 0 0 は、データ線方向に配置された同色の副画素を所定の行数だけ連続して発光させるようにデータ電圧を生成し、ゲート信号の出力タイミングと同期させてデータ電圧をデータ線 D L 1 ~ D L m を介して表示パネル 1 0 0 に含まれる複数の副画素の各々に連続して供給する。複数の副画素に供給される複数のデータ電圧は、それぞれ複数の画素の輝度に対応する。

40

【 0 0 1 5 】

電源 4 0 0 は、電源線を介して各副画素 P に高電位側の電源電圧 V D D および低電位側の電源電圧 V S S を供給する。また、電源 4 0 0 は、補償電源線 C P L を介して各副画素 P に補償電圧 V r e f を供給する。

50

【 0 0 1 6 】

タイミング制御部 5 0 0 は、ダブルレート駆動 (D R D) により表示パネル 1 0 0 の副画素 P を駆動するための信号を生成する。タイミング制御部 5 0 0 は、データ線 D L 1 ~ D L m の方向に沿って配置された同色の副画素を所定の行数だけ発光させるように画像データ R G B W を整列させる。また、タイミング制御部 5 0 0 は、入力された画像データ R G B W を整列させてからデータ駆動部 3 0 0 に出力することにより、副画素 P を 1 フレーム単位ごとに異なる駆動順序で動作させ、同色の副画素を所定の行数だけ連続して発光させる。

【 0 0 1 7 】

また、タイミング制御部 5 0 0 は、ドットクロック D C L K 、データイネーブル信号 D E 、水平同期信号 H s y n c 、垂直同期信号 V s y n c 等の信号を用いてゲート制御信号 G C S およびデータ制御信号 D S C を生成する。タイミング制御部 5 0 0 は、表示装置 1 0 を D R D 方式で駆動するために、生成したゲート制御信号 G C S をゲート駆動部 2 0 0 に、データ制御信号 D S C をデータ駆動部 3 0 0 にそれぞれ送信する。タイミング制御部 5 0 0 は、データ線 D L 1 ~ D L m の方向に沿って配置された同色の副画素 P を、 D R D 法によって同色の副画素を所定の行数だけ連続して発光させるように、ゲート制御信号 G C S およびデータ制御信号 D S C を生成することができる。

【 0 0 1 8 】

表示装置 1 0 に含まれるゲート線 G L 1 ~ G L n 、データ線 D L 1 ~ D L m および副画素 P の接続関係について、図 2 を参照して詳細に説明する。図 2 は本実施形態に係る副画素 P の等価回路図である。副画素 P の各々は、有機発光ダイオード O L E D 、駆動素子 D T 、第 1 スイッチ素子 T 1 、第 2 スイッチ素子 T 2 、第 1 キャパシタ C 1 、第 2 キャパシタ C 2 を含む。また、副画素 P はデータ線 D L 、ゲート線 G L 、高電位側の電源電圧 V D D 、低電位側の電源電圧 V S S および補償電源線 C P L と接続される。有機発光ダイオード O L E D は、本実施形態では画素面を構成する赤色 (R) 、緑色 (G) 、青色 (B) または白色 (W) のいずれかの発光色を有する。有機発光ダイオード O L E D のアノードは駆動素子 D T を介して電源電圧 V D D に接続され、有機発光ダイオード O L E D のカソードは電源電圧 V S S に接続される。

【 0 0 1 9 】

駆動素子 D T 、第 1 スイッチ素子 T 1 および第 2 スイッチ素子 T 2 は M O S F E T (金属酸化膜半導体電界効果トランジスタ) から構成され得る。駆動素子 D T のゲートは第 1 ノード N 1 を介して第 1 スイッチ素子 T 1 のソースに接続され、駆動素子 D T のドレインは第 3 ノード N 3 を介して電源電圧 V D D に接続され、駆動素子 D T のソースは第 2 ノード N 2 を介して有機発光ダイオード O L E D のアノードに接続される。第 1 スイッチ素子 T 1 のゲートはゲート線 G L に接続され、第 1 スイッチ素子 T 1 のドレインはデータ線 D L に接続される。第 1 キャパシタ C 1 は、第 1 ノード N 1 と第 2 ノード N 2 との間に接続される。第 2 スイッチ素子 T 2 のゲートはゲート線 G L に接続され、第 2 スイッチ素子 T 2 のドレインは第 2 ノード N 2 に接続され、第 2 スイッチ素子 T 2 のソースは補償電源線 C P L に接続される。第 2 スイッチ素子 T 2 は、ゲート線 G L からのゲート信号に応答して、補償電源線 C P L を介して入力される補償電圧 V r e f を第 2 ノード N 2 に供給し、データ電圧の出力端子である駆動素子 D T のドレイン端子の電位を補償する。補償電源線 C P L には補償電圧 V r e f を安定化させるために第 2 キャパシタ C 2 が接続されている。

【 0 0 2 0 】

ゲート線 G L のレベルによって有機発光ダイオード O L E D の駆動または停止が決定され、有機発光ダイオード O L E D が駆動される場合にはデータ線 D L の電圧によってその輝度が決定される。有機発光ダイオード O L E D が走査 (駆動) される場合にゲート線 G L のレベルはハイレベルとなり、それ以外の場合にはゲート線 G L のレベルはローレベルとなる。ゲート線 G L のレベルがハイレベルとなると、第 1 スイッチ素子 T 1 がオンされ、データ線 D L の電圧に基づく電圧が第 1 キャパシタ C 1 に充電される。第 1 キャパシタ C 1 の電圧が駆動素子 D T のオン閾値を超えると、駆動素子 D T がオンされる。オン状態

10

20

30

40

50

の駆動素子DTは、ゲート電圧、即ち、データ線DLの電圧と補償電圧Vrefとの間の電位差に応じたドレイン電流を電源電圧VDDから有機発光ダイオードOLEDに供給する。このドレイン電流に応じて、有機発光ダイオードOLEDが発光する。第1キャパシタC1は、いわゆるストレージキャパシタとして機能し、ある走査フレームにおける駆動素子DTのゲート・ソース電圧を次の走査フレームまで保持して有機発光ダイオードOLEDの発光状態または消灯状態を維持する。

【0021】

図3は、本実施形態に係る表示パネル100の概略構成を示す平面図である。表示パネル100上には2次元配列された複数の副画素Pを有する画素面が構成される。複数の副画素Pは、緑色副画素G、赤色副画素R、白色副画素W、および青色副画素Bを含む。各色の副画素は、ゲート線GL1~GLnとデータ線DL1~DLmとが交差して画定される各画素領域に配される。各色の副画素Pは、それぞれデータ線DLに沿って列をなすように設けられている。一例として、緑色副画素Gおよび赤色副画素Rは互いに隣接して配列され、1本のデータ線DL1が緑色副画素Gと赤色副画素Rとの間に設けられている。各行において互いに隣接する一対の副画素である緑色副画素Gおよび赤色副画素Rは、各副画素の第1スイッチ素子T1を介して同一のデータ線DL1に接続されている。即ち、一対の副画素である緑色副画素Gおよび赤色副画素Rは、1本のデータ線DL1を共有している。同様に、白色副画素Wおよび青色副画素Bは互いに隣接して配列され、1本のデータ線DL2が白色副画素Wと青色副画素Bとの間に設けられている。各行において互いに隣接する一対の副画素である白色副画素Wおよび青色副画素Bは、各副画素の第1スイッチ素子T1を介して同一のデータ線DL2に接続されている。即ち、一対の副画素である白色副画素Wおよび青色副画素Bは、1本のデータ線DL2を共有している。表示パネル100に含まれるすべての副画素に対して上述のようにデータ線を配することで、表示パネル100に配されるデータ線DL1~DLmの本数は、副画素の列の合計数の半数となる。

【0022】

また、赤色副画素Rおよび白色副画素Wは互いに隣接して配列され、補償電源線CPLが赤色副画素Rと白色副画素Wとの間に設けられている。各色の副画素は、各副画素の第2スイッチ素子T2を介して補償電源線CPLに接続されている。各行の赤色副画素Rおよび白色副画素Wに含まれる第1スイッチ素子T1のゲートおよび第2スイッチ素子T2のゲートは、それぞれゲート線GL1~GLnのうちの第1ゲート線に接続される。また、同行に配置された緑色副画素Gおよび青色副画素Bに含まれる第1スイッチ素子T1のゲートおよび第2スイッチ素子T2のゲートは、それぞれゲート線GL1~GLnのうちの第1ゲート線とは別の第2ゲート線に接続される。他の行の副画素に対しては、第1のゲート線および第2のゲート線とは別の2本のゲート線が同様の接続関係で配される。表示パネル100に含まれるすべての副画素に対して上述のようにゲート線を配することで、表示パネル100に配されるゲート線GL1~GLnの本数は、副画素の行の合計数の倍となる。なお、緑色副画素G、赤色副画素R、白色副画素W、および青色副画素Bの配列の順序は図3の順序に限定されず適宜変更することができる。また、本実施形態では、奇数列に緑色副画素Gおよび白色副画素Wを配し、偶数列に赤色副画素Rおよび青色副画素Bを配することとしたが、副画素の配列はこれに限定されず適宜変更することができる。さらに、本実施形態では、奇数列に配された緑色副画素Gと偶数列に配された赤色副画素Rが1本のデータ線DL1を共有し、奇数列に配された白色副画素Wと偶数列に配された青色副画素Bとが1本のデータ線DL2を共有することとしたが、データ線を共有する画素列はこれに限定されず適宜変更することができる。例えば、奇数列に配された緑色副画素Gおよび白色副画素Wが1本のデータ線DL1を共有し、偶数列に配された赤色副画素Rおよび青色副画素Bが1本のデータ線DL2を共有するように構成することができる。

【0023】

図4は、本実施形態に係るタイミング制御部の概略構成を示すブロック図である。タイミング制御部500は、信号変調部510、行メモリ部520、データ制御信号生成部5

10

20

30

40

50

３０、ゲート制御信号生成部５４０、類似度判定部５５０およびスケジューラ５６０を含む。

【００２４】

信号変調部５１０は、データイネーブル信号ＤＥのパルス幅を変調する。例えば、同色の副画素を連続して走査する場合に、変調されたデータイネーブル信号ｔＤＥを生成し、副画素ごとに別個の充電期間を設定することができる。信号変調部５１０は、変調されたデータイネーブル信号ｔＤＥを、行メモリ部５２０、データ制御信号生成部５３０およびゲート制御信号生成部５４０に伝送する。

【００２５】

行メモリ部５２０は、行単位で画像データＲＧＢＷを保存する。例えば、行メモリ部５２０は、第ｘ行の画像データＲＧＢＷ（ｘ）を保存する（ｘは正の整数、以下同様）。行メモリ部５２０は第（ｘ－１）行の画像データＲＧＢＷ（ｘ－１）を類似度判定部５５０に伝送する。行メモリ部５２０は、信号変調部５１０から受信した変調されたデータイネーブル信号ｔＤＥに基づいて画像データＲＧＢＷを整列させる。行メモリ部５２０は、整列された画像データＲ'Ｇ'Ｂ'Ｗ'をデータ駆動部３００に伝送する。

10

【００２６】

データ制御信号生成部５３０は、変調されたデータイネーブル信号ｔＤＥ、ドットクロックＤＣＬＫ、垂直同期信号Ｖｓｙｎｃ等の信号を用いてデータ制御信号ＤＳＣを生成する。具体的には、データ制御信号生成部５３０は、変調されたデータイネーブル信号ｔＤＥを用いてソース出力イネーブル信号ＳＯＥの出力幅を変調し、各副画素のための充電期間を調整する。また、データ制御信号生成部５３０は、生成したソース・スタート・パルス信号ＳＳＰ、ソース・シフト・クロック信号ＳＳＣをデータ駆動部３００に伝送する。

20

【００２７】

ゲート制御信号生成部５４０は、変調されたデータイネーブル信号ｔＤＥ、ドットクロックＤＣＬＫ、水平同期信号Ｈｓｙｎｃ等の信号を用いてゲート制御信号ＧＣＳを生成する。具体的には、ゲート制御信号生成部５４０は、変調されたデータイネーブル信号ｔＤＥを用いてゲート出力イネーブル信号ＧＯＥの出力幅を変調し、副画素のためのゲート信号の供給期間を調整する。また、ゲート制御信号生成部５４０は、生成したソース・スタート・パルス信号ＳＳＰ、ソース・シフト・クロック信号ＳＳＣをデータ駆動部３００に伝送する。

30

【００２８】

類似度判定部５５０は、２行分の画像データの類似度を判定し、判定結果ＲＥＳをスケジューラ５６０に伝送する。例えば、類似度判定部５５０は、行メモリ部５２０から第（ｘ－１）行の画像データＲＧＢＷ（ｘ－１）を受信し、第ｘ行の画像データＲＧＢＷ（ｘ）と類似しているか判定する。例えば、類似度判定部５５０は、２行の間の画像データが互いに類似すると判定したときに判定結果ＲＥＳとして１を出力する。一方、類似度判定部５５０は、２行の間の画像データが互いに類似しないと判定したときに判定結果ＲＥＳとして０を出力する。

【００２９】

スケジューラ５６０は、類似度判定部５５０から受信した判定結果ＲＥＳに基づき、ゲート信号を送信するゲート線ＧＬの番号を指定するゲート線指定信号ＧＬ＿Ｎｕｍを生成する。ゲート線指定信号ＧＬ＿Ｎｕｍは、変調されたデータイネーブル信号ｔＤＥを生成するために変調部５１０に伝送される。また、スケジューラ５６０は、行メモリ部５２０から伝送される画像データＲ'Ｇ'Ｂ'Ｗ'が格納されるべきレジスタを指定するためのレジスタ選択信号ＲＳＳをデータ駆動部３００に伝送する。データ駆動部３００は、受信したレジスタ選択信号ＲＳＳに基づき、画像データＲ'Ｇ'Ｂ'Ｗ'を指定されたレジスタに格納する。

40

【００３０】

図５は、本実施形態に係るゲート駆動部２００の概略構成を示すブロック図である。ゲート駆動部２００は、第１レベルシフタ２１１、第２レベルシフタ２１２、第１シフトレ

50

ジスタ 2 2 1、2 2 2 および第 2 シフトレジスタ 2 3 1、2 3 2 を含む。

【 0 0 3 1 】

第 1 レベルシフタ 2 1 1 および第 2 レベルシフタ 2 1 2 は、タイミング制御部 5 0 0 から入力されるクロック信号 C L K 1 の T T L (T r a n s i s t o r - T r a n s i s t o r - L o g i c) レベルを遷移させる。具体的には、第 1 レベルシフタ 2 1 1 および第 2 レベルシフタ 2 1 2 は、表示パネル 1 0 0 に含まれるトランジスタをオン状態とオフ状態との間を遷移させるために、ゲートハイ電圧とゲートロー電圧との間を切り替えるための信号を生成する。第 1 レベルシフタ 2 1 1 は、生成された信号を第 1 シフトレジスタ 2 2 1 に伝送する。第 2 レベルシフタ 2 1 2 は、生成された信号を第 1 シフトレジスタ 2 2 2 に伝送する。また、第 1 レベルシフタ 2 1 1 は、タイミング制御部 5 0 0 から入力されるクロック信号 C L K 2 の T T L レベルを遷移させる。具体的には、第 1 レベルシフタ 2 1 1 および第 2 レベルシフタ 2 1 2 は、表示パネル 1 0 0 に含まれるトランジスタをオン状態とオフ状態との間を遷移させるために、ゲートハイ電圧とゲートロー電圧との間を切り替えるための信号を生成する。第 1 レベルシフタ 2 1 1 は、生成された信号を第 2 シフトレジスタ 2 3 1 に伝送する。第 2 レベルシフタ 2 1 2 は、生成された信号を第 2 シフトレジスタ 2 3 2 に伝送する。

10

【 0 0 3 2 】

第 1 シフトレジスタ 2 2 1、2 2 2 の各々は、複数のステージを含む。複数のステージの各々は、Q ノード、Q b ノード、プルアップ素子およびプルダウン素子を含む。第 1 シフトレジスタ 2 2 1、2 2 2 は、表示パネル 1 0 0 の表示領域 1 1 0 の外側の非表示領域内にゲートインパネル (G a t e - I n - P a n e l , G I P) 方式で配置される。例えば、第 1 シフトレジスタ 2 2 1 は、図 5 に示されるように、平面視において表示領域 1 1 0 の一方の短辺部 (図 5 において左側短辺部) に隣接する非表示領域内に配置されることができる。また、第 1 シフトレジスタ 2 2 2 は、図 5 に示されるように、平面視において表示領域 1 1 0 の他方の短辺部 (図 5 において右側短辺部) に隣接する非表示領域内に配置されることができる。第 1 シフトレジスタ 2 2 1 からのゲート線 G L は、第 1 シフトレジスタ 2 2 2 からのゲート線 G L と互いに連結された構造を有し得る。

20

【 0 0 3 3 】

第 1 シフトレジスタ 2 2 1 は、第 1 レベルシフタ 2 1 1 から受信された信号に基づきゲート線 G L にゲート信号を供給する。また、第 1 シフトレジスタ 2 2 2 は、第 2 レベルシフタ 2 1 2 から受信された信号に基づきゲート線 G L にゲート信号を供給する。第 1 シフトレジスタ 2 2 1、2 2 2 は、タイミング制御部 5 0 0 からゲートスタート信号 V S T 1 を受信する。第 1 シフトレジスタ 2 2 1、2 2 2 は、受信されたゲートスタート信号 V S T 1 に基づき、キャリア信号を順次に生成する。第 1 シフトレジスタ 2 2 1、2 2 2 は、生成されたキャリア信号をゲートスタート信号として第 1 シフトレジスタ 2 2 1、2 2 2 に含まれる複数のステージのいずれかに供給する。第 1 シフトレジスタ 2 2 1、2 2 2 は、1 フレームの走査開始時または 1 フレームの走査終了時にタイミング制御部 5 0 0 からリセット信号 R S T 1 を受信する。リセット信号 R S T 1 を介して Q ノードをリセットすることで、第 1 シフトレジスタ 2 2 1、2 2 2 の Q ノードおよび Q B ノードの電圧を安定的に維持させることができる。

30

40

【 0 0 3 4 】

第 2 シフトレジスタ 2 3 1、2 3 2 の各々は、複数のステージを含む。複数のステージの各々は、Q ノード、Q b ノード、プルアップ素子およびプルダウン素子を含む。第 2 シフトレジスタ 2 3 1、2 3 2 は、表示パネル 1 0 0 の表示領域 1 1 0 の外側の非表示領域内にゲートインパネル (G a t e - I n - P a n e l , G I P) 方式で配置される。例えば、第 2 シフトレジスタ 2 3 1 は、図 5 に示されるように、平面視において表示領域 1 1 0 の一方の短辺部 (図 5 において左側短辺部) に隣接する非表示領域内に、第 1 シフトレジスタ 2 2 1 と重畳するように配置されることができる。また、第 2 シフトレジスタ 2 3 2 は、図 5 に示されるように、平面視において表示領域 1 1 0 の他方の短辺部 (図 5 において右側短辺部) に隣接する非表示領域内に、第 1 シフトレジスタ 2 2 2 と重畳するよう

50

に配置されることができる。また、第2シフトレジスタ231、232は、それぞれ第1シフトレジスタ221、222と同一の領域に配置されることができる。即ち、本実施形態によるゲート駆動部200は、第2シフトレジスタ231、232から表示領域110までの距離が第1シフトレジスタ221、222から表示領域110までの距離と同じとなるように構成され得る。また、第2シフトレジスタ231からのゲート線GLは、第2シフトレジスタ232からのゲート線GLと互いに連結された構造を有し得る。

【0035】

第2シフトレジスタ231は、第1レベルシフタ211から受信された信号に基づきゲート線GLにゲート信号を供給する。また、第2シフトレジスタ232は、第2レベルシフタ212から受信された信号に基づきゲート線GLにゲート信号を供給する。第2シフトレジスタ231、232は、タイミング制御部500からゲートスタート信号VST2を受信する。ここで、第2シフトレジスタ231、232がゲートスタート信号VST2を受信するタイミングは、第1シフトレジスタ221、222がゲートスタート信号VST1を受信するタイミングと異なる。第2シフトレジスタ231、232は、受信されたゲートスタート信号VST2に基づき、キャリア信号を順次に生成する。第2シフトレジスタ231、232は、生成されたキャリア信号をゲートスタート信号として第2シフトレジスタ231、232に含まれる複数のステージのいずれかに供給する。第2シフトレジスタ231、232は、1フレームの走査開始時または1フレームの走査終了時にタイミング制御部500からリセット信号RST2を受信する。リセット信号RST2を介してQノードをリセットすることで、第2シフトレジスタ231、232のQノードとQBノードの電圧を安定的に維持させることができる。ここで、第2シフトレジスタ231、232がリセット信号RST2を受信するタイミングは、第1シフトレジスタ221、222がリセット信号RST1を受信するタイミングと異なる。即ち、本実施形態による第2シフトレジスタ231、232は、回路構成上において第1シフトレジスタ221、222から独立して動作する。なお、ゲートスタート信号VST1およびゲートスタート信号VST2として、共通のゲートスタート信号が用いられることもできる。ただし、共通のゲートスタート信号が用いられた場合、ゲートスタート信号が入力されてから最初のクロックが入力されるまでシフトレジスタのステージはオン状態で待機することになる。よって、動作の安定性の観点から、相互に独立した信号であるゲートスタート信号VST1およびゲートスタート信号VST2を用いることが望ましい。

【0036】

図6は本実施形態に係る第1シフトレジスタ221、222に含まれるステージとクロック配線との間の接続を示す回路図である。第1シフトレジスタ221、222は複数のステージを含む。複数のステージの各々は、Qノード、Qbノード、プルアップ素子、プルダウン素子を含む。

【0037】

第1シフトレジスタ221、222のプルアップ素子はトランジスタで構成されることができる。プルアップ素子のゲートはQノードと電氣的に接続される。プルアップ素子のソースまたはドレインはクロック信号の入力端と電氣的に接続される。プルアップ素子のドレインまたはソースはプルダウン素子のソースまたはドレインおよびクロック信号の出力端と電氣的に接続される。プルアップ素子は、Qノードの電圧によりオン状態に遷移し、クロック信号を走査信号（ゲート信号）として出力する。

【0038】

第1シフトレジスタ221、222のプルダウン素子はトランジスタで構成されることができる。プルアップ素子のゲートはQbノードと電氣的に接続される。プルダウン素子のソースまたはドレインはプルアップ素子のドレインまたはソースおよびクロック信号の出力端と電氣的に接続される。プルダウン素子のドレインまたはソースは低電位電源GVSSと電氣的に接続される。プルダウン素子は、Qbノードの電圧によりオン状態に遷移し、基底電圧をローレベルの走査信号として出力する。

【0039】

各ステージにおいて、プルアップ素子がオン状態のときにはプルダウン素子はオフ状態である。即ち、Q ノードにプルアップ素子をオン状態にするオン電圧が印加されているとき、Q b ノードにプルダウン素子をオフ状態にするオフ電圧が印加されている。この状態をステージのオン状態と呼ぶ。また、各ステージにおいて、プルダウン素子がオン状態のときにはプルアップ素子はオフ状態である。即ち、Q b ノードにプルダウン素子をオン状態にするオン電圧が印加されているとき、Q ノードにプルアップ素子をオフ状態にするオフ電圧が印加されている。この状態をステージのホールド状態と呼ぶ。

【 0 0 4 0 】

以下に、図 6 に示される Q (1) ノードおよび Q b (1) ノードを含む第 1 ステージ S T G 1 について説明する。第 1 シフトレジスタ 2 2 1 , 2 2 2 は、Q (1) ノードからゲート駆動部の動作の開始を指示するゲートスタート信号 V S T 1 の印加を受ける。第 1 ステージ S T G 1 には 3 つのプルアップ素子が含まれている。3 つのプルアップ素子の各ゲートノードは Q (1) ノードと共通に連結されており、3 つのプルアップ素子は、Q (1) ノードの電圧によってオン状態に遷移する。1 つめのプルアップ素子のソースまたはドレインはキャリアシフトクロック信号 C R C L K 1 の入力端と連結されており、1 つめのプルアップ素子のドレインまたはソースは走査信号の出力端 C 1 と連結されている。よって、プルアップ素子が Q ノードの電圧によってオン状態に遷移されると、キャリアシフトクロック信号 C R C L K 1 が走査信号の出力端から出力される。キャリアシフトクロックは、キャリア信号を生成するためのクロック信号である。2 つめのプルアップ素子のソースまたはドレインはスキャンシフトクロック信号 S C C L K 1 の入力端と連結されており、2 つめのプルアップ素子のドレインまたはソースは走査信号の出力端 S 1 と連結されている。よって、プルアップ素子が Q ノードの電圧によってオン状態に遷移されると、スキャンシフトクロック信号 S C C L K 1 が走査信号の出力端から出力され得る。スキャンシフトクロック信号は、パルスをもつ走査信号を生成するためのクロック信号である。例えばスキャンシフトクロック信号 S C C L K 1 は、ゲート線 G L 1 によって伝送されるゲート信号を生成するためのクロック信号である。3 つめのプルアップ素子のソースまたはドレインはスキャンシフトクロック信号 S C C L K 3 の入力端と連結されており、3 つめのプルアップ素子のドレインまたはソースは走査信号の出力端 S 3 と連結されている。よって、プルアップ素子が Q ノードの電圧によってオン状態に遷移されると、スキャンシフトクロック信号 S C C L K 3 が走査信号の出力端から出力され得る。例えばスキャンシフトクロック信号 S C C L K 3 は、ゲート線 G L 3 によって伝送されるゲート信号を生成するためのクロック信号である。

【 0 0 4 1 】

また、第 1 ステージ S T G 1 には 3 つのプルダウン素子が含まれている。3 つのプルダウン素子の各ゲートノードは Q b (1) ノードと共通に連結されており、3 つのプルダウン素子は、Q b (1) ノードの電圧によってオン状態に遷移する。3 つのプルダウン素子の各々はドレインまたはソースは低電位電源 G V S S と連結されており、3 つのプルダウン素子のソースまたはドレインは走査信号の出力端 C 1、S 1、S 3 とそれぞれ連結されている。よって、プルダウン素子が Q b ノードの電圧によってオン状態に遷移されると、ローレベルの走査信号としての基底電圧が出力端 C 1、S 1、S 3 にそれぞれ出力される。

【 0 0 4 2 】

図 6 に示される Q (3) ノードおよび Q b (3) ノードを含む第 3 ステージ S T G 3 から Q (1 1) ノードおよび Q b (1 1) ノードを含む第 1 1 ステージ S T G 1 1 までについても、上述の第 1 ステージ S T G 1 と同様に構成され得る。なお、第 1 1 ステージ S T G 1 1 に含まれる Q (1 1) ノードには、リセット信号 R S T 1 が印加されるように構成されることができる。また、第 1 シフトレジスタ 2 2 1 , 2 2 2 は、1 つの Q b ノードが 2 つのステージによって共有されるように構成されることができる。例えば、第 1 ステージ S T G 1 の Q b (1) ノードおよび第 3 ステージ S T G 3 の Q b (3) ノードは第 1 Q b 共通ノード (不図示) で構成され、第 1 ステージ S T G 1 および第 3 ステージ S T G 3 は、第 1 Q b 共通ノードを共有するように構成されることができる。同様に、第 5 ステ

10

20

30

40

50

ジ S T G 5 の Q b (5) ノードおよび第 7 ステージ S T G 7 の Q b (7) ノードは第 2 Q b 共通ノード (不図示) で構成され、第 5 ステージ S T G 5 および第 7 ステージ S T G 7 は、第 2 Q b 共通ノードを共有するように構成されることができる。同様に、第 9 ステージ S T G 9 の Q b (9) ノードおよび第 1 1 ステージ S T G 1 1 の Q b (1 1) ノードは第 3 Q b 共通ノード (不図示) で構成され、第 9 ステージ S T G 9 および第 1 1 ステージ S T G 1 1 は、第 3 Q b 共通ノードを共有するように構成されることができる。上記構成によれば、Q b ノードの配置によって占有される領域が減少される。結果として、第 1 シフトレジスタ 2 2 1、2 2 2 が非表示領域を占有する回路面積は減少される。したがって、表示装置 1 0 のベゼル幅をより小さくすることができる。なお、第 1 シフトレジスタ 2 2 1、2 2 2 は、第 2 シフトレジスタ 2 3 1、2 3 2 から独立したシフトレジスタであるため、第 1 シフトレジスタ 2 2 1、2 2 2 に含まれるステージは、第 2 シフトレジスタ 2 3 1、2 3 2 に含まれるステージと Q b ノードを共有しない。

10

【 0 0 4 3 】

図 7 は本実施形態に係る第 2 シフトレジスタ 2 3 1、2 3 2 に含まれるステージとクロック配線との間の接続を示す回路図である。第 2 シフトレジスタ 2 3 1、2 3 2 は複数のステージを含む。複数のステージの各々は、Q ノード、Q b ノード、プルアップ素子、プルダウン素子を含む。

【 0 0 4 4 】

第 2 シフトレジスタ 2 3 1、2 3 2 のプルアップ素子はトランジスタで構成されることができる。プルアップ素子のゲートは Q ノードと電氣的に接続される。プルアップ素子のソースまたはドレインはクロック信号の入力端と電氣的に接続される。プルアップ素子のドレインまたはソースはプルダウン素子のソースまたはドレインおよびクロック信号の出力端と電氣的に接続される。プルアップ素子は、Q ノードの電圧によりオン状態に遷移し、クロック信号を走査信号として出力する。

20

【 0 0 4 5 】

第 2 シフトレジスタ 2 3 1、2 3 2 のプルダウン素子はトランジスタで構成されることができる。プルアップ素子のゲートは Q b ノードと電氣的に接続される。プルダウン素子のソースまたはドレインはプルアップ素子のドレインまたはソースおよびクロック信号の出力端と電氣的に接続される。プルダウン素子のドレインまたはソースは低電位電源 G V S S と電氣的に接続される。プルダウン素子は、Q b ノードの電圧によりオン状態に遷移し、基底電圧をローレベルの走査信号として出力する。

30

【 0 0 4 6 】

各ステージにおいて、プルアップ素子がオン状態のときにはプルダウン素子はオフ状態である。即ち、Q ノードにプルアップ素子をオン状態にするオン電圧が印加されているとき、Q b ノードにプルダウン素子をオフ状態にするオフ電圧が印加されている。また、各ステージにおいて、プルダウン素子がオン状態のときにはプルアップ素子はオフ状態である。即ち、Q b ノードにプルダウン素子をオン状態にするオン電圧が印加されているとき、Q ノードにプルアップ素子をオフ状態にするオフ電圧が印加されている。

【 0 0 4 7 】

以下に、図 7 に示される Q (2) ノードおよび Q b (2) ノードを含む第 2 ステージ S T G 2 について説明する。第 2 シフトレジスタ 2 3 1、2 3 2 は、Q (2) ノードからゲート駆動部の動作の開始を指示するゲートスタート信号 V S T 2 の印加を受ける。ゲートスタート信号 V S T 2 は、第 1 シフトレジスタ 2 2 1、2 2 2 に印加されるゲートスタート信号 V S T 1 から独立した信号である。第 2 ステージ S T G 2 には 3 つのプルアップ素子が含まれている。3 つのプルアップ素子の各ゲートノードは Q (2) ノードと共通に連結されており、3 つのプルアップ素子は、Q (2) ノードの電圧によってオン状態に遷移する。1 つめのプルアップ素子のソースまたはドレインはキャリーシフトクロック信号 C R C L K 2 の入力端と連結されており、1 つめのプルアップ素子のドレインまたはソースは走査信号の出力端 C 2 と連結されている。よって、プルアップ素子が Q ノードの電圧によってオン状態に遷移されると、キャリーシフトクロック信号 C R C L K 2 が走査信号の

40

50

出力端から出力される。２つめのプルアップ素子のソースまたはドレインはスキャンシフトクロック信号 $SCCLK2$ の入力端と連結されており、２つめのプルアップ素子のドレインまたはソースは走査信号の出力端 $S2$ と連結されている。よって、プルアップ素子が Q ノードの電圧によってオン状態に遷移されると、スキャンシフトクロック信号 $SCCLK2$ が走査信号の出力端から出力され得る。例えばスキャンシフトクロック信号 $SCCLK2$ は、ゲート線 $GL2$ によって伝送されるゲート信号を生成するためのクロック信号である。３つめのプルアップ素子のソースまたはドレインはスキャンシフトクロック信号 $SCCLK4$ の入力端と連結されており、３つめのプルアップ素子のドレインまたはソースは走査信号の出力端 $S4$ と連結されている。よって、プルアップ素子が Q ノードの電圧によってオン状態に遷移されると、スキャンシフトクロック信号 $SCCLK4$ が走査信号の出力端から出力され得る。例えばスキャンシフトクロック信号 $SCCLK4$ は、ゲート線 $GL4$ によって伝送されるゲート信号を生成するためのクロック信号である。

10

【００４８】

また、第２ステージ $STG2$ には３つのプルダウン素子が含まれている。３つのプルダウン素子の各ゲートノードは $Qb(2)$ ノードと共通に連結されており、３つのプルダウン素子は、 $Qb(2)$ ノードの電圧によってオン状態に遷移する。３つのプルダウン素子の各々はドレインまたはソースは低電位電源 $GVSS$ と連結されており、３つのプルダウン素子のソースまたはドレインは走査信号の出力端 $C2$ 、 $S2$ 、 $S4$ とそれぞれ連結されている。よって、プルダウン素子が Qb ノードの電圧によってオン状態に遷移されると、ローレベルの走査信号としての基底電圧が出力端 $C2$ 、 $S2$ 、 $S4$ にそれぞれ出力される。

20

【００４９】

図７に示される $Q(4)$ ノードおよび $Qb(4)$ ノードを含む第４ステージ $STG4$ から $Q(12)$ ノードおよび $Qb(12)$ ノードを含む第１２ステージ $STG12$ までについても、上述の第２ステージ $STG2$ と同様に構成され得る。なお、第１２ステージ $STG12$ に含まれる $Q(12)$ ノードには、リセット信号 $RST2$ が印加されるように構成されることができる。リセット信号 $RST2$ は、第１シフトレジスタ 221 、 222 に印加されるリセット信号 $RST1$ から独立した信号である。また、第２シフトレジスタ 231 、 232 は、１つの Qb ノードが２つのステージによって共有されるように構成されることができる。例えば、第２ステージ $STG2$ の $Qb(2)$ ノードおよび第４ステージ $STG4$ の $Qb(4)$ ノードは第４ Qb 共通ノード（不図示）で構成され、第２ステージ $STG2$ および第４ステージ $STG4$ は、第４ Qb 共通ノードを共有するように構成されることができる。同様に、第６ステージ $STG6$ の $Qb(6)$ ノードおよび第８ステージ $STG8$ の $Qb(8)$ ノードは第５ Qb 共通ノード（不図示）で構成され、第６ステージ $STG6$ および第８ステージ $STG8$ は、第５ Qb 共通ノードを共有するように構成されることができる。同様に、第１０ステージ $STG10$ の $Qb(10)$ ノードおよび第１２ステージ $STG12$ の $Qb(12)$ ノードは第６ Qb 共通ノード（不図示）で構成され、第１０ステージ $STG10$ および第１２ステージ $STG12$ は、第６ Qb 共通ノードを共有するように構成されることができる。上記構成によれば、 Qb ノードの配置によって占有される領域が減少される。結果として、第２シフトレジスタ 231 、 232 が非表示領域を占有する回路面積は減少される。したがって、表示装置１０のベゼル幅をより小さくすることができる。なお、第２シフトレジスタ 231 、 232 は、第１シフトレジスタ 221 、 222 から独立したシフトレジスタであるため、第２シフトレジスタ 231 、 232 に含まれるステージは、第１シフトレジスタ 221 、 222 に含まれるステージと Qb ノードを共有しない。

30

40

【００５０】

図８は、本実施形態による第１シフトレジスタ 221 、 222 に含まれるステージおよび第２シフトレジスタ 231 、 232 に含まれるステージとクロック配線との間の接続の一例を示す回路図である

【００５１】

図５に示されるように、第２シフトレジスタ 231 、 232 は、平面視において表示パ

50

ネル 1 0 0 の非表示領域の中に、の第 1 シフトレジスタ 2 2 1 , 2 2 2 と重畳するように配置されることができる。また、第 1 シフトレジスタ 2 2 1 , 2 2 2 および第 2 シフトレジスタ 2 3 1 , 2 3 2 は、G I P 方式で実装されることができる。たとえば、第 1 シフトレジスタ 2 2 1 , 2 2 2 が第 1 G I P として表示パネル 1 0 0 の中に実装され、第 2 シフトレジスタ 2 3 1 , 2 3 2 を第 2 G I P として表示パネルの中に実装された場合を、図 8 を参照しながら説明する。本例において、第 1 G I P および第 2 G I P は、同一の低電位電源 G V S S を共有する同一の回路領域に配される。具体的には、第 1 G I P の第 3 ステージ S T G 3 の次段には第 2 G I P の第 2 ステージ S T G 2 が配されている。また、第 2 G I P の第 4 ステージ S T G 4 の次段には第 1 G I P の第 5 ステージ S T G 5 および第 2 G I P の第 4 ステージ S T G 4 が配されている。また、第 1 G I P の第 7 ステージ S T G 7 の次段には第 2 G I P の第 6 ステージ S T G 6 が配されている。ただし、上述の通り、第 1 G I P および第 2 G I P は、互いに独立したシフトレジスタである。具体的には、第 1 G I P および第 2 G I P は、入力クロック信号 C R C L K , S C C L K を共有しない。また、第 1 G I P はゲートスタート信号 V S T 1 およびリセット信号 R S T 1 を受信し、第 2 G I P は、ゲートスタート信号 V S T 1 およびリセット信号 R S T 1 からそれぞれ独立した別個のゲートスタート信号 V S T 2 およびリセット信号 R S T 2 を受信する。第 1 G I P のステージに入出力されるキャリア信号は第 1 G I P の他のステージに伝送される一方で、第 1 G I P のステージに入出力されるキャリア信号は第 2 G I P のステージには伝送されない。同様に、第 2 G I P のステージに入出力されるキャリア信号は第 2 G I P の他のステージに伝送される一方で、第 2 G I P のステージに入出力されるキャリア信号は第 1 G I P のステージには伝送されない。即ち、第 1 G I P は、第 2 G I P の動作から独立して駆動される。同様に、第 2 G I P は、第 1 G I P の動作から独立して駆動される。

【 0 0 5 2 】

図 9 は、本実施形態に係る第 1 G I P の信号出力端および第 2 G I P の信号出力端とゲート線との間の対応関係を示す図である。本実施形態によれば、第 1 G I P および第 2 G I P に含まれる走査信号の出力端 S 1 ~ S 1 6 の配置は、ゲート線 G L 1 ~ G L 1 6 の配置と対応していない。即ち、図 9 に示されるように、第 1 G I P の第 1 ステージ S T G 1 の出力端 S 3 のゲート線 G L 3 への出力線は、第 2 G I P の第 2 ステージ S T G 2 の出力端 S 2 のゲート線 G L 2 への出力線と交差する。また、第 1 G I P の第 3 ステージ S T G 3 の出力端 S 5 のゲート線 G L 5 への出力線は、第 2 G I P の第 2 ステージ S T G 2 の出力端 S 2 のゲート線 G L 2 への出力線および第 2 G I P の第 2 ステージ S T G 2 の出力端 S 4 のゲート線 G L 4 への出力線と交差する。また、第 1 G I P の第 3 ステージ S T G 3 の出力端 S 7 のゲート線 G L 7 への出力線は、第 2 G I P の第 2 ステージ S T G 2 の出力端 S 2 のゲート線 G L 2 への出力線、第 2 G I P の第 2 ステージ S T G 2 の出力端 S 4 のゲート線 G L 4 への出力線および第 2 G I P の第 4 ステージ S T G 4 の出力端 S 6 のゲート線 G L 6 への出力線と交差する。また、第 1 G I P の第 5 ステージ S T G 5 の出力端 S 1 1 のゲート線 G L 1 1 への出力線は、第 2 G I P の第 6 ステージ S T G 6 の出力端 S 1 0 のゲート線 G L 1 0 への出力線と交差する。また、第 1 G I P の第 7 ステージ S T G 7 の出力端 S 1 3 のゲート線 G L 1 3 への出力線は、第 2 G I P の第 6 ステージ S T G 6 の出力端 S 1 0 のゲート線 G L 1 0 への出力線および第 2 G I P の第 6 ステージ S T G 6 の出力端 S 1 2 のゲート線 G L 1 2 への出力線と交差する。また、第 1 G I P の第 7 ステージ S T G 7 の出力端 S 1 5 のゲート線 G L 1 5 への出力線は、第 2 G I P の第 6 ステージ S T G 6 の出力端 S 1 0 のゲート線 G L 1 0 への出力線、第 2 G I P の第 6 ステージ S T G 6 の出力端 S 1 2 のゲート線 G L 1 2 への出力線および第 2 G I P の第 8 ステージ S T G 8 の出力端 S 1 4 のゲート線 G L 1 4 への出力線と交差する。即ち、第 1 G I P から供給されるゲート信号の出力端から当該出力端に対応するゲート線までを直線で結ぶ経路は、第 2 G I P から供給されるゲート信号の出力端から当該出力端に対応するゲート線までを直線で結ぶ経路と交差するように構成され得る。なお、第 1 G I P の第 1 ステージ S T G 1 の出力端 S 1 のゲート線 G L 1 への出力線および第 1 G I P の第 5 ステージ S T G 5 の出力端 S 9 のゲート線 G L 9 への出力線は、第 2 G I P の信号出力端からの出力線と交

差しない。また、第 2 G I P の第 4 ステージ S T G 4 の出力端 S 8 のゲート線 G L 8 への出力線および第 2 G I P の第 8 ステージ S T G 8 の出力端 S 1 6 のゲート線 G L 1 6 への出力線は、第 1 G I P の信号出力端からの出力線と交差しない。

【 0 0 5 3 】

図 1 0 は、本実施形態に係る第 1 G I P および第 2 G I P のオン状態とホールド状態の遷移の一例を示す図である。上述の通り、本実施形態に係る第 1 G I P および第 2 G I P に含まれる各ステージは、プルアップ素子およびプルダウン素子に印加される電圧にしたがってオン状態またはホールド状態となる。ホールド状態にあるステージからは、走査信号は出力されない。一方、オン状態にあるステージからは、走査信号が出力されることができる。しかしながら、同クロックにおいて 2 以上の走査信号またはキャリア信号が出力端から伝送されないようにするために、オン状態のステージの数を制限する必要がある。具体的には、例えば G I P に入力されるクロック数を x とした場合、オン状態のステージの数は $2 \times x$ 未満としなければならない (x は正の整数)。本実施形態の第 1 G I P は、キャリア信号を介して、順次ホールド状態のステージをオン状態へ遷移させる。また、本実施形態の第 1 G I P は、キャリア信号を介して、順次オン状態のステージをホールド状態へ遷移させる。同様に、本実施形態の第 2 G I P は、キャリア信号を介して、順次ホールド状態のステージをオン状態へ遷移させる。また、本実施形態の第 2 G I P は、キャリア信号を介して、順次オン状態のステージをホールド状態へ遷移させる。第 1 G I P で用いられるキャリア信号は、第 2 G I P に伝送されない。よって、第 1 G I P のステージのオン状態とホールド状態との間の遷移は、第 2 G I P の動作から独立している。同様に、第 1 G I P で用いられるキャリア信号は、第 2 G I P に伝送されない。よって、第 2 G I P のステージのオン状態とホールド状態との間の遷移は、第 1 G I P の動作から独立している。

【 0 0 5 4 】

図 1 0 には、第 1 G I P および第 2 G I P に含まれる各ステージのオン状態とホールド状態との間の遷移の一例が示されている。本例では、奇数番目のゲート線 G L 1、G L 3、...、G L 3 1 には、第 1 G I P から走査信号 (ゲート信号) が伝送される。例えば、図 3 に示される副画素の配列によれば、第 1 G I P は、奇数番目のゲート線を介して赤色副画素 R の第 1 スイッチ素子 T 1 および白色副画素 W の第 1 スイッチ素子 T 1 にゲート電圧を供給する。一方、偶数番目のゲート線 G L 2、G L 4、...、G L 3 2 には、第 2 G I P から走査信号 (ゲート信号) が伝送される。例えば、図 3 に示される副画素の配列によれば、第 2 G I P は、偶数番目のゲート線を介して緑色副画素 G の第 1 スイッチ素子 T 1 および青色副画素 B の第 1 スイッチ素子 T 1 にゲート電圧を供給する。なお、第 1 G I P に接続されるゲート線は奇数番目のゲート線に限定されず、第 2 G I P に接続されるゲート線は偶数番目のゲート線に限定されない。ゲート駆動部の回路設計等に従い、第 1 G I P および第 2 G I P は、任意の場所に配置されたゲート線と接続され得る。

【 0 0 5 5 】

図 1 0 に示される例では、奇数番目のゲート線を介して所定の数の走査信号が連続して伝送された後に、偶数番目のゲート線を介して所定の数の走査信号が連続して伝送される。例えば、図 3 に示される副画素の配列によれば、最初に、第 1 G I P が、奇数番目のゲート線を介して表示パネル 1 0 0 の各行に配された赤色副画素 R および白色副画素 W に、走査信号を所定の行数にわたり連続して供給する。次いで、第 2 G I P が、偶数番目のゲート線を介して表示パネル 1 0 0 の各行に配された緑色副画素 G および青色副画素 B に、走査信号を所定の行数に渡り連続して供給する。

【 0 0 5 6 】

具体的には、クロック (1) において、第 1 G I P に含まれる第 1 ステージ、第 3 ステージ、第 5 ステージ、第 7 ステージおよび第 2 G I P に含まれる第 2 ステージ、第 4 ステージ、第 6 ステージ、第 8 ステージがオン状態である。このとき、第 1 G I P は、オン状態のステージに対応するゲート線のグループ (G L 1、G L 3、G L 5、G L 7、G L 9、G L 1 1、G L 1 3、G L 1 5) を介してゲート信号の供給が可能な状態にある。また

、第 2 G I P は、オン状態のステージに対応するゲート線のグループ (G L 2、G L 4、G L 6、G L 8、G L 10、G L 12、G L 14、G L 16) を介してゲート信号の供給が可能な状態にある。一方、第 1 G I P に含まれる第 9 ステージ、第 11 ステージ、第 13 ステージ、第 15 ステージおよび第 2 G I P に含まれる第 10 ステージ、第 12 ステージ、第 14 ステージ、第 16 ステージがホールド状態である。クロック (1) において、例えば、第 1 G I P は、第 3 ステージからゲート線 G L 5 に走査信号を送信する。結果として、ゲート線 G L 5 と電気的に接続されている赤色副画素 R および白色副画素 W に走査信号が供給される。第 3 ステージ以外のステージからゲート線 G L に走査信号は伝送されない。なお、第 1 G I P は、クロック (1) とクロック (2) との間の時刻に、第 3 ステージからゲート線 G L 7 に走査信号を送信し得る。

10

【 0 0 5 7 】

クロック (2) において、第 1 G I P に含まれる第 1 ステージがオン状態からホールド状態に遷移される。一方、クロック (2) において、第 1 G I P に含まれる第 9 ステージがホールド状態からオン状態に遷移される。第 1 G I P に含まれる第 1 ステージおよび第 9 ステージ以外のステージは、クロック (1) における状態と同じ状態に維持される。このとき、第 1 G I P は、オン状態のステージに対応するゲート線のグループ (G L 5、G L 7、G L 9、G L 11、G L 13、G L 15、G L 17、G L 19) を介してゲート信号の供給が可能な状態にある。また、第 2 G I P に含まれるすべてのステージは、クロック (1) における状態と同じ状態に維持される。即ち、第 2 G I P は、オン状態のステージに対応するゲート線のグループ (G L 2、G L 4、G L 6、G L 8、G L 10、G L 12、G L 14、G L 16) を介してゲート信号の供給が可能な状態にある。クロック (2) において、第 1 G I P は、第 5 ステージからゲート線 G L 9 に走査信号を送信する。結果として、ゲート線 G L 9 と電気的に接続されている赤色副画素 R および白色副画素 W に走査信号が供給される。第 5 ステージ以外のステージからゲート線 G L に走査信号は伝送されない。なお、第 1 G I P は、クロック (2) とクロック (3) との間の時刻に、第 5 ステージからゲート線 G L 11 に走査信号を送信し得る。

20

【 0 0 5 8 】

クロック (3) において、第 1 G I P に含まれる第 3 ステージがオン状態からホールド状態に遷移される。一方、クロック (3) において、第 1 G I P に含まれる第 11 ステージがホールド状態からオン状態に遷移される。第 1 G I P に含まれる第 3 ステージおよび第 11 ステージ以外のステージならびに第 2 G I P に含まれるすべてのステージは、クロック (2) における状態と同じ状態に維持される。クロック (3) において、第 1 G I P は、第 7 ステージからゲート線 G L 13 に走査信号を送信する。結果として、ゲート線 G L 13 と電気的に接続されている赤色副画素 R および白色副画素 W に走査信号が供給される。第 7 ステージ以外のステージからゲート線 G L に走査信号は伝送されない。なお、第 1 G I P は、クロック (3) とクロック (4) との間の時刻に、第 7 ステージからゲート線 G L 15 に走査信号を送信し得る。

30

【 0 0 5 9 】

クロック (4) において、第 1 G I P に含まれる第 5 ステージがオン状態からホールド状態に遷移される。一方、クロック (4) において、第 1 G I P に含まれる第 13 ステージがホールド状態からオン状態に遷移される。第 1 G I P に含まれる第 5 ステージおよび第 13 ステージ以外のステージならびに第 2 G I P に含まれるすべてのステージは、クロック (3) における状態と同じ状態に維持される。クロック (4) において、第 1 G I P は、第 9 ステージからゲート線 G L 17 に走査信号を送信する。結果として、ゲート線 G L 17 と電気的に接続されている赤色副画素 R および白色副画素 W に走査信号が供給される。第 9 ステージ以外のステージからゲート線 G L に走査信号は伝送されない。なお、第 1 G I P は、クロック (4) とクロック (5) との間の時刻に、第 9 ステージからゲート線 G L 19 に走査信号を送信し得る。

40

【 0 0 6 0 】

クロック (5) において、第 1 G I P に含まれる第 7 ステージがオン状態からホールド

50

状態に遷移される。一方、クロック（５）において、第１ＧＩＰに含まれる第１５ステージがホールド状態からオン状態に遷移される。第１ＧＩＰに含まれる第７ステージおよび第１５ステージ以外のステージならびに第２ＧＩＰに含まれるすべてのステージは、クロック（４）における状態と同じ状態に維持される。クロック（５）において、第１ＧＩＰは、第１１ステージからゲート線ＧＬ２１に走査信号を伝送する。結果として、ゲート線ＧＬ２１と電氣的に接続されている赤色副画素Ｒおよび白色副画素Ｗに走査信号が供給される。第１１ステージ以外のステージからゲート線ＧＬに走査信号は伝送されない。なお、第１ＧＩＰは、クロック（５）とクロック（６）との間の時刻に、第１１ステージからゲート線ＧＬ２３に走査信号を伝送し得る。

【００６１】

10

クロック（６）において、第２ＧＩＰに含まれる第２ステージがオン状態からホールド状態に遷移される。一方、クロック（６）において、第２ＧＩＰに含まれる第１０ステージがホールド状態からオン状態に遷移される。第２ＧＩＰに含まれる第２ステージおよび第１０ステージ以外のステージならびに第１ＧＩＰに含まれるすべてのステージは、クロック（５）における状態と同じ状態に維持される。クロック（６）において、第２ＧＩＰは、第４ステージからゲート線ＧＬ６に走査信号を伝送する。結果として、ゲート線ＧＬ６と電氣的に接続されている緑色副画素Ｇおよび青色副画素Ｂに走査信号が供給される。第４ステージ以外のステージからゲート線ＧＬに走査信号は伝送されない。なお、第２ＧＩＰは、クロック（６）とクロック（７）との間の時刻に、第４ステージからゲート線ＧＬ８に走査信号を伝送し得る。

20

【００６２】

クロック（７）において、第２ＧＩＰに含まれる第４ステージがオン状態からホールド状態に遷移される。一方、クロック（７）において、第２ＧＩＰに含まれる第１２ステージがホールド状態からオン状態に遷移される。第２ＧＩＰに含まれる第４ステージおよび第１２ステージ以外のステージならびに第１ＧＩＰに含まれるすべてのステージは、クロック（６）における状態と同じ状態に維持される。クロック（７）において、第２ＧＩＰは、第６ステージからゲート線ＧＬ１０に走査信号を伝送する。結果として、ゲート線ＧＬ１０と電氣的に接続されている緑色副画素Ｇおよび青色副画素Ｂに走査信号が供給される。第６ステージ以外のステージからゲート線ＧＬに走査信号は伝送されない。なお、第２ＧＩＰは、クロック（７）とクロック（８）との間の時刻に、第６ステージからゲート線ＧＬ１２に走査信号を伝送し得る。

30

【００６３】

クロック（８）において、第２ＧＩＰに含まれる第６ステージがオン状態からホールド状態に遷移される。一方、クロック（８）において、第２ＧＩＰに含まれる第１４ステージがホールド状態からオン状態に遷移される。第２ＧＩＰに含まれる第６ステージおよび第１４ステージ以外のステージならびに第１ＧＩＰに含まれるすべてのステージは、クロック（７）における状態と同じ状態に維持される。クロック（８）において、第２ＧＩＰは、第８ステージからゲート線ＧＬ１４に走査信号を伝送する。結果として、ゲート線ＧＬ１４と電氣的に接続されている緑色副画素Ｇおよび青色副画素Ｂに走査信号が供給される。第８ステージ以外のステージからゲート線ＧＬに走査信号は伝送されない。なお、第２ＧＩＰは、クロック（８）とクロック（９）との間の時刻に、第８ステージからゲート線ＧＬ１６に走査信号を伝送し得る。

40

【００６４】

クロック（９）において、第２ＧＩＰに含まれる第８ステージがオン状態からホールド状態に遷移される。一方、クロック（９）において、第２ＧＩＰに含まれる第１６ステージがホールド状態からオン状態に遷移される。第２ＧＩＰに含まれる第８ステージおよび第１６ステージ以外のステージならびに第１ＧＩＰに含まれるすべてのステージは、クロック（８）における状態と同じ状態に維持される。クロック（９）において、第２ＧＩＰは、第１０ステージからゲート線ＧＬ１８に走査信号を伝送する。結果として、ゲート線ＧＬ１８と電氣的に接続されている緑色副画素Ｇおよび青色副画素Ｂに走査信号が供給さ

50

れる。第 10 ステージ以外のステージからゲート線 G L に走査信号は伝送されない。なお、第 2 G I P は、クロック (9) の後の時刻に、第 10 ステージからゲート線 G L 20 に走査信号を伝送し得る。

【 0 0 6 5 】

図 11 は、第 1 G I P および第 2 G I P に含まれる各ステージのオン状態とホールド状態との間の遷移に関して、図 10 に示された例とは別の一例を示す表である。図 10 と同一の構成についてはその記載は省略されることがある。

【 0 0 6 6 】

図 11 に示される例では、偶数番目のゲート線を介して所定の数の走査信号が連続して伝送された後に、奇数番目のゲート線を介して所定の数の走査信号が連続して伝送される。例えば、図 3 に示される副画素の配列によれば、最初に、第 2 G I P が、偶数番目のゲート線を介して表示パネル 100 の各行に配された緑色副画素 G および青色副画素 B に、走査信号を所定の行数にわたり連続して供給する。次いで、第 1 G I P が、奇数番目のゲート線を介して表示パネル 100 の各行に配された赤色副画素 R および白色副画素 W に、走査信号を所定の行数に渡り連続して供給する。

【 0 0 6 7 】

具体的には、クロック (1) において、第 1 G I P に含まれる第 1 ステージ、第 3 ステージ、第 5 ステージ、第 7 ステージおよび第 2 G I P に含まれる第 2 ステージ、第 4 ステージ、第 6 ステージ、第 8 ステージがオン状態である。一方、第 1 G I P に含まれる第 9 ステージ、第 11 ステージ、第 13 ステージ、第 15 ステージおよび第 2 G I P に含まれる第 10 ステージ、第 12 ステージ、第 14 ステージ、第 16 ステージがホールド状態である。クロック (1) において、例えば、第 2 G I P は、第 4 ステージからゲート線 G L 6 に走査信号を伝送する。結果として、ゲート線 G L 6 と電氣的に接続されている緑色副画素 G および青色副画素 B に走査信号が供給される。第 4 ステージ以外のステージからゲート線 G L に走査信号は伝送されない。なお、第 2 G I P は、クロック (1) とクロック (2) との間の時刻に、第 4 ステージからゲート線 G L 8 に走査信号を伝送し得る。

【 0 0 6 8 】

クロック (2) において、第 2 G I P に含まれる第 2 ステージがオン状態からホールド状態に遷移される。一方、クロック (2) において、第 2 G I P に含まれる第 10 ステージがホールド状態からオン状態に遷移される。第 2 G I P に含まれる第 2 ステージおよび第 10 ステージ以外のステージならびに第 1 G I P に含まれるすべてのステージは、クロック (1) における状態と同じ状態に維持される。クロック (2) において、第 2 G I P は、第 6 ステージからゲート線 G L 10 に走査信号を伝送する。結果として、ゲート線 G L 10 と電氣的に接続されている緑色副画素 G および青色副画素 B に走査信号が供給される。第 6 ステージ以外のステージからゲート線 G L に走査信号は伝送されない。なお、第 2 G I P は、クロック (2) とクロック (3) との間の時刻に、第 6 ステージからゲート線 G L 12 に走査信号を伝送し得る。

【 0 0 6 9 】

クロック (3) において、第 2 G I P に含まれる第 4 ステージがオン状態からホールド状態に遷移される。一方、クロック (3) において、第 2 G I P に含まれる第 12 ステージがホールド状態からオン状態に遷移される。第 2 G I P に含まれる第 4 ステージおよび第 12 ステージ以外のステージならびに第 1 G I P に含まれるすべてのステージは、クロック (2) における状態と同じ状態に維持される。クロック (3) において、第 2 G I P は、第 8 ステージからゲート線 G L 14 に走査信号を伝送する。結果として、ゲート線 G L 14 と電氣的に接続されている緑色副画素 G および青色副画素 B に走査信号が供給される。第 8 ステージ以外のステージからゲート線 G L に走査信号は伝送されない。なお、第 2 G I P は、クロック (3) とクロック (4) との間の時刻に、第 8 ステージからゲート線 G L 16 に走査信号を伝送し得る。

【 0 0 7 0 】

クロック (4) において、第 2 G I P に含まれる第 6 ステージがオン状態からホールド

10

20

30

40

50

状態に遷移される。一方、クロック（４）において、第２ＧＩＰに含まれる第１４ステージがホールド状態からオン状態に遷移される。第２ＧＩＰに含まれる第６ステージおよび第１４ステージ以外のステージならびに第１ＧＩＰに含まれるすべてのステージは、クロック（３）における状態と同じ状態に維持される。クロック（４）において、第２ＧＩＰは、第１０ステージからゲート線ＧＬ１８に走査信号を送信する。結果として、ゲート線ＧＬ１８と電氣的に接続されている緑色副画素Ｇおよび青色副画素Ｂに走査信号が供給される。第１０ステージ以外のステージからゲート線ＧＬに走査信号は伝送されない。なお、第２ＧＩＰは、クロック（４）とクロック（５）との間の時刻に、第１０ステージからゲート線ＧＬ２０に走査信号を送信し得る。

【００７１】

10

クロック（５）において、第２ＧＩＰに含まれる第８ステージがオン状態からホールド状態に遷移される。一方、クロック（５）において、第２ＧＩＰに含まれる第１６ステージがホールド状態からオン状態に遷移される。第２ＧＩＰに含まれる第８ステージおよび第１６ステージ以外のステージならびに第１ＧＩＰに含まれるすべてのステージは、クロック（４）における状態と同じ状態に維持される。クロック（５）において、第２ＧＩＰは、第１２ステージからゲート線ＧＬ２２に走査信号を送信する。結果として、ゲート線ＧＬ２２と電氣的に接続されている緑色副画素Ｇおよび青色副画素Ｂに走査信号が供給される。第１２ステージ以外のステージからゲート線ＧＬに走査信号は伝送されない。なお、第２ＧＩＰは、クロック（５）とクロック（６）との間の時刻に、第１２ステージからゲート線ＧＬ２４に走査信号を送信し得る。

20

【００７２】

クロック（６）において、第１ＧＩＰに含まれる第１ステージがオン状態からホールド状態に遷移される。一方、クロック（６）において、第１ＧＩＰに含まれる第９ステージがホールド状態からオン状態に遷移される。第１ＧＩＰに含まれる第１ステージおよび第９ステージ以外のステージならびに第２ＧＩＰに含まれるすべてのステージは、クロック（５）における状態と同じ状態に維持される。クロック（６）において、第１ＧＩＰは、第３ステージからゲート線ＧＬ５に走査信号を送信する。結果として、ゲート線ＧＬ５と電氣的に接続されている赤色副画素Ｒおよび白色副画素Ｗに走査信号が供給される。第３ステージ以外のステージからゲート線ＧＬに走査信号は伝送されない。なお、第１ＧＩＰは、クロック（６）とクロック（７）との間の時刻に、第３ステージからゲート線ＧＬ７に走査信号を送信し得る。

30

【００７３】

クロック（７）において、第１ＧＩＰに含まれる第３ステージがオン状態からホールド状態に遷移される。一方、クロック（７）において、第１ＧＩＰに含まれる第１１ステージがホールド状態からオン状態に遷移される。第１ＧＩＰに含まれる第３ステージおよび第１１ステージ以外のステージならびに第２ＧＩＰに含まれるすべてのステージは、クロック（６）における状態と同じ状態に維持される。クロック（７）において、第１ＧＩＰは、第５ステージからゲート線ＧＬ９に走査信号を送信する。結果として、ゲート線ＧＬ９と電氣的に接続されている赤色副画素Ｒおよび白色副画素Ｗに走査信号が供給される。第５ステージ以外のステージからゲート線ＧＬに走査信号は伝送されない。なお、第１ＧＩＰは、クロック（７）とクロック（８）との間の時刻に、第５ステージからゲート線ＧＬ１１に走査信号を送信し得る。

40

【００７４】

クロック（８）において、第１ＧＩＰに含まれる第５ステージがオン状態からホールド状態に遷移される。一方、クロック（８）において、第１ＧＩＰに含まれる第１３ステージがホールド状態からオン状態に遷移される。第１ＧＩＰに含まれる第５ステージおよび第１３ステージ以外のステージならびに第２ＧＩＰに含まれるすべてのステージは、クロック（７）における状態と同じ状態に維持される。クロック（８）において、第１ＧＩＰは、第７ステージからゲート線ＧＬ１３に走査信号を送信する。結果として、ゲート線ＧＬ１３と電氣的に接続されている赤色副画素Ｒおよび白色副画素Ｗに走査信号が供給され

50

る。第 7 ステージ以外のステージからゲート線 G L に走査信号は伝送されない。なお、第 1 G I P は、クロック (8) とクロック (9) との間の時刻に、第 7 ステージからゲート線 G L 1 5 に走査信号を伝送し得る。

【 0 0 7 5 】

クロック (9) において、第 1 G I P に含まれる第 7 ステージがオン状態からホールド状態に遷移される。一方、クロック (9) において、第 2 G I P に含まれる第 1 5 ステージがホールド状態からオン状態に遷移される。第 1 G I P に含まれる第 7 ステージおよび第 1 5 ステージ以外のステージならびに第 2 G I P に含まれるすべてのステージは、クロック (8) における状態と同じ状態に維持される。クロック (9) において、第 1 G I P は、第 9 ステージからゲート線 G L 1 7 に走査信号を伝送する。結果として、ゲート線 G L 1 7 と電氣的に接続されている赤色副画素 R および白色副画素 W に走査信号が供給される。第 9 ステージ以外のステージからゲート線 G L に走査信号は伝送されない。なお、第 1 G I P は、クロック (9) の後の時刻に、第 9 ステージからゲート線 G L 1 9 に走査信号を伝送し得る。

10

【 0 0 7 6 】

本実施形態によるゲート駆動部は第 1 G I P として動作する第 1 シフトレジスタ 2 2 1 , 2 2 2 および第 2 G I P として動作する第 2 シフトレジスタ 2 3 1 , 2 3 2 を含む。第 1 G I P は、奇数番目のゲート線と接続される。一方、第 2 G I P は、偶数番目のゲート線と接続される。第 1 G I P が走査信号を奇数番目のゲート信号に伝送する期間において、第 1 G I P に含まれる複数のステージはオン状態とホールド状態との間で遷移され得る。具体的には、第 1 G I P が走査信号を奇数番目のゲート信号に伝送する期間において、あるステージをオン状態からホールド状態に遷移させるとともに別のステージをホールド状態からオン状態に遷移させる。一方、第 1 G I P が走査信号を奇数番目のゲート信号に伝送する期間において、第 2 G I P に含まれるすべてのステージの状態は変更されない。同様に、第 2 G I P が走査信号を偶数番目のゲート信号に伝送する期間において、第 2 G I P に含まれる複数のステージはオン状態とホールド状態との間で遷移され得る。具体的には、第 2 G I P が走査信号を偶数番目のゲート信号に伝送する期間において、あるステージをオン状態からホールド状態に遷移させるとともに別のステージをホールド状態からオン状態に遷移させる。一方、第 2 G I P が走査信号を偶数番目のゲート信号に伝送する期間において、第 1 G I P に含まれるすべてのステージの状態は変更されない。即ち、第 1 G I P は、第 2 G I P から独立して駆動される。同様に、第 2 G I P は、第 1 G I P から独立して駆動される。本実施形態によるゲート駆動部 2 0 0 は、第 1 G I P を第 2 G I P から独立に駆動することにより、奇数番目のゲート線に、任意の画素の行数にわたり連続して走査信号を伝送することができる。即ち、ゲート駆動部 2 0 0 は、同じ色を発光する複数の副画素の第 1 スイッチ素子 T 1 に、任意の行数にわたり連続してゲート信号を供給することができる。本実施形態によるゲート駆動部 2 0 0 は、同じ色を発光する複数の副画素に任意の行数にわたり連続してゲート信号を供給するためにオン状態のステージの数を増加させる必要がない。したがって、オン状態のステージの数を増加させるために入力クロック数を上昇させる必要がない。よって、本実施形態による表示装置 1 0 は、消費電力を増大させることなく、同じ色を発光する副画素に、所定の行数にわたり連続して書き込みを行うことができる。

20

30

40

【 0 0 7 7 】

図 1 2 は、本実施形態に係るデータ駆動部 3 0 0 の概略構成を示すブロック図である。データ駆動部 3 0 0 は、データ選択部 3 1 0 およびデータ変換部 3 2 0 を含む。データ選択部 3 1 0 は、行メモリ部 5 2 0 から画像データ R ' G ' B ' W ' を受信し、スケジューラ 5 6 0 からレジスタ選択信号 R S S を受信する。レジスタ選択信号 R S S は、入力レジスタ選択信号 I R S S 、入力有効化信号 V A L I D および出力レジスタ選択信号 O R S S を含む。入力レジスタ選択信号 I R S S は、画像データ R ' G ' B ' W ' が格納されるべきレジスタを指定する。出力レジスタ選択信号 O R S S は、出力されるべき画像データ R ' G ' B ' W ' が格納されているレジスタを指定する。入力有効化信号 V A L I D は、入力レジスタ選択信号

50

IRSSを有効化または無効化する。データ選択部310は複数のレジスタを有し、行メモリ部520から受信した画像データR'G'B'W'を、スケジューラ560から受信したレジスタ選択信号IRSSおよび入力有効化信号VALIDにしたがって格納する。具体的には、データ選択部310は、入力有効化信号VALIDがハイレベルの場合に、レジスタ選択信号IRSSを有効にし、レジスタ選択信号IRSSで指定されたレジスタに画像データR'G'B'W'を格納する。また、データ選択部310は、出力レジスタ選択信号ORSSで指定されたレジスタに格納された画像データR'G'B'W'をデータ変換部320に伝送する。データ変換部320は、データ制御信号DSCを用いて画像データR'G'B'W'をアナログのデータ電圧DATAに変換し、データ線DL1~GLmを介して各画素に伝送する。

10

【0078】

図13は、本実施形態に係る類似度判定部550の概略構成を示すブロック図である。類似度判定部550は、第1差分算出部551、第2差分算出部552、第1積算部553、第2積算部554、第1閾値判定部557、第2閾値判定部558およびリセット判定部559を含む。

【0079】

第1差分算出部551は、奇数列に配された副画素Pに係る第x行の画像データRGBW__O(x)を行メモリ部520から受信する。受信された画像データRGBW__O(x)は、例えば第x行に配された緑色副画素Gおよび白色副画素Wに書き込まれる画像データのRGBW値である。また、第1差分算出部551は、行メモリ部520から奇数列に配された副画素Pに係る第x-1行の画像データRGBW__O(x-1)を受信する。受信された画像データRGBW__O(x-1)は、画像データRGBW__O(x)の1行前の画像データであり、例えば第x-1行に配された緑色副画素Gおよび白色副画素Wに書き込まれる画像データのRGBW値である。第1差分算出部551は、受信した第x行の画像データRGBW__O(x)と第x-1行の画像データRGBW__O(x-1)との間の差分Diff__Oを計算し、計算の結果を第1積算部553に伝送する。

20

【0080】

第1積算部553は、各奇数列における第x行のRGBW値と第x-1行のRGBW値との間の差分Diff__Oのデータを第1差分算出部551から受信する。第1積算部553は、第1差分算出部551から受信した各奇数列の画像データの差分Diff__Oを積算する。例えば表示パネル100に含まれる奇数列の副画素の列数がmである場合、第1積算部553は、第x行のRGBW値と第x-1行のRGBW値との間の差分Diff__Oについて、奇数列の数に対応した(m-1)個の差分値を第1差分算出部551から受信する。第1積算部553は、第1差分算出部551から受信した各列間についての(m-1)個の差分Diff__Oを積算する。第1積算部553は、差分Diff__Oを積算した値Sum__Oを第1閾値判定部557に伝送する。なお、奇数列の画像データの差分Diff__Oの個数が1である場合、第1積算部553は省略され得る。

30

【0081】

第1閾値判定部557は、第1積算部553から奇数列に係る第x行のRGBW値と奇数列に係る第x-1行のRGBW値との間の差分Diff__Oの積算値Sum__Oを受信する。第1閾値判定部557は、受信された積算値Sum__Oを所定の閾値と比較する。第1閾値判定部557は、受信された積算値Sum__Oが所定の閾値未満であると判断した場合に、奇数列に係る第x行の画像データは奇数列に係る第x-1行の画像データと類似していると判定する。一方、第1閾値判定部557は、受信した積算値Sum__Oが所定の閾値以上であると判断した場合に、奇数列に係る第x行の画像データは奇数列に係る第x-1行の画像データと類似していないと判定する。第1閾値判定部557は、判定の結果である信号RES__O(x)をスケジューラ560に伝送する。例えば、第1閾値判定部557は、奇数列に係る第x行の画像データが奇数列に係る第x-1行の画像データと類似していると判定した場合に信号RES__O(x)として1を出力する。一方、第1閾値判定部557は、奇数列に係る第x行の画像データが奇数列に係る第x-1行の画像

40

50

データと類似していないと判定した場合に信号 $RES_O(x)$ として 0 を出力する。

【0082】

第2差分算出部552は、偶数列に配された副画素Pに係る第x行の画像データRGBW_E(x)を行メモリ部520から受信する。受信された画像データRGBW_E(x)は、例えば第x行に配された赤色副画素Rおよび青色副画素Bに書き込まれる画像データのRGBW値である。また、第2差分算出部552は、行メモリ部520から偶数列に配された副画素Pに係る第x-1行の画像データRGBW_E(x-1)を受信する。受信された画像データRGBW_E(x-1)は、画像データRGBW_E(x)の1行前の画像データであり、例えば第x-1行に配された赤色副画素Rおよび青色副画素Bに書き込まれる画像データのRGBW値である。第2差分算出部552は、受信した第x行の画像データRGBW_E(x)と第x-1行の画像データRGBW_E(x-1)との間の差分Diff_Eを計算し、計算の結果を第2積算部554に伝送する。

10

【0083】

第2積算部554は、各偶数列における第x行のRGBW値と第x-1行のRGBW値との間の差分Diff_Eのデータを第2差分算出部552から受信する。第2積算部554は、第2差分算出部552から受信した各偶数列の画像データの差分Diff_Eを積算する。例えば表示パネル100に含まれる偶数列の副画素の列数がmである場合、第2積算部554は、第x行のRGBW値と第x-1行のRGBW値との間の差分Diff_Eについて、偶数列の数に対応した(m-1)個の差分値を第2差分算出部552から受信する。第2積算部554は、第2差分算出部552から受信した各列間についての(m-1)個の差分Diff_Eを積算する。第2積算部554は、差分Diff_Eを積算した値Sum_Eを第2閾値判定部558に伝送する。なお、偶数列の画像データの差分Diff_Eの個数が1である場合、第2積算部554は省略され得る。

20

【0084】

第2閾値判定部558は、第2積算部554から偶数列に係る第x行のRGBW値と偶数列に係る第x-1行のRGBW値との間の差分Diff_Eの積算値Sum_Eを受信する。第2閾値判定部558は、受信された積算値Sum_Eを所定の閾値と比較する。第2閾値判定部558は、受信された積算値Sum_Eが所定の閾値未満であると判断した場合に、偶数列に係る第x行の画像データは偶数列に係る第x-1行の画像データと類似していると判定する。一方、第2閾値判定部558は、受信した積算値Sum_Eが所定の閾値以上であると判断した場合に、偶数列に係る第x行の画像データは偶数列に係る第x-1行の画像データと類似していないと判定する。第2閾値判定部558は、判定の結果である信号RES_E(x)をスケジューラ560に伝送する。例えば、第2閾値判定部558は、偶数列に係る第x行の画像データが偶数列に係る第x-1行の画像データと類似していると判定した場合に信号RES_E(x)として1を出力する。一方、第1閾値判定部557は、偶数列に係る第x行の画像データが偶数列に係る第x-1行の画像データと類似していないと判定した場合に信号RES_E(x)として0を出力する。

30

【0085】

リセット判定部559は、水平同期信号Hsyncに基づいてリセット信号を生成する。具体的には、リセット判定部559は、水平同期信号Hsyncがハイレベルからローレベルに遷移するタイミングでリセット信号RSTを第1積算部553および第2積算部554に伝送する。第1積算部553および第2積算部554は、受信したリセット信号RSTに応じて画像データの差分の積算値をリセットして0に戻す。また、リセット判定部559は、水平同期信号Hsyncがハイレベルからローレベルに遷移するタイミングで第1閾値判定部557および第2閾値判定部558にイネーブル信号RES_Enableを伝送する。第1閾値判定部557および第2閾値判定部558は、受信したイネーブル信号RES_Enableに応じて閾値判定の結果である信号RES_O(x)およびRES_E(x)をスケジューラ560に伝送する。

40

【0086】

図14は、本実施形態に係るスケジューラ560の概略構成を示すブロック図である。

50

スケジューラ 560 は、バッファ 561、走査順序決定部 562、ゲート線決定部 563、レジスタ 564 および選択信号決定部 565 を含む。

【0087】

バッファ 561 は、類似度判定部 550 から閾値判定の結果である信号 $RES_O(x)$ および $RES_E(x)$ を受信する。バッファ 561 は、受信した信号 $RES_O(x)$ および $RES_E(x)$ を走査順序決定部 562 に伝送する。例えば、バッファ 561 は、信号 RES_O および RES_E を任意の行数までバッファに格納し、当該行数分の信号 RES_O および RES_E を走査順序決定部 562 に伝送する。

【0088】

走査順序決定部 562 は、任意の行数分の閾値判定の結果である信号 RES をバッファ 561 から受信する。走査順序決定部 562 は、受信した信号 RES に基づき、奇数列の副画素の列または偶数列の副画素の列に対して連続して走査する行数を決定する。走査順序決定部 562 は、連続して走査する行数を示す信号 C_Num をゲート線決定部 563、レジスタ 564 および選択信号決定部 565 に伝送する。

10

【0089】

ゲート線決定部 563 は、連続して走査する行数を示す信号 C_Num を走査順序決定部 562 から受信する。ゲート線決定部 563 は、信号 C_Num に基づいてゲート信号が印加されるゲート線の順序を決定する。ゲート線決定部 563 は、ゲート線指定信号 GL_Num を信号変調部 510 に伝送する。信号変調部 510 は、ゲート線指定信号 GL_Num に基づき変調されたデータインーブル信号 tDE を生成し、行メモリ部 520 は、信号変調部 510 から受信した変調されたデータインーブル信号 tDE に基づいて画像データ $RGBW$ を整列させる。

20

【0090】

レジスタ 564 は、連続して走査する行数を示す信号 C_Num を走査順序決定部 562 から受信および格納する。レジスタ 564 に格納された信号 C_Num は、走査順序決定部 562 が次の任意の行数分について連続して走査する行数を決定する際に呼び出される。走査順序決定部 562 は、レジスタ 564 から受信した信号 C_Num を用いて、奇数列の副画素の列または偶数列の副画素の列に対して連続して走査する行数を決定する。例えば、走査順序決定部 562 は、任意の行数分について直前に決定した出力した信号 $C_Num(x-1)$ に基づき、連続して走査する行数を示す信号 $C_Num(x)$ を決定する。具体的は、連続して走査する行数に上限が定められている場合に、ゲート線決定部 563 は信号 $C_Num(x)$ を信号 $C_Num(x-1)$ に応じて修正する。また、例えば奇数列の副画素について信号 $C_Num(x-1)$ と信号 $C_Num(x)$ との間に連続した類似性が認められる場合に、ゲート線決定部 563 は、奇数列の副画素について対応する行を連続して走査するように決定する。

30

【0091】

選択信号決定部 565 は、連続して走査する行数を示す信号 C_Num を走査順序決定部 562 から受信する。選択信号決定部 565 は、信号 C_Num に基づき、入力レジスタ選択信号 $IRSS$ 、出力レジスタ選択信号 $ORSS$ および入力有効化信号 $VALID$ を生成する。入力レジスタ選択信号 $IRSS$ は、データ駆動部 300 に含まれるデータ選択部 310 において画像データ $R'G'B'W'$ が格納されるべきレジスタを指定する。出力レジスタ選択信号 $ORSS$ は、データ選択部 310 から出力されるべき画像データ $R'G'B'W'$ が格納されているレジスタを指定する。入力有効化信号 $VALID$ は、入力レジスタ選択信号 $IRSS$ を有効化または無効化する。選択信号決定部 565 は、生成された入力レジスタ選択信号 $IRSS$ 、出力レジスタ選択信号 $ORSS$ および入力有効化信号 $VALID$ をデータ選択部 310 に伝送する。

40

【0092】

図 15 は、本実施形態に係るデータ選択部 310 の概略構成を示すブロック図である。データ選択部 310 は、データ分割部 311-1 ~ 311-m、第 1 レジスタ 312-1 ~ 312-m、第 2 レジスタ 313-1 ~ 313-m および選択部 314-1 ~ 314-

50

mを含む。

【0093】

データ分割部311-1~311-mは、タイミング制御部500に含まれる行メモリ部520から画像データR'G'B'W'を受信する。また、データ分割部311-1~311-mは、スケジューラ560に含まれる選択信号決定部565から入力レジスタ選択信号IRSSおよび入力有効化信号VALIDを受信する。データ分割部311-1~311-mは、受信された入力レジスタ選択信号IRSSに基づき、受信された画像データR'G'B'W'を分割する。次いでデータ分割部311-1~311-mは、受信された入力レジスタ選択信号IRSSおよび入力有効化信号VALIDに基づき分割された画像データR'G'B'W'を第1レジスタ312-1~312-mまたは第2レジスタ313-1~313-mに伝送する。 10

【0094】

入力レジスタ選択信号IRSSが第1レジスタ312-1~312-mを指定しており且つ入力有効化信号VALIDが入力レジスタ選択信号IRSSを有効化している場合に、第1レジスタ312-1~312-mは、データ分割部311-1~311-mから受信した分割された画像データR'G'B'W'を格納する。即ち、第1レジスタ312-1~312-mは、画像データを記憶する記憶部として機能する。一方、入力レジスタ選択信号IRSSが第1レジスタ312-1~312-mを指定しているが入力有効化信号VALIDが入力レジスタ選択信号IRSSを無効化している場合に、第1レジスタ312-1~312-mは、データ分割部311-1~311-mから受信した分割された画像データR'G'B'W'を格納しない。 20

【0095】

入力レジスタ選択信号IRSSが第2レジスタ313-1~313-mを指定しており且つ入力有効化信号VALIDが入力レジスタ選択信号IRSSを有効化している場合に、第2レジスタ313-1~313-mは、データ分割部311-1~311-mから受信した分割された画像データR'G'B'W'を格納する。即ち、第2レジスタ313-1~313-mは、画像データを記憶する記憶部として機能する。一方、入力レジスタ選択信号IRSSが第2レジスタ313-1~313-mを指定しているが入力有効化信号VALIDが入力レジスタ選択信号IRSSを無効化している場合に、第2レジスタ313-1~313-mは、データ分割部311-1~311-mから受信した分割された画像データR'G'B'W'を格納しない。 30

【0096】

選択部314-1~314-mは、スケジューラ560に含まれる選択信号決定部565から出力レジスタ選択信号ORSSを受信する。選択部314-1~314-mは、出力レジスタ選択信号ORSSが指定する第1レジスタ312-1~312-mまたは第2レジスタ313-1~313-mに格納されている分割された画像データR'G'B'W'(1~m)をデータ変換部320に伝送する。データ変換部320は、データ制御信号DSCを用いて受信された画像データR'G'B'W'をアナログのデータ電圧DATAに変換し、データ線DL1~GLmを介して各画素に伝送する。

【0097】

図16および図17を参照して、スケジューラ560への入力信号に応じたデータ選択部310の動作の一例を説明する。図16は、本実施形態に係るスケジューラ560への入力の例を示す表である。図17は、本実施形態に係るデータ選択部310へ入力される信号の例を示す表である。

【0098】

図16は、第x-7行から第x行までについて、類似度判定部550からスケジューラ560へ入力される信号RES__OおよびRES__Eの値の一例を示している。図16に示されるように、本例では、奇数列についての類似度判定部550の出力信号RES__Oは、第x-7行に対して0を示している。即ち、類似度判定部550は、第x-7行についての奇数列の画像データは、1つ前の行の奇数列の画像データと類似しないと判定して

40

50

いる。また、奇数列についての類似度判定部 550 の出力信号 RES__O は、第 $x-6$ 行から第 x 行に対して 1 を示している。即ち、類似度判定部 550 は、第 $x-6$ 行から第 x 行までについての奇数列の画像データは、それぞれ 1 つ前の行の奇数列の画像データと類似すると判定している。一方、偶数列についての類似度判定部 550 の出力信号 RES__E はすべて 0 を示している。即ち、類似度判定部 550 は、第 $x-7$ 行から第 x 行までについての偶数列の画像データは、それぞれ 1 つ前の行の偶数列の画像データと類似しないと判定している。

【0099】

図 17 は、走査番号 1 ~ 16 においてデータ選択部 310 へ伝送される入力レジスタ選択信号 IRSS、入力有効化信号 VALID、出力レジスタ選択信号 ORSS の一例を示している。本例において、第 $x-6$ 行から第 x 行までについての奇数列の画像データ（信号）はそれぞれ 1 行上に位置する奇数列の画像データと類似している。よって、走査番号 1 ~ 8 において、第 $x-7$ 行から第 x 行までについての奇数列の整列された画像データ R' G' B' W' が入力データ 1 ~ 8 として先に行メモリ部 520 からデータ選択部 310 へ入力される。次いで、走査番号 9 ~ 16 において、第 $x-7$ 行から第 x 行までについての偶数列の整列された画像データ R' G' B' W' が入力データ 9 ~ 16 として行メモリ部 520 からデータ選択部 310 へ入力される。

【0100】

スケジューラ 560 は、受信された信号 RES__O に基づき、奇数列の入力データ 1 ~ 8 が格納されるレジスタを指定するための入力レジスタ選択信号 IRSS を生成する。スケジューラ 560 は、入力データ 1 ~ 8 を格納すべきレジスタとして第 1 レジスタ 312 - 1 ~ 312 - m を指定する入力レジスタ選択信号 IRSS をデータ選択部 310 へ伝送する。また、スケジューラ 560 は、受信された信号 RES__E に基づき、偶数列の入力データ 9 ~ 16 が格納されるレジスタを指定するための入力レジスタ選択信号 IRSS を生成する。スケジューラ 560 は、入力データ 9 ~ 16 を格納すべきレジスタとして第 2 レジスタ 313 - 1 ~ 313 - m を指定する入力レジスタ選択信号 IRSS をデータ選択部 310 へ伝送する。

【0101】

スケジューラ 560 は、奇数列に対応する入力データ 1 に対する入力有効化信号 VALID として 1 をデータ選択部 310 に伝送し、入力データ 1 を第 1 レジスタ 312 - 1 ~ 312 - m へ格納することを指定する入力レジスタ選択信号 IRSS を有効化する。ここで、スケジューラ 560 は、受信された信号 RES__O に基づき、入力データ 1 ~ 8 が類似する画像データであると判断している。よって、スケジューラ 560 は、入力データ 2 ~ 8 に対する入力有効化信号 VALID として 0 をデータ選択部 310 に伝送し、入力データ 2 ~ 8 を第 1 レジスタ 312 - 1 ~ 312 - m へ格納することを指定する入力レジスタ選択信号 IRSS を無効化する。結果として、第 1 レジスタ 312 - 1 ~ 312 - m は更新されず、入力データ 1 が保持される。本構成により、第 1 レジスタ 312 - 1 ~ 312 - m に格納されるデータを更新するために必要な電力の消費が抑制される。なお、本例の場合には、タイミング制御部 500 は、走査番号 2 ~ 8 において入力レジスタ選択信号 IRSS をデータ駆動部 300 に伝送しないように構成され得る。

【0102】

次いで、スケジューラ 560 は、偶数列に対応する入力データ 9 に対する入力有効化信号 VALID として 1 をデータ選択部 310 に伝送し、入力データ 9 を第 2 レジスタ 313 - 1 ~ 313 - m へ格納することを指定する入力レジスタ選択信号 IRSS を有効化する。ここで、スケジューラ 560 は、受信された信号 RES__E に基づき、入力データ 9 ~ 16 が類似しない画像データであると判断している。即ち、第 2 レジスタ 313 - 1 ~ 313 - m に格納されている入力データ 9 を入力データ 10 ~ 16 として利用することはできない。よって、スケジューラ 560 は、入力データ 10 ~ 16 に対する入力有効化信号 VALID として 1 をデータ選択部 310 に伝送し、入力データ 10 ~ 16 を第 2 レジスタ 313 - 1 ~ 313 - m へ格納することを指定する入力レジスタ選択信号 IRSS を

有効化する。

【 0 1 0 3 】

スケジューラ 5 6 0 は、入力データ 1 ~ 1 6 を出力データ 1 ~ 1 6 としてデータ変換部 3 2 0 へ順次出力するために、出力レジスタ選択信号 O R S S をデータ選択部 3 1 0 へ伝送する。具体的には、スケジューラ 5 6 0 は、走査番号 1 ~ 8 に対しては第 1 レジスタ 3 1 2 - 1 ~ 3 1 2 - m を指定する出力レジスタ選択信号 O R S S をデータ選択部 3 1 0 へ伝送し、走査番号 9 ~ 1 6 に対しては第 2 レジスタ 3 1 3 - 1 ~ 3 1 3 - m を指定する出力レジスタ選択信号 O R S S をデータ選択部 3 1 0 へ伝送する。

【 0 1 0 4 】

D R D を用いた表示装置においては、互いに異なる色の副画素が 1 本のデータ線を共有する。したがって、走査される副画素の色を切り替えるたびに画像データの信号（電圧）の不連続性が発生し、結果として表示装置 1 0 の消費電力が増加する。D R D を用いた表示装置において消費電力を低減させるためには、同色の副画素を連続して走査し、出力される画像データの信号（電圧）が不連続となる頻度を低減させることが望ましい。しかし、同色の副画素を連続して走査する行数を大きくすると、同じ行に配された他の副画素に対する画像データの書き込みとの間に大きな時間差が生じる。この大きな時間差は、表示する画像の画質を低下させ得る。特に、複数の画素行が互いに類似しない領域を表示する際には、同じ行に配された複数の副画素に対する画像データの書き込みの間に大きな時間差が生じることにより画質の低下が生じ得る。一方で、複数の画素行が互いに類似する領域を表示する際には、同じ行に配された複数の副画素に対する画像データの書き込みの間に大きな時間差が生じて画質の低下が生じにくい。本発明は、表示パネルの各画素行の間の類似度を判定し、判定結果に基づき同色の副画素を連続して走査する。複数の画素行が互いに類似し、同じ行に配された複数の副画素に対する画像データの書き込みの間に大きな時間差が生じて画質の低下が生じにくい領域では同色の副画素を連続して走査する。よって、本発明によれば、D R D を用いた表示装置の表示画質の低下を抑制しながら消費電力を低減させることができる。

【 0 1 0 5 】

図 1 8 および図 1 9 を参照して、スケジューラ 5 6 0 への入力信号に応じたデータ選択部 3 1 0 の動作の別の一例を説明する。図 1 8 は、本実施形態に係るスケジューラ 5 6 0 への入力の例を示す表である。図 1 9 は、本実施形態に係るデータ選択部 3 1 0 へ入力される信号の例を示す表である。

【 0 1 0 6 】

図 1 8 は、第 $x - 15$ 行から第 $x - 8$ 行までについての類似度判定部 5 5 0 からスケジューラ 5 6 0 へ入力された信号 R E S _ O および R E S _ E の値の一例を示している。図 1 8 に示されるように、本例では、奇数列についての類似度判定部 5 5 0 の出力信号 R E S _ O はすべて 0 を示している。即ち、類似度判定部 5 5 0 は、第 $x - 15$ 行から第 $x - 8$ 行までについての奇数列の画像データは、それぞれ 1 つ前の行の奇数列の画像データと類似しないと判定している。同様に、偶数列についての類似度判定部 5 5 0 の出力信号 R E S _ E はすべて 0 を示している。即ち、類似度判定部 5 5 0 は、第 $x - 15$ 行から第 $x - 8$ 行までについての偶数列の画像データは、それぞれ 1 つ前の行の偶数列の画像データと類似しないと判定している。

【 0 1 0 7 】

図 1 9 は、走査番号 1 7 ~ 3 2 においてデータ選択部 3 1 0 へ伝送される入力レジスタ選択信号 I R S S、入力有効化信号 V A L I D、出力レジスタ選択信号 O R S S の一例を示している。本例において、第 $x - 15$ 行から第 $x - 8$ 行までについての奇数列の画像データは前後の行についての奇数列の画像データと類似していない。同様に、第 $x - 15$ 行から第 $x - 8$ 行までについての偶数列の画像データは前後の行についての偶数列の画像データと類似していない。よって、まず走査番号 1 7 において、第 $x - 15$ 行についての奇数列の整列された画像データ R ' G ' B ' W ' が入力データ 1 7 として行メモリ部 5 2 0 からデータ選択部 3 1 0 へ入力される。次いで、走査番号 1 8 ~ 1 9 において、第 $x - 15$ 行 ~

10

20

30

40

50

第 $x-14$ 行についての偶数列の整列された画像データ $R'G'B'W'$ が入力データ $18 \sim 19$ として行メモリ部 520 からデータ選択部 310 へ入力される。次いで、走査番号 $20 \sim 21$ において、第 $x-14$ 行～第 $x-13$ 行についての奇数列の整列された画像データ $R'G'B'W'$ が入力データ $20 \sim 21$ として行メモリ部 520 からデータ選択部 310 へ入力される。これ以下の走査においても、 2 行ごとに走査する列を切り替えながら、走査番号 $22 \sim 23$ 、 $26 \sim 27$ および $30 \sim 31$ において、第 $x-13$ 行から第 $x-8$ 行までについての偶数列の整列された画像データ $R'G'B'W'$ が入力データ $22 \sim 23$ 、 $26 \sim 27$ および $30 \sim 31$ として行メモリ部 520 からデータ選択部 310 へ入力される。同様に、走査番号 $24 \sim 25$ 、 $28 \sim 29$ および 32 において、第 $x-12$ 行から第 $x-8$ 行までについての奇数列の整列された画像データ $R'G'B'W'$ が入力データ $24 \sim 25$ 、 $28 \sim 29$ および 32 として行メモリ部 520 からデータ選択部 310 へ入力される。

【0108】

スケジューラ 560 は、受信された信号 RES_O に基づき、奇数列の入力データ 17 、 $20 \sim 21$ 、 $24 \sim 25$ 、 $28 \sim 29$ および 32 が格納されるレジスタを指定するための入力レジスタ選択信号 $IRSS$ を生成する。スケジューラ 560 は、入力データ 17 、 $20 \sim 21$ 、 $24 \sim 25$ 、 $28 \sim 29$ および 32 を格納すべきレジスタとして第 1 レジスタ $312-1 \sim 312-m$ を指定する入力レジスタ選択信号 $IRSS$ をデータ選択部 310 へ伝送する。また、スケジューラ 560 は、受信された信号 RES_E に基づき、偶数列の入力データ $18 \sim 19$ 、 $22 \sim 23$ 、 $26 \sim 27$ および $30 \sim 31$ が格納されるレジスタを指定するための入力レジスタ選択信号 $IRSS$ を生成する。スケジューラ 560 は、入力データ $18 \sim 19$ 、 $22 \sim 23$ 、 $26 \sim 27$ および $30 \sim 31$ を格納すべきレジスタとして第 2 レジスタ $313-1 \sim 313-m$ を指定する入力レジスタ選択信号 $IRSS$ をデータ選択部 310 へ伝送する。

20

【0109】

スケジューラ 560 は、奇数列に対応する入力データ 17 、 $20 \sim 21$ 、 $24 \sim 25$ 、 $28 \sim 29$ および 32 に対する入力有効化信号 $VALID$ として 1 をデータ選択部 310 に伝送し、入力データ 17 、 $20 \sim 21$ 、 $24 \sim 25$ 、 $28 \sim 29$ および 32 を第 1 レジスタ $312-1 \sim 312-m$ へ格納することを指定する入力レジスタ選択信号 $IRSS$ を有効化する。ここで、スケジューラ 560 は、受信された信号 RES_O に基づき、入力データ $1 \sim 8$ が類似しない画像データであると判断している。即ち、第 2 レジスタ $313-1 \sim 313-m$ に格納されている入力データ 17 を入力データ $20 \sim 21$ 、 $24 \sim 25$ 、 $28 \sim 29$ および 32 として利用することはできない。よって、スケジューラ 560 は、入力データ 17 、 $20 \sim 21$ 、 $24 \sim 25$ 、 $28 \sim 29$ および 32 に対する入力有効化信号 $VALID$ として 1 をデータ選択部 310 に伝送し、入力データ 17 、 $20 \sim 21$ 、 $24 \sim 25$ 、 $28 \sim 29$ および 32 を第 1 レジスタ $312-1 \sim 312-m$ へ格納することを指定する入力レジスタ選択信号 $IRSS$ を有効化する。

30

【0110】

同様に、スケジューラ 560 は、偶数列に対応する入力データ $18 \sim 19$ 、 $22 \sim 23$ 、 $26 \sim 27$ および $30 \sim 31$ に対する入力有効化信号 $VALID$ として 1 をデータ選択部 310 に伝送し、入力データ $18 \sim 19$ 、 $22 \sim 23$ 、 $26 \sim 27$ および $30 \sim 31$ を第 2 レジスタ $313-1 \sim 313-m$ へ格納することを指定する入力レジスタ選択信号 $IRSS$ を有効化する。ここで、スケジューラ 560 は、受信された信号 RES_E に基づき、入力データ $9 \sim 16$ が類似しない画像データであると判断している。即ち、第 2 レジスタ $313-1 \sim 313-m$ に格納されている入力データ 18 を入力データ 19 、 $22 \sim 23$ 、 $26 \sim 27$ および $30 \sim 31$ として利用することはできない。よって、スケジューラ 560 は、入力データ $18 \sim 19$ 、 $22 \sim 23$ 、 $26 \sim 27$ および $30 \sim 31$ に対する入力有効化信号 $VALID$ として 1 をデータ選択部 310 に伝送し、入力データ $18 \sim 19$ 、 $22 \sim 23$ 、 $26 \sim 27$ および $30 \sim 31$ を第 2 レジスタ $313-1 \sim 313-m$ へ格納することを指定する入力レジスタ選択信号 $IRSS$ を有効化する。

40

【0111】

50

スケジューラ 560 は、入力データ 17 ~ 32 を出力データ 17 ~ 32 としてデータ変換部 320 へ順次出力するために、出力レジスタ選択信号 ORSS をデータ選択部 310 へ伝送する。具体的には、スケジューラ 560 は、走査番号 17、20 ~ 21、24 ~ 25、28 ~ 29 および 32 に対しては第 1 レジスタ 312 - 1 ~ 312 - m を指定する出力レジスタ選択信号 ORSS をデータ選択部 310 へ伝送し、走査番号 18 ~ 19、22 ~ 23、26 ~ 27 および 30 ~ 31 に対しては第 2 レジスタ 313 - 1 ~ 313 - m を指定する出力レジスタ選択信号 ORSS をデータ選択部 310 へ伝送する。

【0112】

これにより、DRD を用いた表示装置の表示画質の低下を抑制させることができる。

【0113】

以下に、本実施形態に係る表示装置 10 に表示される画像に基づいて変更される副画素を走査する順序について説明する。図 20 は、本実施形態に係る表示装置 10 に表示される画像の一例である。表示装置 10 に含まれる表示パネル 100 は、複数の画素行 1301 ~ 1324 を表示している。類似度判定部 550 は、画素行 1301 ~ 1309、1313、1317 に含まれる奇数列および偶数列に配された副画素に書き込まれた画像データが、これらの画素行の 1 行上に位置する画素行に含まれる奇数列および偶数列に配された副画素に書き込まれた画像データに類似しないと判定している。一方、類似度判定部 550 は、画素行 1310 ~ 1312、1314 ~ 1316、1318 ~ 1324 に含まれる奇数列および偶数列に配された副画素に書き込まれた画素データが、これらの画素行の 1 行上に位置する画素行に含まれる奇数列および偶数列に配された副画素に書き込まれた画像データに類似すると判定している。

【0114】

図 21 は、本実施形態に係る表示装置の副画素が走査される順序を示す模式図である。図 21 には、図 20 に示された画素行 1301 ~ 1308 における 4 列の副画素が示されている。具体的には、図 21 は、データ線 DL1 を共有する緑色副画素 G1 ~ G8 および赤色副画素 R1 ~ R8 並びにデータ線 DL2 を共有する白色副画素 W1 ~ W8 および青色副画素 B1 ~ B8 を示している。画素行 1301 ~ 1308 の画像データ（画像信号）は奇数列および偶数列ともに類似しないと類似度判定部 550 によって判定されている。したがって、類似度判定部 550 からスケジューラ 560 へ入力される画素行 1301 ~ 1308 についての信号 RES_O および RES_E の値はすべて 0 となる。スケジューラ 560 は、受信された信号 RES_O および RES_E に基づいて入力レジスタ選択信号 IRSS、入力有効化信号 VALID および出力レジスタ選択信号 ORSS を生成する。スケジューラ 560 は、生成された入力レジスタ選択信号 IRSS、入力有効化信号 VALID および出力レジスタ選択信号 ORSS をデータ駆動部 300 に伝送する。データ駆動部 300 は、受信された出力レジスタ選択信号 ORSS によって指定された順序で緑色副画素 G1 ~ G8、赤色副画素 R1 ~ R8、白色副画素 W1 ~ W8 および青色副画素 B1 ~ B8 に対して画像データ（画像信号）を伝送する。

【0115】

図 21 に示されるように、画素行 1301 ~ 1308 において、以下に示す順序にて緑色副画素 G および赤色副画素 R が走査される。最初に緑色副画素 G1 が走査された後に、緑色副画素 G1 と同じ行においてデータ線 DL1 を共有し、緑色副画素 G の画素列とは異なる画素列に含まれる赤色副画素 R1 が走査される。その後に、赤色副画素 R1 の 1 行下に配された赤色副画素 R2 が走査される。その後に、赤色副画素 R2 と同じ行においてデータ線 DL1 を共有し、赤色副画素 R の画素列とは異なる画素列に含まれる緑色副画素 G2 が走査される。その後に、緑色副画素 G2 の 1 行下に配された緑色副画素 G3 が走査される。その後に、緑色副画素 G3 と同じ行においてデータ線 DL1 を共有し、緑色副画素 G の画素列とは異なる画素列に含まれる赤色副画素 R3 が走査される。その後に、赤色副画素 R3 の 1 行下に配された赤色副画素 R4 が走査される。その後に、赤色副画素 R4 と同じ行においてデータ線 DL1 を共有し、赤色副画素 R の画素列とは異なる画素列に含まれる緑色副画素 G4 が走査される。その後に、緑色副画素 G4 の 1 行下に配された緑色副

10

20

30

40

50

画素 G 5 が走査される。その後に、緑色副画素 G 5 と同じ行においてデータ線 D L 1 を共有し、緑色副画素 G の画素列とは異なる画素列に含まれる赤色副画素 R 5 が走査される。その後に、赤色副画素 R 5 の 1 行下に配された赤色副画素 R 6 が走査される。その後に、赤色副画素 R 6 と同じ行においてデータ線 D L 1 を共有し、赤色副画素 R の画素列とは異なる画素列に含まれる緑色副画素 G 6 が走査される。その後に、緑色副画素 G 6 の 1 行下に配された緑色副画素 G 7 が走査される。その後に、緑色副画素 G 7 と同じ行においてデータ線 D L 1 を共有し、緑色副画素 G の画素列とは異なる画素列に含まれる赤色副画素 R 7 が走査される。その後に、赤色副画素 R 7 の 1 行下に配された赤色副画素 R 8 が走査される。その後に、赤色副画素 R 8 と同じ行においてデータ線 D L 1 を共有し、赤色副画素 R の画素列とは異なる画素列に含まれる緑色副画素 G 8 が走査される。

10

【 0 1 1 6 】

また、図 2 1 に示されるように、画素行 1 3 0 1 ~ 1 3 0 8 において、以下に示す順序にて白色副画素 W および青色副画素 B が走査される。最初に青色副画素 B 1 が走査された後に、青色副画素 B 1 と同じ行においてデータ線 D L 2 を共有し、青色副画素 B の画素列とは異なる画素列に含まれる白色副画素 W 1 が走査される。その後に、白色副画素 W 1 の 1 行下に配された白色副画素 W 2 が走査される。その後に、白色副画素 W 2 と同じ行においてデータ線 D L 2 を共有し、白色副画素 W の画素列とは異なる画素列に含まれる青色副画素 B 2 が走査される。その後に、青色副画素 B 2 の 1 行下に配された青色副画素 B 3 が走査される。その後に、青色副画素 B 3 と同じ行においてデータ線 D L 2 を共有し、青色副画素 B の画素列とは異なる画素列に含まれる白色副画素 W 3 が走査される。その後に、白色副画素 W 3 の 1 行下に配された白色副画素 W 4 が走査される。その後に、白色副画素 W 4 と同じ行においてデータ線 D L 2 を共有し、白色副画素 W の画素列とは異なる画素列に含まれる青色副画素 B 4 が走査される。その後に、青色副画素 B 4 の 1 行下に配された青色副画素 B 5 が走査される。その後に、青色副画素 B 5 と同じ行においてデータ線 D L 2 を共有し、青色副画素 B の画素列とは異なる画素列に含まれる白色副画素 W 5 が走査される。その後に、白色副画素 W 5 の 1 行下に配された白色副画素 W 6 が走査される。その後に、白色副画素 W 6 と同じ行においてデータ線 D L 2 を共有し、白色副画素 W の画素列とは異なる画素列に含まれる青色副画素 B 6 が走査される。その後に、青色副画素 B 6 の 1 行下に配された青色副画素 B 7 が走査される。その後に、青色副画素 B 7 と同じ行においてデータ線 D L 2 を共有し、青色副画素 B の画素列とは異なる画素列に含まれる白色副画素 W 7 が走査される。その後に、白色副画素 W 7 の 1 行下に配された白色副画素 W 8 が走査される。その後に、白色副画素 W 8 と同じ行においてデータ線 D L 2 を共有し、白色副画素 W の画素列とは異なる画素列に含まれる青色副画素 B 8 が走査される。

20

30

【 0 1 1 7 】

本実施形態において、類似度判定部 5 5 0 は、画素行 1 3 0 1 から 1 3 0 8 までの画像データは類似していないと判定している。この判定に基づき、スケジューラ 5 6 0 は、各色の副画素を 2 行ずつ交互に走査するように入力レジスタ選択信号 I R S S、入力有効化信号 V A L I D および出力レジスタ選択信号 O R S S を生成し、生成された信号をデータ駆動部 3 0 0 に伝送する。データ駆動部 3 0 0 は、受信された出力レジスタ選択信号 O R S S によって指定された順序で緑色副画素 G 1 ~ G 8、赤色副画素 R 1 ~ R 8、白色副画素 W 1 ~ W 8 および青色副画素 B 1 ~ B 8 に対して画像データを書き込む。本実施形態では、画像データが互いに類似しない領域を構成する画素行 1 3 0 1 ~ 1 3 0 8 において、同色の副画素を連続して走査する行数を小さくして、同じ行に配された副画素に対する画像データの書き込みの時間差を小さくする。具体的には、本実施形態では、各色の副画素を 2 行ずつ交互に走査することで、同じ行に配された複数の副画素の間における画像データの書き込みの時間差を小さくしている。よって、本発明によれば、D R D を用いた表示装置において画素行の間で類似していない領域を表示する際に、同じ行に配された複数の副画素の間における画像データの書き込みの時間差に起因する表示画質の低下を抑制させることができる。

40

【 0 1 1 8 】

50

図 2 2 は、本実施形態に係る表示装置 1 0 の図 2 0 に示される画素行 1 3 0 1 から 1 3 0 8 までの副画素を図 2 1 に示す順序で走査する場合に、ゲート駆動部 2 0 0 によりゲート線 G L 1 ~ G L 1 6 へ印加されるゲート信号のタイミング図である。

【 0 1 1 9 】

時刻 $t_0 \sim t_1$ の期間において、ゲート線 G L 1 ~ G L 1 6 にゲート信号は印加されていない。時刻 $t_1 \sim t_2$ の期間において、変調されたデータイネーブル信号 t_{DE} に同期してゲート線 G L 2 にゲート信号が印加される。ゲート線 G L 2 にゲート信号が印加されると、緑色副画素 G 1 の第 1 スイッチ素子 T 1 を介して緑色副画素 G 1 の駆動素子 D T のゲートと緑色副画素 G 1 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、緑色副画素 G 1 に対する画像データに対応する。同様に、ゲート線 G L 2 にゲート信号が印加されると、青色副画素 B 1 の第 1 スイッチ素子 T 1 を介して青色副画素 B 1 の駆動素子 D T のゲートと青色副画素 B 1 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、青色副画素 B 1 に対する画像データに対応する。

10

【 0 1 2 0 】

時刻 $t_2 \sim t_3$ の期間において、変調されたデータイネーブル信号 t_{DE} に同期してゲート線 G L 1 にゲート信号が印加される。ゲート線 G L 1 にゲート信号が印加されると、赤色副画素 R 1 の第 1 スイッチ素子 T 1 を介して赤色副画素 R 1 の駆動素子 D T のゲートと赤色副画素 R 1 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、赤色副画素 R 1 に対する画像データに対応する。同様に、ゲート線 G L 1 にゲート信号が印加されると、白色副画素 W 1 の第 1 スイッチ素子 T 1 を介して白色副画素 W 1 の駆動素子 D T のゲートと白色副画素 W 1 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、白色副画素 W 1 に対する画像データに対応する。

20

【 0 1 2 1 】

時刻 $t_3 \sim t_4$ の期間において、変調されたデータイネーブル信号 t_{DE} に同期してゲート線 G L 3 にゲート信号が印加される。ゲート線 G L 3 にゲート信号が印加されると、赤色副画素 R 2 の第 1 スイッチ素子 T 1 を介して赤色副画素 R 2 の駆動素子 D T のゲートと赤色副画素 R 2 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、赤色副画素 R 2 に対する画像データに対応する。同様に、ゲート線 G L 3 にゲート信号が印加されると、白色副画素 W 2 の第 1 スイッチ素子 T 1 を介して白色副画素 W 2 の駆動素子 D T のゲートと白色副画素 W 2 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、白色副画素 W 2 に対する画像データに対応する。

30

【 0 1 2 2 】

時刻 $t_4 \sim t_5$ の期間において、変調されたデータイネーブル信号 t_{DE} に同期してゲート線 G L 4 にゲート信号が印加される。ゲート線 G L 4 にゲート信号が印加されると、緑色副画素 G 2 の第 1 スイッチ素子 T 1 を介して緑色副画素 G 2 の駆動素子 D T のゲートと緑色副画素 G 2 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、緑色副画素 G 2 に対する画像データに対応する。同様に、ゲート線 G L 4 にゲート信号が印加されると、青色副画素 B 2 の第 1 スイッチ素子 T 1 を介して青色副画素 B 2 の駆動素子 D T のゲートと青色副画素 B 2 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、青色副画素 B 2 に対する画像データに対応する。

40

【 0 1 2 3 】

時刻 $t_5 \sim t_6$ の期間において、変調されたデータイネーブル信号 t_{DE} に同期してゲ

50

ート線 G L 6 にゲート信号が印加される。ゲート線 G L 6 にゲート信号が印加されると、緑色副画素 G 3 の第 1 スイッチ素子 T 1 を介して緑色副画素 G 3 の駆動素子 D T のゲートと緑色副画素 G 3 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、緑色副画素 G 3 に対する画像データに対応する。同様に、ゲート線 G L 6 にゲート信号が印加されると、青色副画素 B 3 の第 1 スイッチ素子 T 1 を介して青色副画素 B 3 の駆動素子 D T のゲートと青色副画素 B 3 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、青色副画素 B 3 に対する画像データに対応する。

【 0 1 2 4 】

10

時刻 t 6 ~ t 7 の期間において、変調されたデータイネーブル信号 t D E に同期してゲート線 G L 5 にゲート信号が印加される。ゲート線 G L 5 にゲート信号が印加されると、赤色副画素 R 3 の第 1 スイッチ素子 T 1 を介して赤色副画素 R 3 の駆動素子 D T のゲートと赤色副画素 R 3 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、赤色副画素 R 3 に対する画像データに対応する。同様に、ゲート線 G L 5 にゲート信号が印加されると、白色副画素 W 3 の第 1 スイッチ素子 T 1 を介して白色副画素 W 3 の駆動素子 D T のゲートと白色副画素 W 3 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、白色副画素 W 3 に対する画像データに対応する。

20

【 0 1 2 5 】

時刻 t 7 ~ t 8 の期間において、変調されたデータイネーブル信号 t D E に同期してゲート線 G L 7 にゲート信号が印加される。ゲート線 G L 7 にゲート信号が印加されると、赤色副画素 R 4 の第 1 スイッチ素子 T 1 を介して赤色副画素 R 4 の駆動素子 D T のゲートと赤色副画素 R 4 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、赤色副画素 R 4 に対する画像データに対応する。同様に、ゲート線 G L 7 にゲート信号が印加されると、白色副画素 W 4 の第 1 スイッチ素子 T 1 を介して白色副画素 W 4 の駆動素子 D T のゲートと白色副画素 W 4 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、白色副画素 W 4 に対する画像データに対応する。

30

【 0 1 2 6 】

時刻 t 8 ~ t 9 の期間において、変調されたデータイネーブル信号 t D E に同期してゲート線 G L 8 にゲート信号が印加される。ゲート線 G L 8 にゲート信号が印加されると、緑色副画素 G 4 の第 1 スイッチ素子 T 1 を介して緑色副画素 G 4 の駆動素子 D T のゲートと緑色副画素 G 4 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、緑色副画素 G 4 に対する画像データに対応する。同様に、ゲート線 G L 8 にゲート信号が印加されると、青色副画素 B 4 の第 1 スイッチ素子 T 1 を介して青色副画素 B 4 の駆動素子 D T のゲートと青色副画素 B 4 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、青色副画素 B 4 に対する画像データに対応する。

40

【 0 1 2 7 】

時刻 t 9 ~ t 10 の期間において、変調されたデータイネーブル信号 t D E に同期してゲート線 G L 10 にゲート信号が印加される。ゲート線 G L 10 にゲート信号が印加されると、緑色副画素 G 5 の第 1 スイッチ素子 T 1 を介して緑色副画素 G 5 の駆動素子 D T のゲートと緑色副画素 G 5 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、緑色副画素 G 5 に対する画像データに対応する。同様に、ゲート線 G L 10 にゲート信号が印加されると、青色副画素 B 5 の第 1 スイッチ素子 T 1 を介して青色副画素 B 5 の駆動素子 D T の

50

ゲートと青色副画素 B 5 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、青色副画素 B 5 に対する画像データに対応する。

【 0 1 2 8 】

時刻 t 1 0 ~ t 1 1 の期間において、変調されたデータイネーブル信号 t D E に同期してゲート線 G L 9 にゲート信号が印加される。ゲート線 G L 9 にゲート信号が印加されると、赤色副画素 R 5 の第 1 スイッチ素子 T 1 を介して赤色副画素 R 5 の駆動素子 D T のゲートと赤色副画素 R 5 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、赤色副画素 R 5 に対する画像データに対応する。同様に、ゲート線 G L 9 にゲート信号が印加されると、白色副画素 W 5 の第 1 スイッチ素子 T 1 を介して白色副画素 W 5 の駆動素子 D T のゲートと白色副画素 W 5 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、白色副画素 W 5 に対する画像データに対応する。

10

【 0 1 2 9 】

時刻 t 1 1 ~ t 1 2 の期間において、変調されたデータイネーブル信号 t D E に同期してゲート線 G L 1 1 にゲート信号が印加される。ゲート線 G L 1 1 にゲート信号が印加されると、赤色副画素 R 6 の第 1 スイッチ素子 T 1 を介して赤色副画素 R 6 の駆動素子 D T のゲートと赤色副画素 R 6 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、赤色副画素 R 6 に対する画像データに対応する。同様に、ゲート線 G L 1 1 にゲート信号が印加されると、白色副画素 W 6 の第 1 スイッチ素子 T 1 を介して白色副画素 W 6 の駆動素子 D T のゲートと白色副画素 W 6 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、白色副画素 W 6 に対する画像データに対応する。

20

【 0 1 3 0 】

時刻 t 1 2 ~ t 1 3 の期間において、変調されたデータイネーブル信号 t D E に同期してゲート線 G L 1 2 にゲート信号が印加される。ゲート線 G L 1 2 にゲート信号が印加されると、緑色副画素 G 6 の第 1 スイッチ素子 T 1 を介して緑色副画素 G 6 の駆動素子 D T のゲートと緑色副画素 G 6 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、緑色副画素 G 6 に対する画像データに対応する。同様に、ゲート線 G L 1 2 にゲート信号が印加されると、青色副画素 B 6 の第 1 スイッチ素子 T 1 を介して青色副画素 B 6 の駆動素子 D T のゲートと青色副画素 B 6 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、青色副画素 B 6 に対する画像データに対応する。

30

【 0 1 3 1 】

時刻 t 1 3 ~ t 1 4 の期間において、変調されたデータイネーブル信号 t D E に同期してゲート線 G L 1 4 にゲート信号が印加される。ゲート線 G L 1 4 にゲート信号が印加されると、緑色副画素 G 7 の第 1 スイッチ素子 T 1 を介して緑色副画素 G 7 の駆動素子 D T のゲートと緑色副画素 G 7 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、緑色副画素 G 7 に対する画像データに対応する。同様に、ゲート線 G L 1 4 にゲート信号が印加されると、青色副画素 B 7 の第 1 スイッチ素子 T 1 を介して青色副画素 B 7 の駆動素子 D T のゲートと青色副画素 B 7 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、青色副画素 B 7 に対する画像データに対応する。

40

【 0 1 3 2 】

時刻 t 1 4 ~ t 1 5 の期間において、変調されたデータイネーブル信号 t D E に同期してゲート線 G L 1 3 にゲート信号が印加される。ゲート線 G L 1 3 にゲート信号が印加さ

50

れると、赤色副画素 R 7 の第 1 スイッチ素子 T 1 を介して赤色副画素 R 7 の駆動素子 D T のゲートと赤色副画素 R 7 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、赤色副画素 R 7 に対する画像データに対応する。同様に、ゲート線 G L 1 3 にゲート信号が印加されると、白色副画素 W 7 の第 1 スイッチ素子 T 1 を介して白色副画素 W 7 の駆動素子 D T のゲートと白色副画素 W 7 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、白色副画素 W 7 に対する画像データに対応する。

【 0 1 3 3 】

時刻 t 1 5 ~ t 1 6 の期間において、変調されたデータインーブル信号 t D E に同期してゲート線 G L 1 5 にゲート信号が印加される。ゲート線 G L 1 5 にゲート信号が印加されると、赤色副画素 R 8 の第 1 スイッチ素子 T 1 を介して赤色副画素 R 8 の駆動素子 D T のゲートと赤色副画素 R 8 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、赤色副画素 R 8 に対する画像データに対応する。同様に、ゲート線 G L 1 5 にゲート信号が印加されると、白色副画素 W 8 の第 1 スイッチ素子 T 1 を介して白色副画素 W 8 の駆動素子 D T のゲートと白色副画素 W 8 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、白色副画素 W 8 に対する画像データに対応する。

【 0 1 3 4 】

時刻 t 1 6 ~ t 1 7 の期間において、変調されたデータインーブル信号 t D E に同期してゲート線 G L 1 6 にゲート信号が印加される。ゲート線 G L 1 6 にゲート信号が印加されると、緑色副画素 G 8 の第 1 スイッチ素子 T 1 を介して緑色副画素 G 8 の駆動素子 D T のゲートと緑色副画素 G 8 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、緑色副画素 G 8 に対する画像データに対応する。同様に、ゲート線 G L 1 6 にゲート信号が印加されると、青色副画素 B 8 の第 1 スイッチ素子 T 1 を介して青色副画素 B 8 の駆動素子 D T のゲートと青色副画素 B 8 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、青色副画素 B 8 に対する画像データに対応する。

【 0 1 3 5 】

ゲート駆動部 2 0 0 は、スケジューラ 5 6 0 からのゲート線指定信号 G L _ N u m に基づき、時刻 t 1 ~ t 1 7 の期間において、図 2 2 に示される順序でゲート線 G L 1 ~ G L 1 6 にゲート信号を印加する。データ駆動部 3 0 0 は、時刻 t 1 ~ t 1 7 の期間において、ゲート線 G L 1 ~ G L 1 6 に印加されたゲート信号に応じて、共有されたデータ線 D L 1 を介して緑色副画素 G および赤色副画素 R にデータ信号を書き込む。また、データ駆動部 3 0 0 は、時刻 t 1 ~ t 1 7 の期間において、ゲート線 G L 1 ~ G L 1 6 に印加されたゲート信号に応じて、共有されたデータ線 D L 2 を介して白色副画素 W および青色副画素 B にデータ信号を書き込む。

【 0 1 3 6 】

図 2 2 に示されるタイミング図によれば、データ駆動部 3 0 0 は、画素行 1 3 0 1 ~ 1 3 0 8 において、図 2 1 に示す順序にて緑色副画素 G 1 ~ G 8、赤色副画素 R 1 ~ R 8、白色副画素 W 1 ~ W 8 および青色副画素 B 1 ~ B 8 にデータ信号を書き込む。即ち、図 2 1 に示される副画素の領域を走査する際に、各色の副画素を 2 行ずつ交互に走査することで、同じ行に配された複数の副画素の間における画像データの書き込みの時間差を小さくしている。よって、本発明によれば、D R D を用いた表示装置において画素行の間で類似していない領域を表示する際に、同じ行に配された複数の副画素の間における画像データの書き込みの時間差に起因する表示画質の低下を抑制させることができる。

【 0 1 3 7 】

図 2 3 は、本実施形態に係る表示装置の副画素が走査される順序を示す模式図である。

図 2 3 には、図 2 0 に示された画素行 1 3 0 9 ~ 1 3 1 6 における 4 列の副画素が示されている。具体的には、図 2 3 は、データ線 D L 1 を共有する緑色副画素 G 9 ~ G 1 6 および赤色副画素 R 9 ~ R 1 6 並びにデータ線 D L 2 を共有する白色副画素 W 9 ~ W 1 6 および青色副画素 B 9 ~ B 1 6 を示している。画素行 1 3 1 0 ~ 1 3 1 2 の画像データ（画像信号）は奇数列、偶数列ともに 1 行上の画素行の画像データに類似すると類似度判定部 5 5 0 によって判定されている。よって、画素行 1 3 1 0 ~ 1 3 1 2 についての信号 R E S _ O および R E S _ E の値はすべて 1 となる。一方、画素行 1 3 0 9 の画像データは奇数列、偶数列ともに画素行 1 3 0 8 の画像データと類似していないため、画素行 1 3 0 9 についての信号 R E S _ O および R E S _ E の値は 0 となる。また、画素行 1 3 1 4 ~ 1 3 1 6 の画像データ（画像信号）は奇数列、偶数列ともに 1 行上の画素行の画像データに類似すると類似度判定部 5 5 0 によって判定されている。よって、画素行 1 3 1 4 ~ 1 3 1 6 についての信号 R E S _ O および R E S _ E の値はすべて 1 となる。一方、画素行 1 3 1 3 の画像データは奇数列、偶数列ともに画素行 1 3 1 2 の画像データと類似していないため、画素行 1 3 1 3 についての信号 R E S _ O および R E S _ E の値は 0 となる。スケジューラ 5 6 0 は、受信された信号 R E S _ O および R E S _ E に基づいて入力レジスタ選択信号 I R S S、入力有効化信号 V A L I D および出力レジスタ選択信号 O R S S を生成する。スケジューラ 5 6 0 は、生成された入力レジスタ選択信号 I R S S、入力有効化信号 V A L I D および出力レジスタ選択信号 O R S S をデータ駆動部 3 0 0 に伝送する。データ駆動部 3 0 0 は、受信された出力レジスタ選択信号 O R S S によって指定された順序で緑色副画素 G 9 ~ G 1 6、赤色副画素 R 9 ~ R 1 6、白色副画素 W 9 ~ W 1 6 および青色副画素 B 9 ~ B 1 6 に画像データ（画像信号）を伝送する。

【 0 1 3 8 】

図 2 3 に示されるように、画素行 1 3 0 9 ~ 1 3 1 6 において、以下に示す順序にて緑色副画素 G および赤色副画素 R が走査される。最初に緑色副画素 G 9 が走査された後に、緑色副画素 G 9 の 1 行下に配された緑色副画素 G 1 0 が走査される。その後に、緑色副画素 G 9 と同じ行においてデータ線 D L 1 を共有し、緑色副画素 G の画素列とは異なる画素列に含まれる赤色副画素 R 9 が走査される。その後に、赤色副画素 R 9 の 1 行下に配された赤色副画素 R 1 0 が走査される。その後に、赤色副画素 R 1 0 の 1 行下に配された赤色副画素 R 1 1 が走査される。その後に、赤色副画素 R 1 1 の 1 行下に配された赤色副画素 R 1 2 が走査される。その後に、赤色副画素 R 1 1 と同じ行においてデータ線 D L 1 を共有し、赤色副画素 R の画素列とは異なる画素列に含まれる緑色副画素 G 1 1 が走査される。その後に、緑色副画素 G 1 1 の 1 行下に配された緑色副画素 G 1 2 が走査される。その後に、緑色副画素 G 1 2 の 1 行下に配された緑色副画素 G 1 3 が走査される。その後に、緑色副画素 G 1 3 の 1 行下に配された緑色副画素 G 1 4 が走査される。その後に、緑色副画素 G 1 3 と同じ行においてデータ線 D L 1 を共有し、緑色副画素 G の画素列とは異なる画素列に含まれる赤色副画素 R 1 3 が走査される。その後に、赤色副画素 R 1 3 の 1 行下に配された赤色副画素 R 1 4 が走査される。その後に、赤色副画素 R 1 4 の 1 行下に配された赤色副画素 R 1 5 が走査される。その後に、赤色副画素 R 1 5 の 1 行下に配された赤色副画素 R 1 6 が走査される。その後に、赤色副画素 R 1 5 と同じ行においてデータ線 D L 1 を共有し、赤色副画素 R の画素列とは異なる画素列に含まれる緑色副画素 G 1 5 が走査される。その後に、緑色副画素 G 1 5 の 1 行下に配された緑色副画素 G 1 6 が走査される。

【 0 1 3 9 】

また、図 2 3 に示されるように、画素行 1 3 0 9 ~ 1 3 1 6 において、以下に示す順序にて白色副画素 W および青色副画素 B が走査される。最初に青色副画素 B 9 が走査された後に、青色副画素 B 9 の 1 行下に配された青色副画素 B 1 0 が走査される。その後に、青色副画素 B 9 と同じ行においてデータ線 D L 2 を共有し、青色副画素 B の画素列とは異なる画素列に含まれる白色副画素 W 9 が走査される。その後に、白色副画素 W 9 の 1 行下に配された白色副画素 W 1 0 が走査される。その後に、白色副画素 W 1 0 の 1 行下に配された白色副画素 W 1 1 が走査される。その後に、白色副画素 W 1 1 の 1 行下に配された白色

10

20

30

40

50

副画素W 1 2 が走査される。その後に、白色副画素W 1 1 と同じ行においてデータ線D L 2 を共有し、白色副画素W の画素列とは異なる画素列に含まれる青色副画素B 1 1 が走査される。その後に、青色副画素B 1 1 の1 行下に配された青色副画素B 1 2 が走査される。その後に、青色副画素B 1 2 の1 行下に配された青色副画素B 1 3 が走査される。その後に、青色副画素B 1 3 の1 行下に配された青色副画素B 1 4 が走査される。その後に、青色副画素B 1 3 と同じ行においてデータ線D L 2 を共有し、青色副画素B の画素列とは異なる画素列に含まれる白色副画素W 1 3 が走査される。その後に、白色副画素W 1 3 の1 行下に配された白色副画素W 1 4 が走査される。その後に、白色副画素W 1 4 の1 行下に配された白色副画素W 1 5 が走査される。その後に、白色副画素W 1 5 の1 行下に配された白色副画素W 1 6 が走査される。その後に、白色副画素W 1 5 と同じ行においてデータ線D L 2 を共有し、白色副画素W の画素列とは異なる画素列に含まれる青色副画素B 1 5 が走査される。その後に、青色副画素B 1 5 の1 行下に配された青色副画素B 1 6 が走査される。

10

【0 1 4 0】

本実施形態において、類似度判定部5 5 0 は、画素行1 3 0 9 から1 3 1 2 までの画像データは類似していると判定している。また、類似度判定部5 5 0 は、画素行1 3 1 3 から1 3 1 6 までの画像データは類似していると判定している。これらの判定に基づき、スケジューラ5 6 0 は、各色の副画素を4 行ずつ交互に走査するように入力レジスタ選択信号I R S S、入力有効化信号V A L I D および出力レジスタ選択信号O R S S を生成し、生成された各信号をデータ駆動部3 0 0 に伝送する。データ駆動部3 0 0 は、受信された出力レジスタ選択信号O R S S によって指定された順序で緑色副画素G 9 ~ G 1 6、赤色副画素R 9 ~ R 1 6、白色副画素W 9 ~ W 1 6 および青色副画素B 9 ~ B 1 6 に対して画像データを書き込む。

20

【0 1 4 1】

本実施形態では、画像データが互いに類似する領域を構成する画素行1 3 0 9 ~ 1 3 1 2 および画素行1 3 1 3 ~ 1 3 1 6 において、同色の副画素を連続して走査する行数を大きくして、出力される画像データの信号（電圧）が不連続となる頻度を低減させる。具体的には、本実施形態では、各色の副画素を4 行ずつ交互に走査することで、出力される画像データの信号（電圧）が不連続となる頻度を低減させている。例えば、図2 1 に示される副画素の領域では、データ線D L 1 に接続された緑色副画素G 1 ~ G 8 および赤色副画素R 1 ~ R 8 が走査される際に、走査される副画素の色は8 回変更されている。同様に、図2 1 に示される副画素の領域では、データ線D L 2 に接続された白色副画素W 1 ~ W 8 および青色副画素B 1 ~ B 8 が走査される際に、走査される副画素の色は8 回変更されている。即ち、図2 1 に示される副画素の構成される領域を走査する際に、データ線D L 1 およびデータ線D L 2 により伝送される画像データの信号（電圧）の不連続性は、それぞれ8 回発生し得る。一方、図2 3 に示される副画素の領域では、データ線D L 1 に接続された緑色副画素G 9 ~ G 1 6 および赤色副画素R 9 ~ R 1 6 が走査される際に、走査される副画素の色は4 回のみ変更されている。同様に、図2 3 に示される副画素の領域では、データ線D L 2 に接続された白色副画素W 9 ~ W 1 6 および青色副画素B 9 ~ B 1 6 が走査される際に、走査される副画素の色は4 回のみ変更されている。即ち、図2 3 に示される副画素の領域を走査する際に、データ線D L 1 およびデータ線D L 2 により伝送される画像データの信号（電圧）の不連続性は、それぞれ4 回に低減され得る。よって、本願発明によるD R D 駆動を用いた表示装置は、副画素への画像データを書き込む際の消費電力を低減させることができる。

30

40

【0 1 4 2】

なお、図2 1 に示される副画素への画像データの書き込み動作と比較して、図2 3 に示される副画素への画像データの書き込み動作では、同じ行に配された複数の副画素に対する画像データの書き込みの時間差は大きくなる。しかしながら、画素行1 3 0 9 から1 3 1 2 および画素行1 3 1 3 から1 3 1 6 までの画像データは互いに類似している。このため、同じ行に配された複数の副画素に対する画像データの書き込みの時間差が図2 3 に示

50

される領域の画質に与える影響は、図 2 1 に示される領域の画質に与える影響よりも小さい。よって、本発明による D R D 駆動を用いた表示装置 1 0 は、表示画質の低下を抑制しつつ消費電力を低減させることができる。

【 0 1 4 3 】

図 2 4 は、本実施形態に係る表示装置 1 0 の図 2 0 に示される画素行 1 3 0 9 から 1 3 1 6 までの副画素を図 2 3 に示す順序で走査する場合に、ゲート駆動部 2 0 0 によりゲート線 G L 1 7 ~ G L 3 2 へ印加されるゲート信号のタイミング図である。

【 0 1 4 4 】

時刻 $t_{18} \sim t_{19}$ の期間において、変調されたデータイネーブル信号 t_{DE} に同期してゲート線 G L 1 8 にゲート信号が印加される。ゲート線 G L 1 8 にゲート信号が印加されると、緑色副画素 G 9 の第 1 スイッチ素子 T 1 を介して緑色副画素 G 9 の駆動素子 D T のゲートと緑色副画素 G 9 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、緑色副画素 G 9 に対する画像データに対応する。同様に、ゲート線 G L 1 8 にゲート信号が印加されると、青色副画素 B 9 の第 1 スイッチ素子 T 1 を介して青色副画素 B 9 の駆動素子 D T のゲートと青色副画素 B 9 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、青色副画素 B 9 に対する画像データに対応する。

10

【 0 1 4 5 】

時刻 $t_{19} \sim t_{20}$ の期間において、変調されたデータイネーブル信号 t_{DE} に同期してゲート線 G L 2 0 にゲート信号が印加される。ゲート線 G L 2 0 にゲート信号が印加されると、緑色副画素 G 1 0 の第 1 スイッチ素子 T 1 を介して緑色副画素 G 1 0 の駆動素子 D T のゲートと緑色副画素 G 1 0 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、緑色副画素 G 1 0 に対する画像データに対応する。同様に、ゲート線 G L 2 0 にゲート信号が印加されると、青色副画素 B 1 0 の第 1 スイッチ素子 T 1 を介して青色副画素 B 1 0 の駆動素子 D T のゲートと青色副画素 B 1 0 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、青色副画素 B 1 0 に対する画像データに対応する。

20

【 0 1 4 6 】

時刻 $t_{20} \sim t_{21}$ の期間において、変調されたデータイネーブル信号 t_{DE} に同期してゲート線 G L 1 7 にゲート信号が印加される。ゲート線 G L 1 7 にゲート信号が印加されると、赤色副画素 R 9 の第 1 スイッチ素子 T 1 を介して赤色副画素 R 9 の駆動素子 D T のゲートと赤色副画素 R 9 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、赤色副画素 R 9 に対する画像データに対応する。同様に、ゲート線 G L 1 7 にゲート信号が印加されると、白色副画素 W 9 の第 1 スイッチ素子 T 1 を介して白色副画素 W 9 の駆動素子 D T のゲートと白色副画素 W 9 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、白色副画素 W 9 に対する画像データに対応する。

30

【 0 1 4 7 】

時刻 $t_{21} \sim t_{22}$ の期間において、変調されたデータイネーブル信号 t_{DE} に同期してゲート線 G L 1 9 にゲート信号が印加される。ゲート線 G L 1 9 にゲート信号が印加されると、赤色副画素 R 1 0 の第 1 スイッチ素子 T 1 を介して赤色副画素 R 1 0 の駆動素子 D T のゲートと赤色副画素 R 1 0 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、赤色副画素 R 1 0 に対する画像データに対応する。同様に、ゲート線 G L 1 9 にゲート信号が印加されると、白色副画素 W 1 0 の第 1 スイッチ素子 T 1 を介して白色副画素 W 1 0 の駆動素子 D T のゲートと白色副画素 W 1 0 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信

40

50

号は、白色副画素W 1 0 に対する画像データに対応する。

【 0 1 4 8 】

時刻 $t_{22} \sim t_{23}$ の期間において、変調されたデータインーブル信号 t_{DE} に同期してゲート線 GL_{21} にゲート信号が印加される。ゲート線 GL_{21} にゲート信号が印加されると、赤色副画素 R_{11} の第1スイッチ素子 T_1 を介して赤色副画素 R_{11} の駆動素子 DT のゲートと赤色副画素 R_{11} の第1キャパシタ C_1 との間の第1ノード N_1 にデータ線 DL_1 からデータ信号が印加される。データ線 DL_1 から印加されたデータ信号は、赤色副画素 R_{11} に対する画像データに対応する。同様に、ゲート線 GL_{21} にゲート信号が印加されると、白色副画素 W_{11} の第1スイッチ素子 T_1 を介して白色副画素 W_{11} の駆動素子 DT のゲートと白色副画素 W_{11} の第1キャパシタ C_1 との間の第1ノード N_1 にデータ線 DL_2 からデータ信号が印加される。データ線 DL_2 から印加されたデータ信号は、白色副画素 W_{11} に対する画像データに対応する。

10

【 0 1 4 9 】

時刻 $t_{23} \sim t_{24}$ の期間において、変調されたデータインーブル信号 t_{DE} に同期してゲート線 GL_{23} にゲート信号が印加される。ゲート線 GL_{23} にゲート信号が印加されると、赤色副画素 R_{12} の第1スイッチ素子 T_1 を介して赤色副画素 R_{12} の駆動素子 DT のゲートと赤色副画素 R_{12} の第1キャパシタ C_1 との間の第1ノード N_1 にデータ線 DL_1 からデータ信号が印加される。データ線 DL_1 から印加されたデータ信号は、赤色副画素 R_{12} に対する画像データに対応する。同様に、ゲート線 GL_{23} にゲート信号が印加されると、白色副画素 W_{12} の第1スイッチ素子 T_1 を介して白色副画素 W_{12} の駆動素子 DT のゲートと白色副画素 W_{12} の第1キャパシタ C_1 との間の第1ノード N_1 にデータ線 DL_2 からデータ信号が印加される。データ線 DL_2 から印加されたデータ信号は、白色副画素 W_{12} に対する画像データに対応する。

20

【 0 1 5 0 】

時刻 $t_{24} \sim t_{25}$ の期間において、変調されたデータインーブル信号 t_{DE} に同期してゲート線 GL_{22} にゲート信号が印加される。ゲート線 GL_{22} にゲート信号が印加されると、緑色副画素 G_{11} の第1スイッチ素子 T_1 を介して緑色副画素 G_{11} の駆動素子 DT のゲートと緑色副画素 G_{11} の第1キャパシタ C_1 との間の第1ノード N_1 にデータ線 DL_1 からデータ信号が印加される。データ線 DL_1 から印加されたデータ信号は、緑色副画素 G_{11} に対する画像データに対応する。同様に、ゲート線 GL_{22} にゲート信号が印加されると、青色副画素 B_{11} の第1スイッチ素子 T_1 を介して青色副画素 B_{11} の駆動素子 DT のゲートと青色副画素 B_{11} の第1キャパシタ C_1 との間の第1ノード N_1 にデータ線 DL_2 からデータ信号が印加される。データ線 DL_2 から印加されたデータ信号は、青色副画素 B_{11} に対する画像データに対応する。

30

【 0 1 5 1 】

時刻 $t_{25} \sim t_{26}$ の期間において、変調されたデータインーブル信号 t_{DE} に同期してゲート線 GL_{24} にゲート信号が印加される。ゲート線 GL_{24} にゲート信号が印加されると、緑色副画素 G_{12} の第1スイッチ素子 T_1 を介して緑色副画素 G_{12} の駆動素子 DT のゲートと緑色副画素 G_{12} の第1キャパシタ C_1 との間の第1ノード N_1 にデータ線 DL_1 からデータ信号が印加される。データ線 DL_1 から印加されたデータ信号は、緑色副画素 G_{12} に対する画像データに対応する。同様に、ゲート線 GL_{24} にゲート信号が印加されると、青色副画素 B_{12} の第1スイッチ素子 T_1 を介して青色副画素 B_{12} の駆動素子 DT のゲートと青色副画素 B_{12} の第1キャパシタ C_1 との間の第1ノード N_1 にデータ線 DL_2 からデータ信号が印加される。データ線 DL_2 から印加されたデータ信号は、青色副画素 B_{12} に対する画像データに対応する。

40

【 0 1 5 2 】

時刻 $t_{26} \sim t_{27}$ の期間において、変調されたデータインーブル信号 t_{DE} に同期してゲート線 GL_{26} にゲート信号が印加される。ゲート線 GL_{26} にゲート信号が印加されると、緑色副画素 G_{13} の第1スイッチ素子 T_1 を介して緑色副画素 G_{13} の駆動素子 DT のゲートと緑色副画素 G_{13} の第1キャパシタ C_1 との間の第1ノード N_1 にデータ

50

線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、緑色副画素 G 1 3 に対する画像データに対応する。同様に、ゲート線 G L 2 6 にゲート信号が印加されると、青色副画素 B 1 3 の第 1 スイッチ素子 T 1 を介して青色副画素 B 1 3 の駆動素子 D T のゲートと青色副画素 B 1 3 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、青色副画素 B 1 3 に対する画像データに対応する。

【 0 1 5 3 】

時刻 $t_{27} \sim t_{28}$ の期間において、変調されたデータイネーブル信号 t_{DE} に同期してゲート線 G L 2 8 にゲート信号が印加される。ゲート線 G L 2 8 にゲート信号が印加されると、緑色副画素 G 1 4 の第 1 スイッチ素子 T 1 を介して緑色副画素 G 1 4 の駆動素子 D T のゲートと緑色副画素 G 1 4 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、緑色副画素 G 1 4 に対する画像データに対応する。同様に、ゲート線 G L 2 8 にゲート信号が印加されると、青色副画素 B 1 4 の第 1 スイッチ素子 T 1 を介して青色副画素 B 1 4 の駆動素子 D T のゲートと青色副画素 B 1 4 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、青色副画素 B 1 4 に対する画像データに対応する。

10

【 0 1 5 4 】

時刻 $t_{28} \sim t_{29}$ の期間において、変調されたデータイネーブル信号 t_{DE} に同期してゲート線 G L 2 5 にゲート信号が印加される。ゲート線 G L 2 5 にゲート信号が印加されると、赤色副画素 R 1 3 の第 1 スイッチ素子 T 1 を介して赤色副画素 R 1 3 の駆動素子 D T のゲートと赤色副画素 R 1 3 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、赤色副画素 R 1 3 に対する画像データに対応する。同様に、ゲート線 G L 2 5 にゲート信号が印加されると、白色副画素 W 1 3 の第 1 スイッチ素子 T 1 を介して白色副画素 W 1 3 の駆動素子 D T のゲートと白色副画素 W 1 3 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、白色副画素 W 1 3 に対する画像データに対応する。

20

【 0 1 5 5 】

時刻 $t_{29} \sim t_{30}$ の期間において、変調されたデータイネーブル信号 t_{DE} に同期してゲート線 G L 2 7 にゲート信号が印加される。ゲート線 G L 2 7 にゲート信号が印加されると、赤色副画素 R 1 4 の第 1 スイッチ素子 T 1 を介して赤色副画素 R 1 4 の駆動素子 D T のゲートと赤色副画素 R 1 4 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、赤色副画素 R 1 4 に対する画像データに対応する。同様に、ゲート線 G L 2 7 にゲート信号が印加されると、白色副画素 W 1 4 の第 1 スイッチ素子 T 1 を介して白色副画素 W 1 4 の駆動素子 D T のゲートと白色副画素 W 1 4 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、白色副画素 W 1 4 に対する画像データに対応する。

30

【 0 1 5 6 】

時刻 $t_{30} \sim t_{31}$ の期間において、変調されたデータイネーブル信号 t_{DE} に同期してゲート線 G L 2 9 にゲート信号が印加される。ゲート線 G L 2 9 にゲート信号が印加されると、赤色副画素 R 1 5 の第 1 スイッチ素子 T 1 を介して赤色副画素 R 1 5 の駆動素子 D T のゲートと赤色副画素 R 1 5 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、赤色副画素 R 1 5 に対する画像データに対応する。同様に、ゲート線 G L 2 9 にゲート信号が印加されると、白色副画素 W 1 5 の第 1 スイッチ素子 T 1 を介して白色副画素 W 1 5 の駆動素子 D T のゲートと白色副画素 W 1 5 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、白色副画素 W 1 5 に対する画像データに対応する。

40

50

【 0 1 5 7 】

時刻 $t_{31} \sim t_{32}$ の期間において、変調されたデータネーブル信号 t_{DE} に同期してゲート線 GL_{31} にゲート信号が印加される。ゲート線 GL_{31} にゲート信号が印加されると、赤色副画素 R_{16} の第 1 スイッチ素子 T_1 を介して赤色副画素 R_{16} の駆動素子 DT のゲートと赤色副画素 R_{16} の第 1 キャパシタ C_1 との間の第 1 ノード N_1 にデータ線 DL_1 からデータ信号が印加される。データ線 DL_1 から印加されたデータ信号は、赤色副画素 R_{16} に対する画像データに対応する。同様に、ゲート線 GL_{31} にゲート信号が印加されると、白色副画素 W_{16} の第 1 スイッチ素子 T_1 を介して白色副画素 W_{16} の駆動素子 DT のゲートと白色副画素 W_{16} の第 1 キャパシタ C_1 との間の第 1 ノード N_1 にデータ線 DL_2 からデータ信号が印加される。データ線 DL_2 から印加されたデータ信号は、白色副画素 W_{16} に対する画像データに対応する。

10

【 0 1 5 8 】

時刻 $t_{32} \sim t_{33}$ の期間において、変調されたデータネーブル信号 t_{DE} に同期してゲート線 GL_{30} にゲート信号が印加される。ゲート線 GL_{30} にゲート信号が印加されると、緑色副画素 G_{15} の第 1 スイッチ素子 T_1 を介して緑色副画素 G_{15} の駆動素子 DT のゲートと緑色副画素 G_{15} の第 1 キャパシタ C_1 との間の第 1 ノード N_1 にデータ線 DL_1 からデータ信号が印加される。データ線 DL_1 から印加されたデータ信号は、緑色副画素 G_{15} に対する画像データに対応する。同様に、ゲート線 GL_{30} にゲート信号が印加されると、青色副画素 B_{15} の第 1 スイッチ素子 T_1 を介して青色副画素 B_{15} の駆動素子 DT のゲートと青色副画素 B_{15} の第 1 キャパシタ C_1 との間の第 1 ノード N_1 にデータ線 DL_2 からデータ信号が印加される。データ線 DL_2 から印加されたデータ信号は、青色副画素 B_{15} に対する画像データに対応する。

20

【 0 1 5 9 】

時刻 $t_{33} \sim t_{34}$ の期間において、変調されたデータネーブル信号 t_{DE} に同期してゲート線 GL_{32} にゲート信号が印加される。ゲート線 GL_{32} にゲート信号が印加されると、緑色副画素 G_{16} の第 1 スイッチ素子 T_1 を介して緑色副画素 G_{16} の駆動素子 DT のゲートと緑色副画素 G_{16} の第 1 キャパシタ C_1 との間の第 1 ノード N_1 にデータ線 DL_1 からデータ信号が印加される。データ線 DL_1 から印加されたデータ信号は、緑色副画素 G_{16} に対する画像データに対応する。同様に、ゲート線 GL_{32} にゲート信号が印加されると、青色副画素 B_{16} の第 1 スイッチ素子 T_1 を介して青色副画素 B_{16} の駆動素子 DT のゲートと青色副画素 B_{16} の第 1 キャパシタ C_1 との間の第 1 ノード N_1 にデータ線 DL_2 からデータ信号が印加される。データ線 DL_2 から印加されたデータ信号は、青色副画素 B_{16} に対する画像データに対応する。

30

【 0 1 6 0 】

ゲート駆動部 200 は、スケジューラ 560 からのゲート線指定信号 GL_Num に基づき、時刻 $t_{18} \sim t_{34}$ の期間において、図 24 に示される順序でゲート線 $GL_{17} \sim GL_{32}$ にゲート信号を印加する。データ駆動部 300 は、時刻 $t_{18} \sim t_{34}$ の期間において、ゲート線 $GL_{17} \sim GL_{32}$ に印加されたゲート信号に応じて、共有されたデータ線 DL_1 を介して緑色副画素 G および赤色副画素 R にデータ信号を書き込む。また、データ駆動部 300 は、時刻 $t_{18} \sim t_{34}$ の期間において、ゲート線 $GL_{17} \sim GL_{32}$ に印加されたゲート信号に応じて、共有されたデータ線 DL_2 を介して白色副画素 W および青色副画素 B にデータ信号を書き込む。図 24 に示されるタイミング図によれば、データ駆動部 300 は、画素行 1309 ~ 1316 において、図 23 に示す順序にて緑色副画素 $G_9 \sim G_{16}$ 、赤色副画素 $R_9 \sim R_{16}$ 、白色副画素 $W_9 \sim W_{16}$ および青色副画素 $B_9 \sim B_{16}$ にデータ信号を書き込む。

40

【 0 1 6 1 】

図 24 に示されるタイミング図によれば、データ駆動部 300 は、画素行 1309 ~ 1316 において、図 23 に示す順序にて緑色副画素 $G_9 \sim G_{16}$ 、赤色副画素 $R_9 \sim R_{16}$ 、白色副画素 $W_9 \sim W_{16}$ および青色副画素 $B_9 \sim B_{16}$ にデータ信号を書き込む。即ち、図 23 に示される副画素の領域を走査する際に、データ線 DL_1 およびデータ線 DL_2

50

2により伝送される画像データの信号（電圧）の不連続性は、それぞれ4回に低減され得る。よって、本願発明によるDRD駆動を用いた表示装置は、副画素への画像データを書き込む際の消費電力を低減させることができる。

【0162】

図25は、本実施形態に係る表示装置の副画素が走査される順序を示す模式図である。図25には、図20に示された画素行1317～1324における4列の副画素が示されている。具体的には、図25は、データ線DL1を共有する緑色副画素G17～G24および赤色副画素R17～R24並びにデータ線DL2を共有する白色副画素W17～W24および青色副画素B17～B24を示している。画素行1318～1324の画像データ（画像信号）は奇数列、偶数列ともに1行上の画素行の画像データに類似すると類似度判定部550によって判定されている。よって、画素行1318～1324についての信号RES_OおよびRES_Eの値はすべて1となる。一方、画素行1317の画像データは奇数列、偶数列ともに画素行1308の画像データと類似していないため、画素行1309についての信号RES_OおよびRES_Eの値は0となる。スケジューラ560は、受信された信号RES_OおよびRES_Eに基づいて入力レジスタ選択信号IRSS、入力有効化信号VALIDおよび出力レジスタ選択信号ORSSを生成する。スケジューラ560は、生成された入力レジスタ選択信号IRSS、入力有効化信号VALIDおよび出力レジスタ選択信号ORSSをデータ駆動部300に伝送する。データ駆動部300は、受信された出力レジスタ選択信号ORSSによって指定された順序で緑色副画素G17～G24、赤色副画素R17～R24、白色副画素W17～W24および青色副画素B17～B24に画像データ（画像信号）を伝送する。

【0163】

図25に示されるように、画素行1317～1324において、以下に示す順序にて緑色副画素Gおよび赤色副画素Rが走査される。最初に緑色副画素G17が走査された後に、緑色副画素G17の1行下に配された緑色副画素G18が走査される。その後に、緑色副画素G18の1行下に配された緑色副画素G19が走査される。その後に、緑色副画素G19の1行下に配された緑色副画素G20が走査される。その後に、緑色副画素G17と同じ行においてデータ線DL1を共有し、緑色副画素Gの画素列とは異なる画素列に含まれる赤色副画素R17が走査される。その後に、赤色副画素R17の1行下に配された赤色副画素R18が走査される。その後に、赤色副画素R18の1行下に配された赤色副画素R19が走査される。その後に、赤色副画素R19の1行下に配された赤色副画素R20が走査される。その後に、赤色副画素R20の1行下に配された赤色副画素R21が走査される。その後に、赤色副画素R21の1行下に配された赤色副画素R22が走査される。その後に、赤色副画素R22の1行下に配された赤色副画素R23が走査される。その後に、赤色副画素R23の1行下に配された赤色副画素R24が走査される。その後に、赤色副画素R21と同じ行においてデータ線DL1を共有し、赤色副画素Rの画素列とは異なる画素列に含まれる緑色副画素G21が走査される。その後に、緑色副画素G21の1行下に配された緑色副画素G22が走査される。その後に、緑色副画素G22の1行下に配された緑色副画素G23が走査される。その後に、緑色副画素G23の1行下に配された緑色副画素G24が走査される。

【0164】

また、図25に示されるように、画素行1317～1324において、以下に示す順序にて白色副画素Wおよび青色副画素Bが走査される。最初に青色副画素B17が走査された後に、青色副画素B17の1行下に配された青色副画素B18が走査される。その後に、青色副画素B18の1行下に配された青色副画素B19が走査される。その後に、青色副画素B19の1行下に配された青色副画素B20が走査される。その後に、青色副画素B17と同じ行においてデータ線DL2を共有し、青色副画素Bの画素列とは異なる画素列に含まれる白色副画素W17が走査される。その後に、白色副画素W17の1行下に配された白色副画素W18が走査される。その後に、白色副画素W18の1行下に配された白色副画素W19が走査される。その後に、白色副画素W19の1行下に配された白色副

10

20

30

40

50

画素W 2 0が走査される。その後に、白色副画素W 2 0の1行下に配された白色副画素W 2 1が走査される。その後に、白色副画素W 2 1の1行下に配された白色副画素W 2 2が走査される。その後に、白色副画素W 2 2の1行下に配された白色副画素W 2 3が走査される。その後に、白色副画素W 2 3の1行下に配された白色副画素W 2 4が走査される。その後に、白色副画素W 2 1と同じ行においてデータ線D L 2を共有し、白色副画素Wの画素列とは異なる画素列に含まれる青色副画素B 2 1が走査される。その後に、青色副画素B 2 1の1行下に配された青色副画素B 2 2が走査される。その後に、青色副画素B 2 2の1行下に配された青色副画素B 2 3が走査される。その後に、青色副画素B 2 3の1行下に配された青色副画素B 2 4が走査される。

【0165】

本実施形態において、類似度判定部550は、画素行1317から1324までの画像データは類似していると判定している。この判定に基づき、スケジューラ560は、各色の副画素を8行ずつ交互に走査するように入力レジスタ選択信号I R S S、入力有効化信号V A L I Dおよび出力レジスタ選択信号O R S Sを生成し、生成された各信号をデータ駆動部300に伝送する。データ駆動部300は、受信された出力レジスタ選択信号O R S Sによって指定された順序で緑色副画素G 1 7 ~ G 2 4、赤色副画素R 1 7 ~ R 2 4、白色副画素W 1 7 ~ W 2 4および青色副画素B 1 7 ~ B 2 4に対して画像データを書き込む。

【0166】

本実施形態では、画像データが互いに類似する領域を構成する画素行1317 ~ 1324において、同色の副画素を連続して走査する行数をさらに大きくして、出力される画像データの信号(電圧)が不連続となる頻度をさらに低減させる。具体的には、本実施形態では、各色の副画素を8行ずつ交互に走査することで、出力される画像データの信号(電圧)が不連続となる頻度をさらに低減させている。例えば、図23に示される副画素の領域では、データ線D L 1に接続された緑色副画素G 9 ~ G 1 6および赤色副画素R 9 ~ R 1 6が走査される際に、走査される副画素の色は4回変更されている。同様に、図23に示される副画素の領域では、データ線D L 2に接続された白色副画素W 9 ~ W 1 6および青色副画素B 9 ~ B 1 6が走査される際に、走査される副画素の色は4回変更されている。即ち、図23に示される副画素の構成される領域を走査する際に、データ線D L 1およびデータ線D L 2により伝送される画像データの信号(電圧)の不連続性は、それぞれ4回発生し得る。一方、図25に示される副画素の領域では、データ線D L 1に接続された緑色副画素G 1 7 ~ G 2 4および赤色副画素R 1 7 ~ R 2 4が走査される際に、走査される副画素の色は2回のみ変更されている。同様に、図25に示される副画素の領域では、データ線D L 2に接続された白色副画素W 1 7 ~ W 2 4および青色副画素B 1 7 ~ B 2 4が走査される際に、走査される副画素の色は2回のみ変更されている。即ち、図25に示される副画素の領域を走査する際に、データ線D L 1およびデータ線D L 2により伝送される画像データの信号(電圧)の不連続性は、それぞれ2回に低減され得る。よって、本願発明によるD R D駆動を用いた表示装置は、副画素への画像データを書き込む際の消費電力をさらに低減させることができる。

【0167】

なお、図21および図23に示される副画素への画像データの書き込み動作と比較して、図25に示される副画素への画像データの書き込み動作では、同じ行に配された複数の副画素に対する画像データの書き込みの時間差はさらに大きくなる。しかしながら、画素行1317から1324までの画像データは互いに類似している。このため、同じ行に配された複数の副画素に対する画像データの書き込みの時間差が図25に示される領域の画質に与える影響は、図21および図23に示される領域の画質に与える影響よりも小さい。よって、本発明によるD R D駆動を用いた表示装置10は、表示画質の低下を抑制しつつ消費電力を低減させることができる。

【0168】

なお、表示パネル100に表示される画像が静止画像の場合、同じ行に配された複数の

10

20

30

40

50

副画素に対する画像データの書き込みの時間差による表示が質の低下は無視できる。よって、表示装置 10 に静止画像が表示される場合には、同色の副画素を連続して走査する行数を表示パネルに含まれる画素の行の数と同一とすることができる。たとえば、表示装置 10 が 2160 行の画素からなる場合、2160 行にわたり同色の副画素を連続して走査することができる。本構成によれば、出力される画像データの信号（電圧）が不連続となる頻度がさらに低減され、表示装置 10 の消費電力を低減させることができる。

【0169】

図 26 は、本実施形態に係る表示装置 10 の図 20 に示される画素行 1317 から 1324 までの副画素を図 25 に示す順序で走査する場合に、ゲート駆動部 200 によりゲート線 GL33 ~ GL48 へ印加されるゲート信号のタイミング図である。

10

【0170】

時刻 $t_{35} \sim t_{36}$ の期間において、変調されたデータイネーブル信号 t_{DE} に同期してゲート線 GL34 にゲート信号が印加される。ゲート線 GL34 にゲート信号が印加されると、緑色副画素 G17 の第 1 スイッチ素子 T1 を介して緑色副画素 G17 の駆動素子 DT のゲートと緑色副画素 G17 の第 1 キャパシタ C1 との間の第 1 ノード N1 にデータ線 DL1 からデータ信号が印加される。データ線 DL1 から印加されたデータ信号は、緑色副画素 G17 に対する画像データに対応する。同様に、ゲート線 GL34 にゲート信号が印加されると、青色副画素 B17 の第 1 スイッチ素子 T1 を介して青色副画素 B17 の駆動素子 DT のゲートと青色副画素 B17 の第 1 キャパシタ C1 との間の第 1 ノード N1 にデータ線 DL2 からデータ信号が印加される。データ線 DL2 から印加されたデータ信号は、青色副画素 B17 に対する画像データに対応する。

20

【0171】

時刻 $t_{36} \sim t_{37}$ の期間において、変調されたデータイネーブル信号 t_{DE} に同期してゲート線 GL36 にゲート信号が印加される。ゲート線 GL36 にゲート信号が印加されると、緑色副画素 G18 の第 1 スイッチ素子 T1 を介して緑色副画素 G18 の駆動素子 DT のゲートと緑色副画素 G18 の第 1 キャパシタ C1 との間の第 1 ノード N1 にデータ線 DL1 からデータ信号が印加される。データ線 DL1 から印加されたデータ信号は、緑色副画素 G18 に対する画像データに対応する。同様に、ゲート線 GL36 にゲート信号が印加されると、青色副画素 B18 の第 1 スイッチ素子 T1 を介して青色副画素 B18 の駆動素子 DT のゲートと青色副画素 B18 の第 1 キャパシタ C1 との間の第 1 ノード N1 にデータ線 DL2 からデータ信号が印加される。データ線 DL2 から印加されたデータ信号は、青色副画素 B18 に対する画像データに対応する。

30

【0172】

時刻 $t_{37} \sim t_{38}$ の期間において、変調されたデータイネーブル信号 t_{DE} に同期してゲート線 GL38 にゲート信号が印加される。ゲート線 GL38 にゲート信号が印加されると、緑色副画素 G19 の第 1 スイッチ素子 T1 を介して緑色副画素 G19 の駆動素子 DT のゲートと緑色副画素 G19 の第 1 キャパシタ C1 との間の第 1 ノード N1 にデータ線 DL1 からデータ信号が印加される。データ線 DL1 から印加されたデータ信号は、緑色副画素 G19 に対する画像データに対応する。同様に、ゲート線 GL38 にゲート信号が印加されると、青色副画素 B19 の第 1 スイッチ素子 T1 を介して青色副画素 B19 の駆動素子 DT のゲートと青色副画素 B19 の第 1 キャパシタ C1 との間の第 1 ノード N1 にデータ線 DL2 からデータ信号が印加される。データ線 DL2 から印加されたデータ信号は、青色副画素 B19 に対する画像データに対応する。

40

【0173】

時刻 $t_{38} \sim t_{39}$ の期間において、変調されたデータイネーブル信号 t_{DE} に同期してゲート線 GL40 にゲート信号が印加される。ゲート線 GL40 にゲート信号が印加されると、緑色副画素 G20 の第 1 スイッチ素子 T1 を介して緑色副画素 G20 の駆動素子 DT のゲートと緑色副画素 G20 の第 1 キャパシタ C1 との間の第 1 ノード N1 にデータ線 DL1 からデータ信号が印加される。データ線 DL1 から印加されたデータ信号は、緑色副画素 G20 に対する画像データに対応する。同様に、ゲート線 GL40 にゲート信号

50

が印加されると、青色副画素 B 2 0 の第 1 スイッチ素子 T 1 を介して青色副画素 B 2 0 の駆動素子 D T のゲートと青色副画素 B 2 0 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、青色副画素 B 2 0 に対する画像データに対応する。

【 0 1 7 4 】

時刻 t 3 9 ~ t 4 0 の期間において、変調されたデータイネーブル信号 t D E に同期してゲート線 G L 3 3 にゲート信号が印加される。ゲート線 G L 3 3 にゲート信号が印加されると、赤色副画素 R 1 7 の第 1 スイッチ素子 T 1 を介して赤色副画素 R 1 7 の駆動素子 D T のゲートと赤色副画素 R 1 7 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、赤色副画素 R 1 7 に対する画像データに対応する。同様に、ゲート線 G L 3 3 にゲート信号が印加されると、白色副画素 W 1 7 の第 1 スイッチ素子 T 1 を介して白色副画素 W 1 7 の駆動素子 D T のゲートと白色副画素 W 1 7 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、白色副画素 W 1 7 に対する画像データに対応する。

10

【 0 1 7 5 】

時刻 t 4 0 ~ t 4 1 の期間において、変調されたデータイネーブル信号 t D E に同期してゲート線 G L 3 5 にゲート信号が印加される。ゲート線 G L 3 5 にゲート信号が印加されると、赤色副画素 R 1 8 の第 1 スイッチ素子 T 1 を介して赤色副画素 R 1 8 の駆動素子 D T のゲートと赤色副画素 R 1 8 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、赤色副画素 R 1 8 に対する画像データに対応する。同様に、ゲート線 G L 3 5 にゲート信号が印加されると、白色副画素 W 1 8 の第 1 スイッチ素子 T 1 を介して白色副画素 W 1 8 の駆動素子 D T のゲートと白色副画素 W 1 8 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、白色副画素 W 1 8 に対する画像データに対応する。

20

【 0 1 7 6 】

時刻 t 4 1 ~ t 4 2 の期間において、変調されたデータイネーブル信号 t D E に同期してゲート線 G L 3 7 にゲート信号が印加される。ゲート線 G L 3 7 にゲート信号が印加されると、赤色副画素 R 1 9 の第 1 スイッチ素子 T 1 を介して赤色副画素 R 1 9 の駆動素子 D T のゲートと赤色副画素 R 1 9 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、赤色副画素 R 1 9 に対する画像データに対応する。同様に、ゲート線 G L 3 7 にゲート信号が印加されると、白色副画素 W 1 9 の第 1 スイッチ素子 T 1 を介して白色副画素 W 1 9 の駆動素子 D T のゲートと白色副画素 W 1 9 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、白色副画素 W 1 9 に対する画像データに対応する。

30

【 0 1 7 7 】

時刻 t 4 2 ~ t 4 3 の期間において、変調されたデータイネーブル信号 t D E に同期してゲート線 G L 3 9 にゲート信号が印加される。ゲート線 G L 3 9 にゲート信号が印加されると、赤色副画素 R 2 0 の第 1 スイッチ素子 T 1 を介して赤色副画素 R 2 0 の駆動素子 D T のゲートと赤色副画素 R 2 0 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、赤色副画素 R 2 0 に対する画像データに対応する。同様に、ゲート線 G L 3 9 にゲート信号が印加されると、白色副画素 W 2 0 の第 1 スイッチ素子 T 1 を介して白色副画素 W 2 0 の駆動素子 D T のゲートと白色副画素 W 2 0 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、白色副画素 W 2 0 に対する画像データに対応する。

40

【 0 1 7 8 】

時刻 t 4 3 ~ t 4 4 の期間において、変調されたデータイネーブル信号 t D E に同期し

50

てゲート線 G L 4 1 にゲート信号が印加される。ゲート線 G L 4 1 にゲート信号が印加されると、赤色副画素 R 2 1 の第 1 スイッチ素子 T 1 を介して赤色副画素 R 2 1 の駆動素子 D T のゲートと赤色副画素 R 2 1 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、赤色副画素 R 2 1 に対する画像データに対応する。同様に、ゲート線 G L 4 1 にゲート信号が印加されると、白色副画素 W 2 1 の第 1 スイッチ素子 T 1 を介して白色副画素 W 2 1 の駆動素子 D T のゲートと白色副画素 W 2 1 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、白色副画素 W 2 1 に対する画像データに対応する。

【 0 1 7 9 】

10

時刻 t 4 4 ~ t 4 5 の期間において、変調されたデータイネーブル信号 t D E に同期してゲート線 G L 4 3 にゲート信号が印加される。ゲート線 G L 4 3 にゲート信号が印加されると、赤色副画素 R 2 2 の第 1 スイッチ素子 T 1 を介して赤色副画素 R 2 2 の駆動素子 D T のゲートと赤色副画素 R 2 2 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、赤色副画素 R 2 2 に対する画像データに対応する。同様に、ゲート線 G L 4 3 にゲート信号が印加されると、白色副画素 W 2 2 の第 1 スイッチ素子 T 1 を介して白色副画素 W 2 2 の駆動素子 D T のゲートと白色副画素 W 2 2 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、白色副画素 W 2 2 に対する画像データに対応する。

20

【 0 1 8 0 】

時刻 t 4 5 ~ t 4 6 の期間において、変調されたデータイネーブル信号 t D E に同期してゲート線 G L 4 5 にゲート信号が印加される。ゲート線 G L 4 5 にゲート信号が印加されると、赤色副画素 R 2 3 の第 1 スイッチ素子 T 1 を介して赤色副画素 R 2 3 の駆動素子 D T のゲートと赤色副画素 R 2 3 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、赤色副画素 R 2 3 に対する画像データに対応する。同様に、ゲート線 G L 4 5 にゲート信号が印加されると、白色副画素 W 2 3 の第 1 スイッチ素子 T 1 を介して白色副画素 W 2 3 の駆動素子 D T のゲートと白色副画素 W 2 3 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、白色副画素 W 2 3 に対する画像データに対応する。

30

【 0 1 8 1 】

時刻 t 4 6 ~ t 4 7 の期間において、変調されたデータイネーブル信号 t D E に同期してゲート線 G L 4 7 にゲート信号が印加される。ゲート線 G L 4 7 にゲート信号が印加されると、赤色副画素 R 2 4 の第 1 スイッチ素子 T 1 を介して赤色副画素 R 2 4 の駆動素子 D T のゲートと赤色副画素 R 2 4 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、赤色副画素 R 2 4 に対する画像データに対応する。同様に、ゲート線 G L 4 7 にゲート信号が印加されると、白色副画素 W 2 4 の第 1 スイッチ素子 T 1 を介して白色副画素 W 2 4 の駆動素子 D T のゲートと白色副画素 W 2 4 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、白色副画素 W 2 4 に対する画像データに対応する。

40

【 0 1 8 2 】

時刻 t 4 7 ~ t 4 8 の期間において、変調されたデータイネーブル信号 t D E に同期してゲート線 G L 4 2 にゲート信号が印加される。ゲート線 G L 4 2 にゲート信号が印加されると、緑色副画素 G 2 1 の第 1 スイッチ素子 T 1 を介して緑色副画素 G 2 1 の駆動素子 D T のゲートと緑色副画素 G 2 1 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、緑色副画素 G 2 1 に対する画像データに対応する。同様に、ゲート線 G L 4 2 にゲート信号が印加されると、青色副画素 B 2 1 の第 1 スイッチ素子 T 1 を介して青色副画素 B 2 1 の

50

駆動素子 D T のゲートと青色副画素 B 2 1 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、青色副画素 B 2 1 に対する画像データに対応する。

【 0 1 8 3 】

時刻 t 4 8 ~ t 4 9 の期間において、変調されたデータイネーブル信号 t D E に同期してゲート線 G L 4 4 にゲート信号が印加される。ゲート線 G L 4 4 にゲート信号が印加されると、緑色副画素 G 2 2 の第 1 スイッチ素子 T 1 を介して緑色副画素 G 2 2 の駆動素子 D T のゲートと緑色副画素 G 2 2 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、緑色副画素 G 2 2 に対する画像データに対応する。同様に、ゲート線 G L 4 4 にゲート信号が印加されると、青色副画素 B 2 2 の第 1 スイッチ素子 T 1 を介して青色副画素 B 2 2 の駆動素子 D T のゲートと青色副画素 B 2 2 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、青色副画素 B 2 2 に対する画像データに対応する。

10

【 0 1 8 4 】

時刻 t 4 9 ~ t 5 0 の期間において、変調されたデータイネーブル信号 t D E に同期してゲート線 G L 4 6 にゲート信号が印加される。ゲート線 G L 4 6 にゲート信号が印加されると、緑色副画素 G 2 3 の第 1 スイッチ素子 T 1 を介して緑色副画素 G 2 3 の駆動素子 D T のゲートと緑色副画素 G 2 3 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、緑色副画素 G 2 3 に対する画像データに対応する。同様に、ゲート線 G L 4 6 にゲート信号が印加されると、青色副画素 B 2 3 の第 1 スイッチ素子 T 1 を介して青色副画素 B 2 3 の駆動素子 D T のゲートと青色副画素 B 2 3 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、青色副画素 B 2 3 に対する画像データに対応する。

20

【 0 1 8 5 】

時刻 t 5 0 ~ t 5 1 の期間において、変調されたデータイネーブル信号 t D E に同期してゲート線 G L 4 8 にゲート信号が印加される。ゲート線 G L 4 8 にゲート信号が印加されると、緑色副画素 G 2 4 の第 1 スイッチ素子 T 1 を介して緑色副画素 G 2 4 の駆動素子 D T のゲートと緑色副画素 G 2 4 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、緑色副画素 G 2 4 に対する画像データに対応する。同様に、ゲート線 G L 4 8 にゲート信号が印加されると、青色副画素 B 2 4 の第 1 スイッチ素子 T 1 を介して青色副画素 B 2 4 の駆動素子 D T のゲートと青色副画素 B 2 4 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、青色副画素 B 2 4 に対する画像データに対応する。

30

【 0 1 8 6 】

ゲート駆動部 2 0 0 は、スケジュール 5 6 0 からのゲート線指定信号 G L _ _ N u m に基づき、時刻 t 3 5 ~ t 5 1 の期間において、図 2 5 に示される順序でゲート線 G L 3 3 ~ G L 4 8 にゲート信号を印加する。データ駆動部 3 0 0 は、時刻 t 3 5 ~ t 5 1 の期間において、ゲート線 G L 3 3 ~ G L 4 8 に印加されたゲート信号に応じて、共有されたデータ線 D L 1 を介して緑色副画素 G および赤色副画素 R にデータ信号を書き込む。また、データ駆動部 3 0 0 は、時刻 t 3 5 ~ t 5 1 の期間において、ゲート線 G L 3 3 ~ G L 4 8 に印加されたゲート信号に応じて、共有されたデータ線 D L 2 を介して白色副画素 W および青色副画素 B にデータ信号を書き込む。図 2 6 に示されるタイミング図によれば、データ駆動部 3 0 0 は、画素行 1 3 1 7 ~ 1 3 2 4 において、図 2 5 に示す順序にて緑色副画素 G 1 7 ~ G 2 4、赤色副画素 R 1 7 ~ R 2 4、白色副画素 W 1 7 ~ W 2 4 および青色副画素 B 1 7 ~ B 2 4 にデータ信号を書き込む。

40

【 0 1 8 7 】

図 2 6 に示されるタイミング図によれば、データ駆動部 3 0 0 は、画素行 1 3 1 7 ~ 1

50

3 2 4において、図 2 5 に示す順序にて緑色副画素 G 1 7 ~ G 2 4、赤色副画素 R 1 7 ~ R 2 4、白色副画素 W 1 7 ~ W 2 4 および青色副画素 B 1 7 ~ B 2 4 にデータ信号を書き込む。即ち、図 2 5 に示される副画素の領域を走査する際に、データ線 D L 1 およびデータ線 D L 2 により伝送される画像データの信号（電圧）の不連続性は、それぞれ 2 回に低減され得る。よって、本願発明による D R D 駆動を用いた表示装置は、副画素への画像データを書き込む際の消費電力をさらに低減させることができる。

【 0 1 8 8 】

図 2 7 は、図 2 0 に示す表示画像を表示する際の、本実施形態に係る表示装置 1 0 の走査時間とデータ信号の書き込みが行われる副画素の行との間の関係を示すグラフである。

【 0 1 8 9 】

本実施形態において、類似度判定部 5 5 0 は、画素行 1 3 0 1 から 1 3 0 8 までの画像データは類似しないと判定している。この判定に基づき、データ駆動部 3 0 0 は、画素行 1 3 0 1 から 1 3 0 8 までの画像領域において、緑色副画素 G と赤色副画素 R とを 2 行ずつ交互に走査する。同様に、データ駆動部 3 0 0 は、画素行 1 3 0 1 から 1 3 0 8 までの画像領域に対して、白色副画素 W と青色副画素 B とを 2 行ずつ交互に走査する。結果として、画素行 1 3 0 1 から 1 3 0 8 までの画像領域において、同じ行に配された緑色副画素 G と赤色副画素 R との間の画像データの書き込みの時間差は、図 2 7 に示されるように、1 [a . u .] である。同様に、画素行 1 3 0 1 から 1 3 0 8 までの画像領域において、同じ行に配された白色副画素 W と青色副画素 B との間の画像データの書き込みの時間差は、図 2 7 に示されるように、1 [a . u .] である。

【 0 1 9 0 】

また、類似度判定部 5 5 0 は、画素行 1 3 0 9 から 1 3 1 2 および画素行 1 3 1 3 から 1 3 1 6 までの画像データは類似すると判定している。この判定に基づき、データ駆動部 3 0 0 は、画素行 1 3 0 9 から 1 3 1 6 までの画像領域において、緑色副画素 G と赤色副画素 R とを 4 行ずつ交互に走査する。同様に、データ駆動部 3 0 0 は、画素行 1 3 0 9 から 1 3 1 6 までの画像領域に対して、白色副画素 W と青色副画素 B とを 4 行ずつ交互に走査する。結果として、画素行 1 3 0 9 から 1 3 1 6 までの画像領域において、同じ行に配された緑色副画素 G と赤色副画素 R との間の画像データの書き込みの時間差は、図 2 7 に示されるように、2 [a . u .] である。同様に、画素行 1 3 0 9 から 1 3 1 6 までの画像領域において、同じ行に配された白色副画素 W と青色副画素 B との間の画像データの書き込みの時間差は、図 2 7 に示されるように、2 [a . u .] である。

【 0 1 9 1 】

また、類似度判定部 5 5 0 は、画素行 1 3 1 7 から 1 3 2 4 までの画像データは類似すると判定している。この判定に基づき、データ駆動部 3 0 0 は、画素行 1 3 1 7 から 1 3 2 4 までの画像領域において、緑色副画素 G と赤色副画素 R とを 8 行ずつ交互に走査する。同様に、データ駆動部 3 0 0 は、画素行 1 3 1 7 から 1 3 2 4 までの画像領域に対して、白色副画素 W と青色副画素 B とを 8 行ずつ交互に走査する。結果として、画素行 1 3 1 7 から 1 3 2 4 までの画像領域において、同じ行に配された緑色副画素 G と赤色副画素 R との間の画像データの書き込みの時間差は、図 2 7 に示されるように、4 [a . u .] である。同様に、画素行 1 3 1 7 から 1 3 2 4 までの画像領域において、同じ行に配された白色副画素 W と青色副画素 B との間の画像データの書き込みの時間差は、図 2 7 に示されるように、4 [a . u .] である。

【 0 1 9 2 】

本実施形態では、画素行の間の画像データの類似度を判定し、判定された類似度に基づいて同色の副画素を連続して走査する行数を決定している。画素行の間の画像データが類似しない画素行の領域では、同色の副画素を連続して走査する行数が小さく設定される。この結果、共有されたデータ線に接続され、同じ行に配された他の色の副画素との間の画像データの書き込みの時間差が小さくなる。よって、本発明によれば、D R D を用いた表示装置において画素行の間で類似していない領域を表示する際に、同じ行に配された複数の副画素の間における画像データの書き込みの時間差に起因する表示画質の低下を抑制さ

10

20

30

40

50

ることができる。一方、画素行の間の画像データが類似する画素行の領域では、同じ行に配された副画素の間における画像データの書き込みの時間差による表示画質への影響は小さい。よって、画素行の間の画像データが類似する画素行の領域では、同色の副画素を連続して走査する行数が大きく設定される。即ち、画素行の間の画像データが類似する画素行の領域では、データ線を介して伝送される画像データの信号（電圧）の不連続性が低減される。よって、本発明によるD R D駆動を用いた表示装置10は、表示画質の低下を抑制しつつ消費電力を低減させることができる。

【0193】

[第2実施形態]

本実施形態では、第1実施形態に係る類似度判定部550の変形例を説明する。第1差分算出部551、第2差分算出部552、第1積算部553、第2積算部554、第1閾値判定部557、第2閾値判定部558およびリセット判定部559の構成および機能は第1実施形態と同様であるため説明を省略する。

【0194】

図28は、本実施形態に係る類似度判定部550の概略構成を示すブロック図である。本実施形態に係る類似度判定部550は、第1閾値調整部555および第2閾値調整部556をさらに含む。

【0195】

第1閾値調整部555は、第1積算部553から奇数列に係る第x行のRGBW値と奇数列に係る第x-1行のRGBW値との間の差分の積算値Sum_Oを受信する。第1閾値調整部555は、受信された積算値Sum_Oに基づき、第1閾値判定部557に設定されている閾値を適切な値に調整する。例えば、第1閾値調整部555は、学習データを用いた学習済みモデルに基づく機械学習法、類似度判定部550に入力される積算値から最適な閾値を導出するクラスタリング解析による分類手法等を用いて、第1閾値判定部557に設定されている閾値を最適な値に調整する。第1閾値調整部555は、最適な値に調整された閾値Th_Oを第1閾値判定部557に伝送する。第1閾値判定部557は、第1積算部553から受信された積算値Sum_Oが最適な値に調整された閾値Th_O未満であると判断した場合に、奇数列に係る第x行の画像データは奇数列に係る第x-1行の画像データと類似していると判定する。一方、第1閾値判定部557は、第1積算部553から受信した積算値Sum_Oが最適な値に調整された閾値Th_O以上であると判断した場合に、奇数列に係る第x行の画像データは奇数列に係る第x-1行の画像データと類似していないと判定する。

【0196】

同様に、第2閾値調整部556は、第2積算部554から偶数列に係る第x行のRGBW値と偶数列に係る第x-1行のRGBW値との間の差分の積算値Sum_Eを受信する。第2閾値調整部556は、受信された積算値Sum_Eに基づき、第2閾値判定部558に設定されている閾値を適切な値に調整する。例えば、第2閾値調整部556は、学習データを用いた学習済みモデルに基づく機械学習法、類似度判定部550に入力される積算値から最適な閾値を導出するクラスタリング解析による分類手法等を用いて、第2閾値判定部558に設定されている閾値を最適な値に調整する。第2閾値調整部556は、最適な値に調整された閾値Th_Eを第2閾値判定部558に伝送する。第2閾値判定部558は、第2積算部554から受信された積算値Sum_Eが最適な値に調整された閾値Th_E未満であると判断した場合に、偶数列に係る第x行の画像データは偶数列に係る第x-1行の画像データと類似していると判定する。一方、第2閾値判定部558は、第2積算部554から受信した積算値Sum_Eが最適な値に調整された閾値Th_E以上であると判断した場合に、偶数列に係る第x行の画像データは偶数列に係る第x-1行の画像データと類似していないと判定する。

【0197】

本実施形態において、類似度判定部550は、第1閾値調整部555および第2閾値調整部556を含むものとしたが、本発明は上記構成に限定されない。例えば、第1閾値調

10

20

30

40

50

整部 5 5 5 および第 2 閾値調整部 5 5 6 は単一の閾値調整部として構成されることができる。この場合、単一の閾値調整部は、第 1 積算部 5 5 3 および第 2 積算部 5 5 4 の双方から奇数列および偶数列に係る差分の積算値 Sum_O 、 Sum_E を受信する。単一の閾値調整部は、受信された各積算値に基づき、第 1 閾値判定部 5 5 7 および第 2 閾値判定部 5 5 8 に設定されている各閾値を最適な値にそれぞれ調整する。単一の閾値調整部は、最適な値に調整された各閾値 Th_O 、 Th_E を、第 1 閾値判定部 5 5 7 および第 2 閾値判定部 5 5 8 にそれぞれ伝送する。

【 0 1 9 8 】

図 2 9 は、本実施形態に係る第 1 閾値調整部 5 5 5 および第 2 閾値調整部 5 5 6 の構成の一例を示すブロック図である。本実施形態において、第 1 閾値調整部 5 5 5 は、学習用積算値 Sum_Learn 、学習用閾値 Th_learn および奇数列に係る第 x 行の RGBW 値と奇数列に係る第 $x - 1$ 行の RGBW 値との間の差分の積算値 Sum_O を受信するニューラルネットワークを含む。第 1 閾値調整部 5 5 5 は、例えば種々の画像データから学習用積算値 Sum_Learn 、学習用閾値 Th_learn および積算値 Sum_O を算出し、算出された値を学習データとして読み込む。第 1 閾値調整部 5 5 5 は、受信された学習データについて重みづけを行い、学習済モデルを生成する。第 1 閾値調整部 5 5 5 は、生成された学習済モデルに基づき、第 1 閾値判定部 5 5 7 に設定されている閾値を最適な値に調整された閾値 Th_O に調整する。同様に、第 2 閾値調整部 5 5 6 は、学習用積算値 Sum_Learn 、学習用閾値 Th_learn および偶数列に係る第 x 行の RGBW 値と偶数列に係る第 $x - 1$ 行の RGBW 値との間の差分の積算値 Sum_E を受信するニューラルネットワークを含む。第 2 閾値調整部 5 5 6 は、学習用積算値 Sum_Learn 、学習用閾値 Th_learn および積算値 Sum_E を学習データとして読み込む。第 2 閾値調整部 5 5 6 は、受信された学習データについて重みづけを行い、学習済モデルを生成する。第 2 閾値調整部 5 5 6 は、生成された学習済モデルに基づき、第 2 閾値判定部 5 5 8 に設定されている閾値を最適な値に調整された閾値 Th_E に調整する。

【 0 1 9 9 】

図 3 0 は、本実施形態に係る類似度判定部 5 5 0 により調整された閾値の一例を示すグラフである。図 3 0 に示される例において、表示パネル 1 0 0 の上部および下部において、各行の間の RGBW 値の差分の積算値 SUM は表示パネル 1 0 0 の中央部における差分の積算値 SUM と比較して小さい。即ち、表示パネル 1 0 0 の上部および下部における各行の間の画像データは、表示パネル 1 0 0 の中央部における各行の間の画像データと比較して類似している。しかしながら、図 3 0 に示される例においては、第 1 閾値判定部 5 5 7 および第 2 閾値判定部 5 5 8 には、表示パネル 1 0 0 の上部および下部における差分の積算値 SUM よりも小さい既定の閾値 Th_OGL が設定されている。よって、閾値が調整されない場合、第 1 閾値判定部 5 5 7 および第 2 閾値判定部 5 5 8 は、既定の閾値 Th_OGL に基づき、表示パネル 1 0 0 の各行に書き込まれる画像データがすべての領域にわたって類似しない、と判定する。第 1 閾値判定部 5 5 7 および第 2 閾値判定部 5 5 8 の判定に基づき、スケジューラ 5 6 0 は、表示画質の低下を抑制させるために、同じ色の副画素を連続して走査する行数を小さくするように、データ駆動部 3 0 0 に信号 $IRSS$ 、 $VALID$ 、 $ORSS$ を伝送する。結果として、出力される画像データの信号（電圧）が不連続となる頻度が増加し、表示装置 1 0 の消費電力を増大させる。

【 0 2 0 0 】

本実施形態では、類似度判定部 5 5 0 に含まれる第 1 閾値調整部 5 5 5 および第 2 閾値調整部 5 5 6 は、学習データに基づき生成された学習済モデルに基づき、第 1 閾値判定部 5 5 7 および第 2 閾値判定部 5 5 8 に設定されている既定の閾値 Th_OGL を最適な値に調整された閾値 Th_O および Th_E にそれぞれ調整する。第 1 閾値調整部 5 5 5 および第 2 閾値調整部 5 5 6 によって既定の閾値 Th_OGL が最適な値に調整された閾値 Th_O および Th_E にそれぞれ変更された結果として、第 1 閾値判定部 5 5 7 および第 2 閾値判定部 5 5 8 は、表示パネル 1 0 0 の上部および下部における各行の間の画像デ

ータが類似していると判定する。第1閾値判定部557および第2閾値判定部558の判定に基づき、スケジューラ560は、消費電力を低下させるために、同じ色の副画素を連続して走査する行数を大きくするように、データ駆動部300に信号IRSS, VALID, ORSSを伝送する。結果として、出力される画像データの信号(電圧)が不連続となる頻度が低下し、表示装置10の消費電力を低減させる。したがって、本実施形態によれば、DRD駆動を用いた表示装置が副画素への画像データを書き込む際の消費電力をさらに低減させることができる。

【0201】

[第3実施形態]

本実施形態では、第1実施形態に係る類似度判定部550の別の変形例を説明する。第1差分算出部551、第2差分算出部552、第1積算部553、第2積算部554、第1閾値判定部557、第2閾値判定部558およびリセット判定部559の構成および機能のうち第1実施形態と同様の部分については説明を省略する。

【0202】

図31は、本実施形態に係る類似度判定部550の概略構成を示すブロック図である。本実施形態に係る類似度判定部550は、第1差分算出部551、第2差分算出部552、第1積算部553、第2積算部554、第1閾値判定部557、第2閾値判定部558およびリセット判定部559を含む。

【0203】

第2差分算出部552は、偶数列に配された副画素Pに係る第x行の画像データRGBW_E(x)を行メモリ部520から受信する。また、第1差分算出部551は、奇数列に配された副画素Pに係る第x-1行から所定の行数kまでの画像データRGBW_O(x-1, x-2, ..., x-k)を行メモリ部520から受信する(kはx未満の正の整数、以下同様)。受信された画像データRGBW_O(x-1, x-2, ..., x-k)のそれぞれは、画像データRGBW_O(x)の1行前~k行前の画像データであり、例えば第x-1行~第x-k行に配された緑色副画素Gおよび白色副画素Wに書き込まれる画像データのRGBW値である。第1差分算出部551は、受信した第x行の画像データRGBW_O(x)と第x-1行の画像データRGBW_O(x-1)との間の差分Diff_O(1)を計算し、計算の結果を第1積算部553に伝送する。同様に、第1差分算出部551は、受信した第x行の画像データRGBW_O(x)と第x-2行~第x-k行の画像データRGBW_O(x-2)~RGBW_O(x-k)のそれぞれとの間の各差分Diff_O(2)~Diff_O(k)を計算し、計算の結果を第1積算部553に伝送する。

【0204】

第1積算部553は、各奇数列における第x行のRGBW値と第x-1行~第x-k行のRGBW値のそれぞれとの間の各差分Diff_O(1)~Diff_O(k)のデータを第1差分算出部551から受信する。第1積算部553は、第1差分算出部551から受信した各奇数列の画像データの各差分を積算する。例えば表示パネル100に含まれる奇数列の副画素の列数がmである場合、第1積算部553は、第x行のRGBW値と第x-1行のRGBW値との間の差分について、奇数列の数に対応した(m-1)個の差分値を第1差分算出部551から受信する。第1積算部553は、第1差分算出部551から受信した第x行のRGBW値と第x-1行のRGBW値との間の差分を、(m-1)個の各列間について積算する。第1積算部553は、差分を積算した値Sum_O(1)を第1閾値判定部557に伝送する。同様に、第1積算部553は、第x行のRGBW値と第x-2行~第x-k行のRGBW値のそれぞれとの間の各差分について、奇数列の数に対応した(m-1)個の差分値を第1差分算出部551から受信する。第1積算部553は、第1差分算出部551から受信した第x行のRGBW値と第x-2行~第x-k行のRGBW値のそれぞれとの間の差分を、(m-1)個の各列間について積算する。第1積算部553は、差分を積算した値Sum_O(2)~Sum_O(k)のそれぞれを第1閾値判定部557に伝送する。

10

20

30

40

50

【 0 2 0 5 】

第1 閾値判定部 5 5 7 は、第1 積算部 5 5 3 から奇数列に係る第 x 行の RGBW 値と奇数列に係る第 $x - 1$ 行 ~ 第 $x - k$ 行の RGBW 値との間の差分 $Diff_O$ の積算値 $Sum_O(1) \sim Sum_O(k)$ を受信する。第1 閾値判定部 5 5 7 は、受信されたある行についての積算値が所定の閾値未満であると判断した場合に、奇数列に係る第 x 行の画像データは奇数列に係る当該行の画像データに類似していると判定する。例えば、第1 閾値判定部 5 5 7 は、受信された積算値 $Sum_O(k)$ が所定の閾値未満であると判断した場合に、奇数列に係る第 x 行の画像データは奇数列に係る第 $x - k$ 行の画像データに類似していると判定する。一方、第1 閾値判定部 5 5 7 は、受信されたある行についての積算値が所定の閾値以上であると判断した場合に、奇数列に係る第 x 行の画像データは奇数列に係る当該行の画像データに類似していないと判定する。例えば、第1 閾値判定部 5 5 7 は、受信された積算値 $Sum_O(k)$ が所定の閾値以上であると判断した場合に、奇数列に係る第 x 行の画像データは奇数列に係る第 $x - k$ 行の画像データに類似していないと判定する。第1 閾値判定部 5 5 7 は、判定の結果である信号 $RES_O(x)$ をスケジューラ 5 6 0 に伝送する。また、第1 閾値判定部 5 5 7 は、奇数列に係るある行の画像データが奇数列に係る第 x 行の画像データに類似すると判定した場合に、当該行を特定する信号 Num_O を信号 $RES_O(x)$ とともに送信する。

10

【 0 2 0 6 】

第2 差分算出部 5 5 2 は、偶数列に配された副画素 P に係る第 x 行の画像データ RGBW $_E(x)$ を行メモリ部 5 2 0 から受信する。また、第2 差分算出部 5 5 2 は、偶数列に配された副画素 P に係る第 $x - 1$ 行から所定の行数 k までの画像データ RGBW $_E(x - 1, x - 2, \dots, x - k)$ を行メモリ部 5 2 0 から受信する。受信された画像データ RGBW $_E(x - 1, x - 2, \dots, x - k)$ のそれぞれは、画像データ RGBW $_E(x)$ の1 行前 ~ k 行前の画像データであり、例えば第 $x - 1$ 行 ~ 第 $x - k$ 行に配された赤色副画素 R および青色副画素 B に書き込まれる画像データの RGBW 値である。第2 差分算出部 5 5 2 は、受信した第 x 行の画像データ RGBW $_E(x)$ と第 $x - 1$ 行の画像データ RGBW $_E(x - 1)$ との間の差分 $Diff_E(1)$ を計算し、計算の結果を第2 積算部 5 5 4 に伝送する。同様に、第2 差分算出部 5 5 2 は、受信した第 x 行の画像データ RGBW $_E(x)$ と第 $x - 2$ 行 ~ 第 $x - k$ 行の画像データ RGBW $_E(x - 2) \sim RGBW_E(x - k)$ のそれぞれとの間の各差分 $Diff_E(2) \sim Diff_E(k)$ を計算し、計算の結果を第2 積算部 5 5 4 に伝送する。

20

30

【 0 2 0 7 】

第2 積算部 5 5 4 は、各偶数列における第 x 行の RGBW 値と第 $x - 1$ 行 ~ 第 $x - k$ 行の RGBW 値のそれぞれとの間の各差分 $Diff_E(1) \sim Diff_E(k)$ のデータを第2 差分算出部 5 5 2 から受信する。第2 積算部 5 5 4 は、第2 差分算出部 5 5 2 から受信した各偶数列の画像データの各差分を積算する。例えば表示パネル 1 0 0 に含まれる偶数列の副画素の列数が m である場合、第2 積算部 5 5 4 は、第 x 行の RGBW 値と第 $x - 1$ 行の RGBW 値との間の差分について、偶数列の数に対応した $(m - 1)$ 個の差分値を第2 差分算出部 5 5 2 から受信する。第2 積算部 5 5 4 は、第2 差分算出部 5 5 2 から受信した第 x 行の RGBW 値と第 $x - 1$ 行の RGBW 値との間の差分を、 $(m - 1)$ 個の各列間について積算する。第2 積算部 5 5 4 は、差分を積算した値 $Sum_E(1)$ を第2 閾値判定部 5 5 8 に伝送する。同様に、第2 積算部 5 5 4 は、第 x 行の RGBW 値と第 $x - 2$ 行 ~ 第 $x - k$ 行の RGBW 値のそれぞれとの間の各差分について、偶数列の数に対応した $(m - 1)$ 個の差分値を第2 差分算出部 5 5 2 から受信する。第2 積算部 5 5 4 は、第2 差分算出部 5 5 2 から受信した第 x 行の RGBW 値と第 $x - 2$ 行 ~ 第 $x - k$ 行の RGBW 値のそれぞれとの間の差分を、 $(m - 1)$ 個の各列間について積算する。第2 積算部 5 5 4 は、差分を積算した値 $Sum_E(2) \sim Sum_E(k)$ のそれぞれを第2 閾値判定部 5 5 8 に伝送する。

40

【 0 2 0 8 】

第2 閾値判定部 5 5 8 は、第2 積算部 5 5 4 から偶数列に係る第 x 行の RGBW 値と偶

50

数列に係る第 $x - 1$ 行 ~ 第 $x - k$ 行の RGBW 値との間の差分 $Diff_E$ の積算値 $Sum_E(1) \sim Sum_E(k)$ を受信する。第 2 閾値判定部 558 は、受信されたある行についての積算値が所定の閾値未満であると判断した場合に、偶数列に係る第 x 行の画像データは偶数列に係る当該行の画像データに類似していると判定する。例えば、第 2 閾値判定部 558 は、受信された積算値 $Sum_E(k)$ が所定の閾値未満であると判断した場合に、偶数列に係る第 x 行の画像データは偶数列に係る第 $x - k$ 行の画像データに類似していると判定する。一方、第 2 閾値判定部 558 は、受信されたある行についての積算値が所定の閾値以上であると判断した場合に、偶数列に係る第 x 行の画像データは偶数列に係る当該行の画像データに類似していないと判定する。例えば、第 2 閾値判定部 558 は、受信された積算値 $Sum_E(k)$ が所定の閾値以上であると判断した場合に、偶数列に係る第 x 行の画像データは偶数列に係る第 $x - k$ 行の画像データに類似していないと判定する。第 2 閾値判定部 558 は、判定の結果である信号 $RES_E(x)$ をスケジューラ 560 に伝送する。また、第 2 閾値判定部 558 は、偶数列に係るある行の画像データが偶数列に係る第 x 行の画像データに類似すると判定した場合に、当該行を特定する信号 Num_E を信号 $RES_E(x)$ とともに送信する。

【0209】

以下に、本実施形態に係る表示装置 10 に表示される画像に基づいて変更される副画素を走査する順序について説明する。図 32 は、本実施形態に係る表示装置 10 に表示される画像の一例である。表示装置 10 に含まれる表示パネル 100 は、複数の画素行 2501 ~ 2508 を表示している。本実施形態に係る類似度判定部 550 は、画素行 2504 に含まれる奇数列に配された副画素に書き込まれた画素データが、3 行上に位置する画素行 2501 に含まれる奇数列に配された副画素に書き込まれた画像データに類似すると判定している。また、本実施形態に係る類似度判定部 550 は、画素行 2506 に含まれる奇数列に配された副画素に書き込まれた画素データが、2 行上に位置する画素行 2504 に含まれる奇数列に配された副画素に書き込まれた画像データに類似すると判定している。一方、本実施形態に係る類似度判定部 550 は、画素行 2502、2503、2505、2507、2508 に含まれる奇数列および偶数列に配された副画素に書き込まれた画像データが、他の画素行に含まれる奇数列および偶数列に配された副画素に書き込まれた画像データのいずれにも類似しないと判定している。

【0210】

図 33 は、本実施形態に係るスケジューラ 560 への入力の例を示す表である。図 33 には、図 32 に示される画素行 2501 から画素行 2508 までについて、本実施形態に係る類似度判定部 550 からスケジューラ 560 へ入力される信号 RES_O 、 Num_O 、 RES_E 、 Num_E の値の一例が示されている。図 33 に示されるように、本例では、類似度判定部 550 は、奇数列についての出力信号 RES_O として、画素行 2504 および画素行 2506 に対して 1 をスケジューラ 560 に対して伝送する。さらに、類似度判定部 550 は、画素行 2504 および画素行 2506 についての出力信号 RES_O とともに、類似する画像データを有すると判定された行を特定する信号 Num_O を伝送する。具体的には、本実施形態に係る類似度判定部 550 は、画素行 2504 の奇数列に配された副画素に書き込まれた画像データが画素行 2501 の奇数列に配された副画素に書き込まれた画像データと類似していることを示す判定結果をスケジューラ 560 に伝送する。同様に、本実施形態に係る類似度判定部 550 は、画素行 2506 の奇数列に配された副画素に書き込まれた画像データが画素行 2504 の奇数列に配された副画素に書き込まれた画像データと類似していることを示す判定結果をスケジューラ 560 に伝送する。一方、類似度判定部 550 は、画素行 2504、画素行 2506 についての出力信号 RES_O 以外の信号 RES_O 、 RES_E として 0 をスケジューラ 560 に対して伝送する。即ち、類似度判定部 550 は、画素行 2504、2506 の奇数列に配された副画素に書き込まれた画像データ以外の画素データが他の画素行の画像データに類似していないことを示す判定結果をスケジューラ 560 に伝送する。

【0211】

スケジューラ 560 は、図 33 に示される信号 RES_O、Num_O、RES_E、Num_E を類似度判定部 550 から受信する。スケジューラ 560 は、受信された信号 RES_O、Num_O、RES_E、Num_E に基づいて、入力レジスタ選択信号 IRSS、入力有効化信号 VALID、出力レジスタ選択信号 ORSS、ゲート線指定信号 GL_Num を生成する。スケジューラ 560 は、生成された入力レジスタ選択信号 IRSS、入力有効化信号 VALID、出力レジスタ選択信号 ORSS をデータ駆動部 300 へ伝送し、生成されたゲート線指定信号 GL_Num を信号変調部 510 へ伝送する。ゲート駆動部 200 は、ゲート線指定信号 GL_Num に基づき、所定の順序でゲート線 GL にゲート信号を印加する。データ駆動部 300 は、受信された入力レジスタ選択信号 IRSS、入力有効化信号 VALID、出力レジスタ選択信号 ORSS に基づき、ゲート駆動部 200 からのゲート信号に同期して、出力レジスタ選択信号 ORSS によって指定された順序でデータ線 DL を介して各副画素に画像データを伝送する。

10

【0212】

図 34 は、本実施形態に係る表示装置の副画素が走査される順序を示す模式図である。図 34 には、図 32 に示された画素行 2501 ~ 2508 における 4 列の副画素が示されている。具体的には、図 34 は、データ線 DL1 を共有する緑色副画素 G25 ~ G32 および赤色副画素 R25 ~ R32 並びにデータ線 DL2 を共有する白色副画素 W25 ~ W32 および青色副画素 B25 ~ B32 を示している。

【0213】

図 34 に示されるように、画素行 2501 ~ 2508 において、以下に示す順序にて緑色副画素 G および赤色副画素 R が走査される。最初に緑色副画素 G25 が走査された後に、緑色副画素 G25 の 3 行下に配された緑色副画素 G28 が走査される。その後に、緑色副画素 G28 の 2 行下に配された緑色副画素 G30 が走査される。その後に、緑色副画素 G25 と同じ行においてデータ線 DL1 を共有し、緑色副画素 G の画素列とは異なる画素列に含まれる赤色副画素 R25 が走査される。その後に、赤色副画素 R25 の 3 行下に配された赤色副画素 R28 が走査される。その後に、赤色副画素 R28 の 2 行下に配された赤色副画素 R30 が走査される。その後に、赤色副画素 R30 の 4 行上に配された赤色副画素 R26 が走査される。その後に、赤色副画素 R26 と同じ行においてデータ線 DL1 を共有し、赤色副画素 R の画素列とは異なる画素列に含まれる緑色副画素 G26 が走査される。その後に、緑色副画素 G26 の 1 行下に配された緑色副画素 G27 が走査される。その後に、緑色副画素 G27 と同じ行においてデータ線 DL1 を共有し、緑色副画素 G の画素列とは異なる画素列に含まれる赤色副画素 R27 が走査される。その後に、赤色副画素 R27 の 2 行下に配された赤色副画素 R29 が走査される。その後に、赤色副画素 R29 と同じ行においてデータ線 DL1 を共有し、赤色副画素 R の画素列とは異なる画素列に含まれる緑色副画素 G29 が走査される。その後に、緑色副画素 G29 の 2 行下に配された緑色副画素 G31 が走査される。その後に、緑色副画素 G31 と同じ行においてデータ線 DL1 を共有し、緑色副画素 G の画素列とは異なる画素列に含まれる赤色副画素 R31 が走査される。その後に、赤色副画素 R31 の 1 行下に配された赤色副画素 R32 が走査される。その後に、赤色副画素 R32 と同じ行においてデータ線 DL1 を共有し、赤色副画素 R の画素列とは異なる画素列に含まれる緑色副画素 G32 が走査される。

20

30

40

【0214】

また、図 34 に示されるように、画素行 1301 ~ 1308 において、以下に示す順序にて白色副画素 W および青色副画素 B が走査される。最初に青色副画素 B25 が走査された後に、青色副画素 B25 の 3 行下に配された青色副画素 B28 が走査される。その後に、青色副画素 B28 の 2 行下に配された青色副画素 B30 が走査される。その後に、青色副画素 B25 と同じ行においてデータ線 DL2 を共有し、青色副画素 B の画素列とは異なる画素列に含まれる白色副画素 W25 が走査される。その後に、白色副画素 W25 の 3 行下に配された白色副画素 W28 が走査される。その後に、白色副画素 W28 の 2 行下に配された白色副画素 W30 が走査される。その後に、白色副画素 W30 の 4 行上に配された白色副画素 W26 が走査される。その後に、白色副画素 W26 と同じ行においてデータ線

50

D L 2 を共有し、白色副画素 W の画素列とは異なる画素列に含まれる青色副画素 B 2 6 が走査される。その後に、青色副画素 B 2 6 の 1 行下に配された青色副画素 B 2 7 が走査される。その後に、青色副画素 B 2 7 と同じ行においてデータ線 D L 2 を共有し、青色副画素 B の画素列とは異なる画素列に含まれる白色副画素 W 2 7 が走査される。その後に、白色副画素 W 2 7 の 2 行下に配された白色副画素 W 2 9 が走査される。その後に、白色副画素 W 2 9 と同じ行においてデータ線 D L 2 を共有し、白色副画素 W の画素列とは異なる画素列に含まれる青色副画素 B 2 9 が走査される。その後に、青色副画素 B 2 9 の 2 行下に配された青色副画素 B 3 1 が走査される。その後に、青色副画素 B 3 1 と同じ行においてデータ線 D L 2 を共有し、青色副画素 B の画素列とは異なる画素列に含まれる白色副画素 W 3 1 が走査される。その後に、白色副画素 W 3 1 の 1 行下に配された白色副画素 W 3 2 が走査される。その後に、白色副画素 W 3 2 と同じ行においてデータ線 D L 2 を共有し、白色副画素 W の画素列とは異なる画素列に含まれる青色副画素 B 3 2 が走査される。

10

【 0 2 1 5 】

本実施形態において、類似度判定部 5 5 0 は、各行に印加される画像データ（信号）を他の複数行に印加される画像データのそれぞれと比較する。類似度判定部 5 5 0 は、類似する画像データが印加されていると判定された行を優先的に順次走査する本実施形態によれば、類似する画像データが印加されていると判定された行が連続していない場合であっても、同じ色の副画素を連続して走査する行数を大きくすることができる。結果として、出力される画像データの信号（電圧）が不連続となる頻度が低下し、表示装置 1 0 の消費電力は低減される。したがって、本実施形態によれば、D R D 駆動を用いた表示装置が副画素への画像データを書き込む際の消費電力をさらに低減させることができる。

20

【 0 2 1 6 】

図 3 5 は、本実施形態に係る表示装置 1 0 のゲート線に印加されるゲート信号のタイミング図である。具体的には、図 3 4 に示される画素行 2 5 0 1 から 2 5 0 8 までの副画素は、図 3 1 に示される類似度判定部 5 5 0 からスケジューラ 5 6 0 へ伝送される信号に基づき走査される。ゲート駆動部 2 0 0 は、図 3 5 に示されるタイミングでゲート線 G L 4 9 ~ G L 6 4 へゲート信号を印加する。

【 0 2 1 7 】

時刻 t_{52} ~ t_{53} の期間において、ゲート線 G L 4 9 ~ G L 6 4 にゲート信号は印加されていない。時刻 t_{53} ~ t_{54} の期間において、変調されたデータインーブル信号 t_{DE} に同期してゲート線 G L 5 0 にゲート信号が印加される。ゲート線 G L 5 0 にゲート信号が印加されると、緑色副画素 G 2 5 の第 1 スイッチ素子 T 1 を介して緑色副画素 G 2 5 の駆動素子 D T のゲートと緑色副画素 G 2 5 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、緑色副画素 G 2 5 に対する画像データに対応する。同様に、ゲート線 G L 5 0 にゲート信号が印加されると、青色副画素 B 2 5 の第 1 スイッチ素子 T 1 を介して青色副画素 B 2 5 の駆動素子 D T のゲートと青色副画素 B 2 5 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、青色副画素 B 2 5 に対する画像データに対応する。

30

【 0 2 1 8 】

時刻 t_{54} ~ t_{55} の期間において、変調されたデータインーブル信号 t_{DE} に同期してゲート線 G L 5 6 にゲート信号が印加される。ゲート線 G L 5 6 にゲート信号が印加されると、緑色副画素 G 2 8 の第 1 スイッチ素子 T 1 を介して緑色副画素 G 2 8 の駆動素子 D T のゲートと緑色副画素 G 2 8 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、緑色副画素 G 2 8 に対する画像データに対応する。同様に、ゲート線 G L 5 6 にゲート信号が印加されると、青色副画素 B 2 8 の第 1 スイッチ素子 T 1 を介して青色副画素 B 2 8 の駆動素子 D T のゲートと青色副画素 B 2 8 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、青色副画素 B 2 8 に対する画像データに対応する。

40

50

【 0 2 1 9 】

時刻 $t_{55} \sim t_{56}$ の期間において、変調されたデータイネーブル信号 t_{DE} に同期してゲート線 $GL60$ にゲート信号が印加される。ゲート線 $GL60$ にゲート信号が印加されると、緑色副画素 $G30$ の第 1 スイッチ素子 $T1$ を介して緑色副画素 $G30$ の駆動素子 DT のゲートと緑色副画素 $G30$ の第 1 キャパシタ $C1$ との間の第 1 ノード $N1$ にデータ線 $DL1$ からデータ信号が印加される。データ線 $DL1$ から印加されたデータ信号は、緑色副画素 $G30$ に対する画像データに対応する。同様に、ゲート線 $GL60$ にゲート信号が印加されると、青色副画素 $B30$ の第 1 スイッチ素子 $T1$ を介して青色副画素 $B30$ の駆動素子 DT のゲートと青色副画素 $B30$ の第 1 キャパシタ $C1$ との間の第 1 ノード $N1$ にデータ線 $DL2$ からデータ信号が印加される。データ線 $DL2$ から印加されたデータ信号は、青色副画素 $B30$ に対する画像データに対応する。

10

【 0 2 2 0 】

時刻 $t_{56} \sim t_{57}$ の期間において、変調されたデータイネーブル信号 t_{DE} に同期してゲート線 $GL49$ にゲート信号が印加される。ゲート線 $GL49$ にゲート信号が印加されると、赤色副画素 $R25$ の第 1 スイッチ素子 $T1$ を介して赤色副画素 $R25$ の駆動素子 DT のゲートと赤色副画素 $R25$ の第 1 キャパシタ $C1$ との間の第 1 ノード $N1$ にデータ線 $DL1$ からデータ信号が印加される。データ線 $DL1$ から印加されたデータ信号は、赤色副画素 $R25$ に対する画像データに対応する。同様に、ゲート線 $GL49$ にゲート信号が印加されると、白色副画素 $W25$ の第 1 スイッチ素子 $T1$ を介して白色副画素 $W25$ の駆動素子 DT のゲートと白色副画素 $W25$ の第 1 キャパシタ $C1$ との間の第 1 ノード $N1$ にデータ線 $DL2$ からデータ信号が印加される。データ線 $DL2$ から印加されたデータ信号は、白色副画素 $W25$ に対する画像データに対応する。

20

【 0 2 2 1 】

時刻 $t_{57} \sim t_{58}$ の期間において、変調されたデータイネーブル信号 t_{DE} に同期してゲート線 $GL55$ にゲート信号が印加される。ゲート線 $GL55$ にゲート信号が印加されると、赤色副画素 $R28$ の第 1 スイッチ素子 $T1$ を介して赤色副画素 $R28$ の駆動素子 DT のゲートと赤色副画素 $R28$ の第 1 キャパシタ $C1$ との間の第 1 ノード $N1$ にデータ線 $DL1$ からデータ信号が印加される。データ線 $DL1$ から印加されたデータ信号は、赤色副画素 $R28$ に対する画像データに対応する。同様に、ゲート線 $GL55$ にゲート信号が印加されると、白色副画素 $W28$ の第 1 スイッチ素子 $T1$ を介して白色副画素 $W28$ の駆動素子 DT のゲートと白色副画素 $W28$ の第 1 キャパシタ $C1$ との間の第 1 ノード $N1$ にデータ線 $DL2$ からデータ信号が印加される。データ線 $DL2$ から印加されたデータ信号は、白色副画素 $W28$ に対する画像データに対応する。

30

【 0 2 2 2 】

時刻 $t_{58} \sim t_{59}$ の期間において、変調されたデータイネーブル信号 t_{DE} に同期してゲート線 $GL59$ にゲート信号が印加される。ゲート線 $GL59$ にゲート信号が印加されると、赤色副画素 $R30$ の第 1 スイッチ素子 $T1$ を介して赤色副画素 $R30$ の駆動素子 DT のゲートと赤色副画素 $R30$ の第 1 キャパシタ $C1$ との間の第 1 ノード $N1$ にデータ線 $DL1$ からデータ信号が印加される。データ線 $DL1$ から印加されたデータ信号は、赤色副画素 $R30$ に対する画像データに対応する。同様に、ゲート線 $GL59$ にゲート信号が印加されると、白色副画素 $W30$ の第 1 スイッチ素子 $T1$ を介して白色副画素 $W30$ の駆動素子 DT のゲートと白色副画素 $W30$ の第 1 キャパシタ $C1$ との間の第 1 ノード $N1$ にデータ線 $DL2$ からデータ信号が印加される。データ線 $DL2$ から印加されたデータ信号は、白色副画素 $W30$ に対する画像データに対応する。

40

【 0 2 2 3 】

時刻 $t_{59} \sim t_{60}$ の期間において、変調されたデータイネーブル信号 t_{DE} に同期してゲート線 $GL51$ にゲート信号が印加される。ゲート線 $GL51$ にゲート信号が印加されると、赤色副画素 $R26$ の第 1 スイッチ素子 $T1$ を介して赤色副画素 $R26$ の駆動素子 DT のゲートと赤色副画素 $R26$ の第 1 キャパシタ $C1$ との間の第 1 ノード $N1$ にデータ線 $DL1$ からデータ信号が印加される。データ線 $DL1$ から印加されたデータ信号は、赤

50

色副画素 R 2 6 に対する画像データに対応する。同様に、ゲート線 G L 5 1 にゲート信号が印加されると、白色副画素 W 2 6 の第 1 スイッチ素子 T 1 を介して白色副画素 W 2 6 の駆動素子 D T のゲートと白色副画素 W 2 6 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、白色副画素 W 2 6 に対する画像データに対応する。

【 0 2 2 4 】

時刻 t 6 0 ~ t 6 1 の期間において、変調されたデータイネーブル信号 t D E に同期してゲート線 G L 5 2 にゲート信号が印加される。ゲート線 G L 5 2 にゲート信号が印加されると、緑色副画素 G 2 6 の第 1 スイッチ素子 T 1 を介して緑色副画素 G 2 6 の駆動素子 D T のゲートと緑色副画素 G 2 6 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、緑色副画素 G 2 6 に対する画像データに対応する。同様に、ゲート線 G L 5 2 にゲート信号が印加されると、青色副画素 B 2 6 の第 1 スイッチ素子 T 1 を介して青色副画素 B 2 6 の駆動素子 D T のゲートと青色副画素 B 2 6 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、青色副画素 B 2 6 に対する画像データに対応する。

10

【 0 2 2 5 】

時刻 t 6 1 ~ t 6 2 の期間において、変調されたデータイネーブル信号 t D E に同期してゲート線 G L 5 4 にゲート信号が印加される。ゲート線 G L 5 4 にゲート信号が印加されると、緑色副画素 G 2 7 の第 1 スイッチ素子 T 1 を介して緑色副画素 G 2 7 の駆動素子 D T のゲートと緑色副画素 G 2 7 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、緑色副画素 G 2 7 に対する画像データに対応する。同様に、ゲート線 G L 5 4 にゲート信号が印加されると、青色副画素 B 2 7 の第 1 スイッチ素子 T 1 を介して青色副画素 B 2 7 の駆動素子 D T のゲートと青色副画素 B 2 7 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、青色副画素 B 2 7 に対する画像データに対応する。

20

【 0 2 2 6 】

時刻 t 6 2 ~ t 6 3 の期間において、変調されたデータイネーブル信号 t D E に同期してゲート線 G L 5 3 にゲート信号が印加される。ゲート線 G L 5 3 にゲート信号が印加されると、赤色副画素 R 2 7 の第 1 スイッチ素子 T 1 を介して赤色副画素 R 2 7 の駆動素子 D T のゲートと赤色副画素 R 2 7 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、赤色副画素 R 2 7 に対する画像データに対応する。同様に、ゲート線 G L 5 3 にゲート信号が印加されると、白色副画素 W 2 7 の第 1 スイッチ素子 T 1 を介して白色副画素 W 2 7 の駆動素子 D T のゲートと白色副画素 W 2 7 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、白色副画素 W 2 7 に対する画像データに対応する。

30

【 0 2 2 7 】

時刻 t 6 3 ~ t 6 4 の期間において、変調されたデータイネーブル信号 t D E に同期してゲート線 G L 5 7 にゲート信号が印加される。ゲート線 G L 5 7 にゲート信号が印加されると、赤色副画素 R 2 9 の第 1 スイッチ素子 T 1 を介して赤色副画素 R 2 9 の駆動素子 D T のゲートと赤色副画素 R 2 9 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 1 からデータ信号が印加される。データ線 D L 1 から印加されたデータ信号は、赤色副画素 R 2 9 に対する画像データに対応する。同様に、ゲート線 G L 5 7 にゲート信号が印加されると、白色副画素 W 2 9 の第 1 スイッチ素子 T 1 を介して白色副画素 W 2 9 の駆動素子 D T のゲートと白色副画素 W 2 9 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、白色副画素 W 2 9 に対する画像データに対応する。

40

【 0 2 2 8 】

50

時刻 $t_{64} \sim t_{65}$ の期間において、変調されたデータイネーブル信号 t_{DE} に同期してゲート線 $GL58$ にゲート信号が印加される。ゲート線 $GL58$ にゲート信号が印加されると、緑色副画素 $G29$ の第 1 スイッチ素子 $T1$ を介して緑色副画素 $G29$ の駆動素子 DT のゲートと緑色副画素 $G29$ の第 1 キャパシタ $C1$ との間の第 1 ノード $N1$ にデータ線 $DL1$ からデータ信号が印加される。データ線 $DL1$ から印加されたデータ信号は、緑色副画素 $G29$ に対する画像データに対応する。同様に、ゲート線 $GL58$ にゲート信号が印加されると、青色副画素 $B29$ の第 1 スイッチ素子 $T1$ を介して青色副画素 $B29$ の駆動素子 DT のゲートと青色副画素 $B29$ の第 1 キャパシタ $C1$ との間の第 1 ノード $N1$ にデータ線 $DL2$ からデータ信号が印加される。データ線 $DL2$ から印加されたデータ信号は、青色副画素 $B29$ に対する画像データに対応する。

10

【0229】

時刻 $t_{65} \sim t_{66}$ の期間において、変調されたデータイネーブル信号 t_{DE} に同期してゲート線 $GL62$ にゲート信号が印加される。ゲート線 $GL62$ にゲート信号が印加されると、緑色副画素 $G31$ の第 1 スイッチ素子 $T1$ を介して緑色副画素 $G31$ の駆動素子 DT のゲートと緑色副画素 $G31$ の第 1 キャパシタ $C1$ との間の第 1 ノード $N1$ にデータ線 $DL1$ からデータ信号が印加される。データ線 $DL1$ から印加されたデータ信号は、緑色副画素 $G31$ に対する画像データに対応する。同様に、ゲート線 $GL62$ にゲート信号が印加されると、青色副画素 $B31$ の第 1 スイッチ素子 $T1$ を介して青色副画素 $B31$ の駆動素子 DT のゲートと青色副画素 $B31$ の第 1 キャパシタ $C1$ との間の第 1 ノード $N1$ にデータ線 $DL2$ からデータ信号が印加される。データ線 $DL2$ から印加されたデータ信号は、青色副画素 $B31$ に対する画像データに対応する。

20

【0230】

時刻 $t_{66} \sim t_{67}$ の期間において、変調されたデータイネーブル信号 t_{DE} に同期してゲート線 $GL61$ にゲート信号が印加される。ゲート線 $GL61$ にゲート信号が印加されると、赤色副画素 $R31$ の第 1 スイッチ素子 $T1$ を介して赤色副画素 $R31$ の駆動素子 DT のゲートと赤色副画素 $R31$ の第 1 キャパシタ $C1$ との間の第 1 ノード $N1$ にデータ線 $DL1$ からデータ信号が印加される。データ線 $DL1$ から印加されたデータ信号は、赤色副画素 $R31$ に対する画像データに対応する。同様に、ゲート線 $GL61$ にゲート信号が印加されると、白色副画素 $W31$ の第 1 スイッチ素子 $T1$ を介して白色副画素 $W31$ の駆動素子 DT のゲートと白色副画素 $W31$ の第 1 キャパシタ $C1$ との間の第 1 ノード $N1$ にデータ線 $DL2$ からデータ信号が印加される。データ線 $DL2$ から印加されたデータ信号は、白色副画素 $W31$ に対する画像データに対応する。

30

【0231】

時刻 $t_{67} \sim t_{68}$ の期間において、変調されたデータイネーブル信号 t_{DE} に同期してゲート線 $GL63$ にゲート信号が印加される。ゲート線 $GL63$ にゲート信号が印加されると、赤色副画素 $R32$ の第 1 スイッチ素子 $T1$ を介して赤色副画素 $R32$ の駆動素子 DT のゲートと赤色副画素 $R32$ の第 1 キャパシタ $C1$ との間の第 1 ノード $N1$ にデータ線 $DL1$ からデータ信号が印加される。データ線 $DL1$ から印加されたデータ信号は、赤色副画素 $R32$ に対する画像データに対応する。同様に、ゲート線 $GL63$ にゲート信号が印加されると、白色副画素 $W32$ の第 1 スイッチ素子 $T1$ を介して白色副画素 $W32$ の駆動素子 DT のゲートと白色副画素 $W32$ の第 1 キャパシタ $C1$ との間の第 1 ノード $N1$ にデータ線 $DL2$ からデータ信号が印加される。データ線 $DL2$ から印加されたデータ信号は、白色副画素 $W32$ に対する画像データに対応する。

40

【0232】

時刻 $t_{68} \sim t_{69}$ の期間において、変調されたデータイネーブル信号 t_{DE} に同期してゲート線 $GL64$ にゲート信号が印加される。ゲート線 $GL64$ にゲート信号が印加されると、緑色副画素 $G32$ の第 1 スイッチ素子 $T1$ を介して緑色副画素 $G32$ の駆動素子 DT のゲートと緑色副画素 $G32$ の第 1 キャパシタ $C1$ との間の第 1 ノード $N1$ にデータ線 $DL1$ からデータ信号が印加される。データ線 $DL1$ から印加されたデータ信号は、緑色副画素 $G32$ に対する画像データに対応する。同様に、ゲート線 $GL64$ にゲート信号

50

が印加されると、青色副画素 B 3 2 の第 1 スイッチ素子 T 1 を介して青色副画素 B 3 2 の駆動素子 D T のゲートと青色副画素 B 3 2 の第 1 キャパシタ C 1 との間の第 1 ノード N 1 にデータ線 D L 2 からデータ信号が印加される。データ線 D L 2 から印加されたデータ信号は、青色副画素 B 3 2 に対する画像データに対応する。

【 0 2 3 3 】

ゲート駆動部 2 0 0 は、スケジューラ 5 6 0 からのゲート線指定信号 G L _ _ N u m に基づき、時刻 t 5 3 ~ t 6 9 の期間において、図 3 5 に示される順序でゲート線 G L 4 9 ~ G L 6 4 にゲート信号を印加する。データ駆動部 3 0 0 は、時刻 t 5 3 ~ t 6 9 の期間において、ゲート線 G L 4 9 ~ G L 6 4 に印加されたゲート信号に応じて、共有されたデータ線 D L 1 を介して緑色副画素 G および赤色副画素 R にデータ信号を書き込む。また、データ駆動部 3 0 0 は、時刻 t 5 3 ~ t 6 9 の期間において、ゲート線 G L 4 9 ~ G L 6 4 に印加されたゲート信号に応じて、共有されたデータ線 D L 2 を介して白色副画素 W および青色副画素 B にデータ信号を書き込む。

10

【 0 2 3 4 】

図 3 5 に示されるタイミング図によれば、データ駆動部 3 0 0 は、画素行 2 5 0 1 ~ 2 5 0 8 において、図 3 4 に示す順序にて緑色副画素 G 2 5 ~ G 3 2、赤色副画素 R 2 5 ~ R 3 2、白色副画素 W 2 5 ~ W 3 2 および青色副画素 B 2 5 ~ B 3 2 にデータ信号を書き込む。即ち、図 3 4 に示される副画素の領域を走査する際に、類似する画像データが印加されていると類似度判定部 5 5 0 によって判定された行を優先的に順次走査する。即ち、本実施形態によれば、類似する画像データが印加されていると判定された行が連続していない場合であっても、同じ色の副画素を連続して走査する行数を大きくすることができる。結果として、出力される画像データの信号（電圧）が不連続となる頻度が低下し、表示装置 1 0 の消費電力は低減される。したがって、本実施形態によれば、D R D 駆動を用いた表示装置が副画素への画像データを書き込む際の消費電力をさらに低減させることができる。

20

【 0 2 3 5 】

[第 4 実施形態]

本実施形態では、第 1 実施形態に係るデータ選択部 3 1 0 の変形例を説明する。データ分割部 3 1 1 - 1 ~ 3 1 1 - m、第 1 レジスタ 3 1 2 - 1 ~ 3 1 2 - m、第 2 レジスタ 3 1 3 - 1 ~ 3 1 3 - m、選択部 3 1 4 - 1 ~ 3 1 4 - m の構成および機能のうち第 1 実施形態と同様の部分については説明を省略する。

30

【 0 2 3 6 】

図 1 6 および図 3 6 を参照して、スケジューラ 5 6 0 への入力信号に応じたデータ選択部 3 1 0 の動作の一例を説明する。図 3 6 は、本実施形態に係るデータ選択部 3 1 0 へ入力される信号の例を示す表である。

【 0 2 3 7 】

図 1 6 に示されるように、本例においても、第 1 実施形態と同様に、奇数列についての類似度判定部 5 5 0 の出力信号 R E S _ _ O は、第 x - 7 行に対して 0 を示している。即ち、類似度判定部 5 5 0 は、第 x - 7 行についての奇数列の画像データは、1 つ前の行の奇数列の画像データと類似しないと判定している。また、奇数列についての類似度判定部 5 5 0 の出力信号 R E S _ _ O は、第 x - 6 行から第 x 行に対して 1 を示している。即ち、類似度判定部 5 5 0 は、第 x - 6 行から第 x 行までについての奇数列の画像データは、それぞれ 1 つ前の行の奇数列の画像データと類似すると判定している。一方、偶数列についての類似度判定部 5 5 0 の出力信号 R E S _ _ E はすべて 0 を示している。即ち、類似度判定部 5 5 0 は、第 x - 7 行から第 x 行までについての偶数列の画像データは、それぞれ 1 つ前の行の偶数列の画像データと類似しないと判定している。

40

【 0 2 3 8 】

図 3 6 は、走査番号 3 3 ~ 4 8 においてデータ選択部 3 1 0 へ伝送される入力レジスタ選択信号 I R S S、入力有効化信号 V A L I D、出力レジスタ選択信号 O R S S の一例を示している。本例においても、第 x - 6 行から第 x 行までについての奇数列の画像データ

50

(信号)はそれぞれ1行上に位置する奇数列の画像データと類似している。本実施形態においては、走査番号33において、第 $x-7$ 行についての奇数列の整列された画像データ $R'G'B'W'$ が入力データ33として行メモリ部520からデータ選択部310へ入力される。次いで、走査番号34において、第 $x-7$ 行についての偶数列の整列された画像データ $R'G'B'W'$ が入力データ41として行メモリ部520からデータ選択部310へ入力される。次いで、走査番号35~40においては、画像データは行メモリ部520からデータ選択部310へ入力されない。次いで、走査番号41~47において、第 $x-6$ 行から第 x 行までについての偶数列の整列された画像データ $R'G'B'W'$ が入力データ42~48として行メモリ部520からデータ選択部310へ入力される。次いで、走査番号48においては、画像データは行メモリ部520からデータ選択部310へ入力されない。

10

【0239】

スケジューラ560は、受信された信号 RES_O に基づき、奇数列の入力データ33が格納されるレジスタを指定するための入力レジスタ選択信号 $IRSS$ を生成する。スケジューラ560は、入力データ33を格納すべきレジスタとして第1レジスタ312-1~312-mを指定する入力レジスタ選択信号 $IRSS$ をデータ選択部310へ伝送する。また、スケジューラ560は、受信された信号 RES_E に基づき、偶数列の入力データ41~48が格納されるレジスタを指定するための入力レジスタ選択信号 $IRSS$ を生成する。スケジューラ560は、入力データ41~48を格納すべきレジスタとして第1レジスタ312-1~312-mまたは第2レジスタ313-1~313-mを指定する入力レジスタ選択信号 $IRSS$ をデータ選択部310へ伝送する。

20

【0240】

スケジューラ560は、奇数列に対応する入力データ33に対する入力有効化信号 $VALID$ として1をデータ選択部310に伝送し、入力データ33を第1レジスタ312-1~312-mへ格納することを指定する入力レジスタ選択信号 $IRSS$ を有効化する。次いで、スケジューラ560は、偶数列に対応する入力データ41に対する入力有効化信号 $VALID$ として1をデータ選択部310に伝送し、入力データ41を第2レジスタ313-1~313-mへ格納することを指定する入力レジスタ選択信号 $IRSS$ を有効化する。次いで、スケジューラ560は、走査番号35~40に対する入力データを送信せず、入力有効化信号 $VALID$ として0をデータ選択部310に伝送する。結果として、第1レジスタ312-1~312-mは更新されず、入力データ41が保持される。本構成により、第1レジスタ312-1~312-mに格納されるデータを更新するために必要な電力の消費が抑制される。なお、本例では、スケジューラ560は、第2レジスタ313-1~313-mを指定する入力レジスタ選択信号 $IRSS$ を伝送している。しかしながら、スケジューラ560は、入力有効化信号 $VALID$ として0をデータ選択部310に伝送する場合には、入力レジスタ選択信号 $IRSS$ の伝送を省略することができる。

30

【0241】

次いで、スケジューラ560は、偶数列に対応する入力データ42、44、46、48のそれぞれに対する入力有効化信号 $VALID$ として1をデータ選択部310に伝送し、入力データ42、44、46、48を第1レジスタ312-1~312-mへ格納することを指定する入力レジスタ選択信号 $IRSS$ を有効化する。また、スケジューラ560は、偶数列に対応する入力データ43、45、47のそれぞれに対する入力有効化信号 $VALID$ として1をデータ選択部310に伝送し、入力データ43、45、47を第2レジスタ313-1~313-mへ格納することを指定する入力レジスタ選択信号 $IRSS$ を有効化する。

40

【0242】

スケジューラ560は、入力データ33および入力データ41~48を出力データ33~48としてデータ変換部320へ順次出力するために、出力レジスタ選択信号 $ORSS$ をデータ選択部310へ伝送する。具体的には、スケジューラ560は、走査番号33~40、42、44、46、48に対しては第1レジスタ312-1~312-mを指定する出力レジスタ選択信号 $ORSS$ をデータ選択部310へ伝送し、走査番号41、43、

50

45、47に対しては第2レジスタ313-1~313-mを指定する出力レジスタ選択信号ORSSをデータ選択部310へ伝送する。即ち、走査番号33~40において、第1レジスタ312-1~312-mに格納された入力データ33が出力データ33~40として出力される。走査番号41において、走査番号34の間に第2レジスタ313-1~313-mに格納された入力データ41が出力データ41として出力される。走査番号42において、走査番号41の間に第1レジスタ312-1~312-mに格納された入力データ42が出力データ42として出力される。走査番号43において、走査番号42の間に第2レジスタ313-1~313-mに格納された入力データ43が出力データ43として出力される。走査番号44において、走査番号43の間に第1レジスタ312-1~312-mに格納された入力データ44が出力データ42として出力される。走査番号45において、走査番号44の間に第2レジスタ313-1~313-mに格納された入力データ45が出力データ45として出力される。走査番号46において、走査番号45の間に第1レジスタ312-1~312-mに格納された入力データ46が出力データ46として出力される。走査番号47において、走査番号46の間に第2レジスタ313-1~313-mに格納された入力データ47が出力データ47として出力される。走査番号48において、走査番号47の間に第1レジスタ312-1~312-mに格納された入力データ48が出力データ48として出力される。

10

【0243】

本実施形態では、偶数列に対応する入力データを第2レジスタ313-1~313-mだけでなく、第1レジスタ312-1~312-mにも格納するように構成されている。同様に、奇数列に対応する入力データを第1レジスタ312-1~312-mだけでなく、第2レジスタ313-1~313-mにも格納するように構成することもできる。本実施形態のように、レジスタに格納される入力データは任意に変更することが可能である。また、各行にさらに追加のレジスタを設けることも可能である。追加のレジスタを設けることにより、タイミング制御部500に含まれる行メモリ部520の容量を小さくすることができる。

20

【0244】

[第5実施形態]

本実施形態では、第1実施形態に係るスケジューラ560の変形例を説明する。バッファ561、走査順序決定部562、ゲート線決定部563、レジスタ564の構成および機能は同一であるため説明を省略する。

30

【0245】

図37は、本実施形態に係るスケジューラ560の概略構成を示すブロック図である。本実施形態に係るスケジューラ560は、バッファ561、走査順序決定部562、ゲート線決定部563およびレジスタ564を含む。本実施形態に係るスケジューラ560は、選択信号決定部565を有しない。よって、本実施形態に係るスケジューラ560からはレジスタ選択信号RSSが伝送されない。したがって、本実施形態に係るデータ駆動部300は、データ選択部310を有しない。本実施形態では、追加の行メモリ部（不図示）がタイミング制御部500に設けられる。タイミング制御部500に入力される画像データRGBWは、すべて追加の行メモリ部に伝送される。本実施形態に係る信号変調部510は、スケジューラ560から受信したゲート線指定信号GL_Numに基づき、指定されたゲート線に対応する整列された画像データR'G'B'W'を追加の行メモリ部からデータ駆動部300に伝送させる。

40

【0246】

上述の通り、本実施形態によるスケジューラ560は、選択信号決定部565を含まない。また、本実施形態によるデータ駆動部300はデータ選択部310を含まない。したがって、本実施形態よれば、表示装置10の構造を単純化させることができる。

【0247】

[第6実施形態]

本実施形態では、第1実施形態に係るタイミング制御部500の変形例を説明する。信

50

号変調部 510、データ制御信号生成部 530、ゲート制御信号生成部 540、類似度判定部 550 およびスケジューラ 560 の構成および機能のうち第 1 実施形態と同様の部分については説明を省略する。

【0248】

図 38 は、本実施形態に係るタイミング制御部 500 の概略構成を示すブロック図である。実施形態に係るタイミング制御部 500 は、フレームメモリ部 570 を含む。フレームメモリ部 570 は、フレーム単位で画像データ RGBW を保存する。例えば、フレームメモリ部 570 は、第 x フレームの画像データ RGBW (x) を保存する。フレームメモリ部 570 は第 $(x - 1)$ フレームの画像データ RGBW ($x - 1$) を類似度判定部 550 に伝送する。フレームメモリ部 570 は、信号変調部 510 から受信した変調されたデータインーブル信号 tDE に基づいて画像データ RGBW を整列させる。フレームメモリ部 570 は、整列された画像データ R'G'B'W' をデータ駆動部 300 に伝送する。

10

【0249】

類似度判定部 550 は、2 フレームの間の画像データの類似度を判定し、判定結果 RES をスケジューラ 560 に伝送する。例えば、類似度判定部 550 は、フレームメモリ部 570 から第 $(x - 1)$ フレームの画像データ RGBW ($x - 1$) を受信し、第 x フレームの画像データ RGBW (x) と類似しているか判定する。例えば、類似度判定部 550 は、2 フレームの画像データにおける任意の 2 行の画像データが互いに類似すると判定したときに判定結果 RES として 1 を出力する。一方、類似度判定部 550 は、2 フレームの間の画像データにおける当該 2 行の画像データが互いに類似しないと判定したときに判定結果 RES として 0 を出力する。

20

【0250】

スケジューラ 560 は、類似度判定部 550 から受信した判定結果 RES に基づき、ゲート信号を送信するゲート線 GL の番号を指定するゲート線指定信号 GL_Num を生成する。また、スケジューラ 560 は、フレームメモリ部 570 から伝送される画像データ R'G'B'W' が格納されるべきレジスタを指定するためのレジスタ選択信号 RSS をデータ駆動部 300 に伝送する。データ駆動部 300 は、受信したレジスタ選択信号 RSS に基づき、画像データ R'G'B'W' を指定されたレジスタに格納する。

【0251】

上述の通り、本実施形態によるタイミング制御部 500 は、表示パネル 100 に表示される各フレームの画像データ (信号) の間の類似度を判定する。次いで、本実施形態によるタイミング制御部 500 は、判定された類似度に基づいてゲート線指定信号 GL_Num およびレジスタ選択信号 RSS を生成する。本実施形態によれば、表示パネル 100 に表示される各フレームの画像データ (信号) の間の類似度に基づき、DRD を用いた表示装置 10 の表示画質の低下を抑制しながら消費電力を低減させることができる。

30

【0252】

なお、表示パネル 100 に表示される画像が静止画像の場合、同じ行に配された複数の副画素に対する画像データの書き込みの時間差による表示画質の低下は全くないか、あるいは無視できる程度に小さい。よって、表示装置 10 に静止画像が表示される場合には、同色の副画素を連続して走査する行数を表示パネルに含まれる画素の行の数と同一とすることができる。たとえば、表示装置 10 が 2160 行の画素からなる場合、1 フレーム期間の前半の間に 2160 行にわたり緑色副画素 G および青色副画素 B を連続して走査し、1 フレーム期間の後半の間に 2160 行にわたり赤色副画素 R および白色副画素 W を連続して走査することができる。本構成によれば、出力される画像データの信号 (電圧) が不連続となる頻度がさらに低減され、表示装置 10 の消費電力を低減させることができる。

40

【0253】

[その他の変形例]

上述の各実施形態では、複数の画像データ (信号) の間の類似度に基づいて副画素を走査する順序を決定した。一方で、例えば黒を表示する場合のような輝度の低い画像を表示する際には、画像信号の不連続性は発生せず、または不連続性が発生したとしてもその程

50

度は無視できる場合がある。例えば、本変形例によれば、表示パネル１００に表示される画像の輝度が所定の値以下である場合には、類似度の判定結果に関わらず、同色の副画素を連続して走査する行数を小さくする。本構成により、同じ行に配された副画素に対する画像データの書き込みの時間差は小さくなる。具体的には、図２１に示されるように、各色の副画素を２行ずつ交互に走査することで、同じ行に配された複数の副画素の間における画像データの書き込みの時間差を小さくする。本変形例によれば、ＤＲＤを用いた表示装置１０の消費電力を増大させることなく、画像データの書き込みの時間差に起因する表示画質の低下を抑制させることができる。

【０２５４】

また、たとえ広い範囲で画像データ（信号）が類似すると類似度判定部５５０に判定されたとしても、同色の副画素を連続して走査する行数を過度に大きくすると、表示される画質が劣化し得る。よって、タイミング制御部５００は、同色の副画素を連続して走査する行数に制限を設けることができる。例えば、表示装置に表示される画像が動画像である場合に、タイミング制御部５００は、同色の副画素を連続して走査する行数を、表示パネル１００に含まれる副画素の行の総数の５分の１程度にすることができる。本例において表示パネル１００が２１６０行の副画素を含む場合、タイミング制御部５００は、同色の副画素を連続して走査する行数を４３２行に制限することができる。

【０２５５】

各実施形態で説明された各部の構成および信号の内容は上述されたものに限定されず、用途や目的に応じて変更され得る。また、各実施形態を組み合わせた構成および信号もすべて本発明に含まれる。即ち、本発明は上記各実施形態に限定されず、本発明の技術的思想に基づき変形され得る。例えば、本発明は上述の各実施形態が有機的に組み合わせられた構成を含む。

【符号の説明】

【０２５６】

１０	表示装置
２００	ゲート駆動部
２２１、２２２	第１シフトレジスタ
２３１、２３２	第２シフトレジスタ
３００	データ駆動部
３１０	データ選択部
５００	タイミング制御部
５５０	類似度判定部
５６０	スケジューラ

10

20

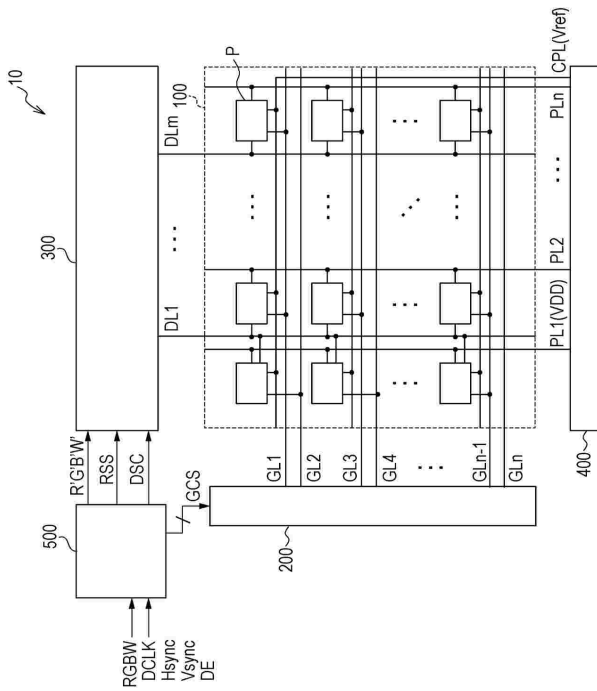
30

40

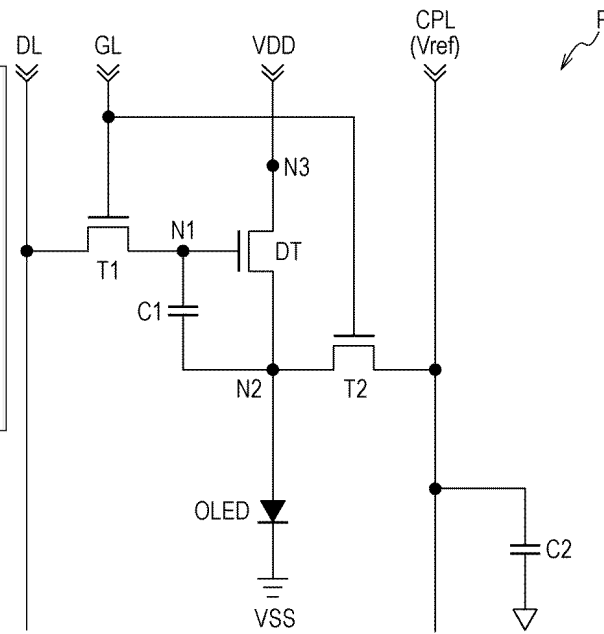
50

【図面】

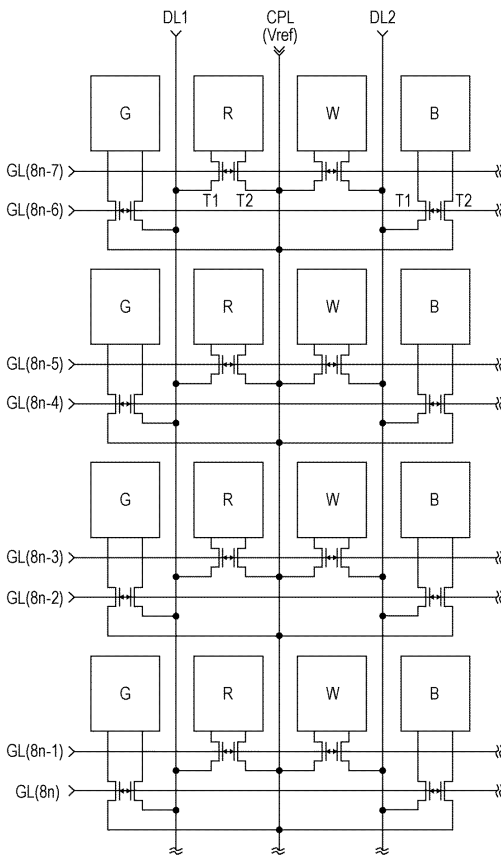
【図 1】



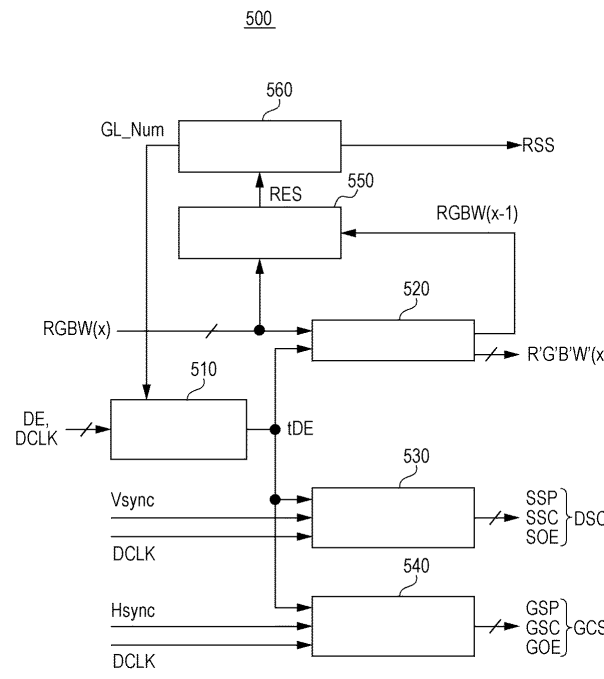
【図 2】



【図 3】



【図 4】



10

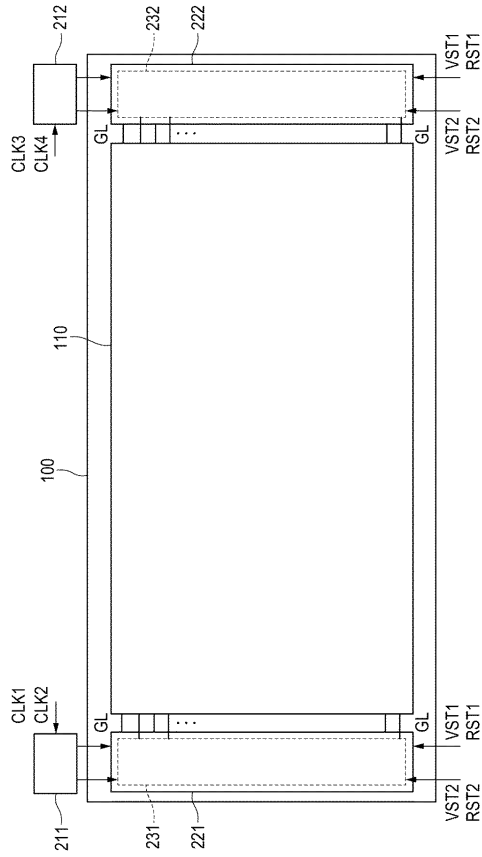
20

30

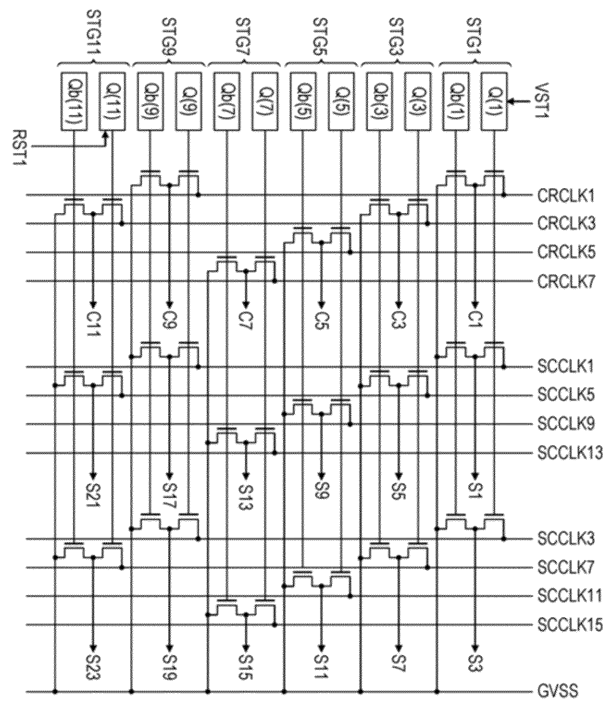
40

50

【図 5】



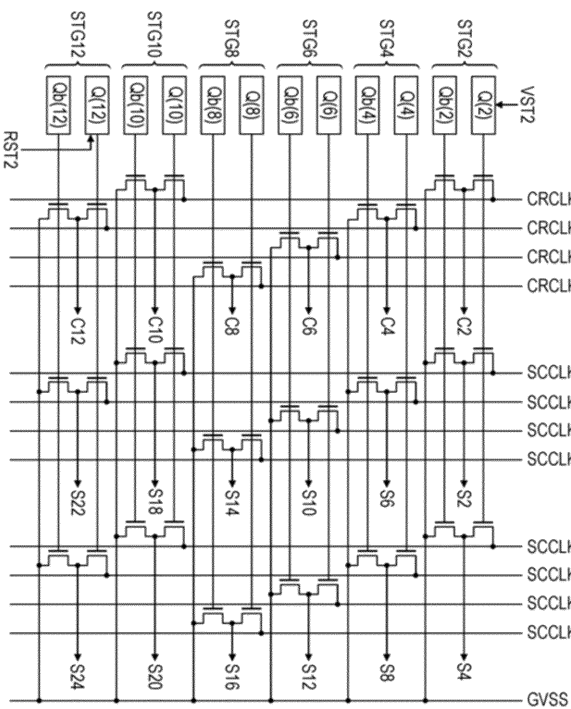
【図 6】



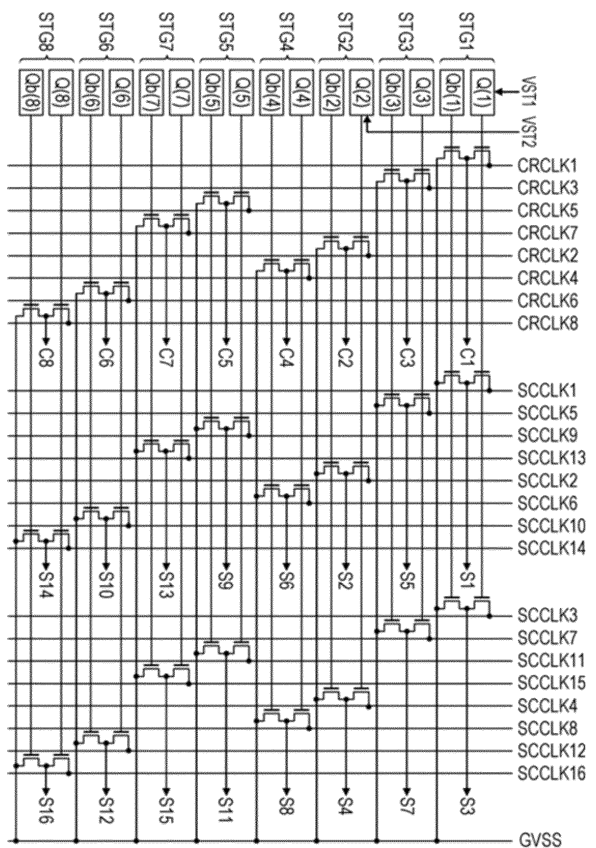
10

20

【図 7】



【図 8】

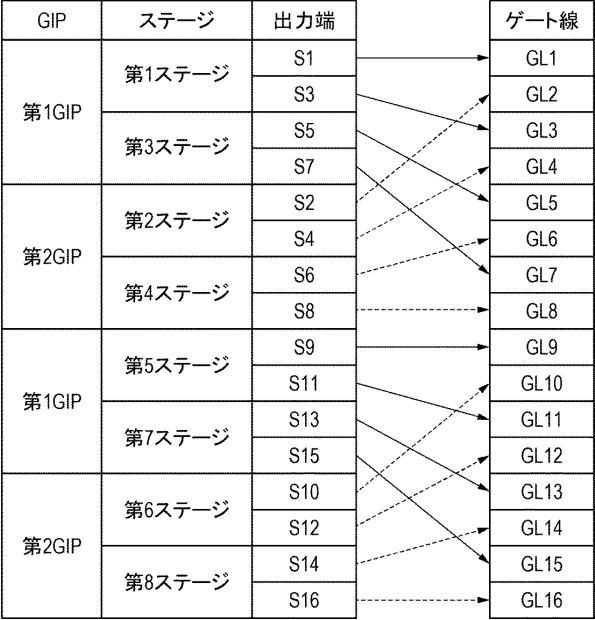


30

40

50

【図 9】



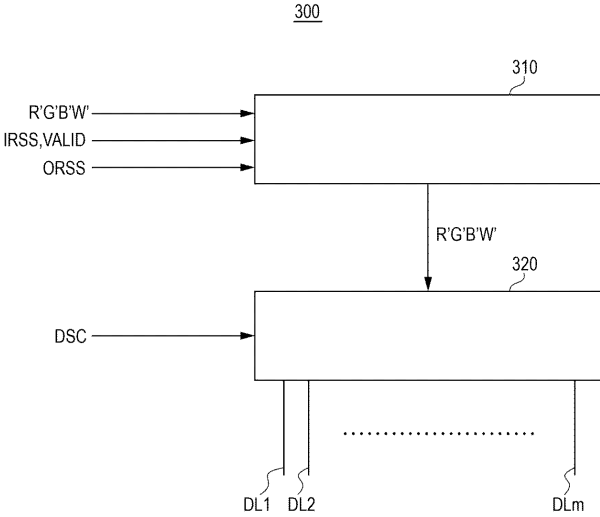
【図 10】

ゲート線	GIP	ステージ	クロック(1)	クロック(2)	クロック(3)	クロック(4)	クロック(5)	クロック(6)	クロック(7)	クロック(8)	クロック(9)
GL1, GL3	第1GIP	第1ステージ	オン	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド
GL2, GL4	第2GIP	第2ステージ	オン	オン	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド
GL5, GL7	第3GIP	第3ステージ	オン	オン	オン	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド
GL6, GL8	第4GIP	第4ステージ	オン	オン	オン	オン	ホールド	ホールド	ホールド	ホールド	ホールド
GL9, GL11	第5GIP	第5ステージ	オン	オン	オン	オン	オン	ホールド	ホールド	ホールド	ホールド
GL10, GL12	第6GIP	第6ステージ	オン	オン	オン	オン	オン	オン	ホールド	ホールド	ホールド
GL13, GL15	第7GIP	第7ステージ	オン	オン	オン	オン	オン	オン	オン	ホールド	ホールド
GL14, GL16	第8GIP	第8ステージ	オン	オン	オン	オン	オン	オン	オン	オン	ホールド
GL17, GL19	第9GIP	第9ステージ	ホールド	オン	オン	オン	オン	オン	オン	オン	オン
GL18, GL20	第10GIP	第10ステージ	ホールド	ホールド	オン	オン	オン	オン	オン	オン	オン
GL21, GL23	第11GIP	第11ステージ	ホールド	ホールド	ホールド	オン	オン	オン	オン	オン	オン
GL22, GL24	第12GIP	第12ステージ	ホールド	ホールド	ホールド	ホールド	オン	オン	オン	オン	オン
GL25, GL27	第13GIP	第13ステージ	ホールド	ホールド	ホールド	ホールド	ホールド	オン	オン	オン	オン
GL26, GL28	第14GIP	第14ステージ	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	オン	オン	オン
GL29, GL31	第15GIP	第15ステージ	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	オン	オン
GL30, GL32	第16GIP	第16ステージ	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	オン

【図 11】

ゲート線	GIP	ステージ	クロック(1)	クロック(2)	クロック(3)	クロック(4)	クロック(5)	クロック(6)	クロック(7)	クロック(8)	クロック(9)
GL1, GL3	第1GIP	第1ステージ	オン	オン	オン	オン	オン	オン	オン	オン	オン
GL2, GL4	第2GIP	第2ステージ	オン	オン	オン	オン	オン	オン	オン	オン	オン
GL5, GL7	第3GIP	第3ステージ	オン	オン	オン	オン	オン	オン	オン	オン	オン
GL6, GL8	第4GIP	第4ステージ	オン	オン	オン	オン	オン	オン	オン	オン	オン
GL9, GL11	第5GIP	第5ステージ	オン	オン	オン	オン	オン	オン	オン	オン	オン
GL10, GL12	第6GIP	第6ステージ	オン	オン	オン	オン	オン	オン	オン	オン	オン
GL13, GL15	第7GIP	第7ステージ	オン	オン	オン	オン	オン	オン	オン	オン	オン
GL14, GL16	第8GIP	第8ステージ	オン	オン	オン	オン	オン	オン	オン	オン	オン
GL17, GL19	第9GIP	第9ステージ	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	オン
GL18, GL20	第10GIP	第10ステージ	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	オン
GL21, GL23	第11GIP	第11ステージ	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	オン
GL22, GL24	第12GIP	第12ステージ	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	オン
GL25, GL27	第13GIP	第13ステージ	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	オン
GL26, GL28	第14GIP	第14ステージ	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	オン
GL29, GL31	第15GIP	第15ステージ	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	オン
GL30, GL32	第16GIP	第16ステージ	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	オン

【図 12】



10

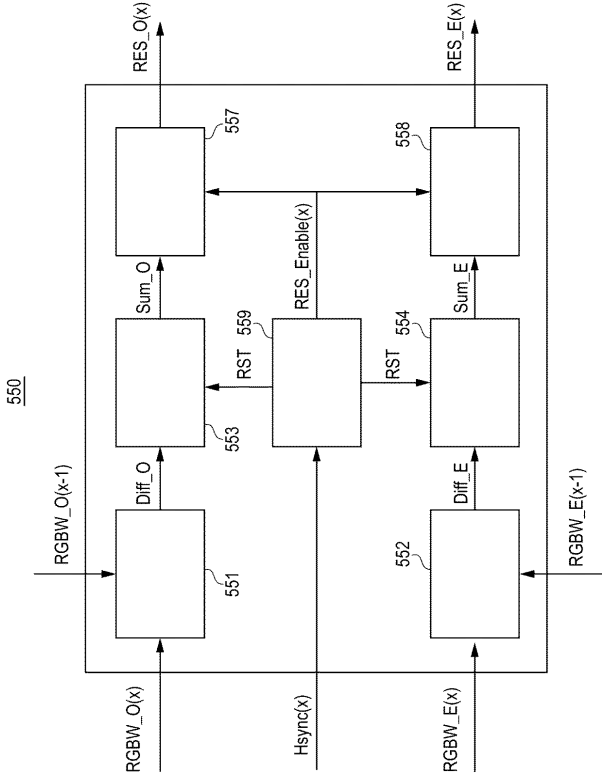
20

30

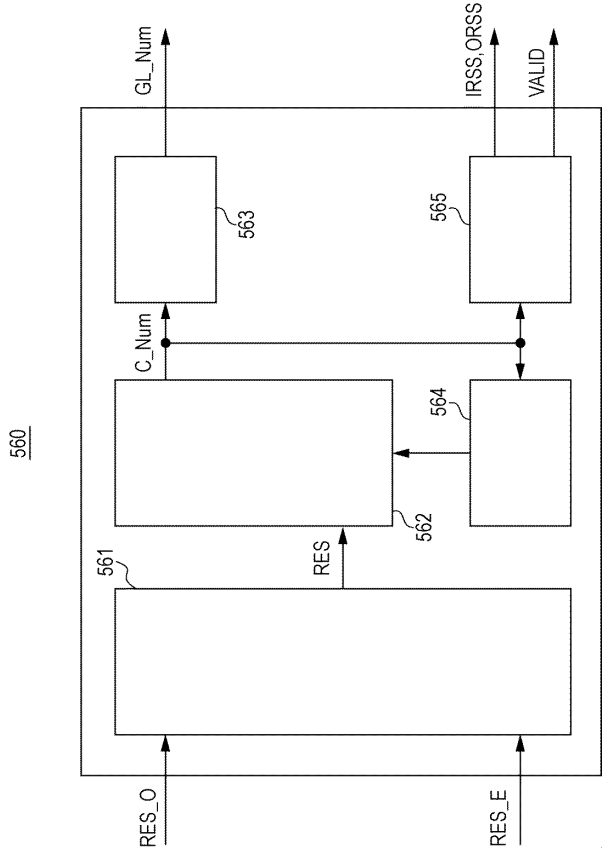
40

50

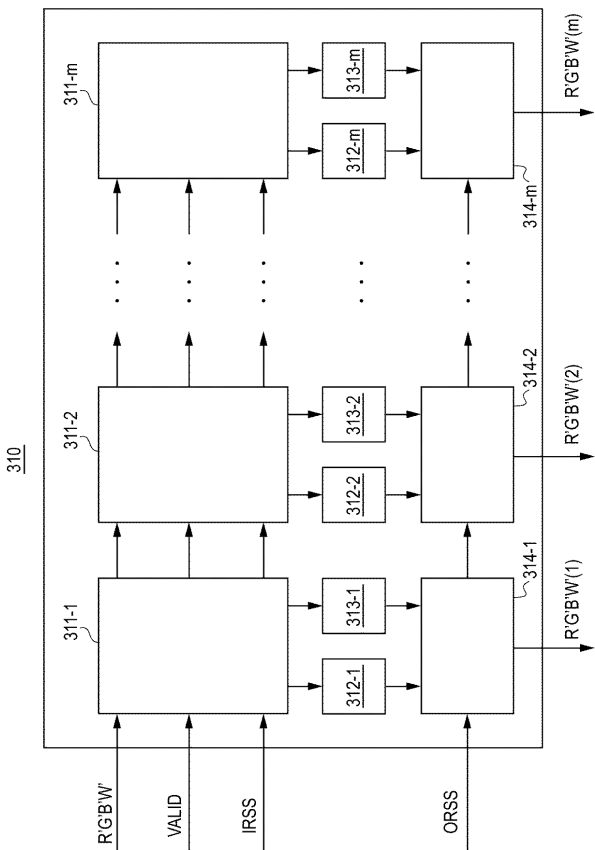
【図 1 3】



【図 1 4】



【図 1 5】



【図 1 6】

行番号	入力	
	奇数列	偶数列
x-7	0	0
x-6	1	0
x-5	1	0
x-4	1	0
x-3	1	0
x-2	1	0
x-1	1	0
x	1	0

10

20

30

40

50

【図 17】

走査番号	判定結果	入力 データ番号	入力有効化 信号	入力レジスタ 選択信号	出力レジスタ 選択信号	出力 データ番号
1	奇数列	1	1	第1レジスタ	第1レジスタ	1
2	奇数列	2	0	第1レジスタ	第1レジスタ	2
3	奇数列	3	0	第1レジスタ	第1レジスタ	3
4	奇数列	4	0	第1レジスタ	第1レジスタ	4
5	奇数列	5	0	第1レジスタ	第1レジスタ	5
6	奇数列	6	0	第1レジスタ	第1レジスタ	6
7	奇数列	7	0	第1レジスタ	第1レジスタ	7
8	奇数列	8	0	第1レジスタ	第1レジスタ	8
9	偶数列	9	1	第2レジスタ	第2レジスタ	9
10	偶数列	10	1	第2レジスタ	第2レジスタ	10
11	偶数列	11	1	第2レジスタ	第2レジスタ	11
12	偶数列	12	1	第2レジスタ	第2レジスタ	12
13	偶数列	13	1	第2レジスタ	第2レジスタ	13
14	偶数列	14	1	第2レジスタ	第2レジスタ	14
15	偶数列	15	1	第2レジスタ	第2レジスタ	15
16	偶数列	16	1	第2レジスタ	第2レジスタ	16

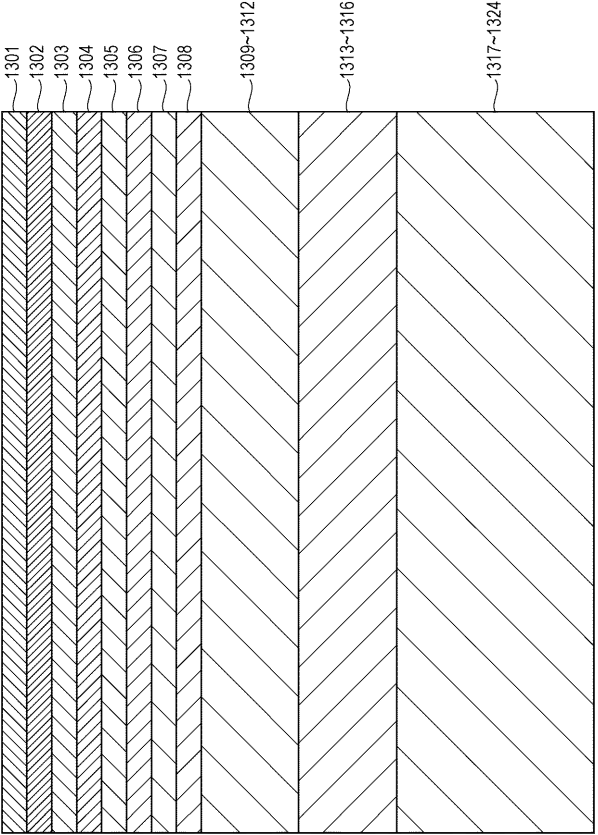
【図 18】

行番号	入力	
	奇数列	偶数列
x-15	0	0
x-14	0	0
x-13	0	0
x-12	0	0
x-11	0	0
x-10	0	0
x-9	0	0
x-8	0	0

【図 19】

走査番号	判定結果	入力 データ番号	入力有効化 信号	入力レジスタ 選択信号	出力レジスタ 選択信号	出力 データ番号
17	奇数列	17	1	第1レジスタ	第1レジスタ	17
18	偶数列	18	1	第2レジスタ	第2レジスタ	18
19	偶数列	19	1	第2レジスタ	第2レジスタ	19
20	奇数列	20	1	第1レジスタ	第1レジスタ	20
21	奇数列	21	1	第1レジスタ	第1レジスタ	21
22	偶数列	22	1	第2レジスタ	第2レジスタ	22
23	偶数列	23	1	第2レジスタ	第2レジスタ	23
24	奇数列	24	1	第1レジスタ	第1レジスタ	24
25	奇数列	25	1	第1レジスタ	第1レジスタ	25
26	偶数列	26	1	第2レジスタ	第2レジスタ	26
27	偶数列	27	1	第2レジスタ	第2レジスタ	27
28	奇数列	28	1	第1レジスタ	第1レジスタ	28
29	奇数列	29	1	第1レジスタ	第1レジスタ	29
30	偶数列	30	1	第2レジスタ	第2レジスタ	30
31	偶数列	31	1	第2レジスタ	第2レジスタ	31
32	奇数列	32	1	第1レジスタ	第1レジスタ	32

【図 20】



10

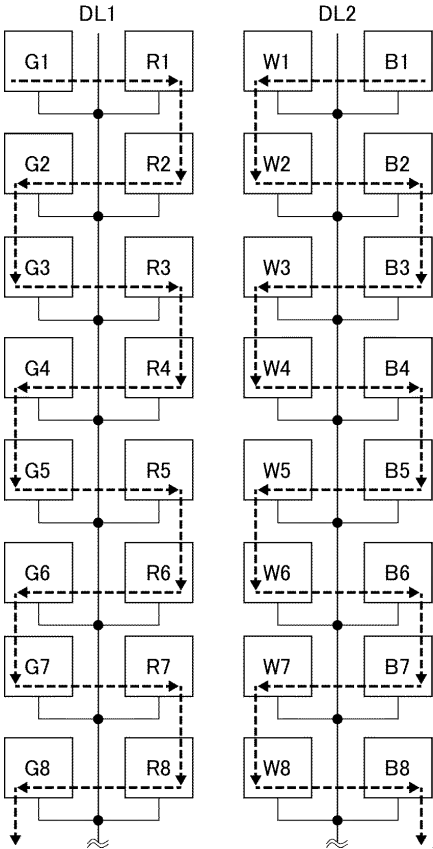
20

30

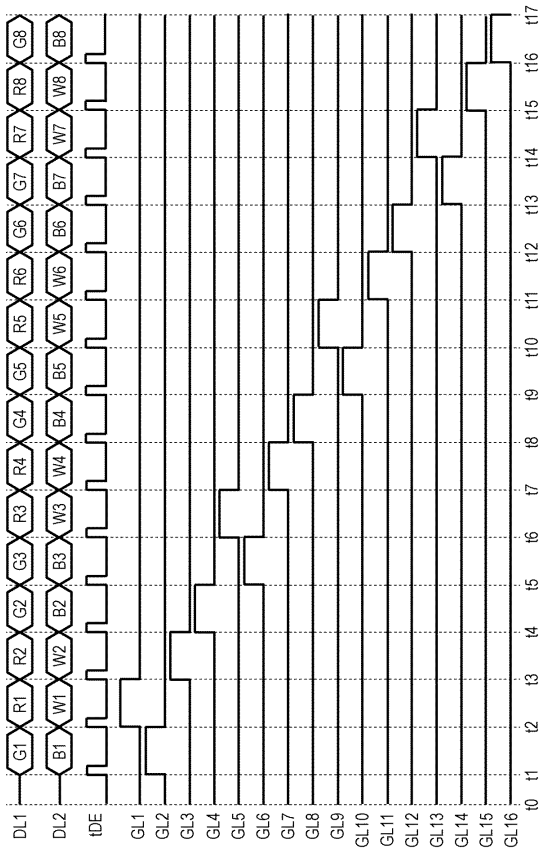
40

50

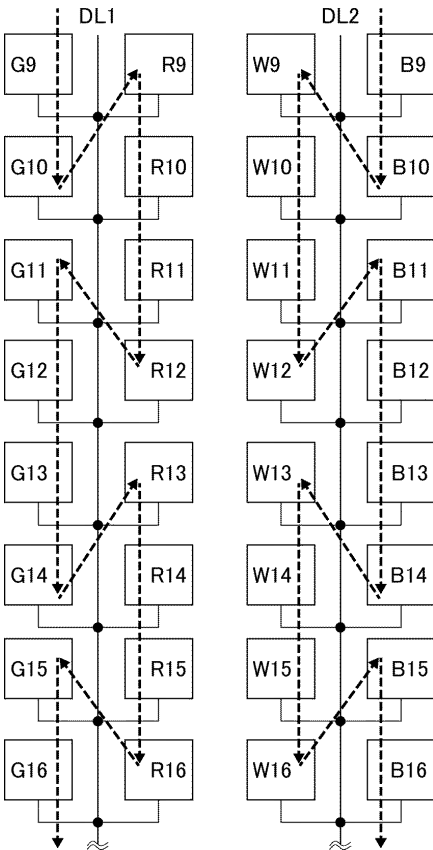
【図 2 1】



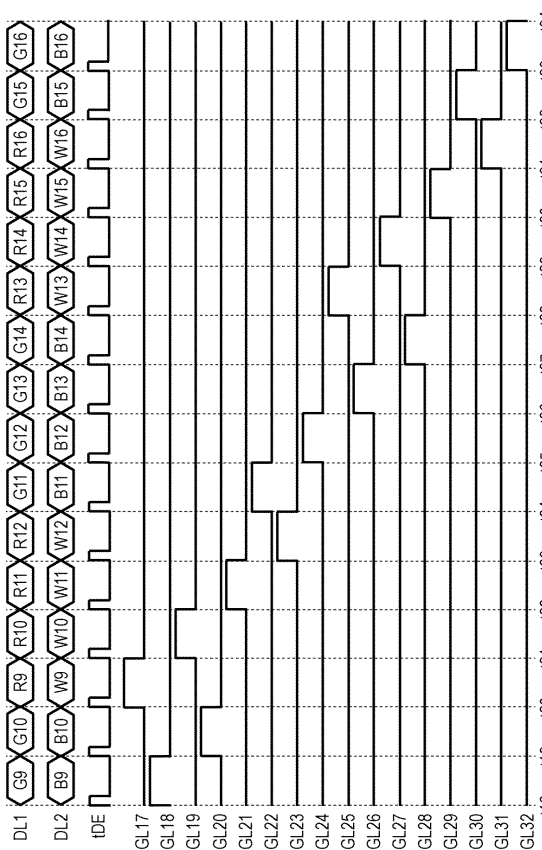
【図 2 2】



【図 2 3】



【図 2 4】



10

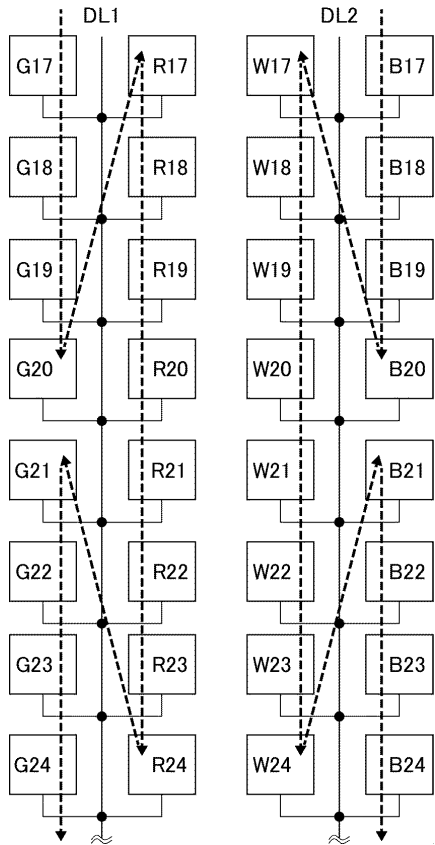
20

30

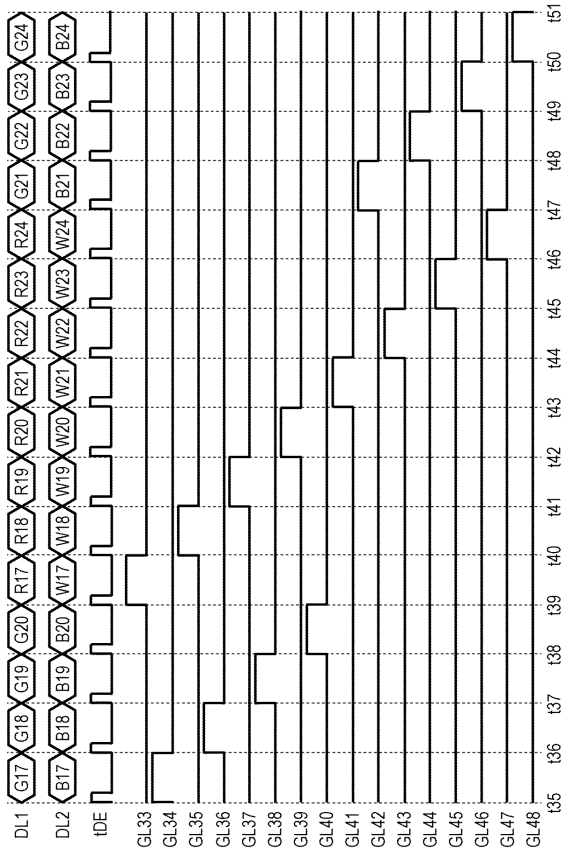
40

50

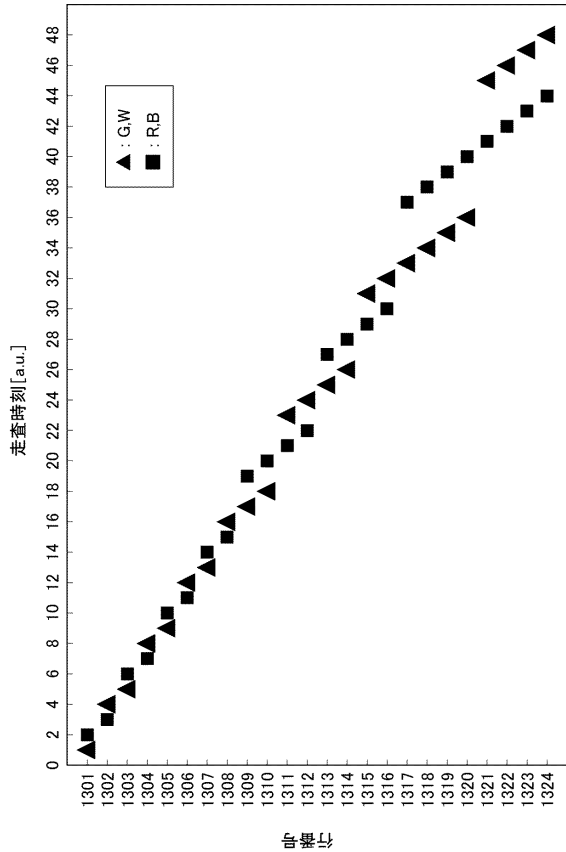
【図 2 5】



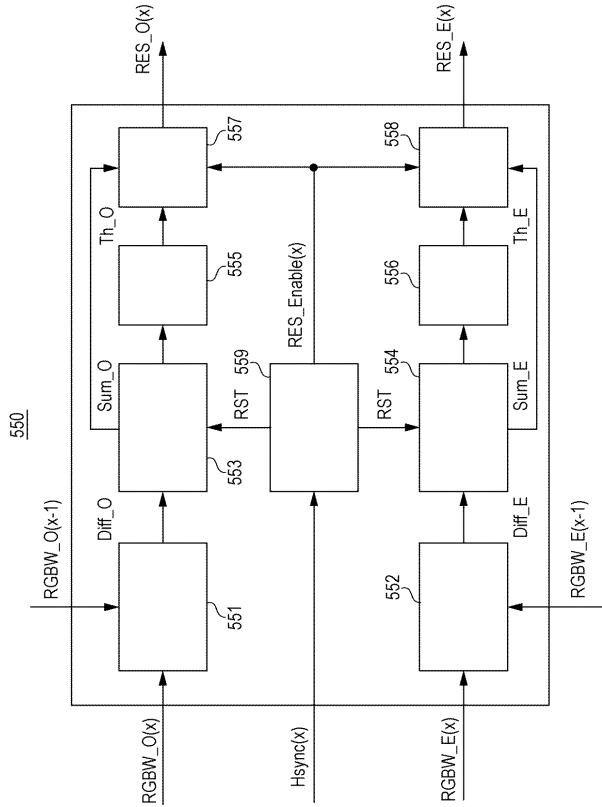
【図 2 6】



【図 2 7】



【図 2 8】



10

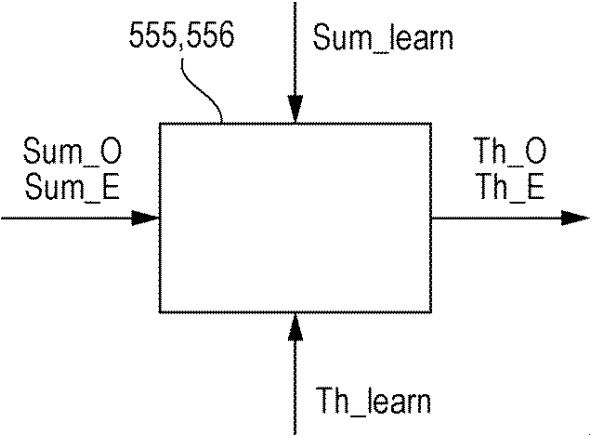
20

30

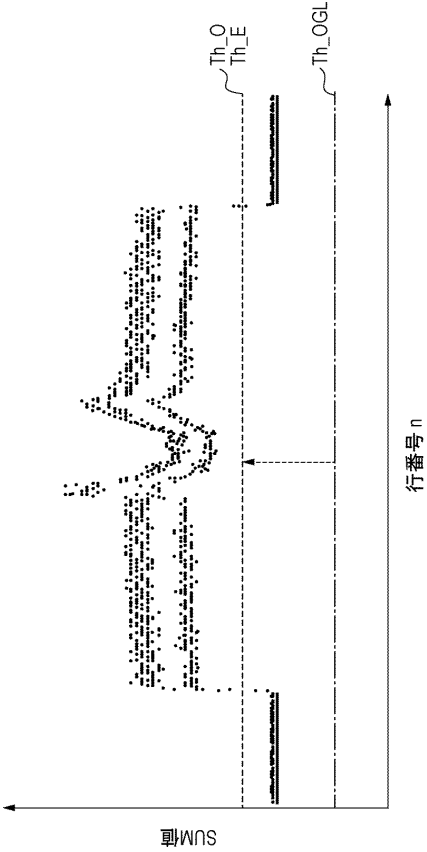
40

50

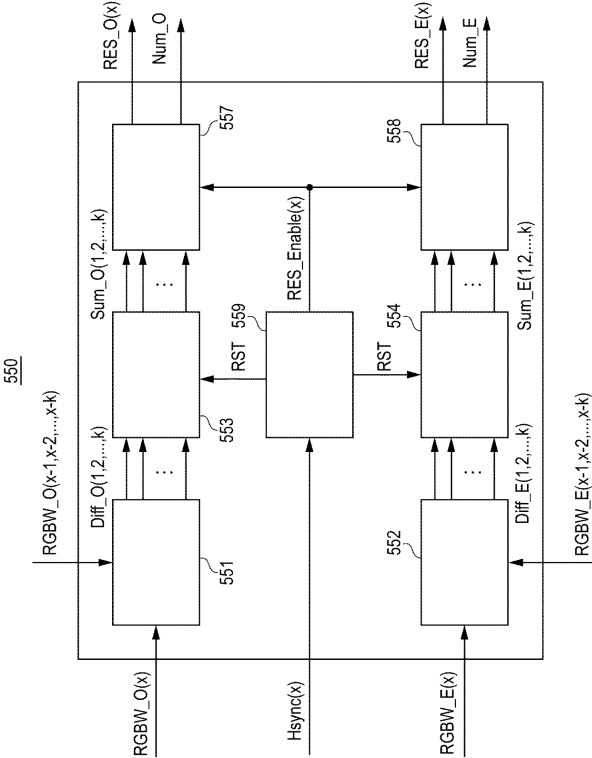
【図 29】



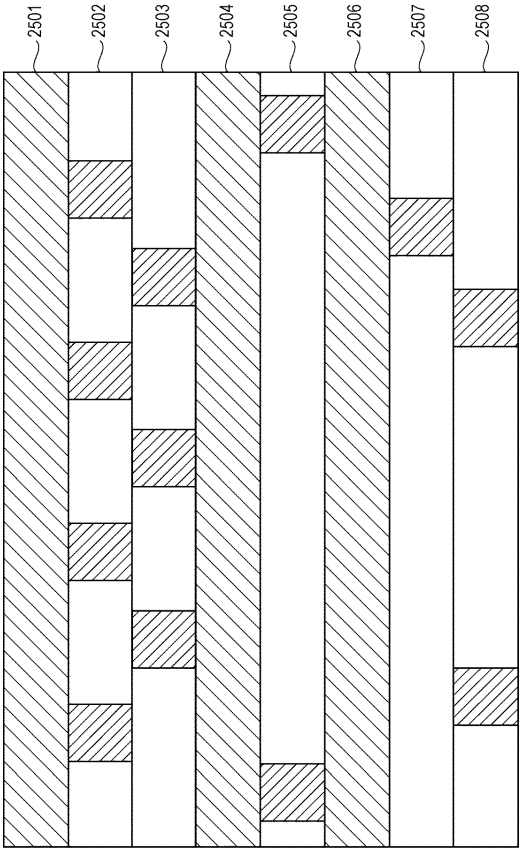
【図 30】



【図 31】



【図 32】



10

20

30

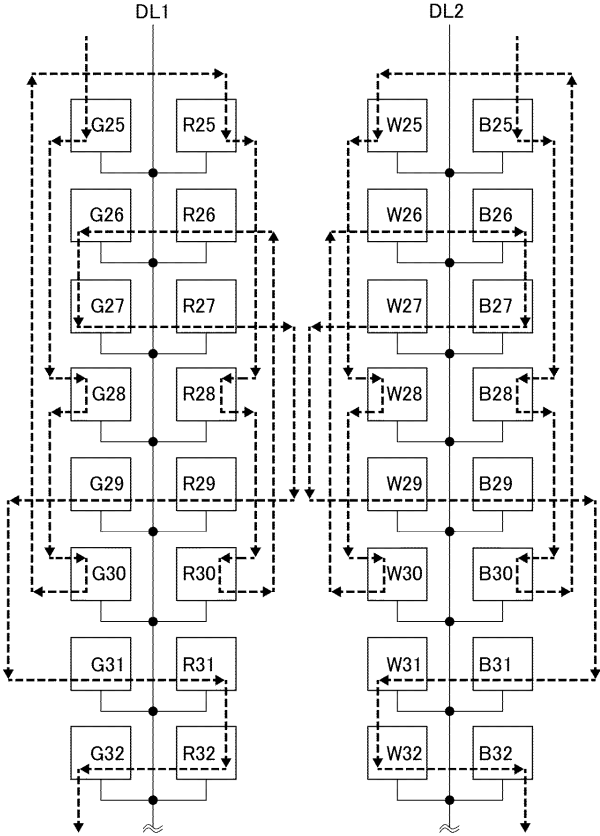
40

50

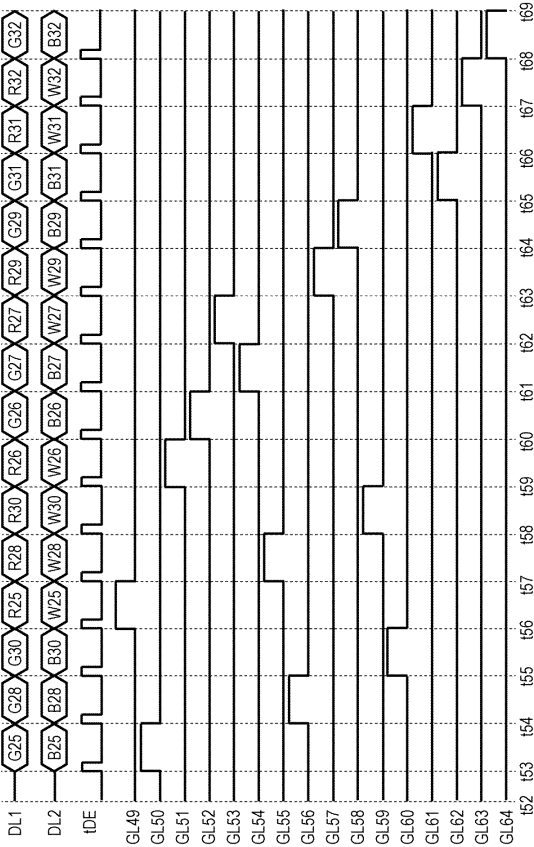
【図 3 3】

行番号	入力	
	奇数列	偶数列
2501	0	0
2502	0	0
2503	0	0
2504	1, 2501	0
2505	0	0
2506	1, 2504	0
2507	0	0
2508	0	0

【図 3 4】



【図 3 5】



【図 3 6】

走査番号	判定結果	入力データ番号	入力有効化信号	入力レジスタ選択信号	出力レジスタ選択信号	出力データ番号
33	奇数列	33	1	第1レジスタ	第1レジスタ	33
34	奇数列	41	1	第1レジスタ	第1レジスタ	34
35	奇数列	-	0	第2レジスタ	第1レジスタ	35
36	奇数列	-	0	第2レジスタ	第1レジスタ	36
37	奇数列	-	0	第2レジスタ	第1レジスタ	37
38	奇数列	-	0	第2レジスタ	第1レジスタ	38
39	奇数列	-	0	第2レジスタ	第1レジスタ	39
40	奇数列	-	0	第2レジスタ	第1レジスタ	40
41	偶数列	42	1	第1レジスタ	第2レジスタ	41
42	偶数列	43	1	第2レジスタ	第2レジスタ	42
43	偶数列	44	1	第1レジスタ	第2レジスタ	43
44	偶数列	45	1	第2レジスタ	第2レジスタ	44
45	偶数列	46	1	第1レジスタ	第2レジスタ	45
46	偶数列	47	1	第2レジスタ	第2レジスタ	46
47	偶数列	48	1	第1レジスタ	第2レジスタ	47
48	偶数列	-	1	第1レジスタ	第1レジスタ	48

10

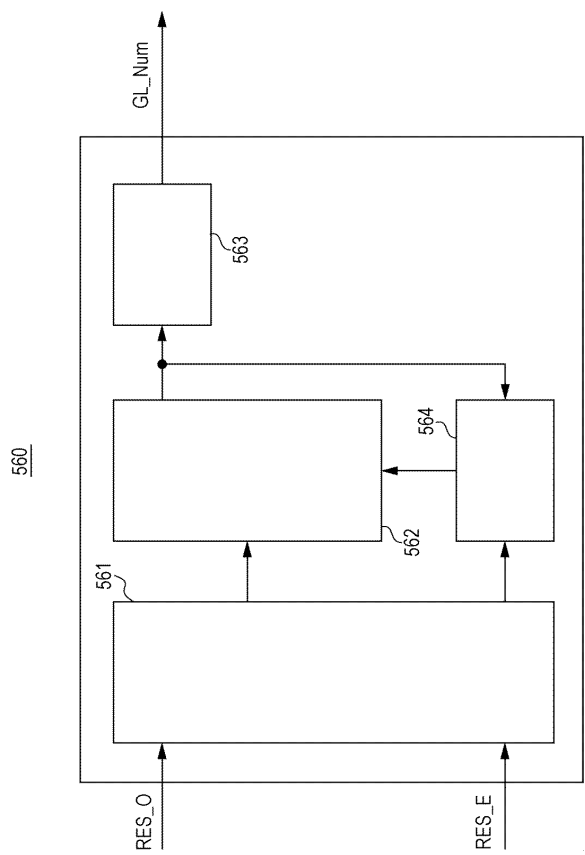
20

30

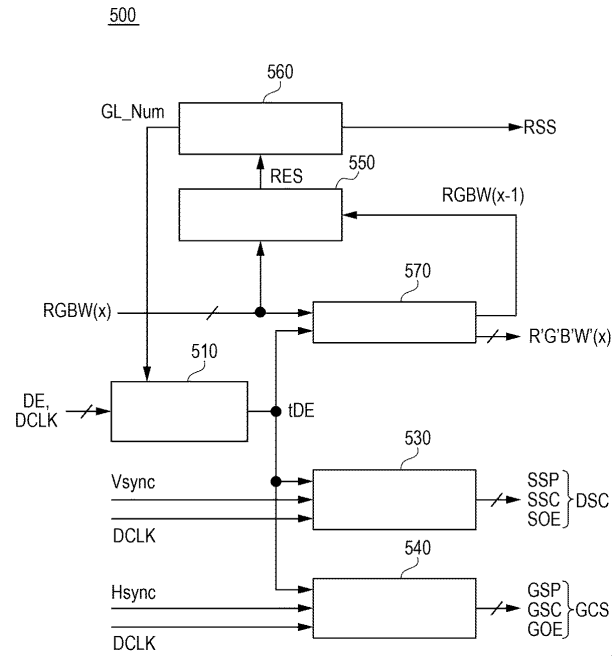
40

50

【図 37】



【図 38】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

H 1 0 K 59/131 (2023.01)
H 1 0 K 59/35 (2023.01)
G 0 6 N 20/00 (2019.01)

F I

G 0 9 G 3/20 6 1 2 R
G 0 9 G 3/20 6 4 2 K
G 0 9 G 3/20 6 8 0 H
G 0 9 G 3/20 6 2 1 A
G 0 9 G 3/20 6 1 2 U
G 0 9 G 3/20 6 2 2 D
G 0 9 G 3/20 6 2 2 Q
G 0 9 G 3/20 6 3 1 M
G 0 9 G 3/20 6 3 1 V
G 0 9 G 3/20 6 6 0 V
G 0 9 G 3/20 6 6 0 U
G 0 9 G 3/20 6 1 1 A
G 0 9 G 3/20 6 4 2 A
G 0 9 G 3/20 6 4 2 C
G 0 9 F 9/30 3 3 8
G 0 9 F 9/30 3 6 5
H 1 0 K 59/131
H 1 0 K 59/35
G 0 6 N 20/00

(72)発明者 池 ▲ヒョン▼宗
神奈川県横浜市西区高島 1 - 2 - 1 3 エルジー横浜イノベーションセンター 7 階 エルジー ジャパ
ン ラボ 株式会社

(72)発明者 高杉 親知
神奈川県横浜市西区高島 1 - 2 - 1 3 エルジー横浜イノベーションセンター 7 階 エルジー ジャパ
ン ラボ 株式会社

審査官 塚本 丈二

(56)参考文献 中国特許出願公開第 1 1 2 8 2 0 2 4 1 (C N , A)
韓国公開特許第 1 0 - 2 0 1 2 - 0 1 2 2 4 3 5 (K R , A)
米国特許出願公開第 2 0 2 0 / 0 1 1 8 4 7 6 (U S , A 1)
米国特許出願公開第 2 0 2 1 / 0 1 8 3 2 8 3 (U S , A 1)
特開 2 0 1 3 - 0 0 7 7 6 1 (J P , A)
特開 2 0 2 1 - 1 3 9 9 6 0 (J P , A)

(58)調査した分野 (Int.Cl. , D B 名)

G 0 9 G 3 / 2 0 - 3 / 3 8
G 0 9 F 9 / 3 0
H 1 0 K 5 9 / 1 3 1
H 1 0 K 5 9 / 3 5
G 0 6 N 2 0 / 0 0