

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 3 月 24 日(24.03.2011)

(10) 国際公開番号
WO 2011/033916 A1

PCT

- (51) 国際特許分類:
C25D 7/12 (2006.01) H01L 21/288 (2006.01)
C25D 21/12 (2006.01)
- (21) 国際出願番号: PCT/JP2010/064572
- (22) 国際出願日: 2010 年 8 月 27 日(27.08.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-215415 2009 年 9 月 17 日(17.09.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): 東京エレクトロン株式会社(TOKYO ELECTRON LIMITED) [JP/JP]; 〒1076325 東京都港区赤坂五丁目 3 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 小島 康彦(KOJIMA Yasuhiko) [JP/JP]; 〒4070192 山梨県韮崎市穂坂町三ツ沢 6 5 0 番地 東京エレクトロン株式会社内 Yamanashi (JP). 東雲 秀司(AZUMO Shuji) [JP/JP]; 〒4070192 山梨県韮崎市穂坂町

三ツ沢 6 5 0 番地 東京エレクトロン株式会社内 Yamanashi (JP).

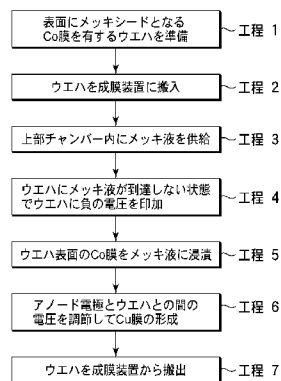
- (74) 代理人: 高山 宏志(TAKAYAMA Hiroshi); 〒1020093 東京都千代田区平河町一丁目 7 番 2 0 号 平河町辻田ビル 2 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF,

[続葉有]

(54) Title: FILM-FORMING METHOD AND STORAGE MEDIUM

(54) 発明の名称: 成膜方法および記憶媒体

[図2]



(57) Abstract: Disclosed is a film-forming method which comprises: a step in which a substrate is prepared by forming a Co film as a seed layer on the surface of the substrate; a step in which negative voltage is applied to the substrate in such a way that the surface potential of the Co becomes less than the oxidation potential of the Co; and a step in which a Cu film is formed on the Co film of the substrate by means of electrolytic plating, the Co film being immersed in a plating solution which is primarily copper sulfate solution while the negative voltage is still being applied to the substrate.

(57) 要約: 成膜方法は、表面にシード層としてCo膜が形成された基板を準備することと、基板に対して、Coの表面電位がCoの酸化電位より低くなるような負の電圧を印加することと、その後、基板に負の電圧を印加したままの状態、前記Co膜に硫酸銅溶液を主体とするメッキ液を浸漬させ、電解メッキにより前記基板のCo膜上にCu膜を成膜することとを有する。

- Step 1 Prepare wafer which has Co film as plating seed on surface thereof
- Step 2 Convey wafer to film-forming device
- Step 3 Supply plating solution to inside of top chamber
- Step 4 Apply negative voltage to wafer while plating solution has not reached wafer
- Step 5 Immerse Co film on wafer surface in plating solution
- Step 6 Form Cu film by adjusting voltage between anode electrode and wafer
- Step 7 Convey wafer from film-forming device

WO 2011/033916 A1

WO 2011/033916 A1



BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, 添付公開書類:
SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：成膜方法および記憶媒体

技術分野

[0001] 本発明は、Ｃｏシードの上に電解メッキによってＣｕ膜を成膜する成膜方法および記憶媒体に関する。

背景技術

[0002] 近時、半導体デバイスの高速化、配線パターンの微細化等に呼応して、Ａｌよりも導電性が高く、かつエレクトロマイグレーション耐性等も良好なＣｕが配線として注目されている。従来から、Ｃｕ配線層は、電解メッキにより形成されており、電解メッキによるＣｕ配線のシードとしては、Ｃｕが用いられてきた。しかし、配線パターンのさらなる微細化にともない、埋め込み性の向上が求められている。このため、従来のＣｕから埋め込み性の良好なＣｏへの変更が検討されている。Ｃｏは抵抗が低く、Ｃｕとの密着性が高いという利点もある。

[0003] ところで、電解メッキによりＣｕ膜を形成する場合には、従来からメッキ液として硫酸銅を用いているが、Ｃｏは硫酸に可溶であるため、Ｃｏをメッキシードとして用いると、Ｃｏがメッキ液に溶出する。

発明の概要

[0004] 近時、配線パターンのさらなる微細化にともない、メッキシードは５ｎｍ以下に薄膜化している。このような薄いＣｏ膜をメッキシードとして用いた場合、メッキ処理の途中でのＣｏ膜のメッキ液への溶出により、Ｃｏ膜が消失してＣｕメッキが形成されない部分が生じたり、Ｃｕ膜の密着性が低下したりといった不都合が生じる。

[0005] したがって、本発明の目的は、Ｃｏをメッキシードとして電解メッキによるＣｕ膜を成膜する場合に、Ｃｏの溶出を抑制してＣｏシード上に均質でかつ密着性の高いＣｕ膜を形成することができる成膜方法を提供することにある。

また、本発明の他の目的は、そのような成膜方法を実行するためのプログラムを記憶した記憶媒体を提供することにある。

[0006] 本発明の第1の観点によれば、表面にシード層としてC_o膜が形成された基板を準備することと、前記基板に対して、C_oの表面電位がC_oの酸化電位より低くなるような負の電圧を印加することと、その後、前記基板に負の電圧を印加したままの状態、前記C_o膜に硫酸銅溶液を主体とするメッキ液を浸漬させ、電解メッキにより前記基板のC_o膜上にCu膜を成膜することとを有する成膜方法が提供される。

[0007] 本発明の第2の観点によれば、基板上にシード層となるC_o膜をCVDにより成膜することと、前記基板に対して、C_oの表面電位がC_oの酸化電位より低くなるような負の電圧を印加することと、その後、前記基板に負の電圧を印加したままの状態、前記C_o膜に硫酸銅溶液を主体とするメッキ液を浸漬させ、電解メッキにより前記基板のC_o膜上にCu膜を成膜することとを有する成膜方法が提供される。

[0008] 本発明の第3の観点によれば、コンピュータ上で動作し、成膜装置を制御するためのプログラムが記憶された記憶媒体であって、前記プログラムは、実行時に、表面にシード層としてC_o膜が形成された基板を準備することと、前記基板に対して、C_oの表面電位がC_oの酸化電位より低くなるような負の電圧を印加することと、その後、前記基板に負の電圧を印加したままの状態、前記C_o膜に硫酸銅溶液を主体とするメッキ液を浸漬させ、電解メッキにより前記基板のC_o膜上にCu膜を成膜することとを有する成膜方法が行われるように、コンピュータに前記成膜装置を制御させる記憶媒体が提供される。

図面の簡単な説明

[0009] [図1]本発明に係る成膜方法を実施する成膜装置の一例を示す略断面である。

[図2]本発明の一実施形態に係る成膜方法を説明するためのフローチャートである。

[図3A]ウエハ表面がメッキ液に浸漬する前にウエハに電圧を印加した状態を

示す模式図である。

[図3B] 図3Aの状態の後、ウエハ表面にメッキ液を浸漬させた状態を示す模式図。

[図4] メッキシードとしてのC₆₀膜を成膜するためのCVD装置の一例を示す概略図である。

[図5] 本発明の成膜方法を実施するための成膜装置の他の例を示す概略構成図である。

[図6] 図5の装置において、ウエハをメッキ液に浸漬させずに電圧を印加している状態を説明する図である。

[図7] 本発明の実施例の結果を示す写真である。

発明を実施するための形態

[0010] 以下、添付図面を参照して、本発明の実施の形態について説明する。

[0011] <本発明の成膜方法を実施するための成膜装置の一例>

図1は、本発明の成膜方法を実施する成膜装置の一例を示す略断面であり、電解メッキによりCu膜を形成する含浸タイプの電解メッキ装置として構成される。

この成膜装置100は、表面にシード層としてのC₆₀膜が形成された被処理基板である半導体ウエハ（以下単にウエハと記す）Wを支持する支持部材1を有している。支持部材1は回転機構（図示せず）により回転可能となっており、支持部材1を回転させることにより、ウエハWが面内回転される。ウエハWの上面の被処理面にはエッジに沿って円筒状のエッジシール部材2がウエハWに対して液密に設けられている。そして、ウエハWの表面とエッジシール部材2とで形成される容器にメッキ液Lが貯留されるようになっており、これらが下部チャンバーを構成している。また、ウエハWの表面のエッジシール部材2の外側部分には電極接点4が設けられている。

[0012] 支持部材1に支持されたウエハWの上方には略円筒状をなすメッキヘッド10が昇降機構17により上下動可能に配置されている。メッキヘッド10は、メッキ液Lが収容される上部チャンバー11と、上部チャンバー11内

にウエハWと対向するように設けられたアノード電極12と、上部チャンバー11の底部を構成するポーラスセラミックスからなる含浸部材13とを有している。上部チャンバー11の上部中央にはメッキ液供給口14が設けられている。そして、メッキ液供給機構16からメッキ液供給口14を介して上部チャンバー11内にメッキ液Lが供給されるようになっている。アノード電極12にはメッキ液Lが通過する多数のメッキ液通過孔15が上下に貫通して設けられている。

[0013] カソード電極となるウエハWとアノード電極12との間には直流電源5が接続されている。ウエハWへは電極接点4を介して直流電源5の負極が接続されており、アノード電極12へは直流電源5の正極が接続されている。直流電源5は出力電圧が可変となっている。

[0014] メッキ処理を行うに際しては、メッキヘッド10をウエハWの表面に近接させ、メッキ液供給口14からメッキ液Lを上部チャンバー11内に供給する。メッキ液Lは含浸部材13を経て下部チャンバーを構成するウエハWの表面とエッジシール部材2とで形成される容器に貯留され、さらに上部チャンバー11内に貯留される。その際のメッキ液Lの液面はアノード電極12が浸漬される程度とされる。なお、供給されたメッキ液は、図示しない排液機構により排液されることが可能となっている。

[0015] 成膜装置100は制御部20を有し、この制御部20により各構成部、例えば直流電源5、昇降機構17、メッキ液供給機構16、ウエハ支持部材1の駆動機構等の制御を行うようになっている。この制御部20は、マイクロプロセッサ（コンピュータ）を備えたプロセスコントローラ21と、ユーザーインターフェース22と、記憶部23とを有している。プロセスコントローラ21は成膜装置100の各構成部に電氣的に接続され、これらに制御信号を送るようになっている。ユーザーインターフェース22は、プロセスコントローラ21に接続されており、オペレータが成膜装置100の各構成部を管理するためにコマンドの入力操作などを行うキーボードや、成膜装置100の各構成部の稼働状況を可視化して表示するディスプレイ等からなっ

いる。記憶部 23 もプロセスコントローラ 21 に接続されており、この記憶部 23 には、成膜装置 100 で実行される各種処理をプロセスコントローラ 21 の制御にて実現するための制御プログラム、処理条件に応じて成膜装置 100 の各構成部に所定の処理を実行させるための制御プログラムすなわち処理レシピ、各種データベース等が格納されている。処理レシピは記憶部 23 の中の記憶媒体（図示せず）に記憶されている。記憶媒体は、ハードディスク等の固定的に設けられているものであってもよいし、CDROM、DVD、フラッシュメモリ等の可搬性のものであってもよい。また、他の装置から、例えば専用回線を介してレシピを適宜伝送させるようにしてもよい。

[0016] そして、必要に応じて、ユーザーインターフェース 22 からの指示等にて所定の処理レシピを記憶部 23 から呼び出してプロセスコントローラ 21 に実行させることで、プロセスコントローラ 21 の制御下で、成膜装置 100 での所望の処理が行われる。

[0017] <本発明の一実施形態に係る成膜方法>

次に、以上のように構成された成膜装置を用いて行われる本発明の一実施形態に係る成膜方法について説明する。

図 2 は本発明の一実施形態に係る成膜方法を説明するためのフローチャートである。

[0018] まず、表面にメッキシードとなる Co 膜が形成されたウエハ W を準備する（工程 1）。Co 膜の厚さは、1.5～5 nm の範囲であることが好ましい。次いで、このウエハ W を電解メッキにより Cu 膜を成膜する成膜装置 100 に搬入し（工程 2）、支持部材 1 に支持させた状態とする。

[0019] 次に、メッキヘッド 10 を下降させて処理状態とし、上部チャンバー 11 内に硫酸銅を主体とするメッキ液 L を供給する（工程 3）。そして、図 3 A の模式図に示すように、アノード電極 12 がメッキ液 L に浸漬され、ウエハ W にはメッキ液が到達しない状態で、直流電源 5 からカソード電極となるウエハ W に、Co 膜 31 の表面電位が Co の酸化電位（酸化還元電位ともいう）より低くなるような負の電圧を印加する（工程 4）。

- [0020] この状態で、さらにメッキ液Lを供給して、図3Bに示すように、ウエハWの表面、すなわちC_o膜31をメッキ液Lに浸漬された状態とする（工程5）。このとき、C_o膜31の表面電位がC_oの酸化電位よりも低いため、ウエハWの表面に形成されたC_o膜に硫酸銅を主体とするメッキ液Lが接触しても、C_oのメッキ液Lへの溶出が生じない。つまりC_oが電気化学的に安定な状態となる。
- [0021] C_oの酸化電位は-0.28Vであるから、ウエハWの表面がメッキ液Lに浸漬される前に、ウエハWの表面がメッキ液Lに浸漬された時点でウエハW（C_o膜）とメッキ液との電位差が0.3V以上となるような電圧を印加することが好ましい。
- [0022] このようにしてウエハW表面にメッキ液を浸漬した後、直流電源5からの電圧を実際のCuメッキの際の電圧に調節してCuメッキ処理を行う（工程6）。このときの電圧は好ましくは0.1～3V程度とされる。これにより、ウエハW表面のC_o膜上にCuが析出し、Cu膜が形成される。
- [0023] メッキ処理が終了後、メッキヘッド10を上昇させ、ウエハWの表面状のメッキ液Lを排出し、ウエハWを搬出する（工程7）。
- [0024] C_oはCuよりもイオン化傾向が高く、硫酸に可溶なため、何らの操作なく硫酸銅を主体とするメッキ液にウエハW表面のC_o膜に硫酸銅を主体とするメッキ液を接触させると、C_oはC_o⁺となってメッキ液L中に溶出する。特に、半導体デバイスの配線パターンが一層微細化していることにともない、メッキシード層の膜厚は5nm以下が求められているが、このように薄いC_o膜をメッキシード層として用いる場合には、C_o膜がメッキ液Lに浸漬された時点でC_oの溶出にともないC_o膜が薄くなったり、消失したりして、Cuメッキ膜が形成されない部分が生じることや、Cu膜の密着性の低下が生じる。
- [0025] これに対して、本実施形態では、ウエハWの表面をメッキ液Lに浸漬する前に、カソード電極となるウエハWに、C_o膜の表面電位がC_oの酸化電位より低くなるような負の電圧を印加する。このため、C_oがメッキ液に溶出

することが防止され、Cuメッキが形成されない部分が生じることや、Cu膜の密着性の低下が生じることを防止することができ、均質で密着性の高いCu膜を形成することができる。

[0026] Co膜の厚さが5 nmより大きければこのような不都合が生じる可能性は小さいため、本実施形態の方法は、Co膜の厚さが5 nm以下の場合に有効である。一方、電解メッキによりCo膜上にCu膜を形成する場合には、最初、置換メッキによりCo膜が1 nm程度エッチングされるため、Co膜の厚さはその分を考慮した厚さにすることが好ましい。したがって、Co膜の膜厚は1.5～5 nmの範囲であることが好ましい。

[0027] Co膜の形成方法は特に限定されず、スパッタリングのような物理蒸着（PVD）でも化学蒸着（CVD）でも構わない。ただし、配線パターンの微細化にともない、微細ホールにも厚さ5 nm以下の薄いCo膜を形成するためには、ステップカバレッジが良好なCVDを用いることが好ましい。Co膜を形成するためのウエハWとしては、表面に下地となるSiO_xCy絶縁膜（x、yは正の数）、または有機系絶縁物膜が形成されたものが用いられる。

[0028] 図4は、CVDによりCo膜を成膜するCVD成膜装置の一例を示す概略図である。このCVD成膜装置200は、チャンバー41を有しており、その中の底部には被処理基板であるウエハWを水平に支持するためのサセプタ42が設けられている。サセプタ42にはヒーター43が埋め込まれており、ヒーター43に通電することにより、サセプタ42上のウエハWを加熱するようになっている。

[0029] チャンバー41の上部には、天壁から下方に突出するようにシャワーヘッド45が設けられている。シャワーヘッド45は、成膜のための処理ガスをチャンバー41内に吐出するためのものであり、その上部中央には処理ガスが導入されるガス導入口46が設けられている。シャワーヘッド45の内部にはガス拡散空間47が形成されており、シャワーヘッド45の底板48にはガス多数のガス吐出孔49が設けられている。ガス導入口46にはガス供

給配管 5 1 が接続されており、ガス供給配管 5 1 には処理ガス供給機構 5 2 が接続されている。そして、処理ガス供給機構 5 2 からガス供給配管 5 1 およびガス導入口 4 6 を介してガス拡散空間 4 7 に導入された C o 膜成膜のための処理ガスがガス吐出孔 4 9 からチャンバー 4 1 内に吐出されるようになっている。

[0030] チャンバー 4 1 の底部には排気口 5 5 が設けられており、この排気口 5 5 に排気配管 5 6 が接続されている。排気配管 5 6 には圧力調整バルブおよび真空ポンプ（いずれも図示せず）が設けられている。チャンバー 4 1 の側壁には、ウエハ W の搬入出を行うための搬入出口 5 7 と、この搬入出口 5 7 を開閉するゲートバルブ 5 8 とが設けられている。

[0031] C V D 成膜装置 2 0 0 は成膜装置 1 0 0 における制御部 2 0 と同様の制御部 6 0 を有しており、制御部 2 0 と全く同様に C V D 成膜装置 2 0 0 を制御するようになっている。

[0032] このように構成される C V D 成膜装置においては、チャンバー 4 1 内にウエハ W を搬入し、チャンバー 4 1 内が所定の圧力になるまで真空排気し、処理ガス供給機構 5 2 からガス供給配管 5 1 およびシャワーヘッド 4 5 を介してチャンバー 4 1 内に処理ガスを導入し、所定温度に加熱されたウエハ W 上で成膜反応を生じさせ、ウエハ上に C o 膜を形成する。

[0033] このときの処理ガスとしては、実用的に C o 膜を成膜できれば特に限定されない。例えば、ビス（N-ターシャリブチル-N'-エチルプロピオンアミジネート）コバルト（II）（ $\text{Co}(\text{tBu-Et-Et-amd})_2$ ）のようなコバルトアミジネートと還元剤とを用いることができる。還元剤としては、 H_2 ガス、 NH_3 ガス、カルボン酸ガスを用いることができる。また、コバルトカルボニル（ $\text{Co}_2(\text{CO})_8$ ）を用い、これをウエハ W 上で熱分解して C o 膜を形成するようにしてもよい。成膜温度は前者で $100 \sim 300$ °C、後者で $120 \sim 300$ °C が好ましい。

[0034] このようにして、ウエハ W 上に C V D で C o 膜を成膜してから、上述したように電解メッキにより C o 膜上に C u 膜を形成することにより、微細パタ

ーンであっても良好なステップカバレッジでC o膜を5 nm以下と薄く形成した後、C o膜を消失させることなく、高い密着性でC u膜を成膜することができる。

[0035] <本発明の成膜方法を実施するための成膜装置の他の例>

上記実施形態では、成膜装置100として含浸タイプの電解メッキ装置を用いた例を示したが、ここでは、アノード電極および表面にC o膜が形成されたウエハを単純にメッキ液に浸漬するタイプの電解メッキ装置として構成される成膜装置を示す。

[0036] 図5は、本発明の成膜方法を実施するための成膜装置の他の例を示す概略構成図である。この成膜装置100'は、メッキ液Lを貯留するメッキ槽71を有し、そのメッキ液L中にアノード電極72が浸漬されている。そして、カソード電極としてのウエハWがメッキ液Lに浸漬されるようになっている。ウエハWは図示しない駆動機構により、図5に示すメッキ液Lに浸漬された状態とメッキ液L上に引き上げられた状態との間で移動可能となっている。アノード電極72とウエハWとの間には直流電源73が接続されている。

[0037] このように構成される成膜装置100'においては、図6に示すように、ウエハWをメッキ液Lから引き上げた状態のときに、直流電源73からカソード電極となるウエハWに、C o膜の表面電位がC oの酸化電位より低くなるような負の電圧を印加する。これにより、その後、ウエハWを下降させてウエハWをメッキ液Lに浸漬させても、C o膜の表面電位がC oの酸化電位よりも低いため、C oがメッキ液Lへ溶出することが防止される。

[0038] この処理の後、直流電源73からの電圧を実際のC uメッキの際の電圧に調節してC uメッキ処理を行い、C o膜上にC u膜を形成する。

[0039] 以上のように、本実施形態によれば、表面にメッキシードとなるC o膜が形成された基板であるウエハWをメッキ液に浸漬する前に、ウエハWに対し、C o膜の表面電位がC oの酸化電位より低くなるような負の電圧を印加するので、C oがメッキ液に溶出することが防止され、C uメッキが形成され

ない部分が生じることや、Cu膜の密着性の低下が生じること防止することができ、均質で密着性の高いCu膜を形成することができる。

[0040] <実施例>

次に、実施例について説明する。

基板上にメッキシードとなるCo膜を10nmの厚さで形成したサンプルと、5nmの厚さで形成したサンプルを作成し、まず、これらサンプルをメッキ液に浸漬させる前の電圧印加を行わずに電解メッキによりCu膜を形成した。また、厚さ5nmのCo膜を形成したサンプルについて、メッキ液に浸漬させる前に-20Vの電圧を印加し、その後電解メッキによりCu膜を形成した。

[0041] これらの経過時間毎のメッキ処理の状態の写真を図7に示す。この図に示すように、Co膜の厚さが10nmのサンプルは、電解メッキ処理に先立って電圧印加しなくても、良好にCu膜が形成されることが確認された。一方、Co膜の厚さが5nmのサンプルは、電解メッキ処理に先立って電圧印加しない場合にはCoが消失してCu膜が形成されなかった。これに対し、Co膜の厚さが5nmのサンプルについて電気メッキ処理に先立って-20Vの電圧を印加した場合には、良好にCu膜が形成されることが確認された。

[0042] <本発明の他の適用>

なお、本発明は、上記実施の形態に限定されることなく種々変形可能である。例えば、電解メッキ装置として構成される成膜装置については、上記実施形態に例示したものに限らず種々の形態の装置を適用することができる。

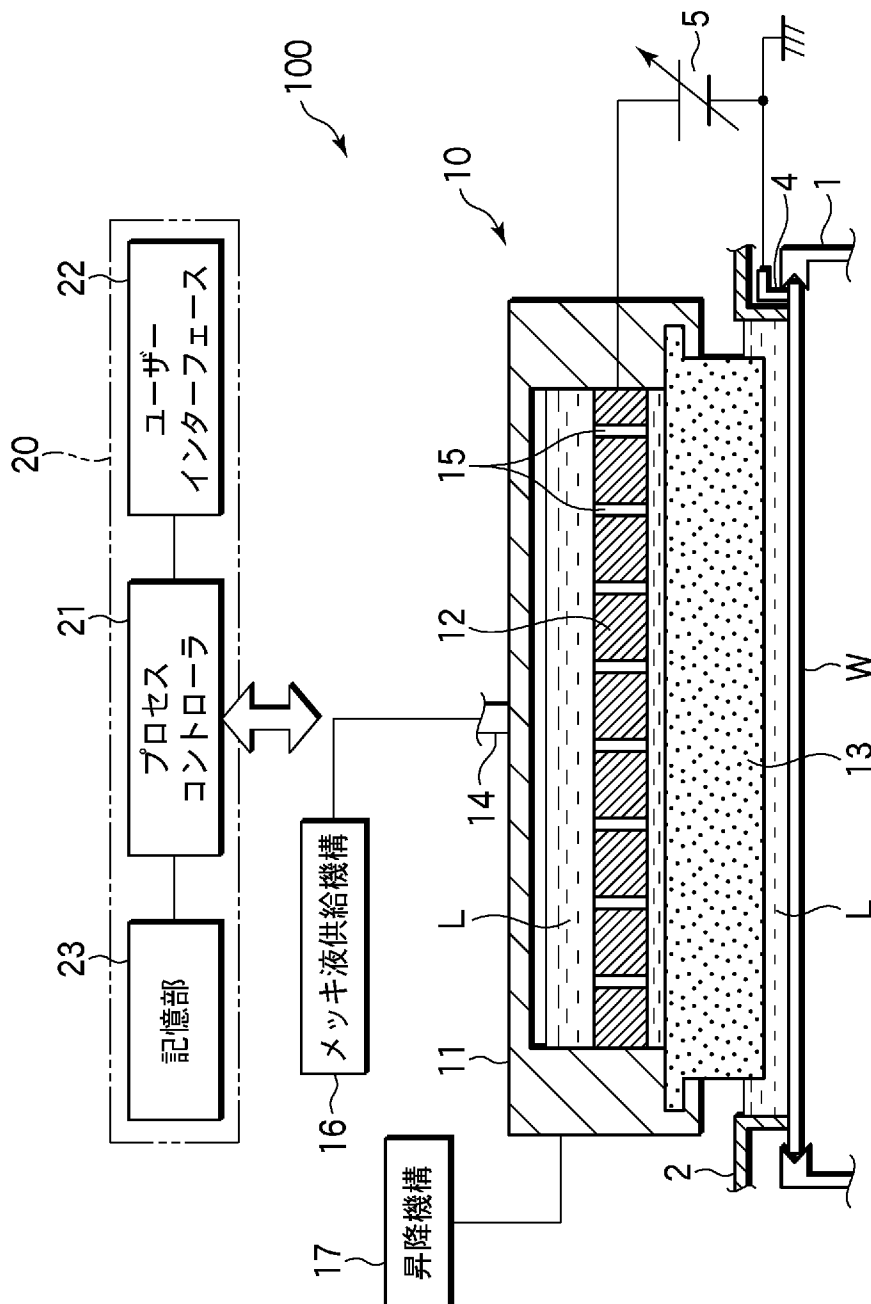
[0043] また、被処理基板として半導体ウエハを用いた場合を説明したが、これに限らず、フラットパネルディスプレイ（FPD）基板等の他の基板であってもよい。

請求の範囲

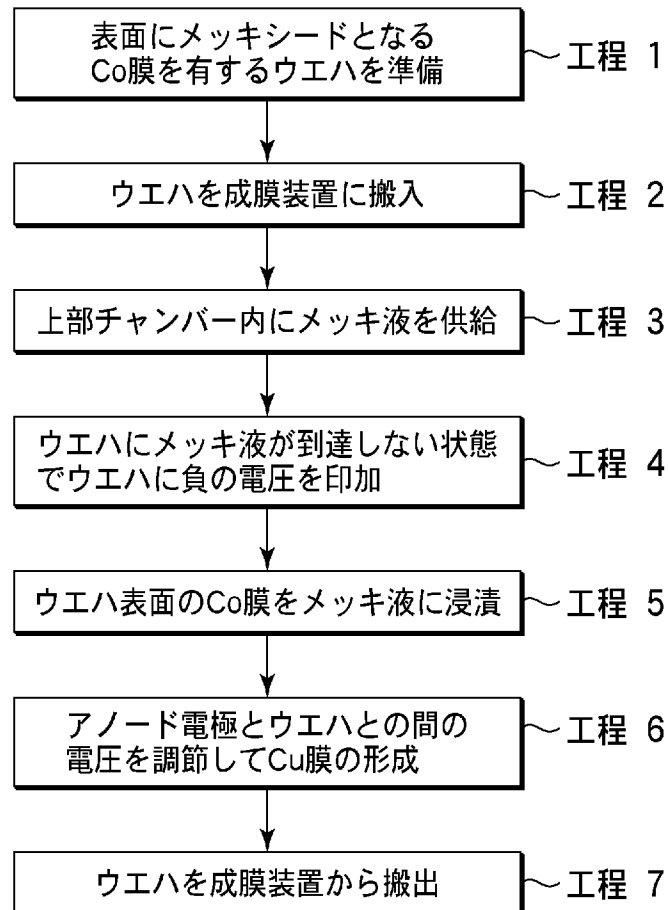
- [請求項1] 表面にシード層としてC_o膜が形成された基板を準備することと、
前記基板に対して、C_oの表面電位がC_oの酸化電位より低くなるような負の電圧を印加することと、
その後、前記基板に負の電圧を印加したままの状態、前記C_o膜に硫酸銅溶液を主体とするメッキ液を浸漬させ、電解メッキにより前記基板のC_o膜上にC_u膜を成膜することと
を有する成膜方法。
- [請求項2] 前記C_o膜はCVDにより成膜されている、請求項1に記載の成膜方法。
- [請求項3] 前記C_o層の厚さは、1.5～5nmである、請求項1に記載の成膜方法。
- [請求項4] 前記基板をメッキ液に浸漬する前に印加する電圧は、基板表面のC_o膜がメッキ液に浸漬された時点で、基板とメッキ液との電位差が0.3V以上となるような電圧である、請求項1に記載の成膜方法。
- [請求項5] 基板上にシード層となるC_o膜をCVDにより成膜することと、
前記基板に対して、C_oの表面電位がC_oの酸化電位より低くなるような負の電圧を印加することと、
その後、前記基板に負の電圧を印加したままの状態、前記C_o膜に硫酸銅溶液を主体とするメッキ液を浸漬させ、電解メッキにより前記基板のC_o膜上にC_u膜を成膜することと
を有する成膜方法。
- [請求項6] 前記C_o層の厚さは、1.5～5nmである、請求項5に記載の成膜方法。
- [請求項7] 前記基板をメッキ液に浸漬する前に印加する電圧は、基板表面のC_o膜がメッキ液に浸漬された時点で、基板とメッキ液との電位差が0.3V以上となるような電圧である、請求項5に記載の成膜方法。
- [請求項8] コンピュータ上で動作し、成膜装置を制御するためのプログラムが

記憶された記憶媒体であって、前記プログラムは、実行時に、表面にシード層としてC_o膜が形成された基板を準備することと、前記基板に対して、C_oの表面電位がC_oの酸化電位より低くなるような負の電圧を印加することと、その後、前記基板に負の電圧を印加したままの状態、前記C_o膜に硫酸銅溶液を主体とするメッキ液を浸漬させ、電解メッキにより前記基板のC_o膜上にC_u膜を成膜することとを有する成膜方法が行われるように、コンピュータに前記成膜装置を制御させる記憶媒体。

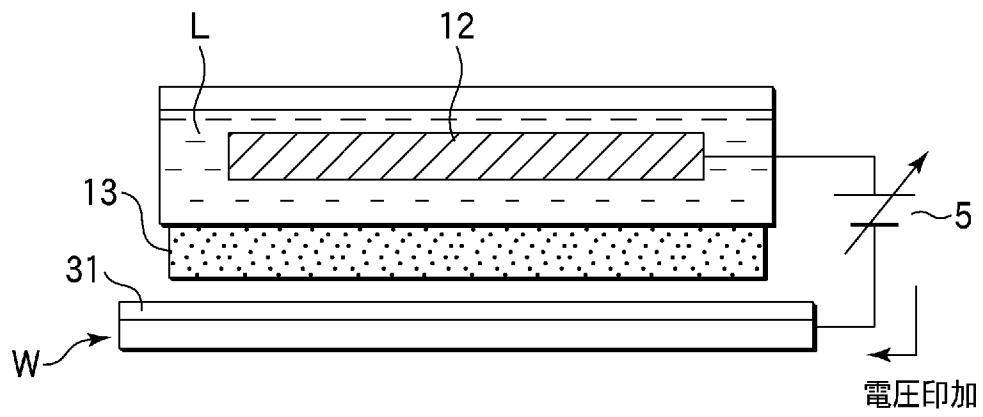
[図1]



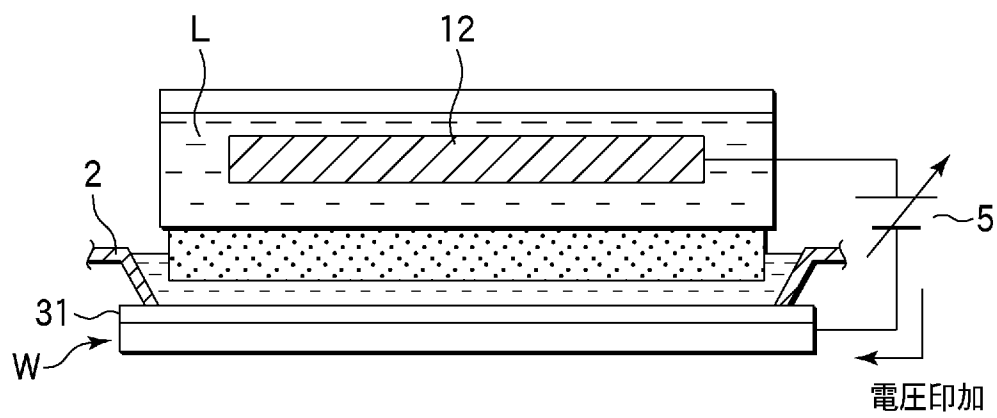
[図2]



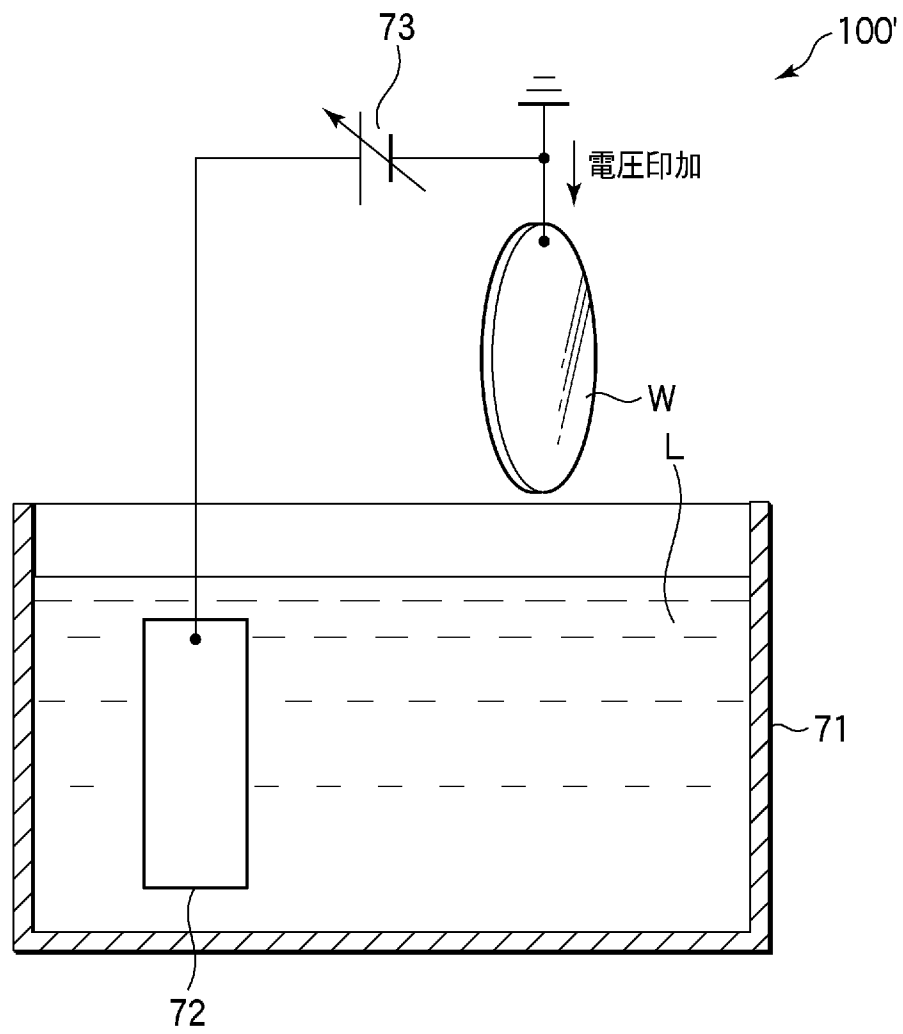
[図3A]



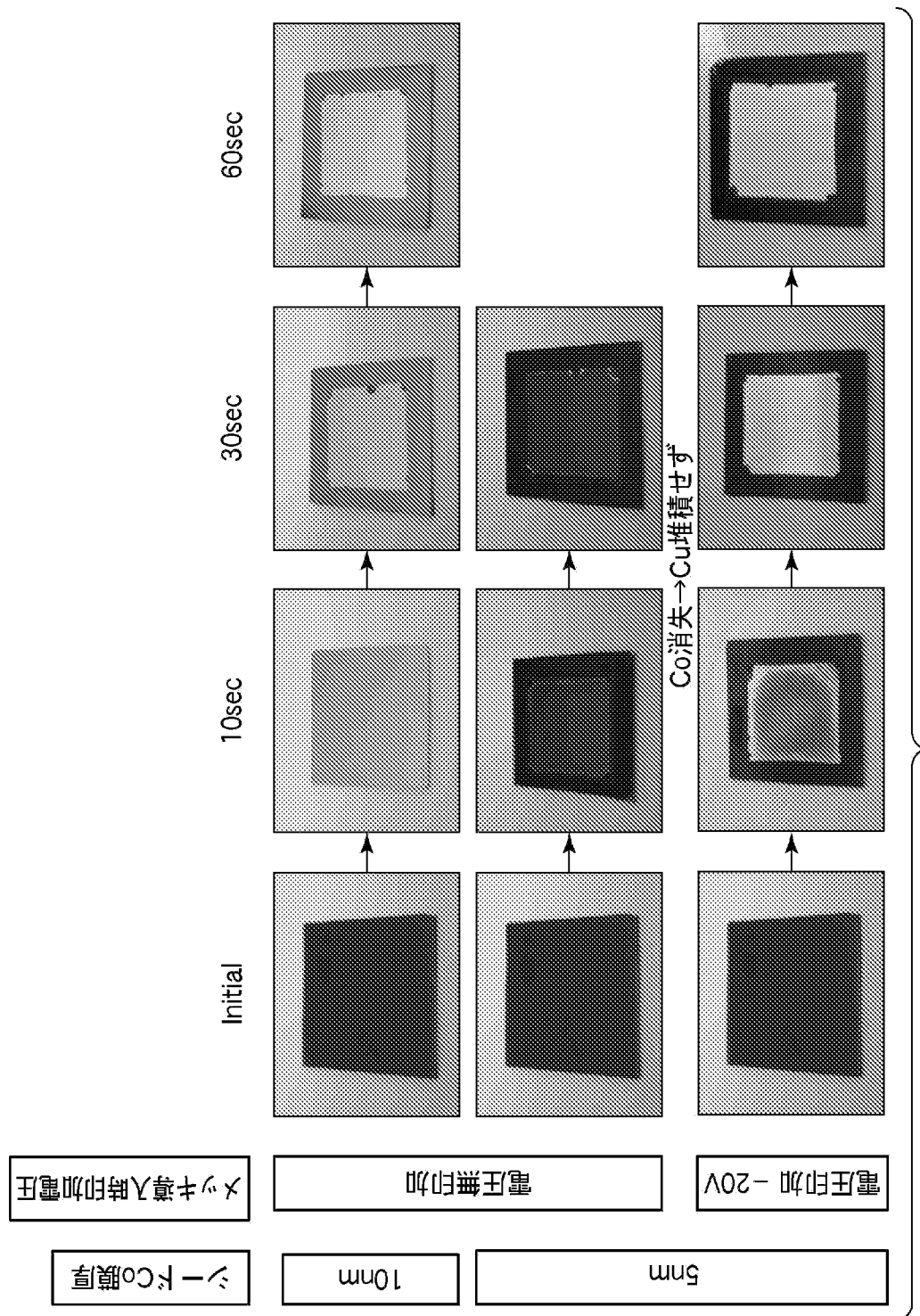
[図3B]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/064572

A. CLASSIFICATION OF SUBJECT MATTER

C25D7/12(2006.01) i, C25D21/12(2006.01) i, H01L21/288(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

C25D7/12, C25D21/12, H01L21/288

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-007830 A (Fujitsu Ltd.), 17 January 2008 (17.01.2008), claims; paragraphs [0003] to [0004], [0029] & US 2008/0011610 A1 & CN 101096770 A & KR 10-2008-0003172 A	1-8
Y	JP 2007-534175 A (Intel Corp.), 22 November 2007 (22.11.2007), paragraphs [0017] to [0018] & US 2005/0239281 A1 & EP 1738408 A & WO 2005/109490 A1 & KR 10-2006-0135031 A & CN 1947237 A & TW 283077 B	1-8
Y	JP 2001-123291 A (Hitachi, Ltd.), 08 May 2001 (08.05.2001), paragraphs [0003] to [0021] (Family: none)	1-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
28 September, 2010 (28.09.10)

Date of mailing of the international search report
05 October, 2010 (05.10.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/064572

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-355798 A (Dainippon Screen Mfg. Co., Ltd.), 26 December 2000 (26.12.2000), paragraphs [0005] to [0008], [0042] to [0043], [0052] (Family: none)	1-8

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. C25D7/12(2006.01)i, C25D21/12(2006.01)i, H01L21/288(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. C25D7/12, C25D21/12, H01L21/288

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-007830 A (富士通株式会社) 2008.01.17, 特許請求の範囲、段落【0003】-【0004】、【0029】 & US 2008/0011610 A1 & CN 101096770 A & KR 10-2008-0003172 A	1-8
Y	JP 2007-534175 A (インテル・コーポレーション) 2007.11.22, 段落【0017】-【0018】 & US 2005/0239281 A1 & EP 1738408 A & WO 2005/109490 A1 & KR 10-2006-0135031 A & CN 1947237 A & TW 283077 B	1-8

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 8 . 0 9 . 2 0 1 0

国際調査報告の発送日

0 5 . 1 0 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

4 E

3 5 4 8

市枝 信之

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 2 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2001-123291 A (株式会社日立製作所) 2001. 05. 08, 段落【0003】－【0021】 (ファミリーなし)	1-8
Y	JP 2000-355798 A (大日本スクリーン製造株式会社) 2000. 12. 26, 段落【0005】－【0008】、【0042】－【0043】、 【0052】 (ファミリーなし)	1-8