(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01L 27/108

(45) 공고일자 2002년09월17일
(11) 등록번호 10-0329943
(24) 등록일자 2002년03월12일

(21) 출원번호 10-1998-0001507
(22) 출원일자 1998년01월20일

(65) 공개번호 특1998-0070626
(43) 공개일자 1998년10월26일

(30) 우선권주장 97-007666 1997년01월20일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바
일본국 도꾜도 미나또꾸 시바우라 1쪼메 1방 1고

(72) 발명자 호소따니 게이지
일본 가나가와껭 요꼬하마시 이소고꾸 신스기따쪼 8 가부시끼가이샤도시바 요꼬하마 패시리티 어드미니스트레이션 센타 내
고야마 유스께
일본 가나가와껭 요꼬하마시 이소고꾸 신스기따쪼 8 가부시끼가이샤도시바 요꼬하마 패시리티 어드미니스트레이션 센타 내

(74) 대리인 구영창
이상희

심사관 : 조지은

(54) 반도체장치및그제조방법

요약

본 발명은 축적 용량이 크고 또 내압과 신뢰성이 높은 스택형 캐패시터를 갖는 반도체 장치 및 그 제조 방법을 제공한다.

또한, 본 발명은, 기초가 되는 절연막의 콘택트홀상에, 스택형 캐패시터의 Ru 축적 노드 전극을 형성할 때, 그 측벽에 90도 이상 110도 이하의 테이퍼각을 두고, 콘택트홀의 내부 표면상에 Ru 축적 노드 전극을 형성하며, 또한 측벽의 상부 주변 영역의 Ru막을 SOG 마스크를 이용한 종방향 에칭에 의해 제거함으로써 그 위에 (Ba, Sr)TiO_3 박막으로 이루어지는 균일한 스택형 캐패시터 절연막을 용이하게 형성할 수 있다. 이와 같이 하여 내압이 높은 스택형 캐패시터가 얻어진다. 또한, 종래의 방법에 비해, 리소그래피의 한계 이상으로 축적 노드 사이를 가깝게 붙이는 것도 용이하다.

대표도
도 4

명세서

도면의 간단한 설명

도 1은 본 발명의 스택형 캐패시터를 갖는 반도체 장치의 메모리 셀의 구조를 도시한 평면도와 단면도.

도 2는 본 발명의 제1 실시 형태에서의 반도체 장치의 제조 방법을 도시한 공정 단면도.

도 3은 본 발명의 제1 실시 형태에서의 반도체 장치의 제조 방법의 계속을 도시한 공정 단면도.

도 4는 본 발명의 제1 실시 형태에서의 반도체 장치의 제조 방법의 계속을 도시한 공정 단면도.

도 5는 본 발명의 제2 실시 형태에서의 반도체 장치의 제조 방법을 도시한 공정 단면도.

도 6은 콘택트홀의 상부 주변의 Ru막을 제거하지 않을 경우의 문제점을 도시한 도면.

도 7은 종래의 스택형 캐패시터를 갖는 반도체 장치의 메모리 셀 구조를 도시한 도면.

〈도면의 주요 부분에 대한 부호의 설명〉

1 : 실리콘 기판

2 : 소자 분리 절연막

3, 4 : 게이트 전극(워드선)

5 : 소스 영역

6 : 드레인 영역

6a : 비트선과의 콘택트 영역

7 : 질화막

8, 12, 15 : 제1 절연막

10, 11 : 다결정 실리콘 플러그

13 : 비트선 접속용 플러그

14 : 비트선

16 : 축적 노드 전극 접속용 플러그

17 : 제2 절연막

18 : 제2 콘택트홀

19 : 제2 콘택트홀

19 : 축적 노드 전극

19s : 축적 노드 전극의 돌기부

20 : 제3 절연막

21: 캐패시터 절연막

22 : 플레이트 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 특히 스택형 캐패시터를 갖는 반도체 장치의 구조와 그 제조 방법에 관한 것이다.

DRAM 등의 반도체 장치에 있어서, 집적도의 향상에 따른 칩 면적의 증대를 억제하고자 하면, 필연적으로 메모리 셀당 점유 면적을 축소해야만 한다. 한편, DRAM으로서 안정된 동작을 얻기 위해서는 메모리 셀 캐패시터의 용량은 20fF 내지 30fF의 값을 유지하는 것이 필요하고, 이 값은 DRAM의 세대가 교체되어도 그다지 변화하지 않는다. 이 상반하는 요구를 만족시키기 위해, 종래 트렌치형 혹은 스택형이라고 불리는 3차원 구조의 캐패시터가 이용되어 왔다.

그러나, 집적도가 기가 비트에 이르는 대규모의 DRAM을 대상으로 하는 경우에는, 캐패시터를 3차원 구조로 하는 것만으로는 불충분하고, 캐패시터의 절연막으로서 (Ba, Sr)TiO_3 (바륨, 스트론튬, 티타늄옥사이드)와 같은 고유전율을 갖는 막을 이용하는 것이 필요해진다.

(Ba, Sr)TiO_3를 캐패시터의 절연막으로서 이용한 종래의 스택형 DRAM 메모리 셀의 단면 구조를 도 7에 도시한다.

참조 번호 1은 실리콘 기판, 참조 번호 2는 소자 분리용 절연막, 참조 번호 3은 캐패시터 충방전용 MOS 트랜지스터의 게이트 전극, 참조 번호 4는 워드선의 단면, 참조 번호 5는 MOS 트랜지스터의 소스 영역, 참조 번호 6은 드레인 영역, 참조 번호 6a는 비트선과 기판을 접속하는 콘택트 영역이다.

또한 참조 번호 7은 게이트 및 워드선을 둘러싸는 절연막, 참조 번호 10은 MOS 트랜지스터의 드레인 전극을 축적 노드 전극(19)에 접속하는 다결정 실리콘 플러그, 참조 번호 11은 기판과 비트선을 접속하는 다결정 실리콘 플러그, 참조 번호 17은 MOS 트랜지스터와 캐패시터를 분리하는 절연막이다.

(Ba, Sr)TiO_3를 절연막으로 하는, 도 7에 도시한 스택형 캐패시터를 형성하는 종래의 공정은 다음과 같다.

절연막(17)에 콘택트홀을 형성하고, 다결정 실리콘으로 이루어지는 플러그(10) 상에, Ru막을 스퍼터법을 이용하여 퇴적하고, SiO_2를 에칭 마스크로 하여, 상기 Ru막을 RIE(Reactive Ion Etching)법을 이용해 패터닝함으로써, 축적 노드 전극(19)을 형성한다.

패터닝된 축적 노드 전극(19)상에, MOCVD법에 의해 (Ba, Sr)TiO_3박막(21)을 퇴적하고, 계속해서 (Ba, Sr)TiO_3박막(21)상에 스퍼터법을 이용해 Ru막으로 이루어지는 플레이트 전극(22)을 형성하여 스택형 캐패시터를 완성한다.

상기한 바와 같은 종래의 스택형 캐패시터의 제조 공정에 있어서는, 축적 노드 전극(19)을 패터닝할 때, 먼저 리소그래피 기술을 이용하여 Ru막 상에 SiO_2막을 섬 형상으로 패턴 형성하고, 다음에 상기 SiO_2막을 마스크로서, RIE법을 이용하여 상기 Ru막을 에칭함으로써 축적 노드 전극(19)을 형성하고 있었다.

이 때 상기 SiO_2마스크의 간격은 리소그래피의 한계로 정해지고, 따라서 에칭에 의해 분리된 Ru막의 간격을 상기 SiO_2마스크의 간격 이하로 할 수 없다.

종래 Ru막의 에칭은 반드시 용이하지 않고, Ru의 분리를 완전하게 하기 위해서 상기 SiO_2 마스크의 하부까지 Ru막을 오버 에치할 필요가 있었다. 이 때문에 상기 Ru막으로 이루어지는 이웃하는 축적 노드 전극의 근접 갭은, 리소그래피의 한계로 정해지는 상기 SiO_2 마스크의 간격보다 크게 되지 않을 수 없는 상황에 있었다.

또한 상기 RIE법에 의한 Ru막의 에칭시에, Ru막의 측벽이 거의 수직으로 형성되기 때문에, 이것을 피복한 (Ba, Sr)TiO_3 박막의 스텝 커버리지를 개선하기 위해 상기 (Ba, Sr)TiO_3 박막의 퇴적 수법으로서, 막 두께의 균일성에 문제가 있는 CVD법이나 MOCVD법을 사용하지 않을 수 없다고 하는 결점이 있었다.

발명이 이루고자 하는 기술적 과제

상기한 바와 같이, 종래의 스택형 캐패시터를 포함하는 반도체 장치 및 그 제조 방법에 있어서는, Ru막을 RIE법에 의해 에칭할 때, SiO_2 마스크를 이용한 2단계 에칭을 행하기 위해 이것에 따른 공정 증가가 있는 것, 또한 Ru로 이루어지는 축적 노드 전극 간의 거리를 리소그래피의 한계로 결정되는 일정한 값 이하로 할 수 없고, 캐패시터의 축적 용량을 증가할 수 없는 것, 및 Ru막의 에칭에 있어서 Ru막의 측벽이 거의 수직으로 형성되기 때문에, 이것을 피복하는 (Ba, Sr)TiO_3 박막의 스텝 커버리지가 나쁜 것 등의 많은 문제점이 있었다.

본 발명은 상기한 문제점을 해결하도록 이루어진 것으로, Ru막을 퇴적하는 절연막과 하부의 MOS 트랜지스터를 접속하는 콘택트홀을 상기 절연막에 설치할 때, 상기 콘택트홀의 내벽과 상기 절연막의 상부 표면이 이루는 각이 90도 이상, 110도 이하의 범위가 되도록 하고, 이것과 평탄화 기술 및 선택 에칭 기술을 조합시킴으로써 공정수가 적고, 고밀도이고 또한 신뢰성이 높은 스택형 캐패시터를 갖는 반도체 장치 및 그 제조 방법을 제공하는 것을 주된 목적으로 한다.

본 발명의 반도체 장치는 반도체 기판 상에 형성된 요부와, 요부의 저면과 내벽에 인접하여 형성된 도전막과, 상기 도전막 중 요부 내벽의 상부 주변 영역에 형성된 부분이 제거된 것과, 반도체 기판의 상부 표면과 요부의 상부 주변 영역에 노출된 내벽과 도전막을 덮도록 형성된 절연막과가 포함된 것을 특징으로 한다.

본 발명의 반도체 장치는 상기 요부의 저면과 내벽에 인접하여 형성된 도전막으로 이루어지는 제1 전극과, 상기 제1 전극은 요부 내벽의 상부 주변 영역에 형성된 부분이 제거된 것과, 반도체 기판의 상부 표면과 요부의 상부 주변 영역에 노출한 내벽과 도전막을 덮도록 형성된 캐패시터 절연막과, 캐패시터 절연막 상에 인접하여 형성된 도전막으로 이루어지는 제2 전극이 포함된 것을 특징으로 한다.

본 발명의 반도체 장치는, 반도체 기판 상에 형성된 절연막과, 절연막 상에 형성된 요부와, 상기 요부의 저면과 내벽에 인접하여 형성된 도전막으로 이루어지는 제1 전극과, 제1 전극은 요부 내벽의 상부 주변 영역에 형성된 부분이 제거된 것과, 절연막의 상부 표면과 요부 내벽의 상부 주변 영역에 노출한 절연막과 제1 전극을 덮도록 형성된 캐패시터 절연막과, 캐패시터 절연막 상에 인접하여 형성된 도전막으로 이루어지는 제2 전극이 포함된 것을 특징으로 한다.

본 발명의 반도체 장치는 반도체 기판 상에 형성된 절연막과, 상기 절연막 상에 형성된 요부와, 상기 요부의 저면의 일부에는 반도체 기판에 이르는 도전성 플러그가 저면과 동일 평면 상에 노출된 것과, 요부의 저면과 내벽에 인접하여 형성된 도전막으로 이루어지는 제1 전극과, 상기 제1 전극은 요부 내벽의 상부 주변 영역에 형성된 부분이 제거된 것과, 절연막의 상부 표면과 요부 내벽의 상부 주변 영역에 노출한 절연막과 제1 전극을 덮도록 형성된 적어도 1층의 캐패시터 절연막과, 캐패시터 절연막 상에 인접하여 형성된 도전막으로 이루어지는 제2 전극이 포함된 것을 특징으로 한다.

본 발명의 반도체 장치는, 반도체 기판 상에 형성된 소스·드레인을 갖는MOS 트랜지스터와, MOS 트랜지스터 상에 형성된 절연막과, 절연막 상에 형성된 요부와, 요부의 저면의 일부에는 MOS 트랜지스터의 소스·드레인의 한쪽에 도달하는 도전성 플러그가 상기 저면과 동일 평면 상에 노출된 것과,

요부의 저면과 내벽에 인접하여 형성된 도전막으로 이루어지는 제1 전극과, 제1 전극은 요부 내벽의 상부 주변 영역에 형성된 부분이 제거된 것과, 절연막의 상부 표면과 요부의 내벽의 상부 주변 영역에 노출한 절연막과 제1 전극을 덮도록 형성된 적어도 1층의 캐패시터 절연막과, 캐패시터 절연막 상에 인접하여 형성된 도전막으로 이루어지는 제2 전극이 포함되는 것을 특징으로 한다.

또한 본 발명의 반도체 장치는 제1 도전형의 반도체 기판 상에 형성된 소스·드레인을 갖는 MOS 트랜지스터와, MOS 트랜지스터 상에 형성된 제1 절연막과, 제1 절연막에 형성되고, 상기 소스·드레인의 한쪽에 이르는 제1 콘택트홀과, 제1 콘택트홀을 충전하는 제1 도전 재료와, 제1 절연막 및 제1 도전 재료 상에 형성된 제2 절연막과, 제2 절연막에 형성되고, 제1 도전 재료에 도달하는 제2 콘택트홀과, 제2 콘택트홀의 내벽의 상부 주변 영역을 제외하고, 상기 제2 콘택트홀의 저면 및 내벽을 덮는 축적 노드 전극과, 제2 절연막의 상부 표면과 제2 절연막의 내벽의 상부 주변 영역에 노출한 제2 절연막과 축적 노드 전극의 표면을 덮는 캐패시터 절연막과, 캐패시터 절연막 상에 형성된 플레이트 전극을 구비하는 것을 특징으로 한다.

또한 바람직하게는 본 발명의 반도체 장치는, 요부를 설치한 반도체 기판, 및 반도체 기판상의 절연막 중 어느 하나의 상부 표면과, 요부의 내벽이 이루는 각도가 90도 이상, 110도 이하의 범위인 것을 특징으로 한다.

또한 더욱 바람직하게는 본 발명의 반도체 장치는, 제2 절연막의 상부 표면과 제2 절연막의 내벽의 상부 주변 영역과 축적 노드 전극의 표면을 덮는 캐패시터 절연막은, 상기 제2 콘택트홀의 내부 및 그 주변영역에 있어서, 그 단차부에 생기는 각도가 모두 90도 이상, 110도 이하의 범위에 잇는 것을 특징으로 한다.

본 발명의 반도체 장치의 제조 방법은 제1 도전형의 반도체 기판 상에 소스·드레인을 갖는 MOS 트랜지스터를 형성하는 공정과, MOS 트랜지스터 상에 제1 절연막을 형성하는 공정과, 제1 절연막에 소스·드레인의 한쪽에 도달하는 제1 콘택트홀을 형성하는 공정과, 제1 콘택트홀에 제1 도전 재료를 충전하는 공정과, 제1 절연막 및 제1 도전 재료 상에 제2 절연막을 형성하는 공정과, 제2 절연막에 제1 도전 재료에 도달하는 제2 콘택트홀을 형성하는 공정과, 제2 절연막의 상부 표면 및 제2 콘택트홀의 저면과 내벽에 축적 노드 전극용 금속막을 형성하는 공정과, 축적 노드 전극용 금속막의 제2 콘택트홀의 저면과 내벽을 덮는 부분에 형성된 요부에 제3 절연막을 충전하는 공정과, 제3 절연막을 마스크로 하여 제2 절연막 상면의 축적 노드 전극용 금속막을 에칭 제거하고, 동시에 제2 콘택트홀의 내벽에 형성된 축적 노드 전극용 금속막 중, 상기 제2 콘택트홀의 상부 주변 영역에 있는 것을 에칭 제거하는 공정과, 제3 절연막을 에칭 제거하는 공정과, 요부를 포함하는 캐패시터 형성 영역 전면에 캐패시터 절연막을 형성하는 공정과, 캐패시터 절연막상에 플레이트 전극을 형성하는 공정을 구비하는 것을 특징으로 한다.

또한 바람직하게는 본 발명의 반도체 장치의 제조 방법은, 제3 절연막을 형성할 때에 축적 노드 전극용 금속막 상에 제3 절연막을 형성하고, 계속해서 CMP법을 이용하여 축적 노드 전극용 금속막의 요부 이외에 형성된 제3 절연막을 에칭 제거하는 것을 특징으로 한다.

또한 바람직하게는 본 발명의 반도체 장치의 제조 방법은 제3 절연막으로서 SOG(Spin On Glass)를 이용하는 것을 특징으로 한다.

또한 바람직하게는 본 발명의 반도체 장치의 제조 방법은, 제3 절연막을 마스크로 하여 제2 절연막상의 축적 노드 전극용 금속막을 에칭 제거하고, 동시에 제2 콘택트홀의 내벽에 형성된 축적 노드 전극용 금속막 중, 내벽의 상부 주변 영역에 있는 것을 에칭 제거하는 공정이 등방성 에칭인 것을 특징으로 한다.

또한 더욱 바람직하게는 본 발명의 반도체 장치의 제조 방법은, 제2 절연막에 제1 도전 재료에 도달하는 제2 콘택트홀을 형성하는 공정이, 제2 절연막의 표면과 상기 제2 콘택트홀의 내벽이 이루는 각이 90도 이상, 110도 이하의 범위인 것을 특징으로 한다.

또한 더욱 바람직하게는 본 발명의 반도체 장치의 제조 방법은, 제3 절연막을 마스크로 하여 제2 콘택트홀의 내벽에 형성된 축적 전극용 금속막 중, 내벽의 상부 주변 영역에 있는 것을 에칭 제거하였을 때, 내벽의 축적 노드 전극용 금속막의 에칭된 면이 상기 제2 절연막과 평행하게 되는 것을 특징으로 한다.

본 발명의 반도체 장치의 제조 방법은, 반도체 기판상에 소스·드레인을 갖는 MOS 트랜지스터를 형성하는 공정과, MOS 트랜지스터 상에 제1 절연막을 형성하는 공정과, 제1 절연막에 상기 소스·드레인의 한쪽에 도달하는 제1 콘택트홀을 형성하는 공정과, 제1 콘택트홀에 제1 도전 재료를 충전하는 공정과, 제1 절연막 및 제1 도전 재료 상에 제2 절연막을 형성하는 공정과, 제2 절연막에 제1 도전 재료에 도달하는 제2 콘택트홀을 형성하는 공정과, 제2 절연막의 상부 표면 및 제2 콘택트홀의 저면과 내벽에 축적 노드 전극용 금속막을 형성하는 공정과, 요부에 형성된 축적 노드 전극용 금속막을 포함하는 축적 노드 전극용 금속막 상에, 제3 절연막을 형성하는 공정과, CMP법을 이용하여 요부 이외의 제2 절연막 상에 형성된 제3 절연막 및 축적 노드 전극용 금속막을 제거하는 공정과, 제3 절연막을 마스크로 하여 제2 콘택트홀의 내벽에 형성된 축적 전극용 금속막 중, 내벽의 상부 주변 영역에 있는 것을 에칭 제거하는 공정과, 제3 절연막을 에칭 제거하는 공정과, 요부를 포함하는 캐패시터 형성 영역 전면에 캐패시터 절연막을 형성하는 공정과, 캐패시터 절연막 상에 플레이트 전극을 형성하는 공정을 구비하는 것을 특징으로 한다.

발명의 구성 및 작용

이하, 도면을 참조하여 본 발명의 실시 형태를 상세히 설명한다.

도 1의 (a)는 본 발명의 제1 실시 형태에서의, 스택형 캐패시터를 포함하는 DRAM 메모리 셀로 이루어지는 반도체 기억 장치의 부분 확대 평면도이다. 도 1의 (a)에 도시한 바와 같이, 스택형 캐패시터의 플레이트 전극(22)이 그 하부에 형성된 MOS 트랜지스터와 비트선(14)을 덮도록 배치되어 있다.

참조 번호 3, 참조 번호 4는 워드선, 참조 번호 16은 스택형 캐패시터와 하부의 MOS 트랜지스터의 소스 영역을 접속하는 콘택트홀이고, 이것을 둘러싸도록 제2 콘택트홀이 형성된다. 참조 번호 11은 하부의 MOS 트랜지스터의 드레인 영역과 비트선을 접속하기 위한 인출 배선과 콘택트홀을 나타내고 있다. 또 본 평면도에 있어서는, 2개의 1트랜지스터형 메모리 셀을 구성하는 2개의 MOS 트랜지스터가 포함되어 있다.

도 1의 (b)는, 도 1의 (a)의 a - a 단면을 도시한 도면이다. 참조 번호 1은 실리콘 기판, 참조 번호 2는 소자 분리용 절연막, 참조 번호 3은 MOS 트랜지스터의 게이트 전극이다. 도 1의 (a)의 평면도에 도시되어 있는 바와 같이, 참조 번호 3은 메모리 셀 어레이의 행 방향으로 연장되고, 행 방향으로 인접하는 MOS 트랜지스터의 게이트를 접속하는 워드선이 된다. 도 1의 (b)의 참조 번호 4는 상기 게이트 전극(3)의 양측에 배치되고, 상기 게이트 전극과 동시에 형성된 다른 메모리 셀의 게이트를 접속하는 워드선이다. 참조 번호 3과 참조 번호 4는 어느 것이나 게이트 전극과 동일 단면 구조의 것을 연장하여 워드선으로 하고 있다.

도 1의 (b)의 참조 번호 5, 6은 MOS 트랜지스터의 소스, 드레인 영역, 참조 번호 7은 게이트 전극(3) 및 워드선(4)을 피복하는 절연막, 참조 번호 8, 12, 15는 실리콘 기판(1)에 형성된 MOS 트랜지스터와 그 위에 형성된 스택형 캐패시터를 분리하기 위한 절연막이다. 본 명세서에 있어서는 도 1의 (b)에 도시한 바와 같이 참조 번호 8, 참조 번호 12, 참조 번호 15를 제1 절연막이라 부른다.

플러그(10)는, 그 위에 접속되는 플러그(16)와 함께 MOS 트랜지스터의 소스 영역(5)을 스택형 캐패시터에 접속하기 위한 도전성 플러그이고, 본 명세서에 있어서는 도 1의 (b)에 도시한 바와 같이 플러그(10, 16)를 제1 충전 재료, 참조 번호 10과 참조 번호 16이 충전되는 콘택트홀을 제1 콘택트홀이라고 부른다. 플러그(11)는 MOS 트랜지스터의 드레인 영역(6)과 비트선을 접속하는 도전성 플러그이다.

참조 번호 17은 스택형 캐패시터의 하부가 되는 제2 절연막이고, 참조 번호 17에 상기 제1 충전 재료에 도달하는 제2 콘택트홀을 설치하고, 금속막으로 이루어지는 축적 노드 전극(19)과 $(Ba, Sr)TiO_3$으로 이루어지는 캐패시터 절연막(21)과 플레이트 전극(22)을 설치함으로써, 스택형 캐패시터가 MOS 트랜지스터 상에 형성된다.

도 1의 (c)는, 도 1의 (a)의 B - B 단면을 도시한 도면이다. 도 1의 (b)에서 진술한 드레인 영역(6)에 접속되는 플러그(11)는 비트선의 위치까지 인출되고, 플러그(13)를 통해 비트선(14)에 접속된다. (도 1의 (a) 참조).

다음에 도 2 내지 도 4에 기초하여, 본 발명의 제1 실시 형태에서의 반도체 기억 장치의 제조 방법에 대해 설명한다. 도 2의 (a)에 도시한 바와 같이, p형 실리콘 기판(1)상에 불순물을 이온 주입함으로써 상기 실리콘 기판상의 소자 형성 영역에 웰 영역(도시하지 않음)을 형성하고, STI(Shallow Trench Isolation)법을 이용하여 소자 분리 영역(2)을 형성한다.

다음에 MOSFET를 형성하기 위해 실리콘 기판상에, 예를 들어 60a의 게이트 산화막(도시하지 않음)을 형성하고, 약 500A의 다결정 실리콘과, 약 1000A의 텅스텐 실리사이드(WSi) 또는 텅스텐(W)과, 약 1000A의 질화실리콘(SiN)을 퇴적하고, 상기 질화실리콘을 마스크로 하여 패터닝함으로써 게이트 전극(3)을 형성한다. 도 1 내지 도 5에서는 간단하게 하기 위해 게이트 전극(3)의 적층 구조를 생략하여 균일한 단면으로 도시하였다. 워드선(4)은 게이트 전극(3)과 동시에 동일 구조로 형성된다.

게이트 전극(3)을 형성한 후, 이것을 마스크로서 P 또는 As 등의 N형 불순물을 이온 주입하고, 소스, 드레인 영역(5, 6)을 형성한다. 계속해서 예를 들어 300A의 질화실리콘을 퇴적하고, 이것을 RIE(Reactive Ion Etching)법을 이용한 이방성 에칭에 의해 에치백하고, 게이트 전극(3)과 배선(4)의 양측면에 상기 질화막으로 이루어지는 측벽을 형성한다. 이와 같이 에칭 마스크로서 이용한 질화막과 측벽으로서 이용한 질화막에 의해, 게이트 전극(3)과 배선(4)의 상면과 양측면을 도 2의 (a)의 7에 도시한 바와 같이 피복한다.

상기한 공정을 거쳐서 메모리 셀 캐패시터를 충방전하는 MOS 트랜지스터를 형성한 후, 약 2500A 내지 3000A의 절연막(8)을, 예를 들어 BPSG(Boro – Phospho - Silicate Glass) 또는 플라즈마 SiO_2를 이용하여 형성한다.

다음에, 도 2의 (b)에 도시한 바와 같이, 게이트 전극(3) 및 배선(4)상의 질화막(7)을 스토퍼로서, CMP(Chemical Mechanical Polishing)법을 이용하여 표면을 평탄화함으로써, 상기 게이트 전극(3) 및 배선(4)간에 BPSG 또는 플라즈마 SiO_2로 이루어지는 절연막(8)을 매립한다.

계속해서 평탄화된 표면을 레지스트로 피복하고, 소스, 드레인 영역상의 절연막(8)이 노출하도록 상기 레지스트를 형성하여, 노출된 절연막(8)을 에칭 제거함으로써, 도 2의 (c)에 도시한 바와 같이 게이트 전극에 대해 자기 정합적으로 콘택트홀(9)을 형성한다.

다음에 레지스트를 제거하고, 콘택트홀(9)에 플러그를 형성하기 위한 도전막, 예를 들어 P 또는 As를 첨가한 다결정 실리콘을 전면에 퇴적하고, 게이트 전극 및 배선상의 질화막(7)을 스토퍼로서 CMP법에 의해 평탄화한다. 이와 같이 하여 도 2의 (d)에 도시한 바와 같이, 소스 영역(5)과 드레인 영역(6) 상에 도전성의 다결정 실리콘(10, 11)이 충전된다.

이 때, 소스 영역(5) 상에 충전된 다결정 실리콘은, 캐패시터의 축적 노드 전극(19 :도 1의 (b) 참조)에 접속되는 플러그(10)로 되고, 드레인 영역(6) 상에 형성된 다결정 실리콘은 비트선을 소자 영역에 대해 어긋나게 형성하기 위한 인출 플러그(11)로 된다(도 1의 (a)의 평면도 참조).

다음에, 도 2의 (e)의 B-B 단면도에 도시한 바와 같이, 예를 들어 1000A 내지 2000A의 BPSG 또는 플라즈마 SiO_2 등을 전면에 퇴적하여, 절연막(12)을 형성한다. 그리고 비트선 콘택트홀 형성용의 레지스트 마스크를 이용하여 상기 인출 플러그(11)에 도달하는 비트선 콘택트홀을 형성하고, 250A 정도의 Ti/TiN과 2000A 정도의 W를 스퍼터법을 이용하여 퇴적하며, 제2 절연막(12)을 스토퍼로서 CMP법을 이용하여 평탄화를 행하고, 상기 인출 플러그(11)상에 비트선 콘택트용의 플러그(13)를 형성한다.

또 도 2의 (e)는, 상기 인출 플러그(11)와 비트선(14)과의 접속 상황을 명시하기 위해 상기 공정까지의 도 1의 (a)의 평면도에 있어서의 B-B 단면을 도시한 것이다. 도 2 내지 도 5에 있어서, 도 2e 이외의 단면도는 모두 a-a 단면이 도시되어 있다.

계속해서, 두께 250A 정도의 Ti/TiN과 1000A 정도의 W를, 스퍼터법을 이용하여 퇴적하고, 그 후 1500A 정도의 질화막을 CVD법을 이용하여 퇴적하며(도시하지 않음), 비트선용의 마스크 패턴을 이용하여 상기 질화막과 W와 Ti/TiN을 RIE법에 의해 패터닝하고, 비트선(14 : 도 1의 (c) 참조)을 형성한다.

다음에, 전면에 절연막(15 : 예를 들어, BPSG 또는 플라즈마 SiO_2)을 퇴적하고, 계속해서 CMP법에 의해 비트선 형성용 마스크로서 이용한 비트선상의 질화막을 스토퍼로서 도 3의 (f)에 도시한 바와 같이 절연막(15)을 평탄화한다.

다음에 도 3의 (g)에 도시한 바와 같이, 예를 들어 RIE법을 이용하여 상기 절연막(15)과, 앞에서 퇴적한 절연막(12)을 에칭에 의해 형성하고, 상기 소스 영역 상의 다결정 실리콘의 플러그(10)가 노출하도록 콘택트홀을 형성한다. 계속해서, 예를 들어 스퍼터법을 이용하여 250A 내지 300A의 Ti를 퇴적하고, 550℃에서 30분간 어닐링을 행한다. 또한 예를 들어, 1500A 내지 2000A의 W를 스퍼터법을 이용하여 퇴적하고, 상기 절연막(15)을 스토퍼로서 CMP법에 의한 평탄화를 행하며, 축적 노드 전극(19)에 접속되는 플러그(16)를 형성한다.

이와 같이 하여, 실리콘 기판(1)에 형성된 MOS 트랜지스터의 소스 영역은, 절연막(8, 12, 15)을 통해 형성된 콘택트홀과, 이것을 충전하는 도전 재료로 이루어지는 플러그(10, 16)에 의해, 절연막(15)에 접하여 형성되는 스택형 캐패시터의 축적 노드 전극(19)에 접속되므로, 8, 12, 15로 이루어지는 절연막과, 이들을 통해 형성된 콘택트홀과, 이들을 충전하는 도전 재료를, 각각 일괄해서 도 3의 (g)에 도시한 바와 같이, 제1 절연막, 제1 콘택트홀, 제1 충전 재료라 부르도록 하였다.

다음에, 전면에, 예를 들어 2500A 내지 3000A 플라즈마 SiO_2를 퇴적하여, 상기 제1 절연막 상에 제2 절연막(17)을 형성하고, SiO_2막에 대한 통상의 테이퍼 에칭 공정을 이용하여 상기 제2 절연막(17)에, 도 3h에 도시한 바와 같이 90도 보다 크고 110도보다 작은 테이퍼각을 지니고, 또한 바닥부에 축적 노드 전극(19)이 접속되는 플러그(16)의 상단부가 노출하도록 제2 콘택트홀(18)을 형성한다.

계속해서 도 3의 (h)에 도시한 바와 같이, 예를 들어 스퍼터법에 의해, 축적 노드 전극의 형성 재료로서 두께 500A 내지 600A의 Ru막(19)을 전면에 퇴적한 후, 스핀 코트법을 이용하여 SOG(Spin On Class)를 전면에 퇴적한다. 다음에 Ru막(19)을 스토퍼로 하는 CMP법을 이용하여 SOG의 평탄화를 행하고, 제2 콘택트홀(18)의 형상에 따라 형성된 Ru의 요부에, 축적 노드 전극(19)을 에칭 가공하기 위한 SOG로 이루어지는 에칭 마스크(20)가 형성된다.

상기 참조 번호 20을 이용하여 상기 Ru막을 800A 내지 900A 정도 에칭한다. 이 때, 도 3h에 도시한 제2 절연막(17)상의 Ru막이 제거되고, 또한 도 4의 (i)에 도시한 바와 같이, 상기 제2 콘택트홀(18)의 내벽과 상기 에칭 마스크(20)간의 Ru막도, 내벽의 상부로부터 200A 내지 300A 정도 에칭된다.

또한, 에칭 마스크(20)로 되는 SOG를 스핀코트법을 이용하여 전면에 퇴적한 후, 제2 절연막(17)을 스토퍼로 하는 CMP법을 이용하여, SOG 및 Ru막(19)의 평탄화를 행하고, 제2 절연막(17)상의 Ru막(19)을 제거한 후에 상기 제2 콘택트홀(18)의 내벽과 상기 에칭 마스크(20)간의 Ru막을, 내벽의 상부로부터 200A 내지 300A 정도 에칭하여, 상술한 방법과 마찬가지의 구조를 얻을 수 있다.

이 때 Ru막의 에칭은 등방적으로 행해져서 도 4의 (i)에 도시한 바와 같이, Ru막의 에칭면은 제2 절연막(17)의 상부 표면과의 평행성을 유지하면서 에칭을 진행시킬 수 있다. 이와 같이 하여 Ru막으로 이루어지는 축적 노드 전극(19)이 제2 콘택트홀(18)의 내부에 형성된다.

다음에, 예를 들어 플라즈마 SiO_2로 이루어지는 상기 제2 절연막(17)과 상기 SOG, 참조 번호 20과의 에칭 선택비가 100 이상의 습식 에칭법을 이용하고, 상기 SOG, 참조 번호 20을 제거한다.

다음에 도 4의 (j)에 도시한 바와 같이, 예를 들어 스퍼터법을 이용하여 500A 내지 600A의 (Ba, Sr)TiO_3박막을 퇴적하여 캐패시터 절연막(21)을 형성하고, 700℃에서 1분간의 결정화 어닐링을 행한다. 계속해서, 예를 들어 스퍼터법을 이용하여 500A 내지 600A의 Ru를 퇴적하여 플레이트 전극(22)을 형성함으로써, 참조 번호 19, 참조 번호 21, 참조 번호 22로 이루어지는 반도체 장치의 캐패시터가 완성한다.

여기서, 상기 제2 콘택트홀(18)의 내벽과 상기 에칭 마스크(20)간의 Ru막을, 내벽의 상부로부터 200A 내지 300A 정도 에칭할 때에 이방성의 에칭된 경우, 에칭 후 의 Ru막은 도 4k에 도시한 바와 같이 예각부를 갖게 되고, 이 위에 캐패시터 절연막(21)을 형성하였을 때, 막의 신뢰성을 현저히 열화시킬 가능성이 있다.

이렇게 하여 형성된 (Ba, Sr)TiO_3박막으로 이루어지는 캐패시터의 절연막은 제2 절연막(17)에 설치한 제2 콘택트홀(18)의 내벽에, 상부를 향해 형성된 구멍이 넓어지도록 90도보다 크고 110도보다 작은 테이퍼각이 설치되어 있기 때문에, 이것에 따라서 형성된 상기 캐패시터 절연막의 모든 단차부에 있어서, 축적 노드 전극 및 플레이트 전극과 함께 모두 90도보다 크고 110도보다 작은 둔각으로 절곡되어진 형상이 된다. 이 때문에 균일하고 내압이 큰 (Ba, Sr)TiO_3박막을 갖는 캐패시터를 얻을 수 있다.

상기한 제2 내벽(17)에 테이퍼각을 설치함으로써 내압이 높은 캐패시터 절연막을 얻는 공정에 있어서, 가장 중요한 것은 캐패시터 절연막의 절곡 각도이다. 이것이 90도 이하의 예각이 되면 전계의 집중 효과가 현저하게 됨과 동시에 예각 부분에서의 막의 이상 성장에 의해, 상기 캐패시터 절연막의 내압이 급격하게 저하한다.

따라서 내압이 높은 양호한 캐패시터를 얻기 위해서는, 도 4의 (j)의 캐패시터 절연막(21)의 단면의 중심선이 도시한 절곡의 각도가, 90도를 한도로서 90도보다 크고 110도보다 작은 테이퍼각을 갖는 것이 필수 조건이 된다.

한편 상기 테이퍼각이 110도보다도 큰 경우에는, 캐패시터로서의 소요 면적이 증대하는 것 외에, 도 4의 (i)의 공정에서 설명한 축적 노드 전극(19)의 등방적 에칭의 균일성이 저하하고, 참조 번호 19의 에칭면이 제2 절연막(17)의 표면과 평행하게 진행시키는 것이 곤란해진다. 따라서 그 위에 형성하는 캐패시터 절연막의 절곡각에 이상이 생긴다.

다음에 도 5에 기초하여 본 발명의 제2 실시 형태에 대해 설명한다. 도 5는 제2 절연막(17)에 설치한 제2 콘택트홀의 내벽과 참조 번호 17의 상부 표면이 이루는 각이 정확하게 90도가 된 경우의 단면 구조를 도시한 도면이다.

도 5에 도시한 단면 구조의 재료와 이것을 완성하는 공정의 순서는, 상기 도 4의 (j)까지와 마찬가지이지만, Ru막 및 캐패시터 절연막의 형성에 스퍼터법을 이용할 수 없기 때문에, 축적 노드 전극, 캐패시터 절연막, 플레이트 전극의 형성에 모두 종래의 CVD법을 이용하는 점이 다르다.

상술한 바와 같이 CVD법을 이용하는 경우에는 막 두께의 균일성에 문제가 있어, 특히 단차 형상의 볼록의 코너 부분에 이상 성장이 생기기 쉽다. 이 때 캐패시터 절연막의 내압에 가장 중대한 영향을 미치게 하는 부분은, 제2 콘택트홀(18 : 도 3의 (h) 참조)의 형성의 상부 주변 영역에 생기는 하부 Ru막의 이상 성장이다.

이 때 도 4의 (i)에 도시한 공정에서, 상기 측벽의 상부 주변 영역에 있어서의 Ru막의 이상 성장 부분을 상기 등방성 에칭에 의해 제거하면, 그 위에 성장하는 캐패시터 절연막의 내압을 현저하게 향상할 수 있다.

도 5에 도시한 바와 같이 제2 콘택트홀의 내벽과 참조 번호 17의 상부 표면이 이루는 각을 90도라고 하면, 제1 실시 형태에 도시한 바와 같이 이것을 90도보다 크고 110도보다 작게 한 경우에 비교하여 캐패시터의 소요 면적을 작게 할 수 있는 것은 물론이다.

또한 도 7에 도시한 종래의 스택형 캐패시터의 제조 공정과 비교하면, 인접하는 Ru 축적 노드 전극의 근접 갭이, 본 발명에 있어서는 제2 콘택트홀(18 : 도 3의 (h) 참조)의 근접 갭으로 정해지게 된다. 이 때 제2 콘택트홀을 설치하는 제2 절연막(17)은 SiO_2막으로 이루어지기 때문에, Ru의 에칭에 비교하여 매우 높은 에칭의 정밀도가 얻어질 뿐만 아니라, 오버에칭의 값을 제어함으로써, 상기 제2 콘택트홀(18)의 근접 갭을, 리소그래피의 한계로 정해지는 에칭 마스크의 근접 갭 이하로 할 수 있다.

이와 같이 본 발명의 제2 실시 형태에 도시한 반도체 장치의 구조와 제조 방법을 이용함으로써, 종래에 비교하여 적은 공정수로 집적도에서 신뢰성이 높은 스택형 캐패시터를 구비하는 반도체 장치를 얻을 수 있다.

여기서 제2 콘택트홀(18) 내부에 형성된 Ru막으로 이루어지는 축적 노드 전극(19)이, 상부로부터 200A 내지 300A 정도 에칭되지 않은 경우의 문제점에 대해 도 6을 이용하여 설명한다.

이 때 SOG, 20의 습식 에칭에 의한 제거 공정에 있어서, 플라즈마 SiO_2를 이용한 제2 절연막(17)도, 20A 내지 30A 정도 에칭되기 때문에, 상기 SOG, 참조 번호 20의 습식 에칭을 행한 후에, Ru로 이루어지는 축적 노드 전극(19)이 도 6의 파선으로 둘러싸이도록 돌기부(19a)를 형성하고, 이 돌기부(19a)상에 (Ba, Sr)TiO_3박막으로 이루어지는 캐패시터 절연막(21)과 Ru막으로 이루어지는 플레이트 전극(22)이 형성되게 된다.

도 6에 도시한 돌기부(19a)와 같은 예리한 단차 형상 상에, 박막으로 이루어지는 캐패시터 절연막(21)과 플레이트 전극(22)을 균일하게 퇴적하는 것은 현저하게 곤란하고, 또한 상기 돌기부(19a)에는 전계 집중이 생기기 때문에, 캐패시터의 내압 열화의 중대한 원인이 된다.

상기 돌기부(19a)는, 제1 실시 형태에 도시한 바와 같이, 제2 콘택트홀이 90도보다 크고 110도보다 작은 테이퍼각을 갖는 경우에는, 참조 번호 19a의 돌출부가 참조 번호17의 측벽과 접하는 측으로 예각을 이루게 되고, 여기에 캐패시터 절연막의 이상 퇴적이 생긴다. 또한 제2 실시 형태에 도시한 바와 같이, 제2 콘택트홀과 제2 절연막(17)의 표면이 이루는 각이 90도인 경우에는, 상기 돌출부에 2개소의 볼록의 코너 부분이 생기기 때문에 그 위에 CVD법에 의해 성장하는 캐패시터 절연막의 이상 성장이 과대하게 된다.

또 본 발명은 상기한 실시 형태에 한정되는 것이 아니다.

본 발명은 반도체 기판상에 90도, 또는 90도보다 작고 110도보다 큰 상부를 향해 형성된 구멍이 넓어지는 요부를 형성하고, 상기 요부의 저면과 측면에 인접하여 도전막을 형성하고, 상기 요부의 상부 주변 영역에 형성된 도전막의 부분을 제거하고, 그 위에 상기 반도체 기판의 상부 표면과 상기 요부의 상부 주변 영역에 노출한 반도체 기판과 상기 도전막을 덮도록 절연막을 형성한 구조를 포함하는 반도체 장치와 그 제조 방법에 대해 마찬가지로 적용할 수 있다.

또한 본 발명은 상기 요부에 설치한 도전막을 제1 전극으로 하고, 상기 요부에 형성된 제1 전극의 요부 내벽의 상부 주변 영역을 제거하고, 상기 반도체 기판과 상기 요부 내벽의 상부 주변 영역에 노출한 반도체 기판과 상기 도전막을 덮도록 형성된 적어도 1층의 캐패시터 절연막과, 그 위에 인접하여 제2 전극을 형성한 캐패시터를 포함하는 반도체 장치와 그 제조 방법에 대해 마찬가지로 적용할 수 있다.

또한 본 발명은, 요부를 반도체 기판상의 절연막에 형성하고, 상기 요부의 저면과 내벽에 인접하여 제1 전극을 형성하고, 상기 요부에 형성된 제1 전극의 요부 내벽의 상부 주변 영역을 제거하고, 상기 절연막의 상부 표면과 요부 내벽의 상부 주변 영역에 노출한 절연막과 제1 전극을 덮도록 캐패시터 절연막을 형성하고, 상기 캐패시터 절연막 상에 인접하여 제2 전극을 형성한 캐패시터를 포함하는 반도체 장치와 그 제조 방법에 대해 마찬가지로 적용할 수 있다.

또한 본 발명은, 상기 절연막에 설치한 요부의 저면의 일부에 상기 반도체 기판에 이르는 도전성 플러그를 설치하여, 상기 캐패시터가 그 하부의 반도체 기판과 접속된 구조를 갖는 반도체 장치와 그 제조 방법에 대해 마찬가지로 적용할 수 있다.

또한 본 발명은, 예를 들어 스택형 캐패시터의 축적 노드 전극 및 플레이트 전극으로서 Ru 외에 Pt, Re, Os, Rh, Ir 및 이들의 산화물, 혹은 이들 합금 및 그 산화물, W, Nb, Al, Ti, Ta, Mo, Cu, WN, NbN, TiN, TaN, Pd 등을 이용할 수 있다. 또한 캐패시터의 절연막으로서 (Ba, Sr)TiO_3 외에 $BaTiO_3$, $SrTiO_3$, $PbZrO_3$, $LiNbO_3$, $Bi_4Ti_3O_2$, Ta_2O_5 등 및 이들 다층막을 이용하는 것도 가능하다.

이 외에, 본 발명의 요지를 이탈하지 않는 범위에서, 여러가지로 변형하여 실시할 수 있다.

발명의 효과

상술한 바와 같이 본 발명의 반도체 장치 및 그 제조 방법에 의하면, SOG 마스크를 이용하여, 콘택트홀 내부에 있어서, 축적 노드 전극을 형성하는 Ru를 깊이 방향으로 에칭함으로써, (Ba, Sr)TiO_3 박막으로 이루어지는 캐패시터 절연막 형성시에, 기초가 되는 축적 노드 전극에 돌기부가 형성되지 않고, 돌기부에서의 전계 집중에 의한 내압 열화가 생길 우려가 없는 캐패시터 절연막을 얻을 수 있다.

또한 축적 노드의 기초가 되는 절연막 혹은 반도체 기판상의 콘택트홀을 형성할 때, 콘택트홀의 측벽에 90도 이상 110도 이하의 테이퍼각을 설치하고, 상기 Ru의 깊이 방향의 에칭과 조합함으로써, 하부에 생기는 단차부의 각도를 모두 둔각으로 할 수 있어, 또한 90도의 경우에는 볼록의 코너 일부분에 생기는 이상 성장 영역을 제거하는 것이 가능해진다.

이와 같이 단차부가 둔각의 기초 상에 스퍼터법을 이용하여 균일한 (Ba, Sr)TiO_3 박막을 형성하는 것은 용이하고, 또한 단차부가 90도인 경우에는 CVD법에 의해 생긴 불균일을 개선할 수 있다.

본 발명의 반도체 장치의 제조 방법에 의하면, 캐패시터의 축적 노드 형상을 규정하기 위해서, SiO_2 마스크를 이용하여 직접 Ru막을 패터닝하지 않고, 제3 절연막을 패터닝에 이용하여, 제2 콘택트홀 형성 후에 상기 제3 절연막의 습식 에칭 공정을 넣음으로써, 적은 공정수로 리소그래피의 한계 이상으로 축적 노드 간을 근접시키는 것이 용이해져서, 축적 용량을 증가할 수 있다.

또한 이 방법은 일반적으로 반도체 기판 또는 절연막에 설치한 90도 이상 110도 이하의 테이퍼각의 내벽을 갖는 요부상에 전도체막과 절연막을 적층하는 구조를 포함하는 반도체 장치와 그 제조 방법에 적용할 수 있다.

(57) 청구의 범위

청구항 1.

반도체 기판상에 형성된 요부와;

상기 요부의 저면과 내벽에 인접하여 형성된 도전막으로 이루어지고, 상기 요부의 내벽의 상부 주변 영역에 형성된 부분이 제거된 제1 전극과;

상기 반도체 기판의 상부 표면과 상기 요부의 상부 주변 영역에 노출된 내벽과 상기 도전막을 덮도록 형성된 캐패시터 절연막; 및

상기 캐패시터 절연막상에 인접하여 형성된 도전막으로 이루어지는 제2 전극

이 포함된 것을 특징으로 하는 반도체 장치.

청구항 2.

반도체 기판상에 형성된 절연막과;

상기 절연막상에 형성된 요부와;

상기 요부의 저면과 내벽에 인접하여 형성된 도전막으로 이루어지고, 상기 요부의 상부 주변 영역에 형성된 부분이 제거된 제1 전극과;

상기 절연막의 상부 표면과 상기 요부의 내벽의 상부 주변 영역에 노출된 상기 절연막과 상기 제1 전극을 덮도록 형성된 캐패시터 절연막; 및

상기 캐패시터 절연막상에 인접하여 형성된 도전막으로 이루어지는 제2 전극

이 포함된 것을 특징으로 하는 반도체 장치.

청구항 3.

반도체 기판상에 형성된 절연막과;

상기 절연막상에 형성되고, 저면의 일부에는 상기 반도체 기판에 이르는 도전성 플러그가 상기 저면과 동일 평면상에 노출된 요부와;

상기 요부의 저면과 내벽에 인접하여 형성된 도전막으로 이루어지고, 상기 요부의 내벽의 상부 주변 영역에 형성된 부분이 제거된 제1 전극과;

상기 절연막의 상부 표면과 상기 요부의 내벽의 상부 주변 영역에 노출된 상기 절연막과 상기 제1 전극을 덮도록 형성된 적어도 1층의 캐패시터 절연막; 및

상기 캐패시터 절연막상에 인접하여 형성된 도전막으로 이루어지는 제2 전극

이 포함된 것을 특징으로 하는 반도체 장치.

청구항 4.

반도체 기판상에 형성된 소스·드레인을 갖는 MOS 트랜지스터와;

상기 MOS 트랜지스터상에 형성된 절연막과;

상기 절연막상에 형성되고, 저면의 일부에는 상기 MOS 트랜지스터의 상기 소스·드레인의 한쪽에 이르는 도전성 플러그가 상기 저면과 동일 평면상에 노출된 요부와;

상기 요부의 저면과 내벽에 인접하여 형성된 도전막으로 이루어지고, 상기 요부 내벽의 상부 주변 영역에 형성된 부분이 제거된 제1 전극과;

상기 절연막의 상부 표면과 상기 요부의 내벽의 상부 주변 영역에 노출된 상기 절연막과 상기 제1 전극을 덮도록 형성된 적어도 1층의 캐패시터 절연막; 및

상기 캐패시터 절연막상에 인접하여 형성된 도전막으로 이루어지는 제2 전극

이 포함된 것을 특징으로 하는 반도체 장치.

청구항 5.

반도체 기판상에 형성된 소스·드레인을 갖는 MOS 트랜지스터와;

상기 MOS 트랜지스터상에 형성된 제1 절연막과;

상기 제1 절연막에 형성되고, 상기 소스·드레인의 한쪽에 이르는 제1 콘택트홀과;

상기 제1 콘택트홀을 충전하는 제1 도전 재료와;

상기 제1 절연막 및 상기 제1 도전 재료상에 형성된 제2 절연막과,

상기 제2 절연막에 형성되고, 상기 제1 도전 재료에 이르는 제2 콘택트홀과;

상기 제2 콘택트홀의 내벽의 상부 주변 영역을 제외하고 상기 제2 콘택트홀의 저면 및 내벽을 덮는 축적 노드 전극과;

상기 제2 절연막의 상부 표면과 상기 제2 콘택트홀의 내벽의 상부 주변 영역에 노출된 상기 제2 절연막과 상기 축적 노드 전극의 표면을 덮는 캐패시터 절연막; 및

상기 캐패시터 절연막상에 형성된 플레이트 전극

을 구비하는 것을 특징으로 하는 반도체 장치.

청구항 6.

제1항에 있어서, 상기 반도체 기판의 상부 표면과 상기 요부의 내벽이 이루는 각도가 90도 이상, 110도 이하의 범위 내인 것을 특징으로 하는 반도체 장치.

청구항 7.

제2항에 있어서, 상기 반도체 기판, 및 반도체 기판상의 절연막 중의 어느 하나의 상부 표면과 상기 요부의 내벽이 이루는 각도가 90도 이상, 110도 이하의 범위 내인 것을 특징으로 하는 반도체 장치.

청구항 8.

제3항에 있어서, 상기 반도체 기판, 및 반도체 기판상의 절연막 중의 어느 하나의 상부 표면과 상기 요부의 내벽이 이루는 각도가 90도 이상, 110도 이하의 범위 내인 것을 특징으로 하는 반도체 장치.

청구항 9.

제4항에 있어서, 상기 반도체 기판, 및 상기 절연막 중의 어느 하나의 상부 표면과 상기 요부의 내벽이 이루는 각도가 90도 이상, 110도 이하의 범위 내인 것을 특징으로 하는 반도체 장치.

청구항 10.

제5항에 있어서, 상기 제2 절연막의 상부 표면과 상기 제2 절연막의 내벽의 상부 주변 영역과 상기 축적 전극의 표면을 덮는 캐패시터 절연막은, 상기 제2 콘택트홀의 내부 및 그 주변 영역에서 그 단차부에 생기는 각도가 모두 90도 이상, 110도 이하의 범위 내인 것을 특징으로 하는 반도체 장치.

청구항 11.

반도체 기판상에 소스 · 드레인을 갖는 MOS 트랜지스터를 형성하는 공정과;

상기 MOS 트랜지스터상에 제1 절연막을 형성하는 공정과;

상기 제1 절연막에 상기 소스 · 드레인의 한쪽에 이르는 제1 콘택트홀을 형성하는 공정과;

상기 제1 콘택트홀에 제1 도전 재료를 충전하는 공정과;

상기 제1 절연막 및 상기 제1 도전 재료상에 제2 절연막을 형성하는 공정과;

상기 제2 절연막에 상기 제1 도전 재료에 이르는 제2 콘택트홀을 형성하는 공정과;

상기 제2 절연막의 상부 표면 및 상기 제2 콘택트홀의 저면과 내벽에 축적 노드 전극용 금속막을 형성하는 공정과;

상기 축적 노드 전극용 금속막의 상기 제2 콘택트홀의 저면과 내벽을 덮는 부분에 형성된 요부에 제3 절연막을 충전하는 공정과;

상기 제3 절연막을 마스크로 하여 상기 제2 절연막 상면의 상기 축적 노드 전극용 금속막을 에칭 제거하고, 동시에 상기 제2 콘택트홀의 내벽에 형성된 상기 축적 전극용 금속막 중, 상기 내벽의 상부 주변 영역에 있는 것을 에칭 제거하는 공정과;

상기 제3 절연막을 에칭 제거하는 공정과;

상기 요부를 포함하는 캐패시터 형성 영역 전면에 캐패시터 절연막을 형성하는 공정; 및

상기 캐패시터 절연막상에 플레이트 전극을 형성하는 공정

을 구비하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 12.

제11항에 있어서, 상기 제3 절연막을 형성할 때, 상기 축적 노드 전극용 금속막상에 상기 제3 절연막을 형성하고, 계속해서 CMP법을 이용하여 상기 축적 노드 전극용 금속막의 요부 이외에 형성된 상기 제3 절연막을 에칭 제거하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 13.

제11항에 있어서, 상기 제3 절연막으로서 SOG(Spin On Glass)를 이용하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 14.

제11항에 있어서, 상기 제3 절연막을 마스크로 하여 상기 제2 절연막상의 상기 축적 노드 전극용 금속막을 에칭 제거하고, 동시에 상기 제2 콘택트홀의 내벽에 형성된 상기 축적 전극용 금속막 중, 상기 내벽의 상부 주변 영역에 있는 것을 에칭 제거하는 공정은 등방성 에칭인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 15.

제11항에 있어서, 상기 제2 절연막에 상기 제1 도전 재료에 이르는 제2 콘택트홀을 개구하는 공정은 상기 제2 절연막의 상부 표면과 상기 제2 콘택트홀의 내벽이 이루는 각이 90도 이상, 110도 이하의 범위인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 16.

제11항에 있어서, 상기 제3 절연막을 마스크로 하여 상기 제2 콘택트홀의 내벽에 형성된 상기 축적 전극용 금속막 중, 상기 내벽의 상부 주변 영역에 있는 것을 에칭 제거하였을 때, 상기 내벽의 축적 노드 전극용 금속막의 에칭된 면이 상기 제2 절연막과 평행하게 되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 17.

반도체 기판상에 소스·드레인을 갖는 MOS 트랜지스터를 형성하는 공정과;

상기 MOS 트랜지스터상에 제1 절연막을 형성하는 공정과;

상기 제1 절연막에 상기 소스·드레인의 한쪽에 이르는 제1 콘택트홀을 형성하는 공정과;

상기 제1 콘택트홀에 제1 도전 재료를 충전하는 공정과;

상기 제1 절연막 및 상기 제1 도전 재료상에 제2 절연막을 형성하는 공정과;

상기 제2 절연막에 상기 제1 도전 재료에 이르는 제2 콘택트홀을 형성하는 공정과;

상기 제2 절연막의 상부 표면 및 상기 제2 콘택트홀의 저면과 내벽에 축적 노드 전극용 금속막을 형성하는 공정과;

상기 요부에 형성된 상기 축적 노드 전극용 금속막을 포함하는 상기 축적 노드 전극용 금속막 상에 제3 절연막을 형성하는 공정과;

CMP법을 이용하여 상기 요부 이외의 상기 제2 절연막상에 형성된 상기 제3 절연막 및 상기 축적 노드 전극용 금속막을 제거하는 공정과;

상기 제3 절연막을 마스크로 하여 상기 제2 콘택트홀의 내벽에 형성된 상기 축적 전극용 금속막 중, 상기 내벽의 상부 주변 영역에 있는 것을 에칭 제거하는 공정과;

상기 제3 절연막을 에칭·제거하는 공정과;

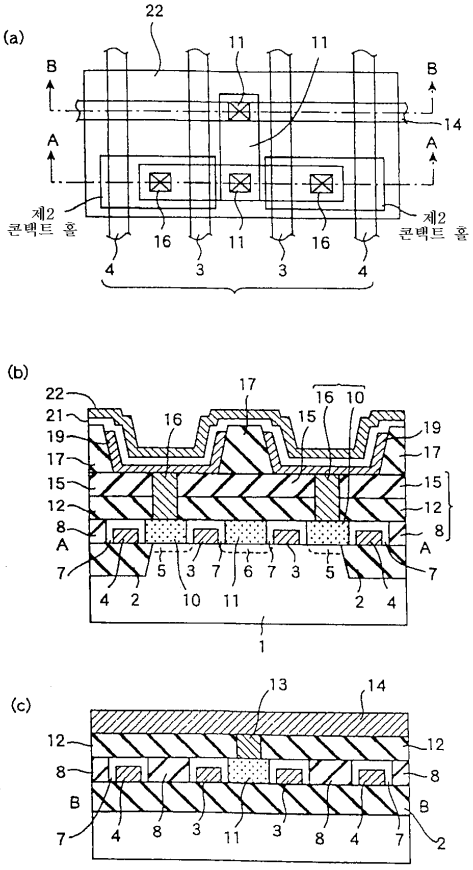
상기 요부를 포함하는 캐패시터 형성 영역 전면(全面)에 캐패시터 절연막을 형성하는 공정; 및

상기 캐패시터 절연막상에 플레이트 전극을 형성하는 공정

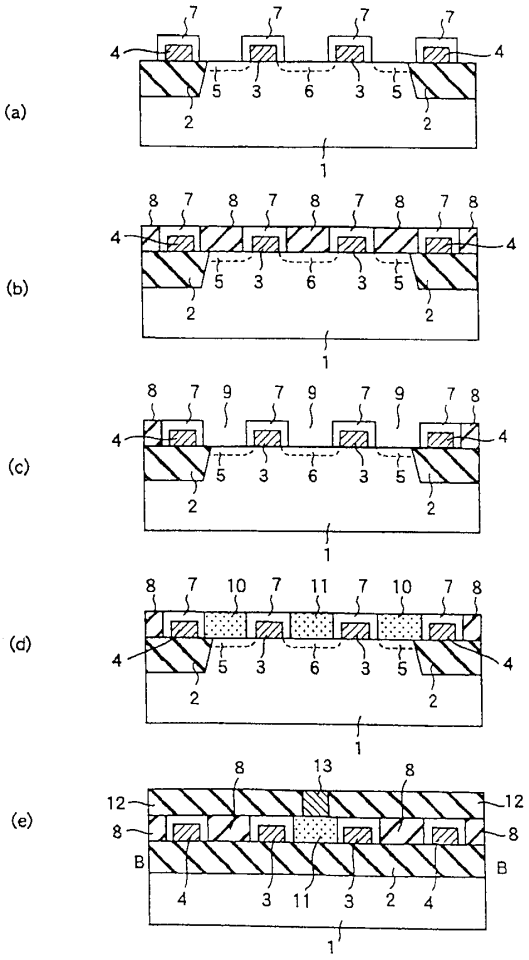
을 구비하는 것을 특징으로 하는 반도체 장치의 제조 방법.

도면

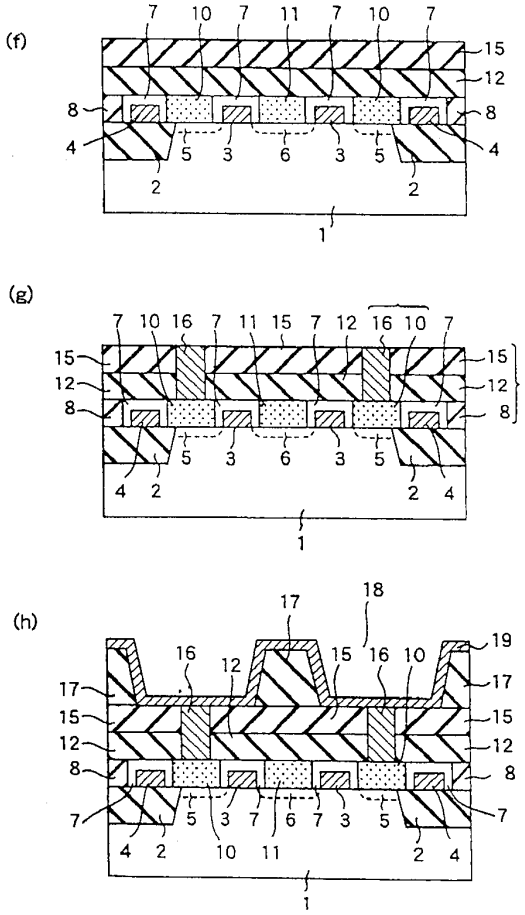
도면 1


(a)
22
11
11
B
B
14
A
A
제2
콘택트 홀
제2
콘택트 홀
16
11
16
4
3
3
4
(b)
22
21
19
17
15
12
8
A
7
17
16
15
16
10
19
17
15
12
8
A
7
5
3
7
6
7
3
5
4
2
10
11
2
4
1
(c)
13
14
12
8
B
12
8
B
7
4
8
3
11
3
8
4
7
2

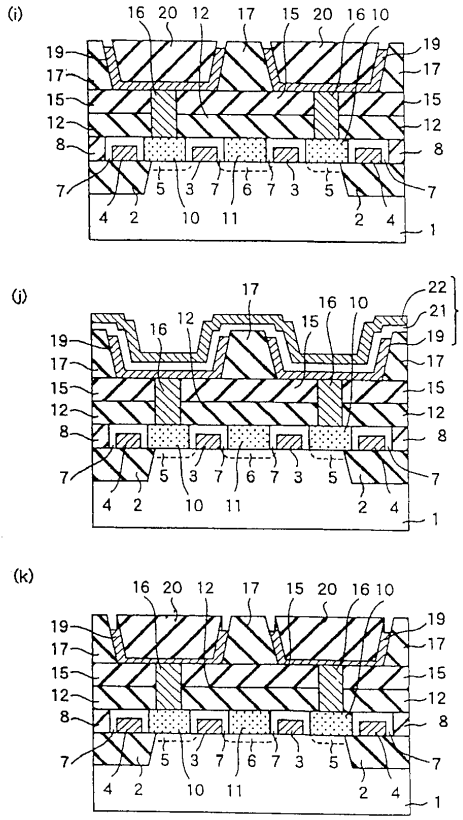
도면 2



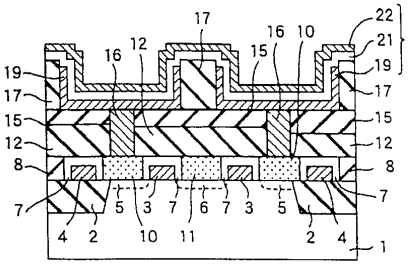
도면 3


(f)
7 10 7 11 7 10 7
15
12
8
8
4
4
5 3 6 3 5
2
2
1
(g)
7 10 16 7 11 15 7 12 16 10 7
15
12
8
15
12
8
5 3 6 3 5
4 2
2 4
1
(h)
17 18
16 12 15 16 10
19
17
17
15
15
12
12
8
8
7
7
5 3 7 6 7 3 5
4 2 10 11 2 4
1

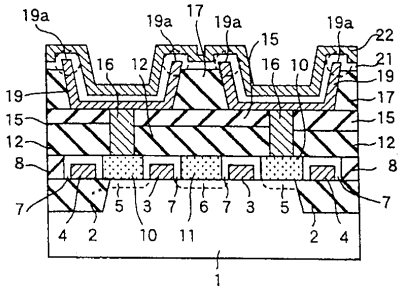
도면 4



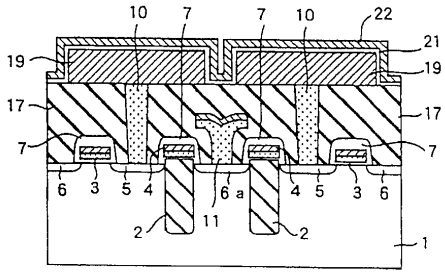
도면 5



도면 6


19a
19a
17
19a
15
19a
22
21
19
16
12
16
10
19
17
15
15
12
12
8
8
7
7
5
3
7
6
7
3
5
4
2
10
11
2
4
1

도면 7


10
7
7
10
22
21
19
19
17
17
7
7
6
3
5
4
6a
4
5
3
6
2
11
2
1