

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成28年3月31日(2016.3.31)

【公開番号】特開2015-41629(P2015-41629A)

【公開日】平成27年3月2日(2015.3.2)

【年通号数】公開・登録公報2015-014

【出願番号】特願2013-170332(P2013-170332)

【国際特許分類】

H 0 1 L 27/144 (2006.01)

H 0 1 L 27/146 (2006.01)

H 0 1 L 29/786 (2006.01)

H 0 4 N 5/32 (2006.01)

H 0 4 N 5/374 (2011.01)

G 0 1 T 1/20 (2006.01)

G 0 1 T 1/24 (2006.01)

【F I】

H 0 1 L 27/14 K

H 0 1 L 27/14 C

H 0 1 L 29/78 6 1 7 N

H 0 4 N 5/32

H 0 4 N 5/335 7 4 0

G 0 1 T 1/20 E

G 0 1 T 1/20 G

G 0 1 T 1/24

【手続補正書】

【提出日】平成28年2月15日(2016.2.15)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 4

【補正方法】変更

【補正の内容】

【0 0 1 4】

間接変換型(図 2 A)の場合には、画素部 1 1 は、光電変換層 1 1 1 A 上(受光面側)に波長変換層 1 1 2 を有している。波長変換層 1 1 2 は、放射線 R rad を、光電変換層 1 1 1 A の感度域の波長(例えば可視光)に変換するものである。この波長変換層 1 1 2 は、例えば X 線を可視光に変換する蛍光体(例えば、Cs I (Tl 添加), Gd<sub>2</sub>O<sub>2</sub>S, BaFX (X は Cl, Br, I 等), NaI または CaF<sub>2</sub> 等のシンチレータ)からなる。このような波長変換層 1 1 2 は、光電変換層 1 1 1 A 上に、例えば有機材料またはスピノングラス材料等からなる平坦化膜を介して形成されている。光電変換層 1 1 1 A は、フォトダイオードなどの光電変換素子(後述の光電変換素子 2 1)を含んで構成されている。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 1

【補正方法】変更

【補正の内容】

【0 0 4 1】

読み出された信号電荷は、信号線 L sig を介して複数(ここでは 4 つ)の画素列ごとに

、A / D 変換部 1 4 内の列選択部 1 7 へ入力される。列選択部 1 7 では、まず、各信号線 L sig から入力される信号電荷毎に、チャージアンプ 1 7 2 等からなるチャージアンプ回路 1 7 1 において Q - V 変換（信号電荷から信号電圧への変換）を行う。次いで、変換された信号電圧（チャージアンプ 1 7 2 からの出力電圧 V ca）毎に、S / H 回路 1 7 3 およびマルチプレクサ回路 1 7 4 を介して A / D コンバータ 1 7 5 において A / D 変換を行い、デジタル信号からなる出力データ D out（撮像信号）を生成する。このようにして、各列選択部 1 7 から出力データ D out が順番に出力され、外部へ伝送される（または図示しない内部メモリーへ入力される）。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 6 4

【補正方法】変更

【補正の内容】

【0 0 6 4】

アンプ回路 1 7 1 A は、前述の列選択部 1 7 において、チャージアンプ 1 7 2、容量素子 C 1 およびスイッチ S W 1 に代わりに、定電流源 1 7 1 およびアンプ 1 7 6 を設けたものとなっている。アンプ 1 7 6 では、正側の入力端子には信号線 L sig が接続されると共に、負側の入力端子と出力端子とが互いに接続され、ボルテージフォロワ回路が形成されている。尚、信号線 L sig の一端側には定電流源 1 7 7 の一方の端子が接続され、この定電流源 1 7 1 の他方の端子には電源 V S S が接続されている。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 7 0

【補正方法】変更

【補正の内容】

【0 0 7 0】

以上、実施の形態、変形例および適用例を挙げたが、本開示内容はこれらの実施の形態等に限定されず、種々の変形が可能である。例えば、上記実施の形態等では、画素部における画素の回路構成は、上記実施の形態等で説明したもの（画素 2 0 , 2 0 A ~ 2 0 D の回路構成）には限られず、他の回路構成であってもよい。同様に、行走査部や列選択部等の回路構成についても、上記実施の形態等で説明したものには限られず、他の回路構成であってもよい。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 7 1

【補正方法】変更

【補正の内容】

【0 0 7 1】

更に、上記実施の形態等で説明した画素部、行走査部、A / D 変換部（列選択部）および列走査部等はそれぞれ、例えば同一基板上に形成されているようにしてもよい。具体的には、例えば低温多結晶シリコンなどの多結晶半導体を用いることにより、これらの回路部分におけるスイッチ等も同一基板上に形成することができるようになる。このため、例えば外部のシステム制御部からの制御信号に基づいて、同一基板上における駆動動作を行うことが可能となり、狭額縁化（3 辺フリーの額縁構造）や配線接続の際の信頼性向上を実現することができる。