(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0088295
(43) 공개일자 2023년06월19일

(51) 국제특허분류(Int. Cl.)
H01L 29/778 (2006.01) *H01L 29/20* (2006.01)
H01L 29/66 (2006.01)
(52) CPC특허분류
H01L 29/7787 (2013.01)
H01L 29/2003 (2013.01)
(21) 출원번호 10-2022-0172676
(22) 출원일자 2022년12월12일
심사청구일자 2022년12월12일
(30) 우선권주장
1020210176789 2021년12월10일 대한민국(KR)

(71) 출원인
울산대학교 산학협력단
울산광역시 남구 대학로 93(무거동)
(72) 발명자
김태우
대구광역시 수성구 청호로 370, 102동 908호(범어동, 장원아파트)
신주원
경기도 용인시 처인구 경안천로 112, 108동 501호(고림동, 고림지구 양우내안애 에듀파크)
아미르 왈리드
울산시 남구 신복로 11 번길 7, 104 호 (무거동)
(74) 대리인
특허법인다나

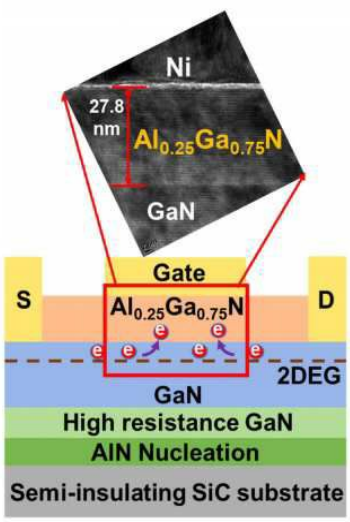
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 **표면트랩준위의 추출 방법**

(57) 요 약

본 출원은 에피택셜 구조체를 포함하는 HEMT의 신뢰성 평가에 도움이 되는 표면트랩준위 추출 방법을 제공한다.

대 표 도 - 도1



(52) CPC특허분류
H01L 29/66462 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1415165894
과제번호	19-CM-BD-05-MKE
부처명	산업통상자원부
과제관리(전문)기관명	국방과학연구소
연구사업명	민군기술협력(R&D)(산업부)
연구과제명	초고주파 대역용 3D TIV 집적화 공정 및 적층형 InP/GaN 소자 기술 개발
기 여 율	1/1
과제수행기관명	한국전자통신연구원
연구기간	2021.01.01 ~ 2021.12.31

명 세 서

청구범위

청구항 1

$Al_xGa_{1-x}N$ 배리어층 및 GaN 채널층을 포함하는 에피택셜 구조체에서 $Al_xGa_{1-x}N$ 배리어층과 GaN 채널층 사이의 계면 트랩(interface trap) 및 경계 트랩(border trap) 밀도를 포함하는 표면트랩준위를 추출하는 것을 특징으로 하는, 표면트랩준위의 추출 방법.

청구항 2

제 1 항에 있어서,

계면 트랩 밀도(D_{it})는 하기 식 1을 이용하여 측정되는 것인 표면트랩준위의 추출 방법:

[식 1]

$$D_{it} \approx \frac{2.5}{Aq}\left(\frac{G_p}{\omega}\right)_{\max}$$

상기 식 1에서,

A는 장치 면적이고, q는 전하이며, G_p는 등가 병렬 전도도이고, ω 는 각진동수이다.

청구항 3

제 2 항에 있어서,

상기 등가 병렬 전도도는 하기 식 2에 의해 측정되는 표면트랩준위의 추출 방법:

[식 2]

$$G_p = \frac{\omega^2 C_{ins}^2 G_c}{G_c^2 + \omega^2 (C_{ins} - C_c)^2}$$

상기 식 2에서, C_{ins}는 배리어층의 정전 용량이고, G_c는 보정된 전도도이며, C_c는 보정된 정전용량이다.

청구항 4

제 3 항에 있어서,

상기 보정된 정전용량 및 보정된 전도도는 각각 하기 식 3 및 식 4에 의해 보정된 것인 표면트랩준위의 추출 방법:

[식 3]

$$C_c = \frac{\left(G_m^2 + \omega^2 C_m^2\right) C_m}{\left[G_m - \left(G_m^2 + \omega^2 C_m^2\right) R_s\right]^2 + \omega^2 C_m^2}$$

[식 4]

$$G_c = \frac{\left(G_m^2 + \omega^2 C_m^2\right)\left[G_m - \left(G_m^2 + \omega^2 C_m^2\right)R_s\right]}{\left[G_m - \left(G_m^2 + \omega^2 C_m^2\right)R_s\right]^2 + \omega^2 C_m^2}$$

상기 식 3 및 식 4에서,

G_m 은 측정된 전도도이고, C_m 은 측정된 정전용량이며, R_s는 직렬 저항이다.

청구항 5

제 4 항에 있어서,

상기 직렬 저항은 하기 식 5에 의하여 측정되는 표면트랩준위의 추출 방법:

[식 5]

$$R_s = \frac{G_{ma}}{G_{ma}^2 + \omega^2 C_{ma}^2}$$

상기 식 5에서,

C_{ma} 및 G_{ma}는 각각 축적된 상태에서 측정된 정전용량 및 전도도이다.

청구항 6

제1항에 있어서,

경계 트랩 밀도(N_{bt})는 하기 식 7을 이용하여 측정되는 것인 표면트랩준위의 추출 방법:

[식 7]

$$\frac{\partial Y}{\partial x} = -\frac{Y^2}{j\omega\varepsilon_{ins}} + \frac{q^2 N_{bt} \ln\left(1 + j\omega\tau\right)}{\tau}$$

상기 식 7에서,

경계 조건인 x = 0이고, $Y = j\omega C_s$ (Y = 전체 어드미턴스, total admittance)이며,

j는 복소수의 허수부이고, ω는 각진동수이고, q는 전자 전하이며,

τ는 전자를 포획하기 위한 빈 트랩에 대한 평균 시간이고, ε_{ins}는 유전체 유전율이며, N_{bt}는 절연층의 경계 트랩 밀도이다.

청구항 7

제 6 항에 있어서,

상기 전자를 포획하기 위한 빈 트랩에 대한 평균 시간은 하기 식 8에 의해 정의되는 표면트랩준위의 추출 방법:

[식 8]

$$\tau = \tau_0 e^{2kx}$$

상기 식 8에서,

t_0는 포획/방출 시간 상수이고, k는 배리어층의 감쇠 상수이며,

상기 배리어층의 감쇠 상수는 하기 식 8-1에 의해 정의되고,

[식 8-1]

$$k = \frac{\sqrt{2m^* \times E_b}}{\hbar}$$

상기 식 8-1에서,

m^*는 배리어층의 유효 질량이고, E_b는 배리어층과 채널층 사이의 에너지 장벽의 높이이며 및 h는 감소된 플랑크 상수이다.

청구항 8

제 1 항에 있어서,

계면 트랩 밀도(D_{it})는 전도도 방법(conductance method)을 이용하고,

경계 트랩 밀도(N_{bt})는 분산된 경계 트랩 모델(distributed border trap model)을 이용하는 표면트랩준위의 추출 방법.

발명의 설명

기 술 분 야

[0001] 본 출원은 표면트랩준위 추출 방법에 관한 것이다.

배 경 기 술

[0002] 최근 고전자 이동도 트랜지스터(high-electron-mobility-transistor, $HEMT_S$)는 서브테라헤르츠 체제까지의 전력 및 RF 애플리케이션을 포함하여 뛰어난 재료 특성과 장치 성능으로 인해 차세대 반도체 기술로 상당한 주목을 받고 있다. 이러한 유리한 특성과 성능은 주로 Si, Sapphire 및 SiC 위에 2차원 전자 가스(2DEG)를 형성하는 $Al_xGa_{1-x}N$ 배리어층과 GaN 채널층으로 구성된 에피택셜 구조의 고품질에 기인한다.

[0003] 특히, $Al_xGa_{1-x}N$ 배리어층과 GaN 채널층 계면의 품질은 장치 작동 중 채널의 캐리어 전송 개선에 매우 중요하다. 에피택셜 구조체의 품질 외에도 신뢰성은 다양한 요인에 대한 조사가 필요한 지속적인 연구 주제이다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 에피택셜 구조체를 포함하는 $HEMT_S$의 신뢰성 평가에 도움이 되는 표면트랩준위 추출 방법을 제공하는 것이다.

과제의 해결 수단

[0005] 본 발명은 표면트랩준위 추출 방법에 관한 것으로, III-V족 화합물과 III-V족 화합물 간 계면 트랩 및 경계 트랩 밀도를 포함하는 표면트랩 준위를 추출하는 방법을 제공한다.

[0006] 구체적으로, 본 발명은 $Al_xGa_{1-x}N$ 배리어층 및 GaN 채널층을 포함하는 에피택셜 구조체에서 $Al_xGa_{1-x}N$ 배리어층과 GaN 채널층 사이의 계면 트랩(interface trap) 및 경계 트랩(border trap) 밀도를 포함하는 표면트랩준위를 추출하는 방법을 제공한다. 상기 $Al_xGa_{1-x}N$ 배리어층은 $Al_{0.25}Ga_{0.75}N$ 배리어층일 수 있다.

[0007] 상기 에피택셜 구조체는 고전자 이동도 트랜지스터(High electron mobility transistors, HEMTs)에 적용되는 것일 수 있다. 도 1을 참조하면, 상기 고전자 이동도 트랜지스터는, SiC 기판, AlN 핵형성층, GaN 고저항층, GaN 채널층, $Al_xGa_{1-x}N$ 배리어층 및 게이트가 순차로 적층된 구조를 가질 수 있다.

[0008] 본 발명에 따른 표면트랩준위 추출 방법은 $Al_xGa_{1-x}N$ 배리어층과 GaN 채널층 사이의 계면 트랩(interface trap) 및 경계 트랩(border trap) 밀도를 포함하는 표면트랩준위를 추출함으로써, $Al_xGa_{1-x}N$ 배리어층의 트랩 준위 분석이 가능하고, 이를 토대로 $Al_xGa_{1-x}N$ 배리어층을 개선하여 HEMTs의 전기적특성을 개선하는데 기여할 수 있다.

[0009] 계면 트랩 밀도(Dit)는 전도도 방법(conductance method)을 이용할 수 있다. 전도도 방법은 MOS 장비에서 유전체와 반도체 사이의 계면 트랩 분석으로 널리 사용되는 방법 중 하나이다. 상기 $Al_xGa_{1-x}N$ 배리어층은 약 4eV의 넓은 밴드갭과 약 9.4의 높은 유전상수를 갖기 때문에 유전체 역할을 할 수 있다.도 2a는 공핍 모드에서 금속-절연체-반도체 소자의 등가 회로도이다. 보다 상세하게, 도 2a는 계면 트랩을 포함하고 있는 공핍 상태의 MOS(A metal-oxide semiconductor filed effect transistor)의 등가 회로도를 나타낸다.

[0010] 여기서, C_{it}는 계면 트랩 정전 용량, C_s는 반도체 정전용량 및 R_s는 직렬 저항이다. 계면 트랩 정전용량은 $C_{it} = qD_{it}$를 의미하고, 여기서 q는 성분(element)의 전하 그리고 D_{it}는 계면 트랩 밀도이다. 전자가 계면 트랩에 의하여 포획될 때, 계면 트랩 정전용량 C_{it}의 형성에 직접적인 기여가 이루어진다.

[0011] 계면 트랩 밀도(D_{it})는 하기 식 1에 나타낸 바와 같이 정규화된 병렬 전도도 피크$(Gp/\omega)_{max}$로부터 계산될 수 있다.

[0012] [식 1]

[0013]
$$D_{it} \approx \frac{2.5}{Aq}\left(\frac{G_p}{\omega}\right)_{\max}$$

[0014] 상기 식 1에서, A는 장치 면적이고, q는 전하이며, G_p는 등가 병렬 전도도이고, ω는 각진동수이다. 상기 장치 면적은 예를 들어, HEMTs 안에서 실제로 전자가 이동하는 구간 면적을 의미할 수 있다.

[0015] 상기 등가 병렬 전도도(Gp)는 하기 식 2를 이용하여 측정될 수 있다.

[0016] [식 2]

[0017]
$$G_p = \frac{\omega^2 C_{ins}^2 G_c}{G_c^2 + \omega^2 (C_{ins} - C_c)^2}$$

[0018] 상기 식 2에서, C_{ins}는 배리어층 정전 용량이고, G_c는 보정된 전도도이며, C_c는 보정된 정전용량이다. 본 발명에서 용어 절연체 또는 배리어층은 $Al_xGa_{1-x}N$ 배리어층을 의미할 수 있고, 채널층은 GaN 채널층을 의미할 수 있다.

[0019] 이하 식 3 내지 5에 따라, 상기 보정된 전도도 및 보정된 정전용량은 각각 직렬 저항 R_s에 대해 보정(corrected)되어야 한다.

[0020] 예를 들어, 상기 보정된 정전용량 및 보정된 전도도는 각각 하기 식 3 및 식 4에 의해 보정된 것일 수 있다.

[0021] [식 3]

[0022]
$$C_c = \frac{\left(G_m^2 + \omega^2 C_m^2\right) C_m}{\left[G_m - \left(G_m^2 + \omega^2 C_m^2\right) R_s\right]^2 + \omega^2 C_m^2}$$

[0023] [식 4]

$$G_c = \frac{\left(G_m^2 + \omega^2 C_m^2\right)\left[G_m - \left(G_m^2 + \omega^2 C_m^2\right)R_s\right]}{\left[G_m - \left(G_m^2 + \omega^2 C_m^2\right)R_s\right]^2 + \omega^2 C_m^2}$$

[0024]

[0025] 상기 식 3 및 식 4에서,

[0026] G_m은 측정된 전도도이고, C_m은 측정된 정전용량이며, R_s는 직렬 저항이다.

[0027] 상기 직렬 저항은 하기 식 5에 의하여 측정될 수 있다.

[0028] [식 5]

$$R_s = \frac{G_{ma}}{G_{ma}^2 + \omega^2 C_{ma}^2}$$

[0029]

[0030] 상기 식 5에서, C_{ma} 및 G_{ma}는 각각 축적(accumulation)된 상태에서 측정된 정전용량 및 전도도이고, ω는 각진동수이다.

[0031] 하기 식 6에 나타낸 바와 같이 계면 트랩 응답은 포획 및 배출 속도의 Shockley-Read-Hall 통계에 의하여 측정될 수 있다.

[0032] [식 6]

$$\tau = \frac{1}{2\pi f} = \frac{1}{\omega} = \frac{e^{\left(\frac{\Delta E}{K_B T}\right)}}{\sigma v_{th} D_{dos}}$$

[0033]

[0034] 상기 식 6에서, △E는 트랩 에너지 준위 E_T와 전도도 밴드 E_C의 에너지 차이이고, K_B는 볼츠만 상수이며 및 T는 온도이다. σ는 트랩의 단면이며, v_{th}는 평균 열 속도이고, D_{dos}는 유효 상태 밀도이다.

[0035] 도 2b은 금속 산화물 반도체 소자를 나타내는 분산 벌크 산화물 트랩 모델의 등가 회로도이다.

[0036] 본 발명에서 경계 트랩 추출(N_{bt})은 도 2b에 도시된 분산 회로 모델을 사용하였다. 도 2b에 도시된 분산 회로 모델은 "Yuan, Y. et al. A distributed model for border traps in Al2O3-InGaAs MOS devices. IEEE Electron Device Lett. 32, 485-487 (2011)." 문헌에 기반한 수정 버전이다.

[0037] 경계 트랩 추출을 위하여 분산된 경계 트랩 모델은 특정한 게이트 바이어스 전압에서 축적 영역의 진동수의 분산을 분석한다. 이 모델에서는 배리어층 정전용량을 작은 전기용량을 갖는 요소로 나눈다. 즉, $\varepsilon_{ins}/\triangle x$와 같이 표현할 수 있고, 여기서 ε_{ins}는 유전체 유전율이고, △x는 배리어층 두께의 작은 부분이다. 경계 트랩 유도 전하 및 에너지 손실은 두께의 특정 부분에 대하여 일련의 어드미턴스(admittance)에 의하여 기술할 수 있다. 전체 어드미턴스는 배리어층 정전용량에 병렬로 연결되는 정전용량 C_{bt} 및 전도도 G_{bt}의 직렬연결로 구성된다. 반도체 정전용량 C_s는 직렬로 연결되어 있고, 전체 구조는 하기 식 7과 같이 1차 미분 방정식에 의하여 표현될 수 있다.

[0038] [식 7]

$$\frac{\partial Y}{\partial x} = -\frac{Y^2}{j\omega\varepsilon_{ins}} + \frac{q^2 N_{bt} \ln\left(1 + j\omega\tau\right)}{\tau}$$

[0039]

[0040] 상기 식 7에서,

[0041] 경계 조건인 x = 0이고, Y = jωC$_s$ (Y = 전체 어드미턴스, total admittance)이며,

[0042] j는 복소수의 허수부이고, ω는 각진동수이고, q는 전자 전하이며,

[0043] τ는 전자를 포획하기 위한 빈 트랩에 대한 평균 시간이고, ε$_{ins}$는 유전체 유전율이며, N$_{bt}$는 절연층의 경계 트랩 밀도이다.

[0044] 일반적으로, 배리어층 내의 경계 트랩과 채널층 내에서 이동하는 캐리어는 전하를 교환할 수 있다. 이러한 전하 교환은 터널링을 통해 발생한다. 전자를 포획하기 위한 빈 트랩에 대한 평균 시간은 τ로 나타내고, 이는 이하 식 8과 같이 트랩과 계면 사이의 거리 x에 지수적으로 비례한다.

[0045] [식 8]

$$\tau = \tau_o e^{2kx}$$

[0046]

[0047] 상기 식 8에서, τ$_0$는 포획/방출 시간 상수이고, k는 배리어층의 감쇠 상수이다.

[0048] 상기 배리어층의 감쇠 상수는 하기 식 8-1에 의해 정의된다.

[0049] [식 8-1]

$$k = \frac{\sqrt{2m^* \times E_b}}{\hbar}$$

[0050]

[0051] 상기 식 8-1에서, m*는 배리어층의 유효 질량이고, E$_b$는 배리어층과 채널층 사이의 에너지 장벽의 높이이며 및 h는 감소된 플랑크 상수이다.

[0052] 또한 t$_0$는 하기 식 9와 같이 정의될 수 있다.

[0053] [식 9]

$$\tau_o = (n_s v_{th} \sigma)^{-1}$$

[0054]

[0055] 상기 식 9에서, n$_s$는 반도체 표면의 전자 밀도이고, v$_{th}$는 전자 열 속도이며, σ는 경계 트랩의 포획 단면 면적이다. 장치가 축적 상태에 있을 때 페르미 준위는 전도대에 가깝다. 이 경우 n$_s$는 전도대의 상태 밀도와 상대적으로 같아질 수 있다. ωτ=1이라고 가정하면, 고정 진동수(f)에서 경계 트랩의 탐침 깊이(X$_p$)는 하기 식 10과 같이 측정될 수 있다.

[0056] [식 10]

$$X_p = \frac{1}{2k} \ln \frac{1}{2\pi f \tau_0}$$

[0057]

[0058] 또한, 상기 식 10은 총 정전용량(C$_{tot}$)에 대해 아래 식 11 내지 13과 같이 단순화될 수 있다.

[0059] [식 11]

$$C_{tot} = \frac{1}{\frac{1}{C_{ins}} + \frac{1}{2k\varepsilon_{ins}} C_2(\omega)}$$

[0060]

[0061] [식 12]

$$C_2(\omega) = 2k\sqrt{\frac{\varepsilon_{ins}}{qN_{bt}}}\coth(B) + \ln(\omega\tau_o) - \coth^2(B)$$

[0062]

[0063] [식 13]

$$B = a\tanh\left(\sqrt{\frac{1}{qN_{bt}\varepsilon_{ins}}}C_s\right) - \frac{1}{2k}\sqrt{\frac{qN_{bt}}{\varepsilon_{ins}}}\ln(\omega\tau_o)$$

[0064]

발명의 효과

[0065] 본 발명에 따른 표면트랩준위 추출 방법은 AlGaN 배리어층과 GaN 채널층 사이의 계면 트랩 밀도과 경계 트랩 밀도를 포함하는 표면트랩 준위의 정확한 측정이 가능하여, AlGaN/GaN 에피택셜 구조체를 포함하는 HEMTs의 성능 개선 및 신뢰성 평가에 기여할 수 있다.

도면의 간단한 설명

[0066] 도 1은 고전자 이동도 트랜지스터(High electron mobility transistors, HEMTs) 구조를 나타낸 개략도이다.

도 2a는 공핍 모드에서 금속-절연체-반도체 소자의 등가 회로도이다.

도 2b은 금속 산화물 반도체 소자를 나타내는 분산 벌크 산화물 트랩 모델의 등가 회로도이다.

도 3a는 트랩의 활성 응답 영역을 보여주는 진동수 기반 C-V 측정 결과를 나타낸 그래프이다.

도 3b는 측정된 C-V 특성과 시뮬레이션된 C-V 특성 간의 비교 그래프이다.

도 3c는 공핍(Depletion) 영역 내 트랩을 보여주는 시뮬레이션된 밴드 다이어그램이다.

도 3d는 축적(Accumulation) 영역 내 트랩을 보여주는 시뮬레이션된 밴드 다이어그램이다.

도 4a는 밴드 에너지 상태의 함수로서 계면 트랩 분포를 나타낸 그래프이다.

도 4b는 서로 다른 게이트 바이어스 지점에서 진동수에 대한 등가 병렬 전도도 피크(G_p/ω)를 나타낸 그래프이다.

도 4c는 문턱전압이하 스윙(subthreshold swing, ss)를 보여주는 기본 전달 곡선($\log(I_D)$-V_{GS})을 나타낸 그래프이다.

도 5a는 V_{GS}=-3.5 V에서 분산 회로 모델을 사용하여 생성된 피팅 곡선이다.

도 5b는 $Al_{0.25}Ga_{0.7}N$/GaN 계면에서 $Al_{0.25}Ga_{0.7}N$ 배리어층의 경계 트랩 분포의 등고선 맵핑 그래프이다.

도 6a는 다양한 게이트 바이어스(V_{GS}) 지점에서 진동수에 대한 잡음 스펙트럼 밀도(S_{ID}/ID^2)를 나타낸 그래프이다.

도 6b는 드레인 전류 ID의 함수로서의 잡음 스펙트럼 밀도 (S_{ID}/ID^2) 및 $(g_m/I_D)^2$을 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0067] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 구체적으로 설명하고자 한다.

[0068] 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포

함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0069] 본 발명에서, "포함한다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0070] 따라서, 본 명세서에 기재된 실시예에 도시된 구성은 본 발명의 가장 바람직한 일 실시예에 불과할 뿐이고 본 발명의 기술적 사상을 모두 대변하는 것은 아니므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형 예들이 있을 수 있다.

[0072] 금속유기화학 증기증착법(metal organic chemical vapour deposition; MOCVD)을 이용하여 SiC 기판 상에 에피택셜 층을 성장시켰다. 도 1과 같이, AlN 핵형성층, 2.6㎛ 고저항 GaN층, 150nm GaN 채널층, 28nm $Al_{0.25}Ga_{0.75}N$ 배리어층 순서로 아래에서 위로 증착하였다. 홀 측정 결과 이동도(μ_{n_Hall})와 시트 전하 밀도(2DEG)는 각각 2200 $cm^2 \cdot V^{-1} \cdot s^{-1}$ 및 9×10^{12} cm^{-2}인 것으로 나타났다.

[0073] 소자를 분리하기 위해 Cl_2 기반 유도 결합 플라즈마(ICP) 에칭으로 메사 분리(Mesa isolation)를 수행했습니다. 옴 금속(ohmic metal) 증착 전에 기판을 HCl과 탈이온수(1:5)의 혼합물로 30초 동안 희석하여 형성된 모든 종류의 자연 산화물을 제거하였다.

[0074] 옴 접촉 형성을 용이하게 하기 위해, 830 ℃에서 30초 동안 N_2 환경에서, 전자 빔(e-beam) 증발기와 급속 열 어닐링을 사용하여 Si/Ti/Al/Ni/Au(1/25/160/40/100 nm) 합금을 소스 및 드레인 영역에 증착하였다.

[0075] 접촉 저항(R_C)과 시트 저항(R_{SH})은 TLM(transmission-line-method) 측정에 의해 각각 1.2 Ω·mm 및 320 Ω/□로 추출되었다. 강력한 프로브 접촉을 달성하기 위해, Ti/Au(20/300 nm) 패딩층은 E-빔 증발기를 사용하여 증착하였다. 마지막으로 게이트 메탈은 Ni/Au(20/400 nm)도 e-빔 증발기를 사용하여 증착하였다.

[0076] 제작된 소자의 게이트 길이(L_g), 게이트 폭(W_g) 및 소스-드레인 거리(L_{sd})는 각각 14, 50 및 18㎛였다. 모든 디바이스는 동일한 소스-게이트 거리(L_{sg})와 2㎛의 게이트-소스 거리(L_{gd})를 가졌습니다. 도 1의 고해상도 TEM 이미지에서 잘 증착된 $Al_{0.25}GaN_{0.75}N$/GaN 계면을 관찰할 수 있었다. $Al_{0.25}GaN_{0.75}N$ 배리어층의 두께는 약 28nm(27.8nm)였으며, GaN 채널층과 양호한 계면을 형성하였다.

[0077] 도 3a는 트랩의 활성 응답 영역을 보여주는 진동수 기반 C-V 측정 결과를 나타낸 그래프이고, 도 3b는 측정된 C-V 특성과 시뮬레이션된 C-V 특성 간의 비교 그래프이며, 도 3c는 공핍(Depletion) 영역 내 트랩을 보여주는 시뮬레이션된 밴드 다이어그램이고, 도 3d는 축적(Accumulation) 영역 내 트랩을 보여주는 시뮬레이션된 밴드 다이어그램이다.

[0078] 그림 3a는 진동수 분산이 분명한 $Al_{0.25}GaN_{0.75}N$/GaN HEMT의 진동수 기반 C-V 측정 결과를 나타낸다. 진동수 분산은 여러 가지 이유로 발생할 수 있다. C-V 측정 시 진동수 분산의 주요 원인 중 일부는 기생 효과, 손실 계면층, 표면 거칠기 및 양자 역학적 구속 등이 포함된다. 그 중 가장 큰 영향을 미치는 원인은 $Al_xGa_{1-x}N$/GaN의 손실 계면층이다. $Al_xGa_{1-x}N$ 층의 트랩 상태는 대부분 분산의 원인입니다. 공핍 영역의 진동수 분산은 이 영역이 계면 트랩의 지배적인 영역임을 나타내는 반면 축적 영역의 분산은 경계 트랩의 지배적인 영역을 나타낸다. Nextnano 시뮬레이션 도구(1차원 푸아송-슈뢰딩거 솔버)를 사용하여 그림 3b와 같이 일정한 게이트 오버드라이브(VGS - VT)에 대해 측정되고 시뮬레이션된 정전용량을 비교하였다. 측정된 C-V 곡선과 시뮬레이션된 C-V 곡선이 유사하여 측정된 데이터에 대한 누설 전류 효과가 더 낮다는 것이 분명한 것을 알 수 있었다. 따라서, $Al_xGa_{1-x}N$층은 MIS/MOS 구조와 유사하게 높은 유전 상수로 인해 절연체로 취급될 수 있는 것을 확인하였다. 그림 3c, d는 공핍 및 축적 영역에서 각각 밴드 다이어그램(시뮬레이션을 통해 결정됨)을 보여주었다. 공핍 영역에서 페르미 레벨(E_F) 위의 계면 트랩은 대부분 활성화되었다. 이로 인해 채널 영역에서 캐리어의 포획 및 방출이 발생하였다. E_F가 전도대 E_C를 관통하는 축적 영역에서 표면의 전자는 터널링을 통해 보더 트랩에 의해 포획되고 방출되었다.

[0079] Keysight B1500A 반도체 소자 분석기와 Agilent 4384A 정밀 LCR 미터가 모든 DC 측정에 사용되었다. 1/f 측정은 배터리로 작동되는 SRS SR570 저잡음 전류 전치 증폭기, HP 35670A 동적 신호 분석기 및 1Hz 필터 장치로 구성된 설정을 사용하여 수행되었다.배리어층 정전용량(C_{ins})은 다음 식 14로 결정되었다.

[0080] [식 14]

[0081] $$C_{ins} = \frac{\varepsilon_o \varepsilon_{ins}}{t_{ins}}$$

[0082] 상기 식 14에서, ε_o는 자유공간의 유전율이고 ε_{ins}는 유전체 유전율이다. "Zhao, J. Z. et al. Determination of the relative permittivity of the AlGaN barrier layer in strained AlGaN/GaN heterostructures. Chin. Phys. B 18, 3980-3984 (2009)"와 "Li, L. et al. On the hole injection for III-nitride based deep ultraviolet light-emitting diodes. Materials (Basel) 10, 1221 (2017)."문헌에 기재된 내용에 따라, ε=0.5x+9.5(여기서 x는 $Al_xGa_{1-x}N$ 배리어층의 Al 함량을 나타낸다)이고, 여기서 계산된 ε_{ins}의 값은 x = 25%에 대해 약 9.375이다.

[0083] AlN의 텐서 성분과 GaN의 {0001} 비유전율(relative permittivity)은 관계를 얻기 위해 선형 보간되었다. 병렬 등가 컨덕턴스(G_p)는 직렬 저항에 대한 측정된 커패시턴스 및 컨덕턴스의 보정과 함께 전술한 식1을 사용하여 계산되었습니다.

[0084] 도 4a는 밴드 에너지 상태의 함수로서 계면 트랩 분포를 나타낸 그래프이고, 도 4b는 서로 다른 게이트 바이어스 지점에서 진동수에 대한 등가 병렬 전도도 피크(G_p/ω)를 나타낸 그래프이며, 도 4c는 문턱전압이하 스윙(subthreshold swing, ss)를 보여주는 기본 전달 곡선($\log(I_D)$-V_{GS})을 나타낸 그래프이다.

[0085] 다시 말해, 도 4b는 각 진동수(ω)에 대한 병렬 전도도 피크(G_p/ω)의 그래프이다.

[0086] 전술한 식 5를 이용하여 $(G_p/\omega)_{max}$ 피크에서 D_{it}를 추출하였다. "Ma, X. H. et al. Quantitative characterization of interface traps in Al2O3/AlGaN/GaN metal-oxide-semiconductor high-electron-mobility transistors by dynamic capacitance dispersion technique. Appl. Phys. Lett. 103, 2012-2015 (2013).", "Liu, W. L., Chen, Y. L., Balandin, A. A. & Wang, K. L. Capacitance-voltage spectroscopy of trapping states in GaN/AlGaN hetero-structure field-effect transistors. J. Nanoelectron. Optoelectron. https://doi.org/10.1166/jno.2006.212 (2006)." 및 "Kordos, P., Stoklas, R., Gregusova, D. & Novak, J. Characterization of AlGaN/GaN metal-oxide-semiconductor field-effect transistors by frequency dependent conductance analysis. Appl. Phys. Lett. 94, 1-4 (2009)." 문헌에 기재된 전도도 방법을 이용하여 추출한 D_{it} 값은 $2.5\times10^{12}cm^{-2}\cdot eV^{-1}$에서 $7.1\times10^{12}cm^{-2}\cdot eV^{-1}$로 S-HEMT 및 MOS-HEMT의 10^{11} 내지 $10^{14}\cdot eV^{-1}$ 범위 내에 포함되었다. 그림 4a는 식 6으로 계산된 트랩 에너지(ΔE)에 대한 D_{it}를 나타낸다. 이 계산을 위해 $(G_p/\omega)_{max}$에 해당하는 진동수가 고려되었다.

[0087] 실온(300K)에서 GaN 재료의 평균 열 속도 v_{th} 및 유효 상태 밀도(D_{dos})는 "Kordos, P., Stoklas, R., Gregusova, D. & Novak, J. Characterization of AlGaN/GaN metal-oxide-semiconductor field-effect transistors by frequency dependent conductance analysis. Appl. Phys. Lett. 94, 1-4 (2009)"문헌에 기재된 내용로부터 각각 $2.6x10^7$ cm·s-1 및 $1.2x10^{18}$ cm^{-3}인 것으로 간주되었다. 또한, "Zhang, K. et al. Trap states in InAlN/AlN/GaN-based double-channel high electron mobility transistors. J. Appl. Phys. 113, 10-25 (2013)"문헌에 기재된 내용으로부터 포획 단면적 σ의 값은 3.4×10^{-15} cm^2로 가정하였다. 추출된 D_{it} 값의 신뢰도는 다음 식15를 사용하여 문턱전압이하 스윙(SS)의 이론적 계산을 통해 결정하였다.

[0088] [식 15]

$$SS = \frac{kT}{q} \ln 10.\left(1 + \frac{qD_{it}}{C_{ins}}\right)$$

[0089]

[0090] 추출된 가장 낮은 D_{it}에서 계산된 SS 값은 약 143 mV · dec^{-1}인 반면 기본 I-V 측정에 의해 결정된 값은 142 mV · dec^{-1}인 것으로 나타났다(도 4c). 이러한 측정값과 계산값의 유사성은 추출된 D_{it} 값의 신뢰성을 확인시켜 주었다.

[0091] 경계 트랩 밀도 N_{bt}를 추출하기 위해 표 1의 매개변수를 사용하였다.

표 1

[0092]

샘플	$Al_{0.25}Ga_{0.75}N/GaN$
파라미터	값
T_{ins}[nm]	28
ε_{ins}	9.375
$m^*[m_o]$	0.19
E_b[eV]	0.8
K[nm^{-1}]	1.99
C_s[$\mu F \cdot cm^{-2}$]	0.27
τ_0[s]	$1 X 10^{-12}$
D_{it}[$cm^{-2} \cdot eV^{-1}$]	$2.5 X 10^{12}$
N_{bt}[$cm^{-3} \cdot eV^{-1}$]	$1.5 X 10^{19}$
N_t[$cm^{-3} \cdot eV^{-1}$]	$1.5 X 10^{19}$

[0093] 상기 표 1에서, 감쇠 계수의 계산을 위해 $Al_{0.25}Ga_{0.75}N$의 유효 질량은 $0.19m_o$로 간주되었다(여기서 m_o는 정지 전자 질량을 나타낸다). 도 5a는 V_{GS}=-3.5 V에서 분산 회로 모델을 사용하여 생성된 피팅 곡선이고, 5b는 $Al_{0.25}Ga_{0.7}N/GaN$ 계면에서 $Al_{0.25}Ga_{0.7}N$ 배리어층의 경계 트랩 분포의 등고선 맵핑 그래프이다.

[0094] 반도체 정전용량 C_S는 기본 N_{bt} 추출 전압인 -3.5V의 누적 게이트 바이어스에서 Nextnano 시뮬레이션을 통해 추정되었다. 전술한 식 4에 따라, N_{bt}와 τ_o를 가변 피팅 파라미터로 고려하여 -3.5V에서 최적의 정전용량 곡선을 얻었다. 그림 5a에서 알 수 있듯이, N_{bt} = 1.5 × 10^{19} $cm^{-3} \cdot eV^{-1}$ 및 τ_o = 1 × 10^{-12} s에서 가장 잘 맞는 곡선이 얻어졌다. 여기서 C_M은 -3.5V에서 다양한 인가 진동수에서 측정된 정전용량을 나타내고 Ctot는 피팅된 곡선을 나타낸다. 적용된 V_{GS}와 $Al_{0.25}Ga_{0.75}N/GaN$ 계면에서 $Al_{0.25}Ga_{0.75}N$ 배리어층으로의 탐침 깊이(X_P)의 함수로서 N_{bt}의 공간 분포가 그림 5b에 나타내었다. N_{bt} 값은 특정 인가 진동수에서 다양한 인가 전압에서 추출되었다. 계면에서 $Al_{0.25}Ga_{0.75}N$ 층으로의 탐침 깊이는 N_{bt} 값과 관련된 다른 τo 값을 사용하여 전술한 식 10으로 계산하였다. 경계 트랩은 낮은 진동수에서 더 우세한 특성을 나타내므로 탐침 깊이(X_P)를 추출하기 위해 10kHz의 낮은 진동수를 사용하였다.

[0095] V_{GS}가 증가함에 따라 페르미 레벨 E_F는 전도대 E_C로 더 깊이 침투하는 경향을 나타내었따. 결과적으로 더 많은 전자가 딥 레벨 트랩으로 터널링되는 경향이 있었다. τ_o를 제외한 모든 매개변수가 고정되었기 때문에 τ_o는 탐침

깊이(X_P)와 반비례 관계를 보였다.

[0096] 도 6a는 다양한 게이트 바이어스(VGS) 지점에서 진동수에 대한 잡음 스펙트럼 밀도(S_{ID}/ID^2)를 나타낸 그래프이고, 도 6b는 드레인 전류 ID의 함수로서의 잡음 스펙트럼 밀도 (S_{ID}/ID^2) 및 $(g_m/I_D)^2$을 나타낸 그래프이다.

[0097] 진동수 측정은 게이트 전압 V_{GS}를 변경하고 드레인 바이어스 V_{DS}를 0.5V로 고정하여 수행하였다. 그림 6a는 선형 영역의 다양한 V_{GS}에서 최대 10^4Hz의 진동수에 대한 정규화된 S_{ID}/ID^2(드레인 전류 잡음 스펙트럼 밀도)를 나타낸다. V^{GS}가 증가하고 장치가 약한 반전에서 강한 반전으로 전환됨에 따라 잡음 레벨(S_{ID}/ID^2)이 감소하는 것으로 확인되었다. 정규화된 S_{ID}/ID^2를 ID(드레인 전류)의 함수로 플로팅하면 보다 명확한 결과를 얻을 수 있다. 그림 6b는 10Hz의 진동수에서 ID의 함수로서 정규화된 S_{ID}/ID^2(파란색 구체)의 그래프를 나타낸다.

[0098] "Lyu, J.-S. A new method for extracting interface trap density in short-channel MOSFETs from substrate-bias-dependent subthresh-old slopes. ETRI J. 15, 10-25 (1993)." 문헌에 따라, 게이트 유전체의 채널 캐리어 트래핑 현상은 이하 식16 및 17의 캐리어 수 변동(CNF) 모델을 사용하여 설명된다.

[0099] [식 16]

$$\frac{S_{ID}}{I_D^2} = \left(\frac{g_m}{I_D}\right)^2 S_{Vfb}$$

[0100]

[0101] [식 17]

$$S_{Vfb} = \frac{q^2 N_t kT\lambda}{WLC_d^2 f}$$

[0102]

[0103] 상기 식 16 및 17에서, S_{Vfb}는 플랫밴드 전압 전력 스펙트럼 밀도(flatband voltage power spectral density)이고, kT는 열 에너지이며, WL은 채널 영역이고, Cd는 유전 정전용량이고, f는 진동수, N_t는 벌크/경계 트랩 밀도이다. 또한, λ는 유전체의 터널링 감쇠 거리이고, $\lambda = [4\pi(2m^*\Phi_B)^{1/2}/h]^{-1}$로 표현되며, 여기서 Φ_B는 유전체 장벽 높이이다.

[0104] CNF 모델에 따르면 S_{ID}/I_D^2 및 $(g_m/I_D)^2$는 드레인 전류 또는 게이트 전압과 유사한 범위에서 변합니다. 그림 6b를 참조하면, S_{ID}/I_D^2(파란색 구체) 및 $(g_m/I_D)^2$(빨간색 선)는 다양한 I_D에서 유사하게 변하는 것을 확인하였다. 식 16으로부터 S_{Vfb} 값은 10^{-10} $V^2 \cdot Hz^{-1}$로 계산되었고, 식 17로부터 경계 트랩 밀도 N_t는 1.3×10^{19} $cm^{-3} \cdot eV^{-1}$로 계산되었다.

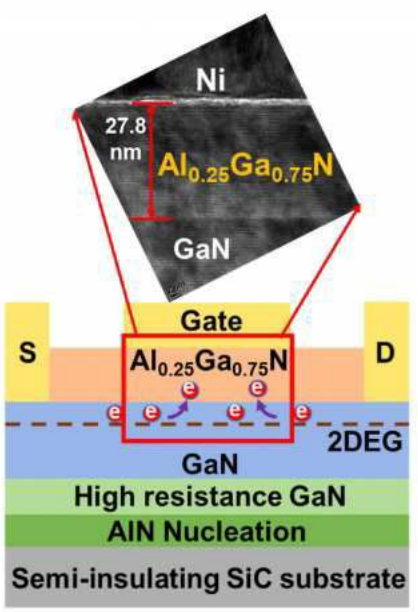
[0105] 이 값들은 분산 회로 모델에서 추출한 경계 트랩 밀도 N_{bt}의 값과 유사한 수준이었으며, "Im, K.-S., Lee, J.-H., Choi, Y. J. & An, S. J. Effects of GaN buffer resistance on the device performances of AlGaN/GaN HEMTs. MDPI Cryst. 10, 1-7 (2020).", "Vodapally, S. et al. Comparison for 1/f noise characteristics of AlGaN/GaN FinFET and planar MISHFET. IEEE Trans. Electron Devices 64, 3634-3638 (2017)"및 "Jeon, D. Y. et al. Effects of series resistance and interface properties on the operation of AlGaN/GaN high electron mobility transis-tors. Microelectron. Eng. 199, 40-44 (2018)." 문헌에 나와 있는 10^{18} 내지 10^{22} $cm^{-3} \cdot eV^{-1}$ 값과 유사한 수준이었다.

[0107] 고찰

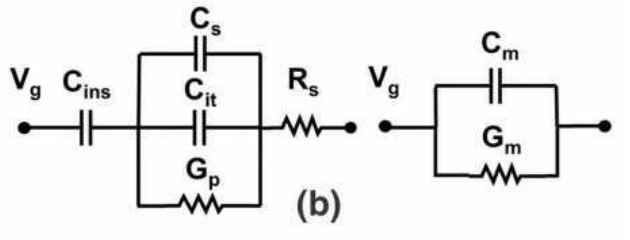
[0108] 주로 절연체/AlGaN 계면에 초점을 맞춘 기존 MOS 트랩 추출 방법과 달리, 본 발명에서는 AlGaN/GaN 계면에 초점을 맞춘 트랩 분석을 수행하였다. 기존 MOS 트랩 추출 방법의 수정된 버전을 사용하여 $Al_{0.25}Ga_{0.75}N$/GaN 계면의 계면 트랩 밀도 D_{it} 및 경계 트랩 밀도 N_{bt}를 추출하였다. $Al_{0.25}Ga_{0.75}N$ 배리어층은 상대적으로 높은 유전 상수를 갖기 때문에 MOS 구조의 절연체와 유사하였다. 전도도 방법으로 추출한 D_{it} 값은 2.5×10^{12} $cm^{-2} \cdot eV^{-1}$ ~ 7.1×10^{12} $cm^{-2} \cdot eV^{-1}$ 범위였으며, 분산회로 모델을 이용하여 추출한 N^{bt} 값은 1.5×10^{19} $cm^{-3} \cdot eV^{-1}$이였으며, $\hat{O}_o$는 1×10^{-12}초였다. 1/f 진동수 측정을 통해 CNF 모델을 사용하여 추출된 경계 트랩 밀도 N_t는 1.3×10^{19} $cm^{-3} \cdot eV^{-1}$(상기 추출된 N_{bt} 값과 동일한 수준)로 트랩 추출 방법의 타당성과 신뢰성을 확인하였다.

도면

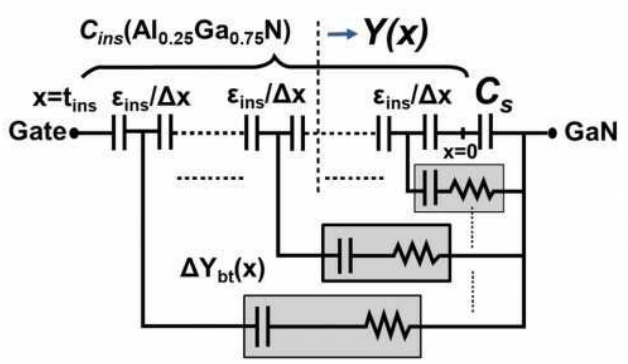
도면1



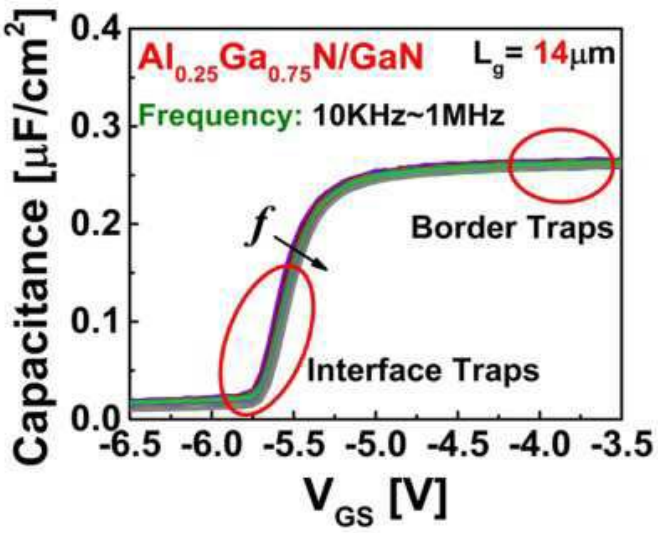
도면2a



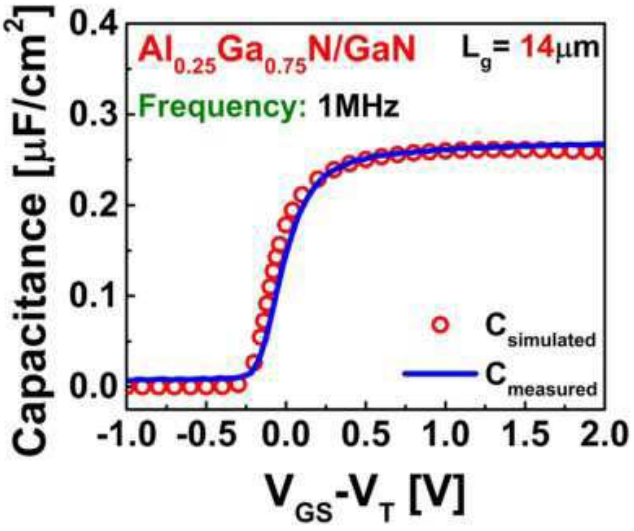
도면2b



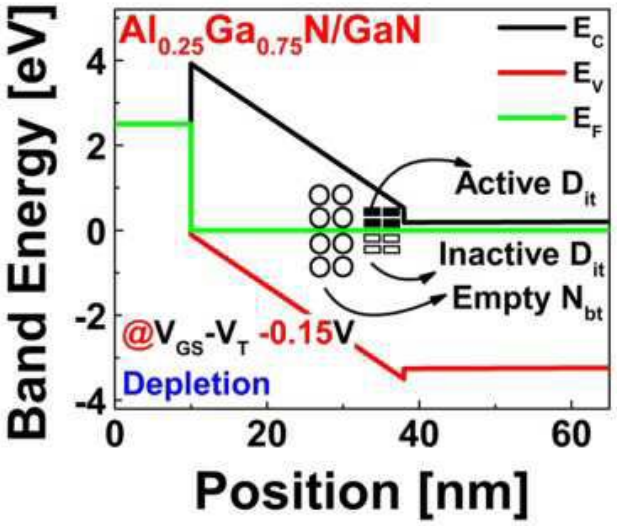
도면3a



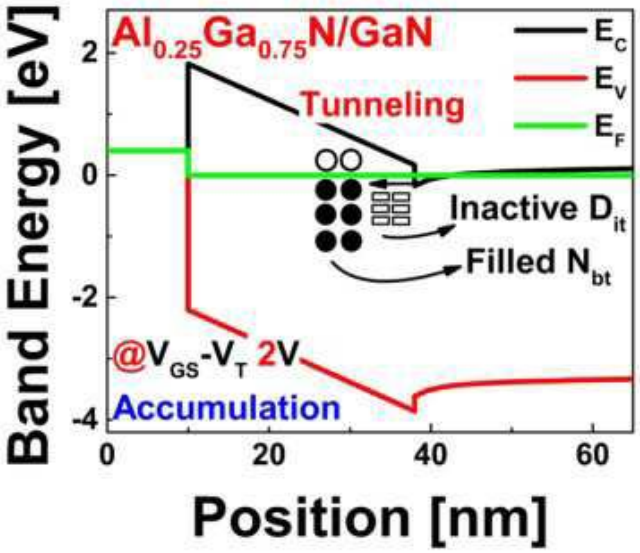
도면3b



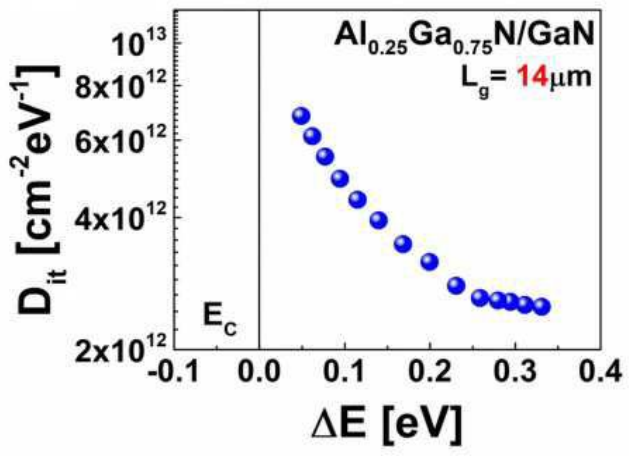
도면3c



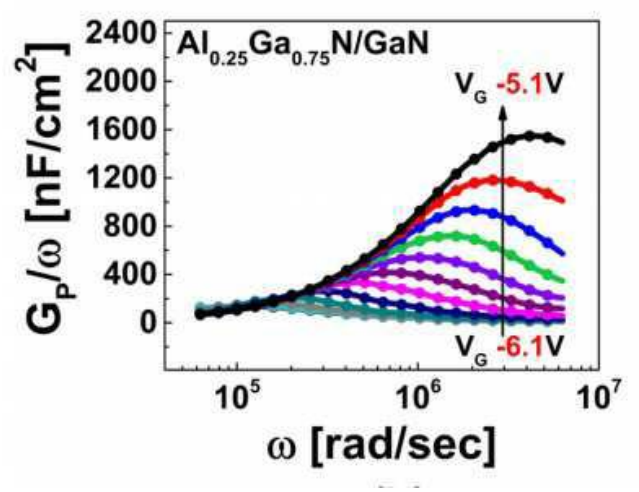
도면3d



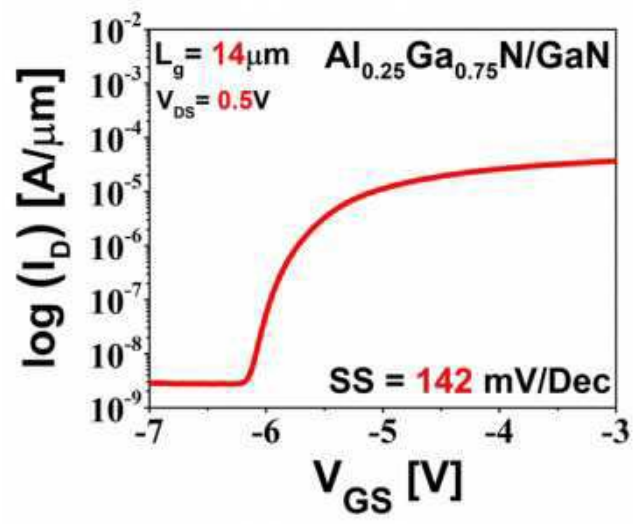
도면4a



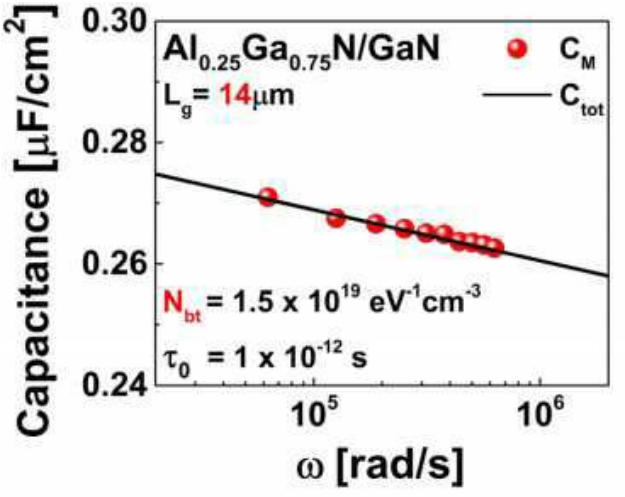
도면4b



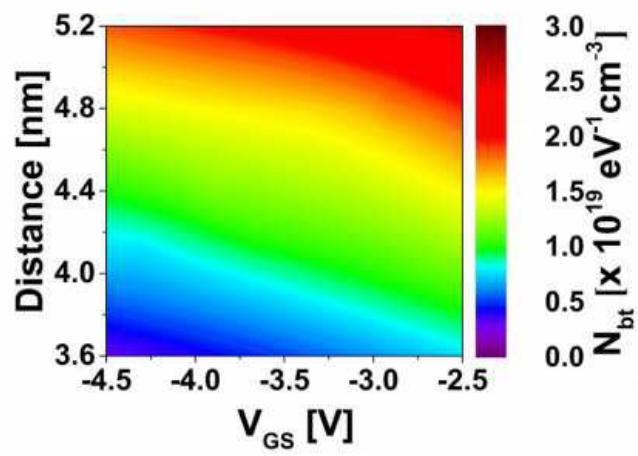
도면4c



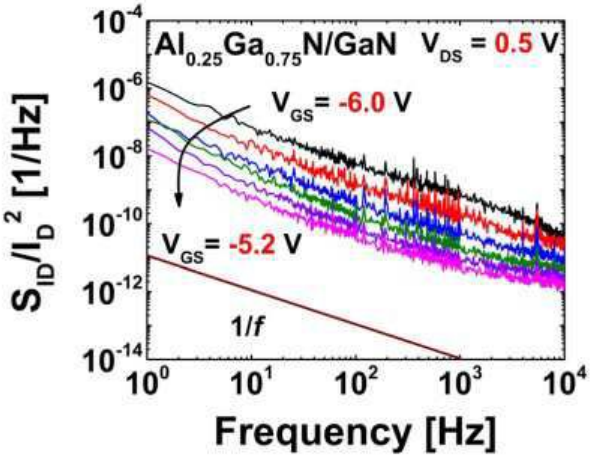
도면5a



도면5b



도면6a



도면6b

