

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(11) 공개번호 10-2022-0170228
(43) 공개일자 2022년12월29일

(51) 국제특허분류(Int. Cl.)

H01L 29/66 (2006.01) H01L 29/06 (2006.01)

H01L 29/423 (2006.01) H01L 29/786 (2006.01)

(52) CPC특허분류

H01L 29/66545 (2013.01)

H01L 29/0673 (2013.01)

(21) 출원번호 10-2021-0081012

(22) 출원일자 2021년06월22일

심사청구일자 2021년06월22일

(71) 출원인

인하대학교 산학협력단

인천광역시 미추홀구 인하로 100(용현동, 인하대학교)

(72) 발명자

오범환

인천광역시 연수구 인천타워대로 253-25, 102동 509호(송도동, 아트원 푸르지오)

정지훈

경기도 시흥시 장곡로53번길 10, 204동 202호(장곡동, 숲속마을벽산임광APT)

김민석

경상남도 김해시 내외로 55, 302동 1105호(내동, 동아아파트)

(74) 대리인

양정보

전체 청구항 수 : 총 7 항

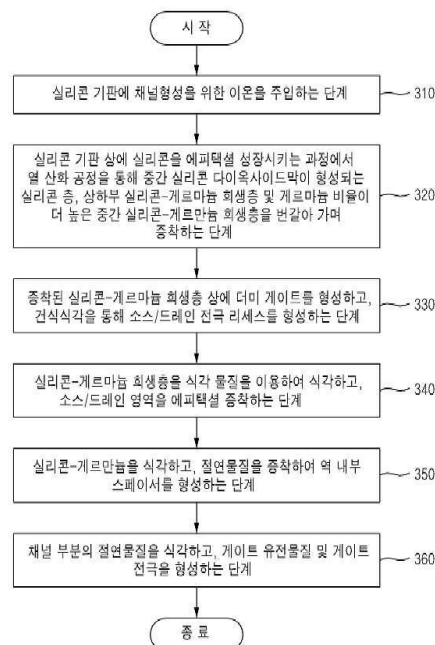
(54) 발명의 명칭 전계 효과 트랜지스터의 채널 개선 구조

(57) 요약

전계 효과 트랜지스터의 채널 개선 구조 및 그 공정 방법이 제시된다. 본 발명에서 제안하는 전계 효과 트랜지스터의 채널 개선 구조 공정 방법은 실리콘 기판에 채널형성을 위한 이온을 주입하는 단계, 상기 실리콘 기판 상에 실리콘을 에피택셜 성장시키는 과정에서 열 산화 공정을 통해 중간 실리콘-게르마늄 회생층 및 게르마늄 비율이 더 높은 중간 실리콘-게르마늄 회생층을 번갈아 가며 증착하는 단계

(뒷면에 계속)

대표도 - 도3



콘-게르마늄 희생층 및 상기 실리콘-게르마늄 희생층보다 게르마늄 비율이 더 높은 중간 실리콘-게르마늄 희생층을 번갈아 가며 증착하는 단계, 상기 증착된 실리콘-게르마늄 희생층 상에 더미 게이트를 형성하고, 건식 식각을 통해 소스/드레인 전극 리세스를 형성하는 단계, 상기 실리콘-게르마늄 희생층을 식각 물질을 이용하여 식각하고, 소스/드레인 영역을 에피택셜 증착하는 단계, 실리콘-게르마늄을 식각하고, 절연물질을 증착하여 역 내부 스페이서를 형성하는 단계 및 채널 부분의 절연물질을 식각하고, 게이트 유전물질 및 게이트 전극을 형성하는 단계를 포함한다.

(52) CPC특허분류

H01L 29/42392 (2013.01)

H01L 29/78696 (2013.01)

명세서

청구범위

청구항 1

실리콘 기판에 채널형성을 위한 이온을 주입하는 단계;

상기 실리콘 기판 상에 실리콘을 에피택셜을 성장시키는 과정에서 열 산화 공정을 통해 중간 절연막이 형성되는 실리콘 층, 상하부 실리콘-게르마늄 희생층 및 상기 실리콘-게르마늄 희생층보다 게르마늄 비율이 더 높은 중간 실리콘-게르마늄 희생층을 번갈아 가며 증착하는 단계;

상기 증착된 실리콘-게르마늄 희생층 상에 더미 게이트를 형성하고, 건식 식각을 통해 소스/드레인 전극 리세스를 형성하는 단계;

상기 실리콘-게르마늄 희생층을 식각 물질을 이용하여 식각하고, 소스/드레인 영역을 에피택셜 증착하는 단계;

실리콘-게르마늄을 식각하고, 절연물질을 증착하여 역 내부 스페이서를 형성하는 단계; 및

채널 부분의 절연물질을 식각하고, 게이트 유전물질 및 게이트 전극을 형성하는 단계

를 포함하는 전계 효과 트랜지스터의 채널 구조 공정 방법.

청구항 2

제1항에 있어서,

상기 실리콘 기판 상에 실리콘을 에피택셜을 성장시키는 과정에서 열 산화 공정을 통해 중간 절연막이 형성되는 실리콘 층, 상하부 실리콘-게르마늄 희생층 및 상기 실리콘-게르마늄 희생층보다 게르마늄 비율이 더 높은 중간 실리콘-게르마늄 희생층을 번갈아 가며 증착하는 단계는,

역 내부 스페이서를 형성하기 위한 실리콘-게르마늄의 식각을 진행할 때, 채널의 위치에 따른 증착 두께의 차이가 발생하여 오버 에칭을 필요로 하지 않도록 수직방향 변위를 일정하게 유지하기 위해 상기 실리콘 층 사이에 중간 절연막을 형성하는

전계 효과 트랜지스터의 채널 구조 공정 방법.

청구항 3

제2항에 있어서,

상기 실리콘 층 사이의 중간 절연막의 절연물질은 실리콘보다 열팽창 계수가 낮은 절연물질을 포함하는

전계 효과 트랜지스터의 채널 구조 공정 방법.

청구항 4

제3항에 있어서,

상기 실리콘 층 사이의 중간 절연막의 절연물질은 실리콘 다이옥사이드를 포함하고,

상기 실리콘 층에 대한 상기 중간 절연막의 두께 비율은 전계 효과 트랜지스터의 전기적 특성 및 공정에 따라 조절되는

전계 효과 트랜지스터의 채널 구조 공정 방법.

청구항 5

제3항에 있어서,

상기 실리콘 층에 대한 상기 중간 절연막의 두께 비율은 10 ~ 75% 인

전계 효과 트랜지스터의 채널 구조 공정 방법.

청구항 6

채널형성을 위한 이온이 주입된 실리콘 기관, 상기 실리콘 기관 상에 번갈아 가며 증착되는 실리콘 층, 상하부 실리콘-게르마늄 희생층 및 중간 실리콘-게르마늄 희생층을 포함하고,

상기 실리콘 층은 실리콘을 에피택셜 성장시키는 과정에서 열 산화 공정을 통해 중간 절연막이 형성되고, 상기 중간 실리콘-게르마늄 희생층은 상기 상하부 실리콘-게르마늄 희생층보다 게르마늄 비율이 더 높으며,

상기 증착된 실리콘-게르마늄 희생층 상에 형성되는 더미 게이트;

건식 식각을 통해 소스/드레인 전극 리세스를 형성한 후, 상기 실리콘-게르마늄 희생층을 식각 물질을 이용하여 식각하고, 에피택셜을 통해 증착되는 소스/드레인 영역;

실리콘-게르마늄을 식각하고, 절연물질을 증착하여 형성되는 역 내부 스페이서; 및

채널 부분의 절연물질을 식각하여 형성되는 게이트 유전물질 및 게이트 전극

을 더 포함하는 전계 효과 트랜지스터의 채널 구조.

청구항 7

제6항에 있어서,

상기 실리콘 층 사이의 중간 절연막은,

역 내부 스페이서를 형성하기 위한 실리콘-게르마늄의 식각을 진행할 때, 채널의 위치에 따른 증착 두께의 차이가 발생하여 오버 에칭을 필요로 하지 않도록 수직방향 변위를 일정하게 유지하기 위해 상기 실리콘 층 사이에 형성되고,

실리콘보다 열팽창 계수가 낮은 절연물질을 포함하며,

상기 실리콘 층에 대한 상기 중간 절연막의 두께 비율은 전계 효과 트랜지스터의 전기적 특성 및 공정에 따라 조절되는

전계 효과 트랜지스터의 채널 구조.

발명의 설명

기술 분야

[0001] 본 발명은 전계 효과 트랜지스터의 공정과정 중 발생하는 채널의 수직 방향 휨 현상을 개선하는 구조 및 그 공정 방법에 관한 것이다.

배경 기술

[0002] 종래기술에 따른 평면 전계 효과 트랜지스터 구조의 미세화가 한계에 다다르면서, 게이트를 지느러미 모양으로 감싸는 핀형 전계 효과 트랜지스터 구조가 새로운 대안으로 주목받고 있다. 게이트와 채널사이의 접촉면적을 늘린 핀형 전계 효과 트랜지스터 구조가 적용되면서, 누설전류가 감소하고 결과적으로 구동 전압이 낮아지는 효과를 누릴 수 있게 되었다. 그러나 칩의 미세화로 핀형 전계 효과 트랜지스터의 종횡비가 증가하고 그로 인한 공정 비용이 급증하면서 새로운 전계 효과 트랜지스터 구조의 필요성이 제기되었다.

[0003] 게이트 올 어라운드(Gate All Around; GAA) 전계 효과 트랜지스터(Field Effect Transistor; FET)는 기존 핀형 전계 효과 트랜지스터(FinFET; Fin Field Effect Transistor) 구조와 달리 채널의 4 면을 모두 게이트가 둘러싸고 있는 구조를 특징으로 한다. 이를 통해 게이트의 전류 조절 능력을 향상시켜, 게이트 누설 전류를 감소시키고 구동 전압을 낮출 수 있다. 또한, 핀형 전계효과 트랜지스터에 비해 작은 종횡비를 가져 공정의 용이성도 향상시킬 수 있었다. 게이트 올 어라운드 나노시트 전계 효과 트랜지스터는 기존 와이어(wire) 모양의 채널을 시트(sheet) 모양으로 확장시킨 구조로서 전류 이동 면적을 크게 증가시킨 구조이다.

[0004] 게이트 올 어라운드 나노시트 전계 효과 나노시트 트랜지스터는 공정 과정 중 실리콘 채널이 브릿지 형태로 노출된다. 실리콘 채널이 노출된 상태에서 고온 공정에 노출되면, 재료의 열팽창으로 인해 수직방향으로 휨 현상

이 발생하게 되어 소자의 나노구조 정렬의 정확도가 떨어지게 된다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 한국 공개특허공보 제10-2017-0045104호(2017.04.26)

발명의 내용

해결하려는 과제

[0006] 본 발명이 이루고자 하는 기술적 과제는 전계 효과 트랜지스터의 고온 공정 시 실리콘 층의 수직방향 휨 현상을 개선하기 위한 전계 효과 트랜지스터의 채널 개선 구조 및 그 공정 방법을 제공하는데 있다. 특히 실리콘 층 사이에 적절한 절연물질을 증착하여 제작 공정 과정 중 실리콘 층이 브릿지 형태로 고온 공정에 노출되는 게이트 올 어라운드 나노시트 전계 효과 트랜지스터의 수직 방향 채널 휨 현상을 개선하고자 한다.

과제의 해결 수단

[0007] 일 측면에 있어서, 본 발명에서 제안하는 전계 효과 트랜지스터의 채널 개선 구조 공정 방법은 실리콘 기판에 채널형성을 위한 이온을 주입하는 단계, 상기 실리콘 기판 상에 실리콘을 에피택셜을 성장시키는 과정에서 열 산화 공정을 통해 중간 절연막이 형성되는 실리콘 층, 상하부 실리콘-게르마늄 희생층 및 상기 실리콘-게르마늄 희생층보다 게르마늄 비율이 더 높은 중간 실리콘-게르마늄 희생층을 번갈아 가며 증착하는 단계, 상기 증착된 실리콘-게르마늄 희생층 상에 더미 게이트를 형성하고, 건식 식각을 통해 소스/드레인 전극 리세스를 형성하는 단계, 상기 실리콘-게르마늄 희생층을 식각 물질을 이용하여 식각하고, 소스/드레인 영역을 에피택셜 증착하는 단계, 실리콘-게르마늄을 식각하고, 절연물질을 증착하여 역 내부 스페이서를 형성하는 단계 및 채널 부분의 절연물질을 식각하고, 게이트 유전물질 및 게이트 전극을 형성하는 단계를 포함한다.

[0008] 상기 실리콘 기판 상에 실리콘을 에피택셜을 성장시키는 과정에서 열 산화 공정을 통해 중간 절연막이 형성되는 실리콘 층, 상하부 실리콘-게르마늄 희생층 및 상기 실리콘-게르마늄 희생층보다 게르마늄 비율이 더 높은 중간 실리콘-게르마늄 희생층을 번갈아 가며 증착하는 단계는 역 내부 스페이서를 형성하기 위한 실리콘-게르마늄의 식각을 진행할 때, 채널의 위치에 따른 증착 두께의 차이가 발생하여 오버 에칭을 필요로 하지 않도록 수직방향 변위를 일정하게 유지하기 위해 상기 실리콘 층 사이에 중간 절연막을 형성한다.

[0009] 본 발명의 일 실시예들에 따른 상기 실리콘 층 사이의 중간 절연막의 절연물질은 실리콘보다 열팽창 계수가 낮은 절연물질을 포함할 수 있다.

[0010] 본 발명의 일 실시예들에 따른 상기 실리콘 층 사이의 중간 절연막의 절연물질은 실리콘 다이옥사이드를 포함하고, 상기 실리콘 층에 대한 상기 중간 절연막의 두께 비율은 전계 효과 트랜지스터의 전기적 특성 및 공정에 따라 조절될 수 있다.

[0011] 본 발명의 일 실시예들에 따른 상기 실리콘 층에 대한 상기 중간 절연막의 두께 비율은 10 ~ 75% 일 수 있다.

[0012] 또 다른 일 측면에 있어서, 본 발명에서 제안하는 전계 효과 트랜지스터의 채널 개선 구조는 채널형성을 위한 이온이 주입된 실리콘 기판, 상기 실리콘 기판 상에 번갈아 가며 증착되는 실리콘 층, 상하부 실리콘-게르마늄 희생층 및 중간 실리콘-게르마늄 희생층을 포함하고, 상기 실리콘 층은 실리콘을 에피택셜 성장시키는 과정에서 열 산화 공정을 통해 중간 절연막이 형성되고, 상기 중간 실리콘-게르마늄 희생층은 상기 상하부 실리콘-게르마늄 희생층보다 게르마늄 비율이 더 높을 수 있다.

[0013] 본 발명에서 제안하는 전계 효과 트랜지스터의 채널 개선 구조는 상기 증착된 실리콘-게르마늄 희생층 상에 형성되는 더미 게이트, 건식 식각을 통해 소스/드레인 전극 리세스를 형성한 후, 상기 실리콘-게르마늄 희생층을 식각 물질을 이용하여 식각하고, 에피택셜을 통해 증착되는 소스/드레인 영역, 실리콘-게르마늄을 식각하고, 절연물질을 증착하여 형성되는 역 내부 스페이서 및 채널 부분의 절연물질을 식각하여 형성되는 게이트 유전물질 및 게이트 전극을 더 포함할 수 있다.

발명의 효과

[0014] 본 발명의 실시예들에 따른 전계 효과 트랜지스터의 채널 개선 구조를 통해 전계 효과 트랜지스터의 고온 공정 시 실리콘 층의 수직방향 휨 현상을 개선할 수 있다. 특히 실리콘 층 사이에 적절한 절연물질을 증착하여 제각 공정 과정 중 실리콘 층이 브릿지 형태로 고온 공정에 노출되는 게이트 올 어라운드 나노시트 전계 효과 트랜지스터의 수직 방향 채널 휨 현상을 개선할 수 있다.

도면의 간단한 설명

[0015] 도 1은 종래기술에 따른 게이트 올 어라운드 나노시트 전계 효과 트랜지스터의 전공정 과정을 나타내는 도면이다.

도 2는 본 발명의 일 실시예에 따른 전계효과 트랜지스터의 절연막 증착 공정 중 수직 변위 양상을 설명하기 위한 도면이다.

도 3은 본 발명의 일 실시예에 따른 전계 효과 트랜지스터의 채널 구조 공정 방법을 설명하기 위한 흐름도이다.

도 4는 본 발명의 일 실시예에 따른 전계 효과 트랜지스터의 채널 구조를 나타내는 도면이다.

도 5는 본 발명의 일 실시예에 따른 실리콘 층 내의 중간 절연막의 비율에 따른 수직 변위 양상을 나타내는 도면이다.

도 6은 본 발명의 일 실시예에 따른 실리콘 층 내의 중간 절연막 비율에 따른 수직 변위를 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0016] 본 발명은 전계 효과 트랜지스터의 공정과정 중 발생하는 채널의 수직 방향 휨 현상을 개선하는 구조 및 그 공정 방법에 관한 것으로서, 더욱 상세하게는 형성되는 채널에 중간 절연막을 추가하여 수직방향 변위를 개선할 뿐 아니라, 채널의 전기적 특성도 향상시키는 구조 및 그 공정 방법에 관한 것이다. 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.

[0018] 도 1은 종래기술에 따른 게이트 올 어라운드 나노시트 전계 효과 트랜지스터의 전공정 과정을 나타내는 도면이다.

[0019] 종래기술에 따른 게이트 올 어라운드 나노시트 전계 효과 트랜지스터의 전공정 과정은 실리콘 기판에 채널형성을 위한 이온을 주입하는 단계, 상기 실리콘 기판 상에 실리콘 층, 상하부 실리콘-게르마늄 희생층 및 상하부 상기 실리콘-게르마늄 희생층보다 게르마늄 비율이 더 높은 중간 실리콘-게르마늄 희생층을 번갈아 가며 증착하는 단계, 상기 증착된 실리콘-게르마늄 희생층 상에 더미 게이트를 형성하고, 건식 식각을 통해 소스/드레인 전극 리세스를 형성하는 단계, 상기 실리콘-게르마늄 희생층을 식각 물질을 이용하여 식각하고, 소스/드레인 영역을 에피택셜 증착하는 단계, 실리콘-게르마늄을 식각하고, 절연물질을 증착하여 역 내부 스페이서를 형성하는 단계 및 채널 부분의 절연물질을 식각하고, 게이트 유전물질 및 게이트 전극을 형성하는 단계를 포함한다.

[0020] 도 1(a)는 실리콘 기판 상에 채널 절연(Channel Isolation) 이온을 주입하는 과정을 나타내는 도면이다.

[0021] 도 1(b)는 실리콘 층(다시 말해, 실리콘 채널(Channel))과 상하부 실리콘-게르마늄 희생층 및 실리콘-게르마늄 희생층보다 게르마늄 비율이 더 높은 중간 실리콘-게르마늄 희생층을 번갈아 가며 증착하는 과정을 나타내는 도면이다.

[0022] 도 1(c)는 더미 게이트를 형성하는 과정을 나타내는 도면이고, 도1(d)는 건식 식각을 통해 소스/드레인 전극 리세스를 형성하는 과정을 나타내는 도면이다.

[0023] 도 1(e)는 적절한 식각비를 가진 물질을 이용해 실리콘-게르마늄 영역을 식각하는 과정을 나타내는 도면이다.

[0024] 도 1(f)는 소스/드레인 영역을 에피택셜 증착하는 과정을 나타내는 도면이다.

[0025] 도 1(g)는 실리콘-게르마늄을 식각하고, 적절한 절연물질을 증착하여 역 내부 스페이서를 형성하는 과정을 나타내는 도면이다.

[0026] 도 1(h)는 채널부분 절연물질을 식각하는 과정을 나타내는 도면이다.

- [0027] 도 1(i)는 게이트 유전물질 및 게이트 전극을 형성하는 과정을 나타내는 도면이다.
- [0028] 도 1(g)의 채널에 절연물질을 증착하는 과정에서 나노 시트 채널이 고온 증착 공정에 노출되는 상황에 있어서, 실리콘 층이 고온에 노출될 경우, 재료의 열팽창으로 인해 수직 방향으로 휘어지는 현상이 발생할 수 있다.
- [0029] 본 발명에서는 이러한 전계 효과 트랜지스터의 고온 공정 시 실리콘 층의 수직방향 휨 현상을 개선하기 위한 전계 효과 트랜지스터의 채널 개선 구조 및 그 공정 방법을 제안한다. 특히 실리콘 층 사이에 적절한 절연물질을 증착하여 제작 공정 과정 중 실리콘 층이 브릿지 형태로 고온 공정에 노출되는 게이트 올 어라운드 나노시트 전계 효과 트랜지스터의 수직 방향 채널 휨 현상을 개선하고자 한다.
- [0031] 도 2는 본 발명의 일 실시예에 따른 전계효과 트랜지스터의 절연막 증착 공정 중 수직 변위 양상을 설명하기 위한 도면이다.
- [0032] 도 2는 고온 증착 공정(Plasma Enhanced Chemical Vapor Deposition; PECVD) 중 발생하는 게이트 올 어라운드 나노시트 전계 효과 트랜지스터의 수직방향 변위를 나타낸다. 이러한 문제가 발생할 경우, 후속 공정의 난이도가 증가하는 단점이 있다.
- [0033] 예를 들어, 도 1(h)에서 역 내부 스페이서를 형성하기 위해 습식 식각을 진행할 때, 실리콘 층(다시 말해, 실리콘 채널(Channel))의 위치에 따라 증착 두께 차이가 일정하지 않다면, 확실한 절연막 제거를 위해 오버 에칭을 수행해야 하고 결과적으로, 유지되어야 할 역 내부 스페이서까지 식각이 진행될 문제점이 발생할 수 있다.
- [0034] 본 발명에서는 이러한 수직방향 변위에 대한 문제점을 개선하기 위해 실리콘 층(다시 말해, 실리콘 채널(Channel)) 사이에 적절한 절연물질을 증착하는 방법을 제안한다. 중간 절연막의 절연물질은 열적 특성이나 공정의 용이성에 따라 선택가능하며, 본 발명의 일 실시예에서는 실리콘 다이옥사이드 막을 중간 절연막으로 적용하였다.
- [0036] 도 3은 본 발명의 일 실시예에 따른 전계 효과 트랜지스터의 채널 구조 공정 방법을 설명하기 위한 흐름도이다.
- [0037] 제안하는 전계 효과 트랜지스터의 채널 구조 공정 방법은 실리콘 기판에 채널형성을 위한 이온을 주입하는 단계(310), 상기 실리콘 기판 상에 실리콘을 에피택셜을 성장시키는 과정에서 열 산화 공정을 통해 중간 절연막이 형성되는 실리콘 층, 상하부 실리콘-게르마늄 희생층 및 상기 실리콘-게르마늄 희생층보다 게르마늄 비율이 더 높은 중간 실리콘-게르마늄 희생층을 번갈아 가며 증착하는 단계(320), 상기 증착된 실리콘-게르마늄 희생층 상에 더미 게이트를 형성하고, 건식 식각을 통해 소스/드레인 전극 리세스를 형성하는 단계(330), 상기 실리콘-게르마늄 희생층을 식각 물질을 이용하여 식각하고, 소스/드레인 영역을 에피택셜 증착하는 단계(340), 실리콘-게르마늄을 식각하고, 절연물질을 증착하여 역 내부 스페이서를 형성하는 단계(350), 및 채널 부분의 절연물질을 식각하고, 게이트 유전물질 및 게이트 전극을 형성하는 단계(360)를 포함한다.
- [0038] 앞서 설명된 바와 같이 먼저 단계(310)에서, 실리콘 기판에 채널형성을 위한 이온을 주입한다.
- [0039] 단계(320)에서, 상기 실리콘 기판 상에 실리콘을 에피택셜을 성장시키는 과정에서 열 산화 공정을 통해 중간 절연막이 형성되는 실리콘 층, 상하부 실리콘-게르마늄 희생층 및 상기 실리콘-게르마늄 희생층보다 게르마늄 비율이 더 높은 중간 실리콘-게르마늄 희생층을 번갈아 가며 증착한다.
- [0040] 본 발명의 일 실시예에 따르면, 단계(320)에서 역 내부 스페이서를 형성하기 위한 실리콘-게르마늄의 식각을 진행할 때(단계(350)), 채널의 위치에 따른 증착 두께의 차이가 발생하여 오버 에칭을 필요로 하지 않도록 수직방향 변위를 일정하게 유지하기 위해 상기 실리콘 층 사이에 중간 절연막을 형성한다.
- [0041] 상기 실리콘 층 사이의 중간 절연막의 절연물질은 실리콘보다 열팽창 계수가 낮은 절연물질을 포함할 수 있다.
- [0042] 본 발명의 일 실시예에 따른 상기 실리콘 층 사이의 중간 절연막의 절연물질은 실리콘 다이옥사이드를 포함하고, 상기 실리콘 층에 대한 상기 중간 절연막의 두께 비율은 전계 효과 트랜지스터의 전기적 특성 및 공정에 따라 조절될 수 있다. 예를 들어, 상기 실리콘 층에 대한 상기 중간 절연막의 두께 비율은 10 ~ 75% 일 수 있다.
- [0043] 단계(330)에서 상기 증착된 실리콘-게르마늄 희생층 상에 더미 게이트를 형성하고, 건식 식각을 통해 소스/드레인 전극 리세스를 형성하고, 단계(340)에서 상기 실리콘-게르마늄 희생층을 식각 물질을 이용하여 식각하고, 소

스/드레인 영역을 에피택셜 증착한다.

- [0044] 단계(350)에서, 실리콘-게르마늄을 식각하고, 절연물질을 증착하여 역 내부 스페이서를 형성하며, 마지막으로 단계(360)에서 채널 부분의 절연물질을 식각하고, 게이트 유전물질 및 게이트 전극을 형성한다.
- [0046] 도 4는 본 발명의 일 실시예에 따른 전계 효과 트랜지스터의 채널 구조를 나타내는 도면이다.
- [0047] 제안하는 전계 효과 트랜지스터의 채널 구조는 채널형성을 위한 이온이 주입된 실리콘 기판(410), 상기 실리콘 기판(410) 상에 번갈아 가며 증착되는 실리콘 층(420), 상하부 실리콘-게르마늄 희생층(430) 및 중간 실리콘-게르마늄 희생층(440)을 포함하고,
- [0048] 상기 실리콘 층(420)은 실리콘을 에피택셜 성장시키는 과정에서 열 산화 공정을 통해 중간 절연막(Insulator Layer)(421)이 형성되고, 상기 중간 실리콘-게르마늄 희생층(440)은 상기 상하부 실리콘-게르마늄 희생층(430)보다 게르마늄 비율이 더 높을 수 있다.
- [0049] 제안하는 전계 효과 트랜지스터의 채널 구조는 상기 증착된 실리콘-게르마늄 희생층 상에 더미 게이트가 형성되고, 건식 식각을 통해 소스/드레인 전극 리세스가 형성된다. 이후, 상기 실리콘-게르마늄 희생층이 식각 물질을 이용하여 식각되고, 소스/드레인 영역이 에피택셜 증착된다. 실리콘-게르마늄을 식각하고, 절연물질을 증착함으로써 역 내부 스페이서가 형성되고, 마지막으로 채널 부분의 절연물질을 식각하고, 게이트 유전물질 및 게이트 전극이 형성된다.
- [0050] 본 발명의 일 실시예에 따르면, 역 내부 스페이서를 형성하기 위한 실리콘-게르마늄의 식각을 진행할 때, 채널의 위치에 따른 증착 두께의 차이가 발생하여 오버 에칭을 필요로 하지 않도록 수직방향 변위를 일정하게 유지하기 위해 상기 실리콘 층(420) 사이에 중간 절연막(421)을 형성한다.
- [0051] 상기 실리콘 층(420) 사이의 중간 절연막(421)의 절연물질은 실리콘보다 열팽창 계수가 낮은 절연물질을 포함할 수 있다.
- [0052] 본 발명의 일 실시예에 따른 상기 실리콘 층(420) 사이의 중간 절연막(421)의 절연물질은 실리콘 다이옥사이드를 포함하고, 상기 실리콘 층(420)에 대한 상기 중간 절연막(421)의 두께 비율은 전계 효과 트랜지스터의 전기적 특성 및 공정에 따라 조절될 수 있다. 예를 들어, 상기 실리콘 층(420)에 대한 상기 중간 절연막(421)의 두께 비율은 10 ~ 75% 일 수 있다.
- [0054] 도 5는 본 발명의 일 실시예에 따른 실리콘 층 내의 중간 절연막의 비율에 따른 수직 변위 양상을 나타내는 도면이다.
- [0055] 도 5는 나노시트 채널 두께 대비 중간 절연막의 비율에 따른 수직방향 변위의 분포를 나타낸다. 중간 절연막을 추가함으로써, 수직 방향의 변위 효과를 확인할 수 있다. 본 발명의 일 실시예에 따른 중간 절연막의 비율은 소자의 전기적 특성이나, 공정의 용이성에 따라 조절될 수 있다.
- [0057] 도 6은 본 발명의 일 실시예에 따른 실리콘 층 내의 중간 절연막 비율에 따른 수직 변위를 나타내는 그래프이다.
- [0058] 실리콘 층 내의 중간 절연막의 비율이 증가할수록 수직 방향 변위는 감소한다. 따라서 소자의 전기적 특성과 공정의 용이성을 고려하여 적절한 두께의 중간 레이어를 채택할 수 있다.
- [0059] 도 6을 참조하면, 중간 절연막의 두께 비율을 40%까지 증가시켰을 시, 적용 전 구조에 비해 약 20%의 수직 변위 완화 효과가 있음을 확인 할 수 있다.
- [0060] 본 발명의 일 실시예에 따르면, 전계 효과 트랜지스터의 채널에 중간 절연막을 추가하여, 제작 공정 중 발생 가능한 수직방향 변형을 개선할 수 있다. 이를 통해 후속 공정에서의 공정난이도 및 공정 비용을 절감할 수 있다.
- [0062] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로

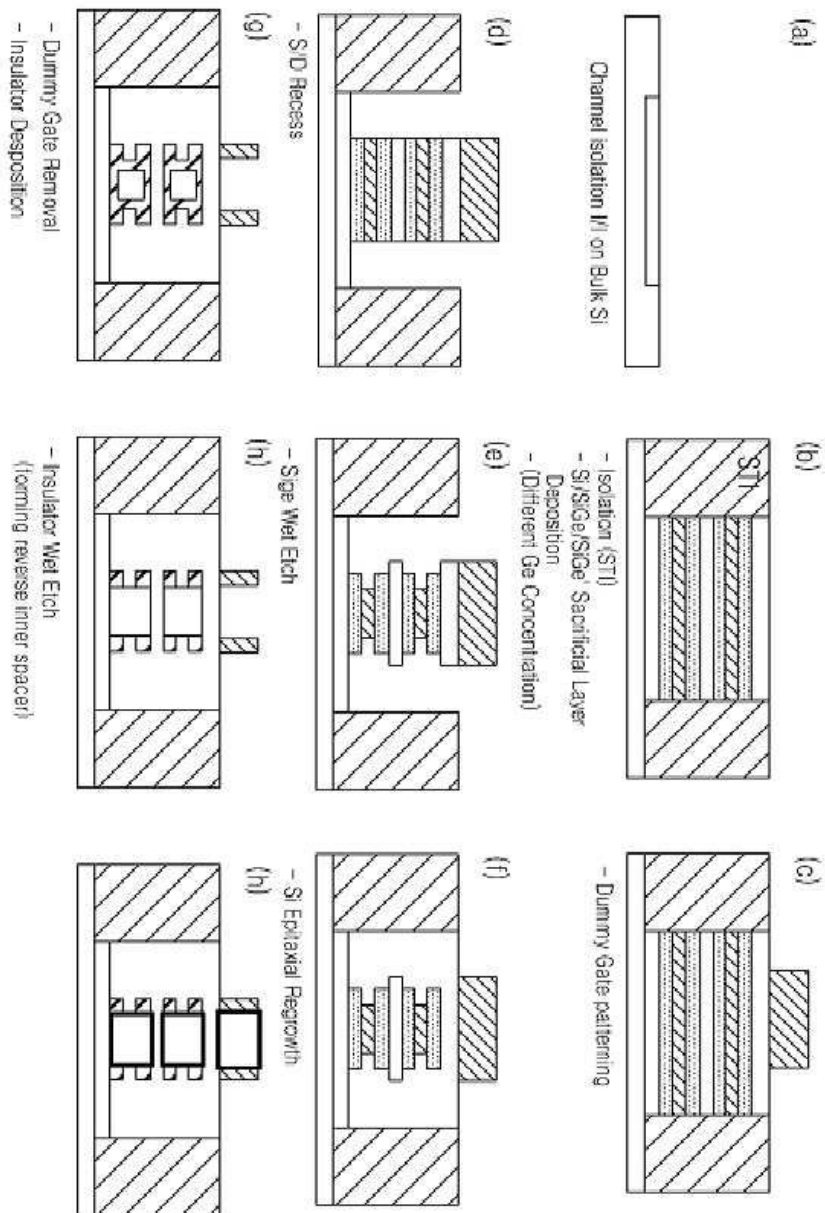
세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다.

[0063] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

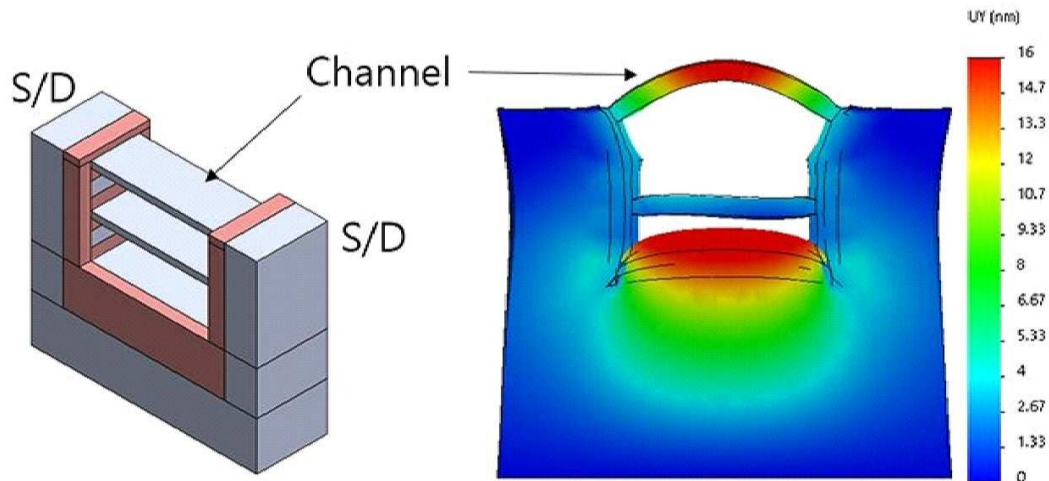
[0064] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

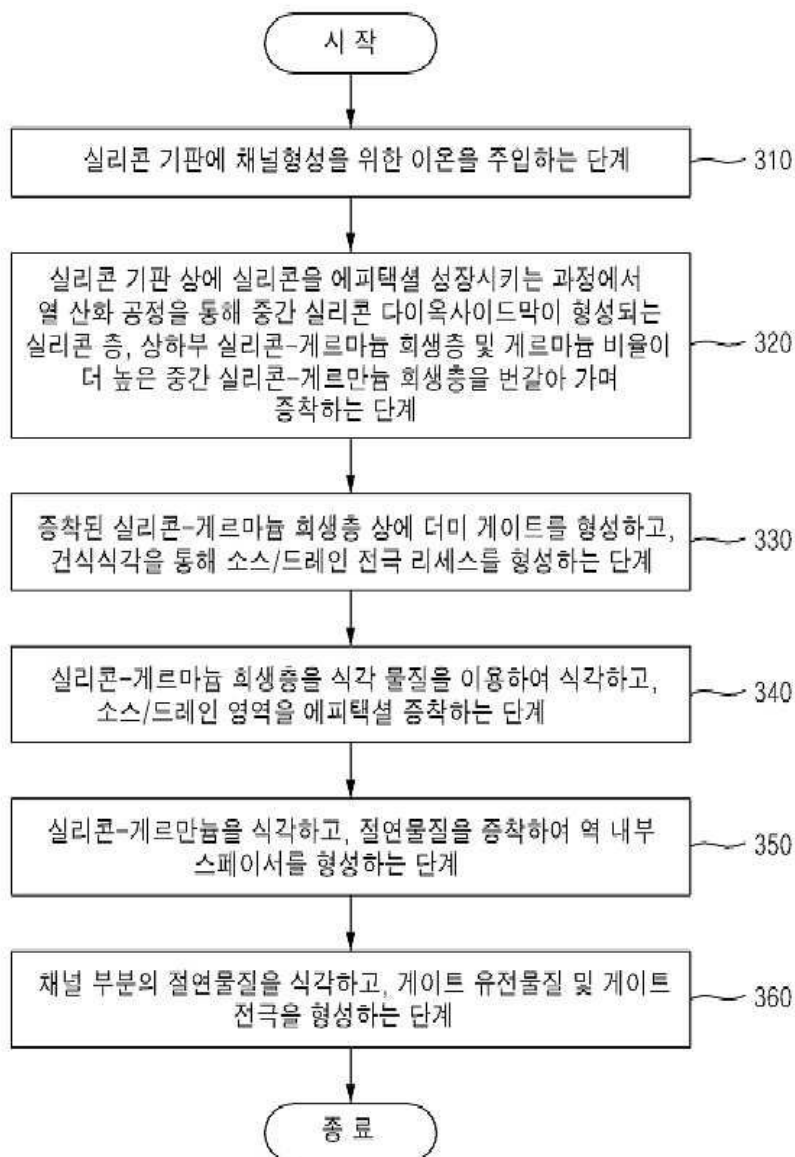
도면1



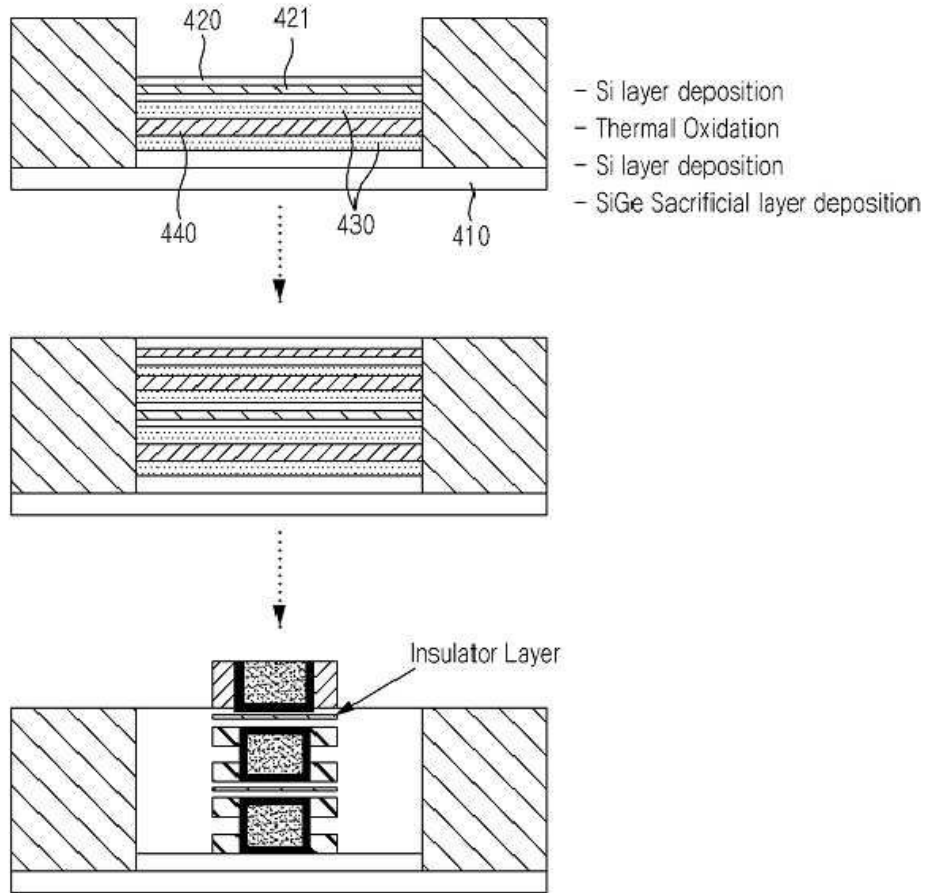
도면2



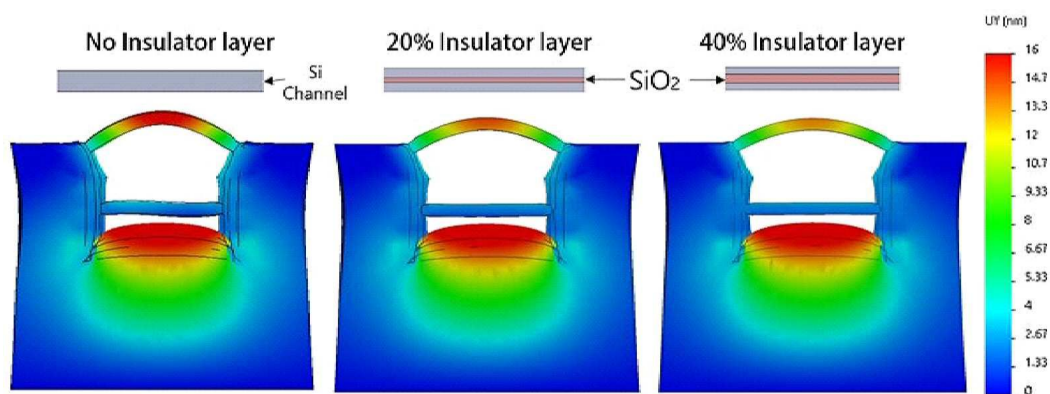
도면3



도면4



도면5



도면6

