发明名称
多电压准位检测电路

摘要
本发明公开了一种多电压准位检测电路，包括比较器、第一电阻、电源信号输入端口、或门、一延迟电路以及一与门，比较器具有数个正负输入端，电源信号输入端口、第一电阻电性连接比较器，比较器的正负输入端分别电性连接电源信号输入端口或相应的第一电阻，或门电性连接各个比较器的输出端，此一或门依据比较器的比较结果输出第一电源良好信号，延迟电路电性连接该电源信号输入端口。与门电性连接该或门的一输出端以及该延迟电路，该与门输出一第二电源良好信号。
1. 一种多电压准位检测电路，其特征在于，包含：
数个比较器，具有数个正负输入端；
数个第一电阻，电性连接该比较器；
一电源信号输入端口，电性连接该比较器，其中该些比较器的该些正负输入端分别
电性连接该电源信号输入端口或相应的该些第一电阻；
一输出端，电性连接该比较器的一输出端，该输出端依据该比较器的比较结果输出一第一
电源良好信号；
一延迟电路，电性连接该电源信号输入端口；以及
一与门，电性连接该或门的一输出端以及该延迟电路，该与门输出一第二电源良好信号。

2. 根据权利要求1所述的多电压准位检测电路，其特征在于，该延迟电路包含：
一缓冲器，电性连接该电源信号输入端口；
一第二电阻，电性连接该缓冲器以及该与门；以及
一电容，电性连接该第二电阻以及该与门。

3. 根据权利要求1所述的多电压准位检测电路，其特征在于，还包含一参考电压输入
端口，电性连接该比较器。

4. 一种多电压准位检测电路，其特征在于，包含：
一第一电阻、一第二电阻、一第三电阻以及一第四电阻，该些电阻串接分压一参考电
压，以产生一第一电压准位、一第二电压准位以及一第三电压准位；
一比较器，电性连接该比较器以及该电阻，以比较一电源信号输入端口所
提供的一电源信号的电压值以及该第一电压准位；
一第二比较器，电性连接该第二电阻以及该第三电阻，以比较该电源信号的电压值以
及该第二电压准位；
一第三比较器，电性连接该第三电阻以及该第四电阻，以比较该电源信号的电压值以
及该第三电压准位；以及
一输出端，电性连接该比较器、该第二比较器以及该第三比较器，该输出端根据该比较
器的比较结果产生一第一电源良好信号。

5. 根据权利要求4所述的多电压准位检测电路，其特征在于，还包含：
一输出端，其一端电性连接该电源信号输入端口，以及
一与门，电性连接该输出端以及该延迟电路的另一端，该与门输出一第二
电源良好信号。

6. 根据权利要求5所述的多电压准位检测电路，其特征在于，该延迟电路包含：
一缓冲器；
一延迟电阻，电性连接该缓冲器以及该与门；以及
一电容，电性连接该延迟电阻以及该与门。

7. 根据权利要求4所述的多电压准位检测电路，其特征在于，还包含：
一第五电阻，电性连接该第四电阻；以及
一第四比较器，电性连接该第四电阻以及该第五电阻，该第四比较器比较一第四电压
准位以及该电源信号的电压值。
多电压准位检测电路

技术领域
[0001] 本发明涉及一种主机板电源信号的测试电路，特别是涉及一种具有多个电压准位的主机板电源信号测试电路。

背景技术
[0002] 当主机被启动时，主机的电源供应单元（Power Supply Unit）会先进行一次自动测试。若所有的电流和电压达到默认值，电源供应单元会发送一个电源良好信号（Power Good）信号给主机板。微处理器则一直处于重启状态（reset），直到微处理器的时间控制芯片接收到来电源良好信号。
[0003] 传统主机板的电压源通常仅提供一个电压准位，因此传统的主机板仅需测试电压源是否达到此一电压准位即可。但是若电压源需要提供两个以上的电压准位，则主机板无法正确的测试电压源是否达到所需的电压准位。
[0004] 因此需要一个新的多电压准位检测电路，在电压源需要提供两个以上的电压准位时，准确的检测电压源是否达到所需的电压准位。

发明内容
[0005] 本发明的目的在于提供一种多电压准位检测电路，适用于具有多种电压准位的主机板，能够检测各电源信号的电压准位是否合乎预期。
[0006] 本发明的另一目的在于提供一种多电压准位检测电路，适用于具有至少两电压准位的主机板，能够检测各电源信号的电压准位是否合乎预期。
[0007] 为了实现上述目的，本发明提供了一种多电压准位检测电路，包括数个具有数个正负输入端的比较器，数个第一电阻、一电源信号输入端口、一或门、一延迟电路以及一与门。电源信号输入端口以及第一电阻电性连接比较器，该些比较器的该些正负输入端分别电性连接该电源信号输入端口或相应的该些第一电阻。或门电性连接各个比较器的输出端，该或门依据比较器的比较结果输出一第一电源良好信号。延迟电路电性连接该电源信号输入端口。与门电性连接该或门的一输出端以及该延迟电路，该与门输出一第二电源良好信号。
[0008] 为了实现上述目的，本发明还提供了一种多电压准位检测电路包括一第一电阻、一第二电阻、一第三电阻、一第四电阻、一第一比较器、一第二比较器、一第三比较器以及一或门。
[0009] 第一电阻、第二电阻、第三电阻以及第四电阻串接以分压一参考电压，来产生一第一电压准位、一第二电压准位以及一第三电压准位。第一比较器电性连接第一电阻以及第二电阻，以比较电源信号输入端口所供电的一电源信号的电压值以及第一电压准位。第二比较器电性连接第二电阻以及第三电阻，以比较该电源信号的电压值以及第二电压准位。第三比较器，电性连接第三电阻以及第四电阻，以比较该电源信号的电压值以及第三电压准位。或门则电性连接第一比较器、第二比较器以及第三比较器。
的比较结果产生单一电源良好信号。
[0010] 根据上述实施例，本发明多功能检测电路能够检测电源信号的多个电压准位是否合乎预期。
[0011] 下面结合附图和具体实施例对本发明进行详细描述，但不作为对本发明的限定。

附图说明
[0012] 图 1A 为显示本发明一实施例电源良好信号的真值表；
[0013] 图 1B 为显示本发明一实施例电源良好信号的卡通图；
[0014] 图 2 为显示本发明一实施例多电压准位检测电路的逻辑电路图；
[0015] 图 3A 为显示本发明另一实施例电源良好信号的真值表；
[0016] 图 3B 为显示本发明另一实施例电源良好信号的卡通图。
[0017] 图 4 为显示本发明另一实施例多电压准位检测电路的逻辑电路图。
[0018] 其中，附图标记：
[0019] 201；参考电压输入端口 203；电源信号输入端口
[0020] 205、207、209；比较器
[0021] 211；或门 213；缓冲器
[0022] 215；与门 217；输出端口
[0023] 219；延时电路 401；参考电压输入端口
[0024] 403；电源信号输入端口
[0025] 405、407、409、411；比较器
[0026] 413；或门 415；缓冲器
[0027] 417；与门 419；输出端口
[0028] 421；延时电路 R1、R5；电阻
[0029] R7；延时电阻 C1；电容

具体实施方式
[0030] 以下实施例的多电压准位检测电路，适用于具有多种电压准位的主机板，能够检测得主机板电源信号的电压准位是否合乎预期。
[0031] 请参考图 1A，其为本发明一实施例电源良好信号的真值表。在此真值表中，A、B、C分别代表三个比较器的输出值或反相输出值。PGD 代表电源良好信号。电源良好信号的数值为 1 代表电源信号的电压准位合乎预期，反之则代表电源信号尚未达到预期准位。
[0032] 当 A、B、C 的数值分别等于 0、0、1 时，代表电源信号的电压值达到第一个电压准位，使电源良好信号数值为 1。当 A、B、C 的数值等于 1、1、1 时，代表电源信号的电压值达到第二个电压准位，电源良好信号数值同样为 1。相对的，当 A、B、C 的数值分别等于 0、0、0 时，代表电源信号的电压值尚未达到第一个电压准位，使电源良好信号数值为 0。当 A、B、C 的数值分别等于 0、1、1 时，代表电源信号的电压值已超过第一个电压准位，但是尚未达到第二个电压准位，因此使电源良好信号数值也为 0。
[0033] 由于上述四个组合的 A、B、C 数值已可检测出电源良好信号的两个电压准位是否合乎预期，其它电源良好信号的数值（符号 X）则可视情况选择为 0 或 1。
请参考图1A，其为本发明一实施例电源良好信号的卡诺图。在此卡诺图中，第一栏代表A的数值，第二栏代表B、C的数值，卡诺图内的其它字段则代表电源良好信号的数值。为了实现简化电源良好信号所需的逻辑电路，我们使用卡诺图上部分X（don’t care）的数值为1。因此可得电源良好信号PGD的布尔函数为A+BC。

请参考图2，其为本发明一实施例多电压准位检测电路的逻辑电路图。电源良好信号的逻辑电路包括第一电阻R1、第二电阻R2、第三电阻R3、第四电阻R4、参考电压输入端口201、电源信号输入端口203以及输出端口217。参考电压输入端口201提供一参考电压。电阻R1、R2、R3以及R4串接来分压参考电压，以产生第一电压准位、第二电压准位以及一第三电压准位。或门211的输出即为电源良好信号(PGD)，此一电源良好信号经由与门215后再输出端口217输出。

如图所示，第一比较器205、第二比较器207以及第三比较器209的正负输入端电性连接电源信号输入端口203以及相应电阻，来比较第一电压准位、第二电压准位、第三电压准位以及电源信号的电压值，并依此产生A、B、C。或门211电压连接至上述三个比较器。当A、B、C至少有一为逻辑1时，或门211会产生逻辑值为1的电源良好信号，并由输出端口217输出电源良好信号。

若电源信号的预定电压值为第二逻辑准位，应该等待电源信号上升至第二逻辑准位，或门211输出的电源良好信号才为逻辑值为1的信号。然而当电源信号的电压值上升至第一逻辑准位，但未达到第二逻辑准位时，或门211仍然可能输出逻辑1，使主机板误认为电源信号的电压值已上升至第二逻辑准位。为了避免主机板误认电源信号已上升至第二逻辑准位，多电压准位检测电路设有延迟电路219与与门215，等待电源信号上升超过第一逻辑准位时才才致能与门215，使与门215输出电源良好信号。也就是说，与门215以及延迟电路219延迟了或门211所输出的电源良好信号(PGD)。

与门215电性连接或门211的输出端以及延迟电路219。延迟电路219主要包括缓冲器213、延迟电阻R7以及电容C1。延迟电阻R7电性连接缓冲器213与与门215，电容C1则电性连接延迟电阻R7与与门215。选择适当的延迟电阻R7以及电容C1的阻抗值，能够在电源信号的电压值超过第一逻辑准位以后才致能与门215，使主机板不会将第一逻辑准位误认为第二逻辑准位。

请参考图3A，其为本发明另一实施例电源良好信号的真值表。在此真值表中，A、B、C、D分别代表四个比较器的输出值或反相输出值。PGD同样代表电源良好信号。相比图1A的真值表，图3A的真值表多出额外电压的判断。也就是说，当电源信号的电压值超过第二逻辑准位过多时（例如第二逻辑准位为5V，而电源信号已上升至7V），使电源良好信号的数值为0，表示此一电源良好信号不如预期。

类似图1A的真值表，当A、B、C、D等于0001或1111时，分别代表电源信号的电压值达到第一个电压准位以及第二逻辑准位，使电源良好信号数值为1。当A、B、C、D的数值等于0000以及0011时，分别代表电源信号的电压值尚未达到第一电压准位或第二逻辑准位。当A、B、C、D等于1111时，代表电源信号的电压值超过第二逻辑准位过多，使电源良好信号的数值为0。由于上述五个组合的A、B、C、D已可检测出两个电压准位的电源良好信号，其它电源良好信号的数值（符号X）则可视情况选择为0或1。

请参考图3B，其为本发明另一实施例电源良好信号的卡诺图。在此卡诺图中，第一
栏目代表 A、B 的数值，第一列则代表 C、D 的数值，卡诺图的其它字段则代表电源良好信号的数值。为了实现简化电源良好信号所需的逻辑电路，我们使卡诺图上部 X (don't care) 的数值等于 1。因此可得到电源良好信号 PGD 的布尔函数为 $\overline{A}B + \overline{C}D$。

0042 请参考图 4，其为本发明另一实施例多电压准位检测电路的逻辑电路图。电源良好信号的逻辑电路包括第一电阻 R1、第二电阻 R2、第三电阻 R3、第四电阻 R4、第五电阻 R5、参考电压输入端口 401 以及输出端口 419。参考电压输入端口 401 提供一参考电压。电阻 R1、R2、R3、R4 以及串接来分压参考电压，以产生第一电压准位、第二电压准位、第三电压准位以及第四电压准位。

0043 如图 4 所示，第一比较器 405、第二比较器 407、第三比较器 409 以及第四比较器 411 的正负端接电源信号输入端口 403 以及相应的电阻，来比较第一电压准位、第二电压准位、第三电压准位、第四电压准位以及电源信号的电压值，并据以产生比较结果 $\overline{A}$、$\overline{B}$、$\overline{C}$ 以及 $\overline{D}$。或门 413 电性连接上述四个比较器。当 $\overline{A}$、$\overline{B}$、$\overline{C}$ 以及 $\overline{D}$ 至少有一为逻辑 1 时，或门 413 会输出逻辑准位为 1 的电源良好信号，并由输出端口 419 输出一电源良好信号。

0044 不同于图 2 的多电压准位检测电路，当电源信号的电压值超过第二逻辑准位的合理范围时，比较器的输出 $\overline{A}$、$\overline{B}$、$\overline{C}$、$\overline{D}$ 分别等于 0、1、0、1 (A、B、C、D 等于 1111)，使得或门 413 输出逻辑准位为 0 的电源良好信号，告知主板电源信号的电压超出合理范围。

0045 类似图 2，图 4 实施例的多电压准位检测电路也增设了延迟电路 421 与与门 417，避免主板将第一逻辑准位误认为第二逻辑准位。与门 417 电性连接或门 413 的输出端以及延迟电路 421。延迟电路 421 主要包括缓冲器 415、延迟电阻 R7，以及电容 C1。延迟电阻 R7 电性连接缓冲器 415 与与门 417，电容 C1 则电性连接延迟电阻 R7 与与门 417。当电源信号上升至适当逻辑准位时（例如电源信号超过第一逻辑准位），延迟电路 421 才使与门 417 的一输入 truth 为 1，输出与门 417 输出电源良好信号，也就是说，与门 417 以及延迟电路 421 延迟了或门 413 所输出的电源良好信号 (PGD)。因此当电源信号上升至第一逻辑准位时，主板才不会误认电源信号已上升至第二逻辑准位。

0046 综上所述，多电压准位检测电路适用于具有多种电压准位的主板，能够测得主板电源信号是否合乎某一预定电压准位。

0047 当然，本发明还可有其他多种实施例，在不背离本发明精神及其实质的情况下，熟悉本领域的技术人员可根据本发明作出各种相应的改变和变形，但这些相应的改变和变形都应属于本发明所附的权利要求的保护范围。
图 1A

图 1B
图 2
图 3A

图 3B