

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 6 月 18 日 (18.06.2020)



(10) 国际公布号
WO 2020/119185 A1

(51) 国际专利分类号:
G09G 3/3225 (2016.01)

(21) 国际申请号: PCT/CN2019/103378

(22) 国际申请日: 2019 年 8 月 29 日 (29.08.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201811537143.0 2018 年 12 月 14 日 (14.12.2018) CN

(71) 申请人: 昆山国显光电有限公司 (KUNSHAN GO-VISIONOX OPTO-ELECTRONICS CO., LTD) [CN/CN]; 中国江苏省苏州市昆山市开发区龙腾路 1 号 4 幢, Jiangsu 215300 (CN)。

(72) 发明人: 范龙飞 (FAN, Longfei); 中国江苏省苏州市昆山市开发区龙腾路 1 号 4 幢, Jiangsu 215300 (CN)。王龙彦 (WANG, Longyan); 中国江苏省苏州市昆山市开发区龙腾路 1 号 4 幢, Jiangsu 215300 (CN)。朱晖 (ZHU, Hui); 中国江苏省苏州市昆山市开发区龙腾路 1 号 4 幢, Jiangsu 215300 (CN)。韩珍珍 (HAN, Zhenzhen); 中国江苏省苏州市昆山市开发区龙腾路 1 号 4 幢, Jiangsu 215300 (CN)。胡思明 (HU, Siming); 中国江苏省苏州市昆山市开发区龙腾路 1 号 4 幢, Jiangsu 215300 (CN)。吴剑龙 (WU, Jianlong); 中国江苏省苏州市昆山市开发区龙腾路 1 号 4 幢, Jiangsu 215300 (CN)。张露 (ZHANG, Lu); 中国江苏省苏州市昆山市开发区龙腾路 1 号 4 幢, Jiangsu 215300 (CN)。

(74) 代理人: 广东君龙律师事务所 (GUANGDONG JUNLONG LAW FIRM); 中国广东省深圳市南山

(54) Title: DISPLAY PANEL, PIXEL CIRCUIT AND DRIVING METHOD THEREFOR

(54) 发明名称: 显示面板、像素电路及其驱动方法

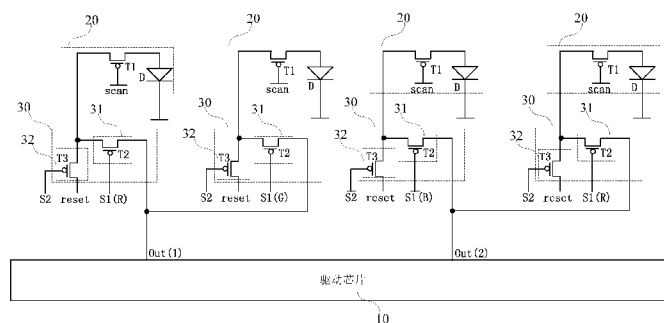


图 1

10 DRIVING CHIP

(57) Abstract: A display panel, a pixel circuit (42) and a driving method therefor, which can facilitate the detection of an anode potential of an electroluminescent element (D) of a high pixel-density display panel, and can improve the display effect of the display panel. The pixel circuit (42) comprises a driving chip (10), and several pixel circuit units (20) and several detection circuit units (30) connected to the driving chip (10), wherein each of the pixel circuit units (20) comprises a first switching tube (T1) and an electroluminescent element (D); one path end of the first switching tube (T1) is connected to an anode of the electroluminescent element (D), and a control

区粤兴三道8号中国地质大学产学研基地中
地大楼A509, Guangdong 518057 (CN)。

- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

end of the first switching tube (T1) is connected to a scanning signal end; a first path end of a second switching tube (T2) is connected to the anode of the electroluminescent element (D) in the pixel circuit unit (20) through the pixel circuit unit, a control end of the second switching tube (T2) is connected to a first timing signal end, and a second path end of the second switching tube (T2) is connected to the driving chip (10); and at least two adjacent detection circuit units (30) arranged in a second direction are connected through a connection terminal, and are connected to the same pin (Out (1), Out (2)) of the driving chip (10) through the connection terminal.

(57) 摘要: 一种显示面板、像素电路(42)及其驱动方法, 能够便于高像素密度显示面板的电致发光元件(D)的阳极电位侦测, 可以提高显示面板的显示效果。其中, 像素电路(42)包括驱动芯片(10)、与驱动芯片(10)连接的若干个像素电路单元(20)和若干个侦测电路单元(30), 像素电路单元(20)包括第一开关管(T1)和电致发光元件(D), 第一开关管(T1)的一通路端与电致发光元件(D)的阳极连接, 第一开关管(T1)的控制端连接扫描信号端; 第二开关管(T2)的第一通路端通过像素电路单元(20)连接其中的电致发光元件(D)的阳极, 第二开关管(T2)的控制端连接第一时序信号端, 第二开关管(T2)的第二通路端连接驱动芯片(10); 在第二方向上至少两个相邻设置的侦测电路单元(30)之间通过连接端子相连, 并通过连接端子连接驱动芯片(10)的同一引脚(Out(1), Out(2))。

显示面板、像素电路及其驱动方法

【技术领域】

本申请涉及显示技术领域，具体涉及一种显示面板、像素电路及其驱动方法。

【背景技术】

AMOLED (Active-matrix organic light-emitting diode, 有源矩阵有机发光二极管或主动矩阵有机发光二极管) 显示屏由于广视角、低功耗等优势被大量应用于手机、电视中。

然而，随着时间的流逝，OLED(organic light-emitting diode, 有机发光二极管) 的效率也会快速衰退，这将导致屏体亮度逐渐降低，从而影响显示面板的显示效果以及使用寿命。

【发明内容】

本申请主要解决的问题是提供一种显示面板、像素电路及其驱动方法，能够提高显示面板的显示效果，提高显示面板的使用寿命。

为解决上述技术问题，本申请采用的一技术方案是：提供一种像素电路，该像素电路包括驱动芯片、以及与驱动芯片连接的若干个像素电路单元和若干个侦测电路单元，其中，每一侦测电路单元分别独立的对应沿第一方向排布的一组像素电路单元，并与一组像素电路单元中每一像素电路单元选择性耦合连接，第一方向为呈阵列排布的像素电路单元的行方向或列方向；其中，每一像素电路单元至少包括第一开关管和电致发光元件，第一开关管的一通路端与电致发光元件的阳极电连接，第一开关管的控制端连接扫描信号端；每一侦测电路单元至少包括选择电路，选择电路至少包括第二开关管，第二开关管的第一通路端通过对应像素电路单元连接其中的电致发光元件的阳极，第二开关管的控制端连接第一时序信号端，第二开关管的第二通路端连接驱动芯片；其中，当

侦测电路单元中的第二开关管处于导通状态且与其耦合连接的像素电路单元中的第一开关管也处于导通状态时，驱动芯片侦测导通状态的第一开关管对应的像素电路单元中电致发光元件的阳极的电位，在所述第二方向上的至少两个相邻设置的侦测电路单元为一组，一组中至少两个相邻设置的侦测电路单元之间通过连接端子相连，并通过该连接端子连接所述驱动芯片的同一引脚，所述第二方向与第一方向不同，其为呈阵列排布的像素电路单元的列方向或行方向。

为解决上述技术问题，本申请采用的另一技术方案是：提供一种上述像素电路的驱动方法，驱动方法包括：侦测每一像素电路单元中电致发光元件的阳极的电位，并将电致发光元件的阳极的电位收录在驱动芯片中形成阳极电压补偿信号；其中，每一像素电路单元至少包括第一开关管和电致发光元件；每一侦测电路单元至少包括选择电路，选择电路至少包括第二开关管；侦测每一像素电路单元中电致发光元件的阳极的电位的步骤包括：输入第一时序信号控制侦测电路单元中第二开关管导通，输入扫描信号控制对应像素电路单元中第一开关管导通，以使得驱动芯片与对应像素电路单元中电致发光元件的阳极导通，进而获取电致发光元件的阳极的电位；驱动芯片调用阳极电压补偿信号并将阳极电压补偿信号输出至对应的像素电路单元；其中，输入第一时序信号控制侦测电路单元中第二开关管导通的步骤中，控制位于同一组中至少两个相连的侦测电路单元中的第二开关管分别单独导通，以在不同的时间段分别获取对应像素电路单元中的所述电致发光元件的阳极的电位。

为解决上述技术问题，本申请采用的又一技术方案是：提供一种显示面板，该显示面板包括基板和设置于基板上的像素电路，像素电路为上述的像素电路，包括：驱动芯片、以及与驱动芯片连接的若干个像素电路单元和若干个侦测电路单元，其中，每一侦测电路单元分别独立的对应沿第一方向排布的一组像素电路单元，并与一组像素电路单元中每一像素电路单元选择性耦合连接，第一方向为呈阵列排布的像素电路单元的行方向或列方向；其中，每一像素电路单元至少包括第一开关管和电致发光元件，第一开关管的一通路端与电致发光元件的阳极电连接，

第一开关管的控制端连接扫描信号端；每一侦测电路单元至少包括选择电路，选择电路至少包括第二开关管，第二开关管的第一通路端通过对应像素电路单元连接其中的电致发光元件的阳极，第二开关管的控制端连接第一时序信号端，第二开关管的第二通路端连接驱动芯片；其中，

5 当侦测电路单元中的第二开关管处于导通状态且与其耦合连接的像素电路单元中的第一开关管也处于导通状态时，驱动芯片侦测导通状态的第一开关管对应的像素电路单元中电致发光元件的阳极的电位；在第二方向上的至少两个相邻设置的侦测电路单元为一组，一组中至少两个相邻设置的侦测电路单元之间通过连接端子相连，并通过连接端子连接驱动芯片的同一引脚，第二方向与第一方向不同，其为呈阵列排布的像素电路单元的列方向或行方向。

10

本申请通过设置像素电路包括驱动芯片、以及与驱动芯片连接的若干个像素电路单元和若干个侦测电路单元，利用侦测电路单元导通驱动芯片与对应像素电路单元中电致发光元件的阳极。从而能够便于驱动芯片

15 获取到电致发光元件的阳极电位，便于后续显示阶段对阳极电位的补偿，该电路能够较好的与像素电路单元融合，电路结构简单，且该电路结构便于侦测阶段与显示阶段相互独立设计，使得侦测阶段不会对显示阶段产生影响，并且通过将位于一组中侦测电路单元之间通过连接端子连接，并通过该连接端子对应连接驱动芯片的同一引脚，可以节省驱动

20 芯片上的引脚，便于硬件资源的节约。

【附图说明】

图 1 是本申请第一实施例的像素电路的电路结构示意图；

图 2 是本申请第二实施例的像素电路的电路结构示意图；

25 图 3 是本申请实施例双栅开关管结构的原理示意图；

图 4 是本申请实施例的像素电路的驱动方法的流程示意图；

图 5 是本申请实施例的像素电路的驱动方法的一种显示阶段的具体流程示意图；

图 6 是本申请实施例显示面板的结构示意图。

【具体实施方式】

下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部实施例。基于本申请中的实施例，本领域普通技术人员在没有做出创造性的劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

请参阅图 1，图 1 是本申请第一实施例的像素电路的电路结构示意图。

10 在本实施例中，像素电路包括驱动芯片 10 以及与驱动芯片 10 连接的若干个像素电路单元 20 和若干个侦测电路单元 30。

每一侦测电路单元 30 分别独立的对应沿第一方向排布的一组像素电路单元 20，并与一组像素电路单元 20 中每一像素电路单元 20 选择性耦合连接，第一方向为呈阵列排布的像素电路单元 20 的行方向或列方向。

15 例如，第一方向可以为呈阵列排布的像素电路单元的列方向。图 1 中仅为示意，其仅示意出一列的若干个像素电路单元 20 中的一个像素电路单元 20 与侦测电路单元 30 的连接关系，不难理解，该列的其他像素电路单元 20 与该侦测电路单元 30 的连接关系与之相同，图中不逐一体现。

20 在第二方向上至少两个相邻设置的侦测电路单元 30 之间通过连接端子相连，并通过所述连接端子连接驱动芯片 10 的同一引脚，第二方向与第一方向不同，其为呈阵列排布的像素电路单元 20 的列方向或行方向。例如，如图 1 所示，两个相邻的侦测电路单元 30 为一组，两者之间通过连接端子连接；当然在另外的实施例中，位于一组中的侦测电路单元 30 不限于两个，可以为三个、四个、甚至更多。例如，如图 1 所示，第二方向为呈阵列排布的像素电路单元 20 的行方向。

每一像素电路单元 20 至少包括第一开关管 T1 和电致发光元件 D，第一开关管 T1 的一通路端与电致发光元件 D 的阳极电连接，第一开关

管 T1 的控制端连接扫描信号 (scan) 端。

每一侦测电路单元 30 至少包括选择电路 31, 选择电路 31 至少包括第二开关管 T2, 第二开关管 T2 的第一通路端通过对应像素电路单元 20 连接其 (指代该对应像素电路单元) 中的电致发光元件 D 的阳极, 第二
5 开关管 T2 的控制端连接第一时序信号 (S1) 端, 第二开关管 T2 的第二通路端 (作为连接端子) 连接驱动芯片 10 (的相应引脚)。其中, 对应像素电路单元是指与侦测电路单元 30 处于导通状态的像素电路单元。

当侦测电路单元 30 中的第二开关管 T2 处于导通状态且与其耦合连接的像素电路单元 20 中的第一开关管 T1 也处于导通状态时, 驱动芯片
10 侦测导通状态的第一开关管 T1 对应的像素电路单元 20 中电致发光元件 D 的阳极的电位。

可选地, 沿第二方向排布的各像素电路单元 20 中的第一开关管 T1 连接至同一扫描信号端, 即共用同一扫描信号 scan。可选地, 每一侦测电路单元 30 进一步包括复位电路 32, 复位电路 32 至少包括第三开关管
15 T3, 第三开关管 T3 的第一通路端通过对应像素电路单元 20 连接其 (指代该对应像素电路单元) 中电致发光元件 D 的阳极, 第三开关管 T3 的控制端连接第二时序信号 S2, 第三开关管 T3 的第二通路端连接复位信号 (reset) 端。

请参阅图 2, 图 2 是本申请第二实施例的像素电路的电路结构示意图。
20 图。

在本实施例中, 每一像素电路单元 20 进一步包括存储电容 C 和与电致发光元件 D 的阳极耦合连接的电流控制驱动管 (T5), 存储电容 C 选择性与驱动芯片 10 耦合连接, 并且选择性与电流控制驱动管 (T5) 的控制端耦合连接, 用于接收并存储来自驱动芯片 10 的阳极电压补偿
25 信号, 并根据阳极电压补偿信号控制电流控制驱动管 (T5)。

每一侦测电路单元 30 中第三开关管 T3 的第一通路端选择性与存储电容 C 耦合连接, 用于对储存电容 C 进行选择复位处理。通过对储存电容 C 进行复位处理, 有利于提高存储电容 C 对阳极电压补偿信号的存储精度。

可选地，在每一所述侦测电路单元的选择电路中还包括第十开关管 T10，该第十开关管 T10 的第一通路端与存储电容 C 的一端耦合连接，第十开关管 T10 的第二通路端与连接端子和驱动芯片 10 连接，第十开关管 T10 的控制端连接第五时序信号端 (S5)。

- 5 可选地，像素电路单元 20 进一步包括第四开关管 T4、第五驱动管 T5、第六开关管 T6、第七开关管 T7、第八开关管 T8 以及第九开关管 T9，其中，第五驱动管 T5 为电流控制驱动管。

- 10 第四开关管 T4 的第一通路端连接第一工作电压 VDD 和储存电容 C 的第一端，同时储存电容 C 的第一端也连接第一工作电压 (VDD) 端，第四开关管 T4 的第二通路端连接第五驱动管 T5 的第一通路端和第九开关管 T9 的第二通路端，同时第五驱动管 T5 的第一通路端也连接第九开关管 T9 的第二通路端，第四开关管 T4 的控制端连接使能信号 (EM) 端。

- 15 第五驱动管 T5 的第二通路端连接第六开关管 T6 的第一通路端和第七开关管 T7 的第二通路端，同时第六开关管 T6 的第一通路端也连接第七开关管 T7 的第二通路端；第五驱动管 T5 的控制端连接存储电容 C 的第二端。

第六开关管 T6 的第二通路端连接第一开关管 T1 的第二通路端和电致发光元件 D 的阳极，第六开关管 T6 的控制端连接使能信号 (EM) 端。

- 20 第七开关管 T7 的第一通路端连接第五驱动管 T5 的控制端和储存电容的第二端，第七开关管 T7 的控制端连接第三时序信号 (S3) 端。

- 25 第八开关管 T8 的第一通路端连接存储电容 C 的第二端，第八开关管 T8 的第二通路端连接第一开关管 T1 的第一通路端、第二开关管 T2 的第一通路端和第三开关管 T3 的第一通路端，第八开关管 T8 的控制端连接第四时序信号 (S4) 端。

第九开关管 T9 的第二通路端连接第五驱动管 T5 的第一通路端，第九开关管 T9 的第一通路端连接第十开关管 T10 的第一通路端，第十开关管 T10 的第二通路端连接前述连接端子且连接驱动芯片 10 (的相应引脚)，第九开关管 T9 的控制端连接第三时序信号 (S3) 端，第十开关管 T10

的控制端连接第五时序信号(S5)端。

存储电容 C 的第一端连接第一工作电压 (VDD) 端, 电致发光元件 D 的阴极连接第二工作电压 (VSS) 端, 第二开关管 T2 的第一通路端连接第一开关管 T1 的第一通路端和第八开关管 T8 的第二通路端, 第三开关管 T3 的第一通路端连接第一开关管 T1 的第一通路端和第八开关管 T8 的第二通路端。

可选地, 沿第二方向排布的各像素电路单元 20 中的第一开关管 T1 共用同一扫描信号 (scan) 端; 沿第一方向排布的各像素电路单元 20 中的第一开关管 T1 各自独立连接相应扫描信号; 在侦测阶段和显示阶段, 沿第一方向对像素电路中各像素电路单元 20 进行逐行扫描。

可选地, 对应于沿第二方向排布的各像素电路单元 20, 侦测电路单元 30 中第三开关管 T3 共用同一第二时序信号 S2 和同一复位信号 reset。

可选地, 对应于沿第二方向排布的各像素电路单元 20, 侦测电路单元 30 中第二开关管 T2 的控制端根据相应像素电路单元 20 中电致发光元件 D 的发光颜色接入不同的第一时序信号 S1 (R)、S1 (G) 或者 S1 (B)。

可选地, 对应于沿第二方向排布的每一组相邻的两个像素电路单元 20, 侦测电路单元 30 中第二开关管 T2 的第二通路端对应连接驱动芯片 10 的同一输入输出引脚。

例如, 如图 1 所示, 第一方向为列方向, 第二方向为行方向, 同一行的各像素电路单元 20 中的第一开关管 T1 共用同一扫描信号 scan; 同一列的各像素电路单元 20 中的第一开关管 T1 各自独立连接相应扫描信号, 即不同时接收扫描信号; 在侦测阶段和显示阶段, 沿列方向对像素电路中各像素电路单元 20 进行逐行扫描。对于同一行的各像素电路单元 20, 侦测电路单元 30 中第三开关管 T3 共用同一第二时序信号 S2 和同一复位信号 reset。对于同一行的各像素电路单元 20, 侦测电路单元 30 中第二开关管 T2 的控制端根据相应像素电路单元 20 中电致发光元件 D 的发光颜色接入不同的第一时序信号 S1 (R)、S1 (G) 或者 S1 (B); 对于同一行的每一组相邻的两个像素电路单元 20, 侦测电路单元 30 中

第二开关管 T2 的第二通路端对应连接驱动芯片 10 的同一输入输出引脚。例如，如图所示，在行方向上从左至右的四个像素电路单元 20 中，前两个相邻的像素电路单元 20 的连接端子连接同一输入输出引脚 Out (1)，后两个相邻的像素电路单元 20 的连接端子连接同一输入输出引脚 Out (2)。

具体而言，每一像素电路单元 20 对应于显示面板的一个亚像素单元，例如图 2 中从左到右的三个亚像素单元分别为红色亚像素单元(R)、绿色亚像素单元(G)、蓝色亚像素单元(B)。相邻的红、绿、蓝三种颜色的亚像素单元(RGB)组成一个像素单元，通过控制亚像素单元的不同灰阶，使得红、绿、蓝三种颜色的亚像素单元(RGB)混色实现像素单元的不同显示颜色。

位于同一行的不同颜色的亚像素单元共用一个扫描信号 scan (即共用同一扫描线)、共用同一个复位信号 reset、共用同一个第二时序信号 S2。每组相邻的亚像素单元的连接端子对应地连接驱动芯片 10 的同一输入输出引脚。不同颜色的亚像素单元的第二开关管 T2 的控制端一一对应地连接不同的第一时序信号 S1 (R)、S1 (G) 或者 S1 (B)。

请参阅图 3，图 3 是本申请实施例双栅开关管结构的原理示意图。可选地，第七开关管 T7 和第八开关管 T8 均为双栅开关管结构，双栅开关管结构包括第一子开关管 T01 和第二子开关管 T02，第一子开关管 T01 和第二子开关管 T02 的栅极连接在一起作为双栅开关管结构的控制端，第一子开关管 T01 的第一通路端作为双栅开关管结构的第一通路端，第二子开关管 T02 的第二通路端作为双栅开关管结构的第二通路端，第一子开关管 T01 的第二通路端和第二子开关管 T02 的第一通路端连接。

通过上述方式，可以降低第七开关管 T7 和第八开关管 T8 的漏电流，降低功率损耗，提升电致发光元件 D 的显示效果。当然，在其他实施例中，第七开关管 T7 和第八开关管 T8 也可以采用单个栅极的 MOS 管，本申请实施例对此不做限定。

可选地，第一开关管 T1、第二开关管 T2、第三开关管 T3、第四开关管 T4、第五驱动管 T5、第六开关管 T6、第七开关管 T7、第八开关管

T8 以及第九开关管 T9、第十开关管 T10 均为可以为 MOS 管，具体可以是薄膜晶体管，且在控制端接入低电位时第一通路端与第二通路端导通，在控制端接入高电位时第一通路端与第二通路端截止。在其他实施例中，可以进行相反的配置，例如，在控制端接入低电位时第一通路端与第二通路端截止，在控制端接入高电位时第一通路端与第二通路端导通。例如，P 型 MOS 管是在控制端接入低电位信号时导通，接入高电位信号时截止；N 型 MOS 管是在控制端接入高电位导通，接入低电位时截止。

可选地，第一开关管 T1、第二开关管 T2、第三开关管 T3、第四开关管 T4、第五驱动管 T5、第六开关管 T6、第七开关管 T7、第八开关管 T8 以及第九开关管 T9、第十开关管 T10 各自的第一通路端和第二通路端中的其中一者为源极，另一者为漏极，各自的控制端均为栅极。

可选地，电致发光元件可以是 OLED 发光元件，具体可以是 AMOLED (Active-matrix organic light-emitting diode, 有源矩阵有机发光二极管或主动矩阵有机发光二极管)。在其他实施例中，也可以采用其他的电致发光元件，本申请实施例对此不做限定。

请参阅图 4，图 4 是本申请实施例的像素电路的驱动方法的实施例的流程示意图。

在本实施例中，像素电路的驱动方法可包括：

步骤 S11：侦测阶段：侦测每一像素电路单元中电致发光元件的阳极的电位，并将电致发光元件的阳极的电位收录在驱动芯片中形成阳极电压补偿信号。

其中，每一像素电路单元 20 至少包括第一开关管 T1 和电致发光元件 D；每一侦测电路单元 30 至少包括选择电路 31，选择电路至少包括第二开关管 T2；侦测每一像素电路单元 20 中电致发光元件 D 的阳极的电位的步骤具体可以包括：输入第一时序信号 S1 控制侦测电路单元 30 中第二开关管 T2 的第一通路端和第二通路端导通，输入扫描信号 scan 控制第一开关管 T1 的第一通路端和第二通路端导通，以使得驱动芯片 10 与对应像素电路单元 20 中电致发光元件 D 的阳极导通，进而获取电

致发光元件 D 的阳极的电位。

其中,输入第一时序信号 S1 控制侦测电路单元 30 中第二开关管 T2 导通的步骤中,控制位于同一组(侦测电路单元)中至少两个相邻的侦测电路单元 30 中的第二开关管 T2 分别单独导通,以在不同的时间段分
5 别获取对应像素电路单元 30 中的电致发光元件 D 的阳极的电位。

例如,如图 1 所示,在图 1 中一组侦测电路单元中包括两个侦测电路单元 30,此时在输入第一时序信号 S1 控制侦测电路单元 30 中第二开关管 T2 导通的步骤中,在第一时间段控制在第二方向上相邻的两个像素电路单元 20 中的其中一个侦测电路单元 30 的第二开关管 T2 导通,
10 另一个侦测电路单元 30 的第二开关管 T2 截止;在不同于第一时间段的第二时间段控制前述的其中一个侦测电路单元 30 的第二开关管 T2 截止,前述的另一个侦测电路单元 30 的第二开关管 T2 导通,进而分别在第一时间段和第二时间段获取对应的电致发光元件 D 的阳极的电位。换言之,分别在第一时间段和第二时间段获取对应的(指与相邻的两个侦
15 测电路单元对应)相邻的两组沿第一方向(例如图中的列方向)排布的像素电路单元 20 中电致发光元件 D 的阳极的电位。

例如,在第一方向为列方向的情况下,在第一时间段和第二时间段分别获取相邻两列的像素电路单元 20 的电致发光元件 D。在各自的时间段(第一时间段和第二时间段)进一步通过扫描信号 Scan 控制第一开
20 关管 T1 对同一列的各个像素电路单元 20 分时进行获取对应像素电路单元 20 中电致发光元件 D 的阳极的电位。

可选地,在侦测阶段,第一时序信号 S1 的电位和第二时序信号 S2 的电位可以没有要求,其能够使得电致发光元件 D 发光即可,但为了减少侦测阶段对于电致发光元件 D 的影响,建议第一时序信号 S1 的电位
25 和第二时序信号 S2 的电位的尽可能的小。

本申请中对于第一时序信号 S1 可以没有限制,只要保持每个侦测阶段中所采用的第一时序信号 S1 相同,且保持每个侦测阶段中所采用的第二时序信号 S2 相同,通过每次侦测电致发光元件 D 的阳极的电位差异形成阳极电压补偿信号。

步骤 S12: 显示阶段: 驱动芯片调用阳极电压补偿信号并将阳极电压补偿信号输出至对应的像素电路单元。

本申请中每一侦测电路单元 30 进一步包括复位电路 32, 复位电路 32 至少包括第三开关管 T3; 可选地, 侦测每一像素电路单元 20 中电致发光元件 D 的阳极的电位的步骤还包括: 在获取对应像素电路单元 20 中电致发光元件 D 的阳极的电位之前, 预先对该电致发光元件 D 的阳极的电位进行初始化处理。

其中对电致发光元件 D 的阳极的电位进行初始化处理的步骤包括: 输入第二时序信号 S2 控制第三开关管 T3 的第一通路端和第二通路端导通, 输入扫描信号 scan 控制第一开关管 T1 的第一通路端和第二通路端导通, 以使复位信号 (reset) 端与对应像素电路单元 20 中电致发光元件 D 的阳极导通, 进而对电致发光元件 D 的阳极的电位进行初始化。

可选地, 在侦测与一个侦测电路单元 30 对应的一组像素电路单元 20 中电致发光元件 D 的阳极的电位 (包括对阳极进行初始化的过程) 的过程中, 输入第二时序信号 S2 控制第三开关管 T3 的第一通路端和第二通路端持续导通, 从而使得电致发光元件 D 持续发光, 从而能够减少侦测阶段对于电致发光元件 D 的影响。

请参阅图 5, 图 5 是本申请实施例的像素电路的驱动方法的实施例一种显示阶段的具体流程示意图。每一像素电路单元 20 还包括存储电容 C 和与电致发光元件 D 的阳极耦合连接的电流控制驱动管(T5), 每一侦测电路单元的所述选择电路进一步包括第十开关管。

可选地, 显示阶段具体可以包括:

步骤 S121: 对每一像素电路单元 20 中存储电容 C 进行信号写入处理。

其中, 对每一像素电路单元 20 中存储电容 C 进行信号写入处理的步骤包括: 控制侦测电路单元 30 中第十开关管 T10 处于导通状态, 并控制第十开关管 T10 与对应像素电路单元 20 中的存储电容 C 之间的电路处于导通状态, 以使驱动芯片 10 与对应像素电路单元 20 中的存储电容 C 电连通, 进而将驱动芯片 10 中阳极电压补偿信号输出至对应像素

电路单元 20 中的储存电容 C 中。

可选地，对每一像素电路单元 20 中存储电容 C 进行信号写入处理的步骤中，还包括（在信号写入前）预先对对应像素电路单元 20 中的存储电容 C 进行初始化处理的步骤；对对应像素电路单元 20 中的存储电容 C 进行初始化处理的步骤包括：控制侦测电路单元 30 中第三开关管 T3 处于导通状态，并控制第三开关管 T3 与对应像素电路单元 20 中的存储电容 C 之间的电路处于导通状态，以使复位信号（reset）端与对应像素电路单元 20 中的存储电容 C 导通，进而对该存储电容 C 进行初始化。

其中，控制第十开关管 T10 与对应像素电路单元 20 中的存储电容 C 之间的电路处于导通状态的步骤中，控制对应侦测电路单元 30 中第二开关管 T2 处于截止状态，并控制位于同一组中至少两个相邻的侦测电路单元 30 中的第十开关管 T10 分别单独导通，以在不同的时间段将驱动芯片 10 中阳极电压补偿信号输出至对应像素电路单元 20 中的储存电容 C 中。

具体地，如图 2 所示，一组侦测电路单元 30 中包括两个相邻设置的侦测电路单元 30，此时，控制第十开关管 T10 与对应像素电路单元 20 中的存储电容 C 之间的电路处于导通状态的步骤中，在第三时间段控制相邻的两个侦测电路单元 30 中的其中一个侦测电路单元 30 的第十开关管 T10 处于导通状态，另一个侦测电路单元 20 的第十开关管 T10 处于截止状态；在不同于第三时间段的第四时间段控制该其中一个侦测电路单元 30 的第十开关管 T10 处于截止状态，该另一个侦测电路单元 30 的第十开关管 T10 处于导通状态，以使得在第三时间段和第四时间段分别对对应的像素电路单元 20 独立的进行将驱动芯片 10 中阳极电压补偿信号输出至对应像素电路单元 20 中的储存电容 C 中的步骤。

其中一个侦测电路单元 30 的第十开关管 T10 的控制端和该另一个侦测电路单元 30 的第十开关管 T10 的控制端接入不同的第五时序信号 S5。如图 2 所示，该其中一个侦测电路单元 30 的第十开关管 T10 的控制端接入第五时序信号 S5(1)，该另一个侦测电路单元 30 的第十开关管

T10 的控制端接入第五时序信号 S5(2)。

可选地，各组侦测电路单元中的前一个侦测电路单元 30（前述的其中一个侦测电路单元 30）的第十开关管 T10 的控制端均接入相同的第五时序信号 S5（1），后一个侦测电路单元 30（前述的另一个侦测电路单元 30）的第十开关管 T10 的控制端均接入相同的第五时序信号 S5（2）。5

通过输入第五时序信号 S5 控制对应侦测电路单元 30 中的第十开关管 T10 的导通或者截止。

步骤 S122: 驱动每一像素电路单元 20 中电致发光元件 D 进行发光。

其中驱动每一像素电路单元 20 中电致发光元件 D 进行发光的步骤包括：释放存储电容 C 中的电流，以控制与该存储电容 C 处于导通状态的电流控制驱动管（T5）处于导通状态，进而使得对应的电致发光元件 D 处于发光状态。10

可选地，驱动每一像素电路单元 20 中电致发光元件 D 进行发光的步骤，还包括（在促使电致发光元件 D 发光前）预先对对应像素电路单元 20 中的电致发光元件 D 的阳极进行复位处理的步骤；对对应像素电路单元 20 中的电致发光元件 D 的阳极进行复位处理的步骤包括：控制侦测电路单元 30 中第三开关管 T3 处于导通状态，并控制对应的像素电路单元 20 中第一开关管 T1 处于导通状态，以使复位信号（reset）端与对应像素电路单元 20 中的电致发光元件 D 的阳极导通，以对相应电致发光元件 D 的阳极电位进行复位处理。15
20

电流控制驱动管可选地，侦测阶段采用的复位信号与显示阶段所采用的复位信号不同，具体而言，在侦测阶段，复位信号 reset 的电位高于第二工作电压 VSS，且复位信号 reset 与第二工作电压 VSS 的压差大于电致发光元件 D 的开启电压。在显示阶段，复位信号 reset 的电位小于等于第二工作电压 VSS 的电位。通过上述方式，能够使得在侦测阶段电致发光元件 D 发光，以减少侦测过程对于电致发光元件 D 的影响。25

如图 2 所示，每一像素电路单元 20 进一步包括第四开关管 T4、第五驱动管 T5、第六开关管 T6、第七开关管 T7、第八开关管 T8 以及第九开关管 T9。

具体而言，对每一像素电路单元 20 中存储电容 C 进行信号写入处理的步骤中，

对对应像素电路单元中的存储电容进行初始化处理的步骤包括：控制使能信号 EM，以控制第四开关管 T4 的第一通路端和第二通路端截止，且控制第六开关管 T6 的第一通路端和第二通路端截止；控制扫描信号 scan，以控制第一开关管 T1 的第一通路端和第二通路端截止；控制第三时序信号 S3，以控制第七开关管 T7 的第一通路端和第二通路端截止，且控制第九开关管 T9 的第一通路端和第二通路端截止；输入第二时序信号 S2，以控制第三开关管 T3 的第一通路端和第二通路端导通，输入第四时序信号 S4，以控制第八开关管 T8 的第一通路端和第二通路端导通，以使复位信号 reset 对存储电容 C 进行复位。

将驱动芯片 10 中阳极电压补偿信号输出至对应像素电路单元中的储存电容的步骤包括：控制使能信号 EM，以控制第四开关管 T4 的第一通路端和第二通路端截止，且控制第六开关管 T6 的第一通路端和第二通路端截止；控制扫描信号 scan，以控制第一开关管 T1 的第一通路端和第二通路端截止；控制第四时序信号 S4，以控制第八开关管 T8 的第一通路端和第二通路端截止；输入第三时序信号 S3，以控制第七开关管 T7 的第一通路端和第二通路端导通，且控制第九开关管 T9 的第一通路端和第二通路端导通；输入第五时序信号 S5，以控制第十开关管 T10 的第一通路端和第二通路端导通，以使驱动芯片 10 将阳极电压补偿信号写入存储电容 C。

在前面描述的步骤中，第五驱动管 T5 也是处于导通状态的，这是因为存储电容 C 在完成初始化处理后，会留存一定电流，这部分电流会输入第五驱动管的控制端，以控制第五驱动管 T5 的第一通路端和第二通路端导通，此时第九开关管 T9、第五驱动管 T5 和第七开关管 T7 均处于导通状态，驱动芯片 10 能够将阳极电压补偿信号写入存储电容 C，与此同时，第七开关管 T7 第一通路端输出的电流会有一部分流入第五驱动管 T5 的控制端，以控制第五驱动管 T5 的第一通路端和第二通路端处于导通状态。

具体地，驱动每一像素电路单元 20 中电致发光元件 D 进行发光的步骤中，

对对应像素电路单元 20 中的电致发光元件 D 的阳极进行复位处理的步骤包括：控制使能信号 EM，以控制第四开关管 T4 的第一通路端和第二通路端截止，且控制第六开关管 T6 的第一通路端和第二通路端截止；控制第三时序信号 S3，以控制第七开关管 T7 的第一通路端和第二通路端截止，且控制第九开关管 T9 的第一通路端和第二通路端截止；控制第四时序信号 S4，以控制第八开关管 T8 的第一通路端和第二通路端截止，输入扫描信号 scan，以控制第一开关管 T1 的第一通路端和第二通路端导通；输入第二时序信号，以控制第三开关管 T3 的第一通路端和第二通路端导通，以使复位信号 reset 对电致发光元件 D 的阳极电位进行复位。

使得对应的电致发光元件 D 处于发光状态的步骤包括：控制扫描信号 scan 控制第一开关管 T1 的第一通路端和第二通路端截止；控制第三时序信号 S3，以控制第七开关管 T7 的第一通路端和第二通路端截止，且控制第九开关管 T9 的第一通路端和第二通路端截止；控制第四时序信号 S4，以控制第八开关管 T8 的第一通路端和第二通路端截止；输入使能信号 EM，以控制第四开关管 T4 的第一通路端和第二通路端导通，且控制第六开关管 T6 的第一通路端和第二通路端导通，以使得电致发光元件 D 发光。

本申请所提供的驱动方法是一个连续的过程，具体地，控制扫描信号 scan 对沿第一方向排布的各像素电路单元 20 进行逐行（第二方向）扫描，对位于同一行（第二方向）且连接于位于不同组的侦测电路单元的各像素电路单元 20 同步扫描，以进行存储电容 C 初始化、存储电容 C 信号写入、电致发光元件 D 的阳极电位复位、电致发光元件 D 发光；对位于同一行（第二方向）且连接于位于相同组的侦测电路单元的各像素电路单元 20，依次进行扫描，以进行存储电容 C 初始化、存储电容 C 信号写入、电致发光元件 D 的阳极电位复位、电致发光元件 D 发光；同时，对位于同一列（第一方向）中的像素电路单元 20 依次进行扫描，

以存储电容 C 初始化、存储电容 C 信号写入、电致发光元件 D 的阳极
电位复位、电致发光元件 D 发光处理；即，再对第四列中像素电路单元
20 中存储电容 C 初始化时，对完成存储电容 C 初始化的第三列的像素
电路单元 20 中的存储电容 C 进行信号写入，对完成存储电容 C 信号写
5 入的第二列的像素电路单元 20 中的电致发光元件 D 的阳极电位进行复
位，对完成电致发光元件 D 的阳极电位复位的第一列的像素电路单元
20 中的电致发光元件 D 进行发光。请参阅图 6，图 6 是本申请实施例显
示面板的结构示意图。在本实施例中，显示面板包括基板 41 和设置于
基板 41 上的像素电路 42。该像素电路 42 可以是上述任意一实施例中的
10 像素电路。

基板 41 可以为硬质基板也可以为柔性基板，本申请实施例对此不
做限定。

本申请通过设置像素电路包括驱动芯片、以及与驱动芯片连接的若
干个像素电路单元和若干个侦测电路单元，利用侦测电路单元导通驱动
15 芯片与对应像素电路单元中电致发光元件的阳极。从而能够便于驱动芯
片获取到电致发光元件的阳极电位，便于后续显示阶段对阳极电位的补
偿，该电路能够较好的与像素电路单元融合，电路结构简单，且该电路
结构便于侦测阶段与显示阶段相互独立设计，使得侦测阶段不会对显示
阶段产生影响，并且通过将位于一组中侦测电路单元之间通过连接端子
20 连接，并通过该连接端子对应连接驱动芯片的同一引脚，可以节省驱动
芯片上的引脚，便于硬件资源的节约。

以上仅为本申请的实施例，并非因此限制本申请的专利范围，凡是
利用本申请说明书及附图内容所作的等效结构或等效流程变换，或直接
或间接运用在其他相关的技术领域，均同理包括在本申请的专利保护范
25 围内。

权利要求书

1、一种像素电路，包括驱动芯片、以及与所述驱动芯片连接的若干个像素电路单元和若干个侦测电路单元，其中，每一所述侦测电路单元分别独立的对应沿第一方向排布的一组所述像素电路单元，并与一组
5 所述像素电路单元中每一所述像素电路单元选择性耦合连接，所述第一方向为呈阵列排布的像素电路单元的行方向或列方向；其中，

每一所述像素电路单元至少包括第一开关管和电致发光元件，所述第一开关管的一通路端与所述电致发光元件的阳极电连接，所述第一开关管的控制端连接扫描信号端；

10 每一所述侦测电路单元至少包括选择电路，所述选择电路至少包括第二开关管，所述第二开关管的第一通路端通过对应像素电路单元连接其中的电致发光元件的阳极，所述第二开关管的控制端连接第一时序信号端，所述第二开关管的第二通路端连接所述驱动芯片；

其中，当所述侦测电路单元中的第二开关管处于导通状态且与其耦合连接的所述像素电路单元中的第一开关管也处于导通状态时，所述驱动芯片侦测导通状态的第一开关管对应的像素电路单元中所述电致发
15 光元件的阳极的电位；

在第二方向上的至少两个相邻设置的所述侦测电路单元为一组，一组中所述至少两个相邻设置的侦测电路单元之间通过连接端子相连，并
20 通过所述连接端子连接所述驱动芯片的同一引脚，所述第二方向与所述第一方向不同，其为呈阵列排布的像素电路单元的列方向或行方向。

2、根据权利要求 1 所述的像素电路，其中，沿第二方向排布的各所述像素电路单元中的第一开关管连接至同一扫描信号端。

3、根据权利要求 1 所述的像素电路，其中，

25 每一所述侦测电路单元进一步包括复位电路，所述复位电路至少包括第三开关管，所述第三开关管的第一通路端通过对应所述像素电路单元连接其中所述电致发光元件的阳极，所述第三开关管的控制端连接第二时序信号端，所述第三开关管的第二通路端连接复位信号端。

4、根据权利要求 3 所述的像素电路，其中，

每一所述像素电路单元进一步包括存储电容和与所述电致发光元件的阳极耦合连接的电流控制驱动管，所述存储电容选择性与所述驱动芯片耦合连接，并且选择性与所述电流控制驱动管的控制端耦合连接，用于接收并存储来自驱动芯片的阳极电压补偿信号，并根据所述阳极电压补偿信号控制所述电流控制驱动管。

5 5、根据权利要求 4 所述的像素电路，其中，每一所述侦测电路单元中第三开关管的第一通路端与对应所述像素电路单元中的所述存储电容耦合连接，用于对所述储存电容进行选择复位处理。

10 6、根据权利要求 4 所述的像素电路，其中，所述选择电路进一步包括第十开关管，所述第十开关管的第一通路端与所述存储电容的一端耦合连接，第二通路端与所述连接端子和所述驱动芯片连接，控制端连接第五时序信号端。

15 7、根据权利要求 4 所述的像素电路，其中，每一所述像素电路单元进一步包括第四开关管、第五驱动管、第六开关管、第七开关管、第八开关管以及第九开关管，其中，所述第五驱动管为所述电流控制驱动管，每一侦测电路单元中的选择电路进一步包括第十开关管；

所述第四开关管的第一通路端连接第一工作电压端，所述第四开关管的第二通路端连接第五驱动管的第一通路端和所述第九开关管的第二通路端，所述第四开关管的控制端连接使能信号端；

20 所述第五驱动管的第二通路端连接所述第六开关管的第一通路端和所述第七开关管的第二通路端，所述第五驱动管的控制端连接所述存储电容的第二端；

25 所述第六开关管的第二通路端连接所述第一开关管的第二通路端和所述电致发光元件的阳极，所述第六开关管的控制端连接所述使能信号端；

所述第七开关管的第一通路端连接所述第五驱动管的控制端，所述第七开关管的控制端连接第三时序信号端；

所述第八开关管的第一通路端连接所述存储电容的第二端，所述第八开关管的第二通路端连接所述第二开关管的第一通路端和第三开关

管的第一通路端，所述第八开关管的控制端连接第四时序信号端；

所述第九开关管的第二通路端连接所述第五驱动管的第一通路端，
所述第九开关管的第一通路端连接所述第十开关管的第一通路端，所述
第十开关管的第二通路端连接所述连接端子且连接所述驱动芯片，所述
5 第九开关管的控制端连接所述第三时序信号端，所述第十开关管的控制
端连接所述第五时序信号端；

所述存储电容的第一端连接所述第一工作电压，所述电致发光元件
的阴极连接第二工作电压，所述第二开关管的第一通路端连接所述第一
开关管的第一通路端，所述第三开关管的第一通路端连接第一开关管的
10 第一通路端。

8、根据权利要求 7 所述的像素电路，其中，所述第七开关管和所
述第八开关管均为双栅开关管结构，所述双栅开关管结构包括第一子开
关管和第二子开关管，所述第一子开关管和所述第二子开关管的栅极连
接在一起作为所述双栅开关管结构的控制端，所述第一子开关管的第一
15 通路端作为所述双栅开关管结构的第一通路端，所述第二子开关管的第
二通路端作为所述双栅开关管结构的第二通路端，所述第一子开关管的
第二通路端和所述第二子开关管的第一通路端连接。

9、一种像素电路的驱动方法，包括：

侦测每一像素电路单元中电致发光元件的阳极的电位，并将电致发
20 光元件的阳极的电位收录在驱动芯片中形成阳极电压补偿信号；其中，
每一所述像素电路单元至少包括第一开关管和电致发光元件；每一所述
侦测电路单元至少包括选择电路，所述选择电路至少包括第二开关管；
侦测每一所述像素电路单元中电致发光元件的阳极的电位的步骤包括：
输入第一时序信号控制侦测电路单元中第二开关管导通，输入扫描信号
25 控制对应像素电路单元中第一开关管导通，以使得驱动芯片与对应像素
电路单元中电致发光元件的阳极导通，进而获取所述电致发光元件的阳
极的电位；

所述驱动芯片调用所述阳极电压补偿信号并将所述阳极电压补偿
信号输出至对应的像素电路单元；

其中，输入第一时序信号控制侦测电路单元中第二开关管导通的步骤中，控制位于同一组中至少两个相邻设置的侦测电路单元中的第二开关管分别单独导通，以在不同的时间段分别获取对应像素电路单元中的所述电致发光元件的阳极的电位。

- 5 10、根据权利要求 9 所述的驱动方法，其中，每一所述侦测电路单元进一步包括复位电路，所述复位电路至少包括第三开关管；

侦测每一所述像素电路单元中电致发光元件的阳极的电位的步骤还包括：在获取对应像素电路单元中所述电致发光元件的阳极的电位之前，对该电致发光元件的阳极的电位进行初始化处理；

- 10 其中，对所述电致发光元件的阳极的电位进行初始化处理的步骤包括：输入第二时序信号控制所述第三开关管导通，输入扫描信号控制所述第一开关管导通，以使复位信号端与对应像素电路单元中所述电致发光元件的阳极导通，进而对所述电致发光元件的阳极的电位进行初始化。

- 15 11、根据权利要求 10 所述的驱动方法，其中，

在侦测与一个所述侦测电路单元对应的一组像素电路单元中电致发光元件的阳极的电位的过程中，输入第二时序信号控制所述第三开关管的第一通路端和第二通路端持续导通。

- 20 12、根据权利要求 9 所述的驱动方法，其中，每一像素电路单元还包括存储电容和与所述电致发光元件的阳极耦合连接的电流控制驱动管，每一所述侦测电路单元的所述选择电路进一步包括第十开关管，

所述驱动方法包括：

- 25 对每一像素电路单元中存储电容进行信号写入处理；其中对每一像素电路单元中存储电容进行信号写入处理的步骤包括：控制所述侦测电路单元中第十开关管处于导通状态，并控制所述第十开关管与对应像素电路单元中的存储电容之间的电路处于导通状态，以使所述驱动芯片与对应像素电路单元中的存储电容电连通，进而将所述驱动芯片中阳极电压补偿信号输出至对应像素电路单元中的储存电容中；以及

驱动每一像素电路单元中电致发光元件进行发光；其中驱动每一像

素电路单元中电致发光元件进行发光的步骤包括：释放存储电容中的电流，以控制与该存储电容处于导通状态的电流控制驱动管处于导通状态，进而使得对应的电致发光元件处于发光状态；

5 其中，控制所述第十开关管与对应像素电路单元中的存储电容之间的电路处于导通状态的步骤中，控制对应侦测电路单元中第二开关管处于截止状态，并控制位于同一组中至少两个相邻设置的侦测电路单元中的第十开关管分别单独导通，以在不同的时间段将所述驱动芯片中阳极电压补偿信号输出至对应像素电路单元中的储存电容中。

10 13、根据权利要求 12 所述的驱动方法，其中，对每一像素电路单元中存储电容进行信号写入处理的步骤中，还包括预先对对应的像素电路单元中的存储电容进行初始化处理的步骤；对对应像素电路单元中的存储电容进行初始化处理的步骤包括：控制所述侦测电路单元中第三开关管处于导通状态，并控制所述第三开关管与对应像素电路单元中的存储电容之间的电路处于导通状态，以使复位信号端与对应像素电路单元
15 中的存储电容导通，进而对该存储电容进行初始化；

驱动每一像素电路单元中电致发光元件进行发光的步骤，还包括预先对对应像素电路单元中的电致发光元件的阳极进行复位处理的步骤；对对应像素电路单元中的电致发光元件的阳极进行复位处理的步骤包括：控制所述侦测电路单元中第三开关管处于导通状态，并控制对应的
20 像素电路单元中第一开关管处于导通状态，以使复位信号端与对应像素电路单元中的电致发光元件的阳极导通，以对相应电致发光元件的阳极电位进行复位处理电流控制驱动管。

14、根据权利要求 13 所述的驱动方法，其中，每一所述像素电路单元进一步包括第四开关管、第五驱动管、第六开关管、第七开关管、
25 第八开关管以及第九开关管，

对每一像素电路单元中存储电容进行信号写入处理的步骤中，

对对应像素电路单元中的存储电容进行初始化处理的步骤包括：控制所述第四开关管、所述第六开关管、所述第一开关管、所述第七开关管和所述第九开关管截止；并控制所述第三开关管和所述第八开关管导

通，以使所述复位信号对所述存储电容进行复位；

将所述驱动芯片中阳极电压补偿信号输出至对应像素电路单元中的储存电容的步骤包括：控制所述第四开关管、所述第六开关管、所述
5 第一开关管和所述第八开关管截止；并控制所述第五驱动管、所述第七开关管、所述第九开关管和所述第十开关管导通，以使所述驱动芯片将所述阳极电压补偿信号写入所述存储电容；

驱动每一像素电路单元中电致发光元件进行发光的步骤中，

对对应像素电路单元中的电致发光元件的阳极进行复位处理的步骤包括：控制所述第四开关管、所述第六开关管、所述第七开关管、第
10 八开关管、第九开关管截止，并控制第一开关管和第三开关管导通，以使所述复位信号对所述电致发光元件的阳极电位进行复位；

使得对应的电致发光元件处于发光状态的步骤包括：控制所述第一开关管、所述第七开关管、所述第八开关管和所述第九开关管截止，并
15 控制所述第四开关管、所述第五驱动管、所述第六开关管导通，以使得所述电致发光元件发光。

15、根据权利要求9所述的驱动方法，其中，沿第二方向排布的各所述像素电路单元中的第一开关管共用同一扫描信号；沿第一方向排布
20 的各所述像素电路单元中的第一开关管各自独立连接相应扫描信号；在侦测阶段和显示阶段，沿第一方向对所述像素电路中各像素电路单元进行逐行扫描。

16、根据权利要求9所述的驱动方法，其中，对应于沿第二方向排布的各所述像素电路单元，所述侦测电路单元中第三开关管共用同一第二
时序信号和同一复位信号。

17、根据权利要求9所述的驱动方法，其中，对应于沿第二方向排布
25 的各像素电路单元，所述侦测电路单元中第二开关管的控制端根据相应像素电路单元中电致发光元件的发光颜色接入不同的第一时序信号。

18、一种显示面板，其中，所述显示面板包括基板和设置于基板上的像素电路，所述像素电路包括驱动芯片、以及与所述驱动芯片连接的
若干个像素电路单元和若干个侦测电路单元，其中，每一所述侦测电路

单元分别独立的对应沿第一方向排布的一组所述像素电路单元，并与一组所述像素电路单元中每一所述像素电路单元选择性耦合连接，所述第一方向为呈阵列排布的像素电路单元的行方向或列方向；其中，

5 每一所述像素电路单元至少包括第一开关管和电致发光元件，所述第一开关管的一通路端与所述电致发光元件的阳极电连接，所述第一开关管的控制端连接扫描信号端；

10 每一所述侦测电路单元至少包括选择电路，所述选择电路至少包括第二开关管，所述第二开关管的第一通路端通过对应像素电路单元连接其中的电致发光元件的阳极，所述第二开关管的控制端连接第一时序信号端，所述第二开关管的第二通路端连接所述驱动芯片；

其中，当所述侦测电路单元中的第二开关管处于导通状态且与其耦合连接的所述像素电路单元中的第一开关管也处于导通状态时，所述驱动芯片侦测导通状态的第一开关管对应的像素电路单元中所述电致发光元件的阳极的电位；

15 在所述第二方向上的至少两个相邻设置的所述侦测电路单元为一组，一组中所述至少两个相邻设置的侦测电路单元之间通过连接端子相连，并通过所述连接端子连接所述驱动芯片的同一引脚，所述第二方向与第一方向不同，其为呈阵列排布的像素电路单元的列方向或行方向。

19、根据权利要求 18 所述的显示面板，其中，

20 每一所述侦测电路单元进一步包括复位电路，所述复位电路至少包括第三开关管，所述第三开关管的第一通路端通过对应所述像素电路单元连接其中所述电致发光元件的阳极，所述第三开关管的控制端连接第二时序信号端，所述第三开关管的第二通路端连接复位信号端。

20、根据权利要求 19 所述的显示面板，其中，

25 每一所述像素电路单元进一步包括存储电容和与所述电致发光元件的阳极耦合连接的电流控制驱动管，所述存储电容选择性与所述驱动芯片耦合连接，并且选择性与所述电流控制驱动管的控制端耦合连接，用于接收并存储来自驱动芯片的阳极电压补偿信号，并根据所述阳极电压补偿信号控制所述电流控制驱动管。

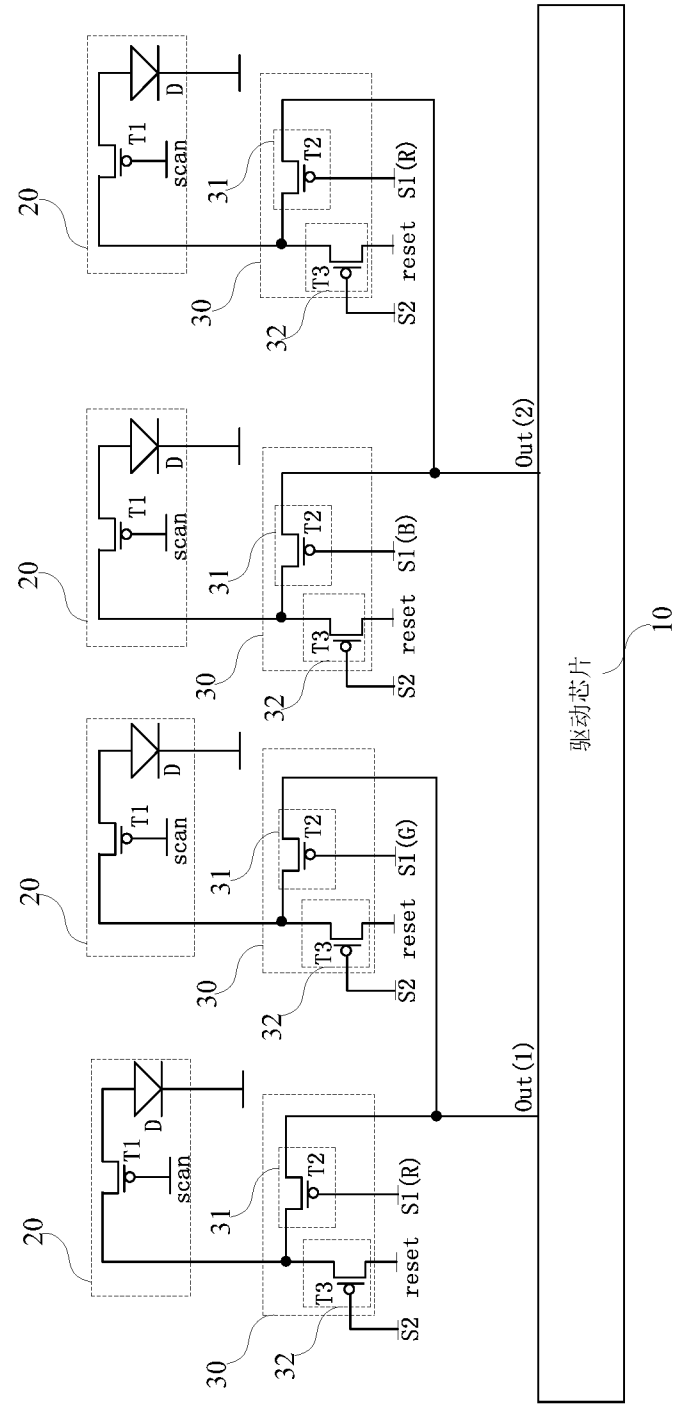


图 1

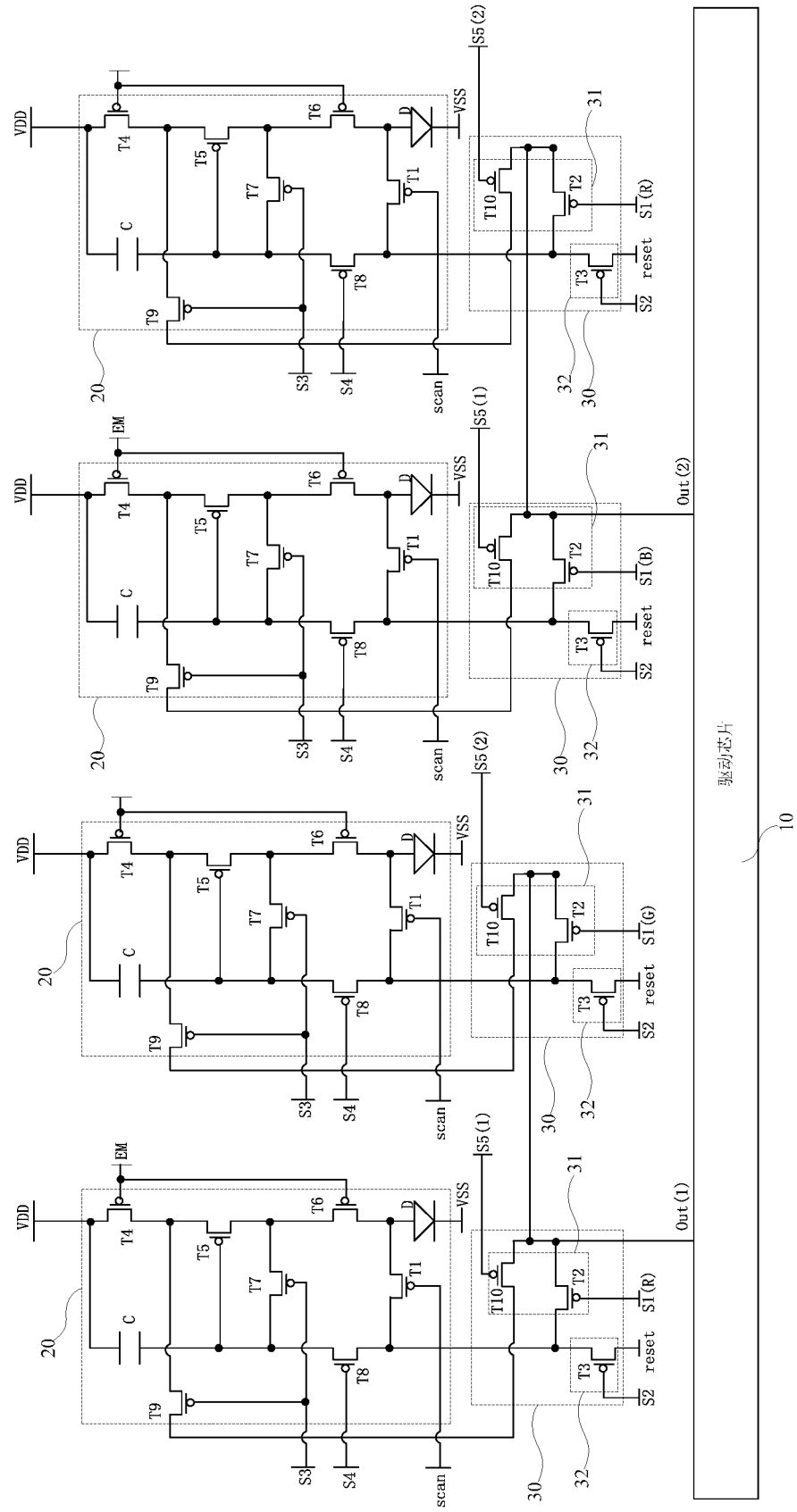


图 2

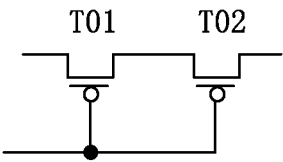


图 3

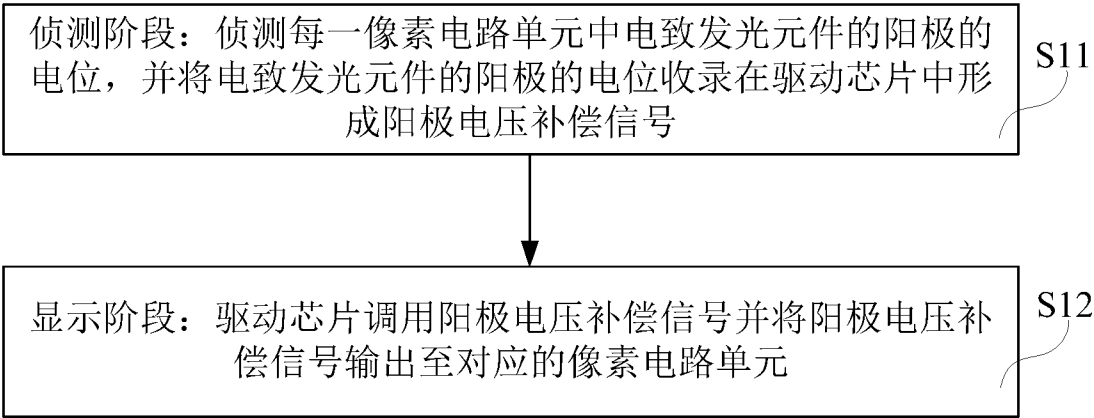


图 4

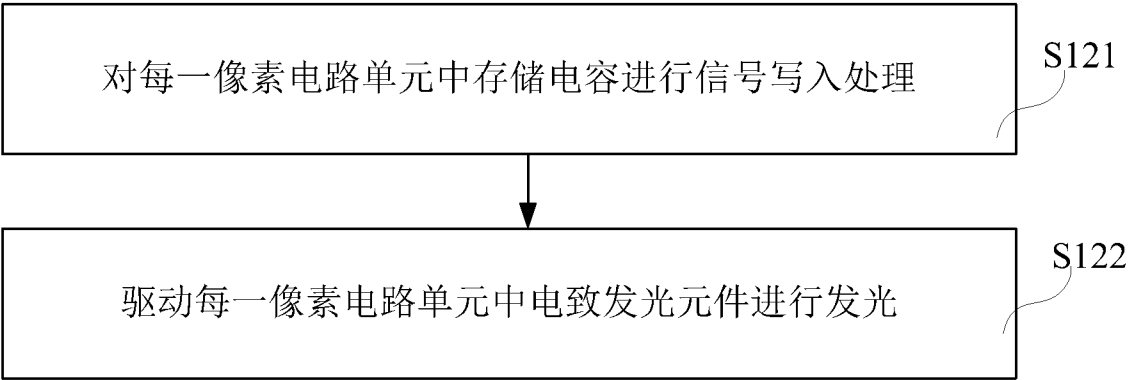


图 5

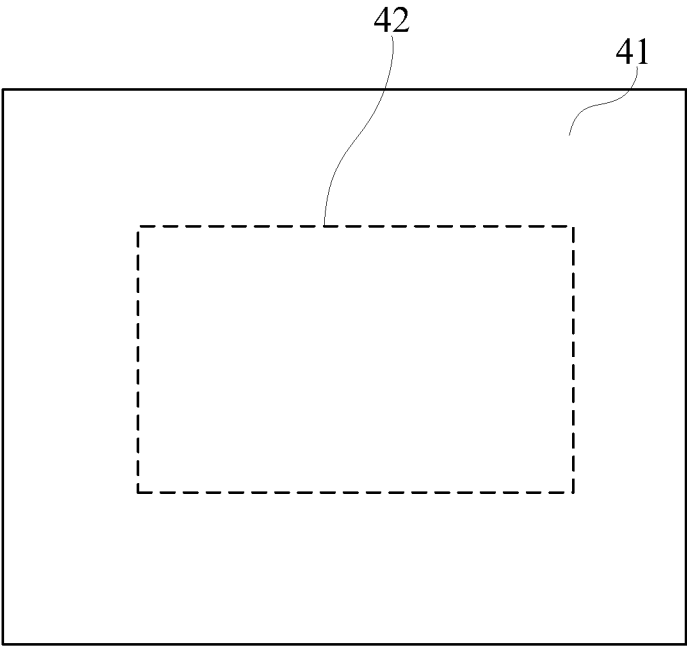


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/103378

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/3225(2016.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 昆山国显, 范龙飞, 王龙彦, 朱晖, 韩珍珍, 胡思明, 吴剑龙, 张露, 检测, 发光元件, 发光二极管, 劣化, 老化, OLED, detect+, sens+, V???oled+, ag+, pixel

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 105247603 A (SHARP CORPORATION) 13 January 2016 (2016-01-13) description, paragraphs [0166]-[0255], and figures 22-25	1, 2, 9, 12-15, 17, 18
Y	CN 105247603 A (SHARP CORPORATION) 13 January 2016 (2016-01-13) description, paragraphs [0166]-[0255], and figures 22-25	3-8, 10, 11, 16, 19, 20
Y	CN 101689349 A (EASTMAN KODAK COMPANY) 31 March 2010 (2010-03-31) description, pp. 5-10, and figures 2-4	3-8, 10, 11, 16, 19, 20
PX	CN 109545141 A (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.) 29 March 2019 (2019-03-29) claims 1-18, description, paragraphs [0017]-[0087], and figures 1-6	1-20
PX	CN 109616052 A (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.) 12 April 2019 (2019-04-12) description, paragraphs [0017]-[0089], and figures 1-6	1-20
A	CN 107978271 A (SHANGHAI JIAOTONG UNIVERSITY) 01 May 2018 (2018-05-01) entire document	1-20
A	CN 106157882 A (SHANGHAI EVERDISPLAY OPTRONICS CO., LTD.) 23 November 2016 (2016-11-23) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

30 October 2019

Date of mailing of the international search report

29 November 2019

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/103378**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 106409868 A (SAMSUNG MOBILE DISPLAY CO., LTD.) 15 February 2017 (2017-02-15) entire document	1-20
A	JP 2009042486 A (SANYO ELECTRIC CO., LTD.) 26 February 2009 (2009-02-26) entire document	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/103378

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	105247603	A	13 January 2016	US	2016111044	A1	21 April 2016
				JP	6138254	B2	31 May 2017
				CN	105247603	B	11 July 2017
				TW	201506884	A	16 February 2015
				TW	I601115	B	01 October 2017
				US	9430968	B2	30 August 2016
				WO	2014208459	A1	31 December 2014
CN	101689349	A	31 March 2010	US	2008315788	A1	25 December 2008
				JP	2010530993	A	16 September 2010
				US	7859501	B2	28 December 2010
				KR	101243353	B1	13 March 2013
				WO	2009002406	A1	31 December 2008
				EP	2160728	A1	10 March 2010
				TW	I374423	B	11 October 2012
				KR	20100021482	A	24 February 2010
				CN	101689349	B	04 July 2012
				EP	2160728	B1	09 January 2013
				JP	5209709	B2	12 June 2013
				TW	200912852	A	16 March 2009
CN	109545141	A	29 March 2019	None			
CN	109616052	A	12 April 2019	None			
CN	107978271	A	01 May 2018	None			
CN	106157882	A	23 November 2016	US	2016314746	A1	27 October 2016
				US	10026361	B2	17 July 2018
				CN	106157882	B	15 January 2019
CN	106409868	A	15 February 2017	KR	20170014087	A	08 February 2017
				US	2017033171	A1	02 February 2017
				US	9748321	B2	29 August 2017
JP	2009042486	A	26 February 2009	None			

国际检索报告

国际申请号

PCT/CN2019/103378

A. 主题的分类

G09G 3/3225 (2016.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNPAT, CNKI, WPI, EP0D0C: 昆山国显, 范龙飞, 王龙彦, 朱晖, 韩珍珍, 胡思明, 吴剑龙, 张露, 检, 测, 发光元件, 发光二极管, 劣化, 老化, OLED, detect+, sens+, V????oled+, ag+, pixel

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 105247603 A (夏普株式会社) 2016年 1月 13日 (2016 - 01 - 13) 说明书第[0166]-[0255]段, 附图22-25	1, 2, 9, 12-15, 17, 18
Y	CN 105247603 A (夏普株式会社) 2016年 1月 13日 (2016 - 01 - 13) 说明书第[0166]-[0255]段, 附图22-25	3-8, 10, 11, 16, 19, 20
Y	CN 101689349 A (伊斯曼柯达公司) 2010年 3月 31日 (2010 - 03 - 31) 说明书第5-10页, 附图2-4	3-8, 10, 11, 16, 19, 20
PX	CN 109545141 A (昆山国显光电有限公司) 2019年 3月 29日 (2019 - 03 - 29) 权利要求1-18, 说明书第[0017]-[0087]段, 附图1-6	1-20
PX	CN 109616052 A (昆山国显光电有限公司) 2019年 4月 12日 (2019 - 04 - 12) 说明书第[0017]-[0089]段, 附图1-6	1-20
A	CN 107978271 A (上海交通大学) 2018年 5月 1日 (2018 - 05 - 01) 全文	1-20
A	CN 106157882 A (上海和辉光电有限公司) 2016年 11月 23日 (2016 - 11 - 23) 全文	1-20
A	CN 106409868 A (三星显示有限公司) 2017年 2月 15日 (2017 - 02 - 15) 全文	1-20

☒ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 10月 30日

国际检索报告邮寄日期

2019年 11月 29日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

李小兰

电话号码 86-(10)-53962509

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	JP 2009042486 A (三洋电机株式会社) 2009年 2月 26日 (2009 - 02 - 26) 全文	1-20

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/103378

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105247603	A	2016年 1月 13日	US	2016111044	A1	2016年 4月 21日
				JP	6138254	B2	2017年 5月 31日
				CN	105247603	B	2017年 7月 11日
				TW	201506884	A	2015年 2月 16日
				TW	I601115	B	2017年 10月 1日
				US	9430968	B2	2016年 8月 30日
				WO	2014208459	A1	2014年 12月 31日
CN	101689349	A	2010年 3月 31日	US	2008315788	A1	2008年 12月 25日
				JP	2010530993	A	2010年 9月 16日
				US	7859501	B2	2010年 12月 28日
				KR	101243353	B1	2013年 3月 13日
				WO	2009002406	A1	2008年 12月 31日
				EP	2160728	A1	2010年 3月 10日
				TW	I374423	B	2012年 10月 11日
				KR	20100021482	A	2010年 2月 24日
				CN	101689349	B	2012年 7月 4日
				EP	2160728	B1	2013年 1月 9日
				JP	5209709	B2	2013年 6月 12日
				TW	200912852	A	2009年 3月 16日
CN	109545141	A	2019年 3月 29日	无			
CN	109616052	A	2019年 4月 12日	无			
CN	107978271	A	2018年 5月 1日	无			
CN	106157882	A	2016年 11月 23日	US	2016314746	A1	2016年 10月 27日
				US	10026361	B2	2018年 7月 17日
				CN	106157882	B	2019年 1月 15日
CN	106409868	A	2017年 2月 15日	KR	20170014087	A	2017年 2月 8日
				US	2017033171	A1	2017年 2月 2日
				US	9748321	B2	2017年 8月 29日
JP	2009042486	A	2009年 2月 26日	无			

表 PCT/ISA/210 (同族专利附件) (2015年1月)