



(12) 发明专利申请

(10) 申请公布号 CN 102412195 A

(43) 申请公布日 2012. 04. 11

(21) 申请号 201110226264. 5

(22) 申请日 2011. 08. 08

(71) 申请人 上海华虹 NEC 电子有限公司

地址 201206 上海市浦东新区川桥路 1188
号

(72) 发明人 彭虎 程晓华 郁新举

(74) 专利代理机构 上海浦一知识产权代理有限
公司 31211

代理人 丁纪铁

(51) Int. Cl.

H01L 21/768 (2006. 01)

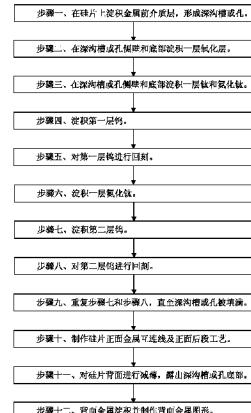
权利要求书 2 页 说明书 4 页 附图 5 页

(54) 发明名称

硅通孔填充方法

(57) 摘要

本发明公开了一种硅通孔填充方法，包括步骤：形成深沟槽或孔；在深沟槽或孔侧壁和底部淀积一层氧化层；淀积钛和氮化钛；淀积第一层钨；对第一层钨进行回刻，将深沟槽或孔外部的第一层钨去除；淀积一层氮化钛；淀积第二层钨；对第二层钨进行回刻，将深沟槽或孔外部的第二层钨去除；当深沟槽或孔未填满时，重复第二层钨的淀积和回刻，直至深沟槽或孔被填满；制作正面金属互连线及正面后段工艺；对硅片背面进行减薄；形成背面金属并制作背面金属图形。本发明钨填充工艺和钨刻蚀工艺的结合，能实现高深宽比硅通孔的填充，且能够便于与现有集成电路工艺集成、并能利用现有生产设备进行加工，能降低工艺难度和成本。



1. 一种硅通孔填充方法,其特征在于,包括如下步骤:

步骤一、在硅片上淀积一层金属前介质层,利用光刻定义出硅通孔区域,依次刻蚀所述硅通孔区域的所述金属前介质层和所述硅片并形成深沟槽或孔;

步骤二、在所述深沟槽或孔侧壁和底部淀积一层氧化层,该氧化层的淀积工艺采用LPCVD TEOS 或 SACVD TEOS;

步骤三、在形成有所述氧化层的所述深沟槽或孔侧壁和底部中淀积一层钛和氮化钛;所述钛和氮化钛同时也淀积到所述深沟槽或孔外部的表面区域;

步骤四、在所述钛和氮化钛上淀积第一层钨,所述第一层钨不将所述深沟槽或孔填满;

步骤五、对所述第一层钨进行回刻,将形成于所述深沟槽或孔外部的表面区域的所述第一层钨去除;

步骤六、淀积一层氮化钛,所述氮化钛形成于所述深沟槽或孔侧壁和底部的所述第一层钨上、以及所述深沟槽或孔外部的表面区域;

步骤七、在所述氮化钛上淀积第二层钨,所述第二层钨将所述深沟槽或孔填满或不填满;

步骤八、对所述第二层钨进行回刻或化学机械研磨,将形成于所述深沟槽或孔外部的表面区域的所述第二层钨去除;

步骤九、当所述第二层钨未将所述深沟槽或孔填满时,重复步骤七和步骤八,直至所述深沟槽或孔被填满;

步骤十、制作所述硅片的正面金属互连线及正面后段工艺;

步骤十一、对所述硅片的背面进行减薄,从所述深沟槽或孔的底部将填充于所述深沟槽或孔中的所述钛和氮化钛、所述第一层钨、所述氮化钛和所述第二层钨露出;

步骤十二、从所述硅片的背面进行金属淀积并制作背面金属图形。

2. 如权利要求 1 所述硅通孔填充方法,其特征在于:步骤一中的所述金属前介质层为硼磷硅玻璃或磷硅玻璃。

3. 如权利要求 1 所述硅通孔填充方法,其特征在于:步骤一中所述深沟槽或孔的深度为 50 微米~250 微米、宽度为 1.5 微米~5 微米。

4. 如权利要求 1 所述硅通孔填充方法,其特征在于:步骤二中所述氧化层的厚度为 500 Å~3000 Å。

5. 如权利要求 4 所述硅通孔填充方法,其特征在于:步骤二中所述氧化层的厚度为 1000 Å~2000 Å。

6. 如权利要求 1 所述硅通孔填充方法,其特征在于:步骤二中采用 SACVD TEOS 淀积所述氧化层时,温度为 400 度~500 度、压强为 30 托~100 托。

7. 如权利要求 1 所述硅通孔填充方法,其特征在于:步骤四中所淀积的所述第一层钨的厚度为所述深沟槽或孔的宽度的 1/5 ~ 1/2、且所述第一层钨的厚度小于 15000 Å;步骤七中所淀积的所述第二层钨的厚度为所述深沟槽或孔的宽度的 1/5 ~ 1/2、且所述第一层钨的厚度小于 15000 Å。

8. 如权利要求 7 所述硅通孔填充方法,其特征在于:所述第一层钨的厚度为所述深沟槽或孔的宽度的 1/4 ~ 1/3;所述第二层钨的厚度为所述深沟槽或孔的宽度的 1/4 ~ 1/3。

9. 如权利要求 1 所述硅通孔填充方法,其特征在于:步骤五中的对所述第一层钨进行回刻、以及步骤八中的对所述第二层钨进行回刻都是采用终点刻蚀方式,且过刻蚀 10%~50%。

10. 如权利要求 9 所述硅通孔填充方法,其特征在于:步骤五中的对所述第一层钨进行回刻、以及步骤八中的对所述第二层钨进行回刻的过刻蚀量为 20%~30%。

硅通孔填充方法

技术领域

[0001] 本发明涉及一种半导体集成电路制造工艺方法,特别是涉及一种硅通孔填充方法。

背景技术

[0002] 硅通孔工艺是一种新兴的集成电路制作工艺,适合用作多方面性能提升,用于无线局域网与手机中功率放大器,将极大的提高电路的频率特性和功率特性。硅通孔工艺将制作在硅片上表面的电路通过硅通孔中填充的金属连接至硅片背面,结合三维封装工艺,使得 IC 布局从传统二维并排排列发展到更先进三维堆叠,这样元件封装更为紧凑,芯片引线距离更短,从而可以极大的提高电路的频率特性和功率特性。

[0003] 现有第一种硅通孔工艺制作方法中,需要通过先进的刻蚀工艺在硅片基体中制作出具有极大深宽比的孔或沟槽,孔或沟槽深度大致为 100 微米;在该孔或沟槽中填充金属,将硅片背面减薄后将电极通过背面引出。该现有工艺的难度在于 100 微米沟槽刻蚀和金属填充。

[0004] 现有第二种硅通孔工艺制作方法是在硅片减薄后在硅片背面制作通孔和金属填充,该方法需要特殊的通孔刻蚀设备进行减薄后硅片加工。

[0005] 现有第二种硅通孔工艺制作方法是通过在前段工艺中制作沟槽并采用二氧化硅填充沟槽,然后硅片减薄后将二氧化硅填充的沟槽露出来,湿法刻蚀去除沟槽内二氧化硅后进行金属填充,该方法可以避免减薄后进行通孔刻蚀,但工艺较复杂,且成本较高。

发明内容

[0006] 本发明所要解决的技术问题是提供一种硅通孔填充方法,能实现高深宽比的硅通孔的填充,便于与现有集成电路工艺集成、并能利用现有生产设备进行加工,能降低工艺难度和成本。

[0007] 为解决上述技术问题,本发明提供的硅通孔填充方法包括如下步骤:

[0008] 步骤一、在硅片上淀积一层金属前介质层,利用光刻定义出硅通孔区域,依次刻蚀所述硅通孔区域的所述金属前介质层和所述硅片并形成深沟槽或孔。

[0009] 步骤二、在所述深沟槽或孔侧壁和底部淀积一层氧化层,该氧化层的淀积工艺采用 LPCVD TEOS 或 SACVD TEOS。

[0010] 步骤三、在形成有所述氧化层的所述深沟槽或孔侧壁和底部中淀积一层钛和氮化钛;所述钛和氮化钛同时也淀积到所述深沟槽或孔外部的表面区域。

[0011] 步骤四、在所述钛和氮化钛上淀积第一层钨,所述第一层钨不将所述深沟槽或孔填满。

[0012] 步骤五、对所述第一层钨进行回刻,将形成于所述深沟槽或孔外部的表面区域的所述第一层钨去除。

[0013] 步骤六、淀积一层氮化钛,所述氮化钛形成于所述深沟槽或孔侧壁和底部的所述

第一层钨上、以及所述深沟槽或孔外部的表面区域。

[0014] 步骤七、在所述氮化钛上淀积第二层钨，所述第二层钨将所述深沟槽或孔填满或不填满。

[0015] 步骤八、对所述第二层钨进行回刻或化学机械研磨，将形成于所述深沟槽或孔外部的表面区域的所述第二层钨去除。

[0016] 步骤九、当所述第二层钨未将所述深沟槽或孔填满时，重复步骤七和步骤八，直至所述深沟槽或孔被填满。

[0017] 步骤十、制作所述硅片的正面金属互连线及正面后段工艺。

[0018] 步骤十一、对所述硅片的背面进行减薄，从所述深沟槽或孔的底部将填充于所述深沟槽或孔中的所述钛和氮化钛、所述第一层钨、所述氮化钛和所述第二层钨露出。

[0019] 步骤十二、从所述硅片的背面进行金属淀积并制作背面金属图形。

[0020] 进一步的改进是，步骤一中的所述金属前介质层为硼磷硅玻璃或磷硅玻璃。

[0021] 进一步的改进是，步骤一中所述深沟槽或孔的深度为 50 微米～ 250 微米、宽度为 1.5 微米～ 5 微米；

[0022] 进一步的改进是，步骤二中所述氧化层的厚度为 500 Å～ 3000 Å。

[0023] 进一步的改进是，步骤二中所述氧化层的厚度为 1000 Å～ 2000 Å。

[0024] 进一步的改进是，步骤二中采用 SACVD TEOS 淀积所述氧化层时，温度为 400 度～ 500 度、压强为 30 托～ 100 托。

[0025] 进一步的改进是，步骤四中所淀积的所述第一层钨的厚度为所述深沟槽或孔的宽度的 1/5～1/2、且所述第一层钨的厚度小于 15000 Å；步骤七中所淀积的所述第二层钨的厚度为所述深沟槽或孔的宽度的 1/5～1/2、且所述第一层钨的厚度小于 15000 Å。

[0026] 进一步的改进是，所述第一层钨的厚度为所述深沟槽或孔的宽度的 1/4～1/3；所述第二层钨的厚度为所述深沟槽或孔的宽度的 1/4～1/3。

[0027] 进一步的改进是，步骤五中的对所述第一层钨进行回刻、以及步骤八中的对所述第二层钨进行回刻都是采用终点刻蚀方式，且过刻蚀 10%～50%。

[0028] 进一步的改进是，步骤五中的对所述第一层钨进行回刻、以及步骤八中的对所述第二层钨进行回刻的过刻蚀量为 20%～30%。

[0029] 本发明钨填充工艺和钨刻蚀工艺的结合，能实现高深宽比如大于 30：1 的硅通孔的填充，且能够便于与现有集成电路工艺集成、并能利用现有生产设备进行加工，能降低工艺难度和成本。

附图说明

[0030] 下面结合附图和具体实施方式对本发明作进一步详细的说：

[0031] 图 1 是本发明实施例流程图；

[0032] 图 2- 图 12 是本发明实施例方法的制作过程中的硅片剖面示意图；

[0033] 图 13 是本发明实施例硅通孔填充方法的硅通孔填充效果图。

具体实施方式

[0034] 如图 1 所示是本发明实施例流程图。如图 2 至图 12 所示，是本发明实施例方法的

制作过程中的硅片剖面示意图。本发明实施例硅通孔填充方法包括如下步骤：

[0035] 步骤一、如图 2 所示，在硅片 1 上淀积一层金属前介质层 2。如图 3 所示，利用光刻定义出硅通孔区域，依次刻蚀所述硅通孔区域的所述金属前介质层 2 和所述硅片 1 并形成深沟槽或孔 3；所述深沟槽或孔 3 的深度为 30 微米～250 微米、最佳为 50 微米～100 微米，宽度为 1.5 微米～5 微米、最佳为 2 微米～3 微米；所述金属前介质层 2 为硼磷硅玻璃 (BPSG) 或磷硅玻璃 (PSG)。

[0036] 步骤二、如图 4 所示，在所述深沟槽或孔 3 侧壁和底部淀积一层氧化层 4，该氧化层 4 的淀积工艺采用 LPCVD TEOS 或 SACVD TEOS。所述氧化层 4 的厚度为 500 Å～3000 Å，最佳选择为 1000 Å～2000 Å。采用 SACVD TEOS 淀积所述氧化层 4 时，温度为 400 度～500 度、压强为 30 托～100 托。

[0037] 步骤三、如图 5 所示，在形成有所述氧化层 4 的所述深沟槽或孔 3 侧壁和底部中淀积一层钛和氮化钛 5；所述钛和氮化钛 5 同时也淀积到所述深沟槽或孔 3 外部的表面区域。所述钛和氮化钛 5 中的钛的厚度为 0 Å～500 Å、最佳为 100 Å～300 Å，所述钛和氮化钛 5 中的氮化钛的厚度，200 Å～1000 Å、最佳为 300 Å～500 Å。

[0038] 步骤四、如图 6 所示，在所述钛和氮化钛 5 上淀积第一层钨 6A，所述第一层钨 6A 不将所述深沟槽或孔 3 填满。所述第一层钨 6A 的厚度为所述深沟槽或孔 3 的宽度的 1/5～1/2、最佳选择为 1/4～1/3，且所述第一层钨 6A 的厚度小于 15000 Å。

[0039] 步骤五、如图 7 所示，对所述第一层钨 6A 进行回刻，将形成于所述深沟槽或孔 3 外部的表面区域的所述第一层钨 6A 去除。对所述第一层钨 6A 进行回刻是采用终点刻蚀方式，且过刻蚀 10%～50%、最佳选择为 20%～40%。

[0040] 步骤六、淀积一层氮化钛，所述氮化钛形成于所述深沟槽或孔 3 侧壁和底部的所述第一层钨 6A 上、以及所述深沟槽或孔 3 外部的表面区域。所述氮化钛的厚度为 50 Å～500 Å，所述氮化钛的淀积能采用溅射淀积或 MOCVD 方式淀积。

[0041] 步骤七、如图 8 所示，在所述氮化钛上淀积第二层钨 6B，所述第二层钨 6B 将所述深沟槽或孔 3 填满或不填满。所述第二层钨 6B 的厚度为所述深沟槽或孔 3 的宽度的 1/5～1/3，且所述第一层钨 6A 的厚度小于 15000 Å。

[0042] 步骤八、如图 9 所示，对所述第二层钨 6B 进行回刻或化学机械研磨，将形成于所述深沟槽或孔 3 外部的表面区域的所述第二层钨 6B 去除。对所述第二层钨 6B 进行回刻是采用终点刻蚀方式，且过刻蚀 10%～50%、最佳选择为 10%～30%。

[0043] 步骤九、当所述第二层钨 6B 未将所述深沟槽或孔 3 填满时，重复步骤七和步骤八，直至所述深沟槽或孔 3 被填满。

[0044] 步骤十、如图 9 所示，制作所述硅片 1 的正面金属互连线 7 及正面后段工艺形成其它正面层 8。

[0045] 步骤十一、对所述硅片 1 的背面进行减薄，从所述深沟槽或孔 3 的底部将填充于所述深沟槽或孔 3 中的所述钛和氮化钛 5、所述第一层钨 6A、所述氮化钛和所述第二层钨 6B 露出。

[0046] 步骤十二、从所述硅片 1 的背面进行金属淀积形成背面金属 9 并制作背面金属图形。

[0047] 如图 13 所示，是本发明实施例硅通孔填充方法的硅通孔填充效果图，该效果图为

采用本发明实施例硅通孔填充方法对宽度为3微米、深度为100微米的硅通孔填充后的SEM图,由图13可知,硅通孔得到了良好的填充,且被填充的硅通孔深宽比如大于30:1。

[0048] 以上通过具体实施例对本发明进行了详细的说明,但这些并非构成对本发明的限制。在不脱离本发明原理的情况下,本领域的技术人员还可做出许多变形和改进,这些也应视为本发明的保护范围。

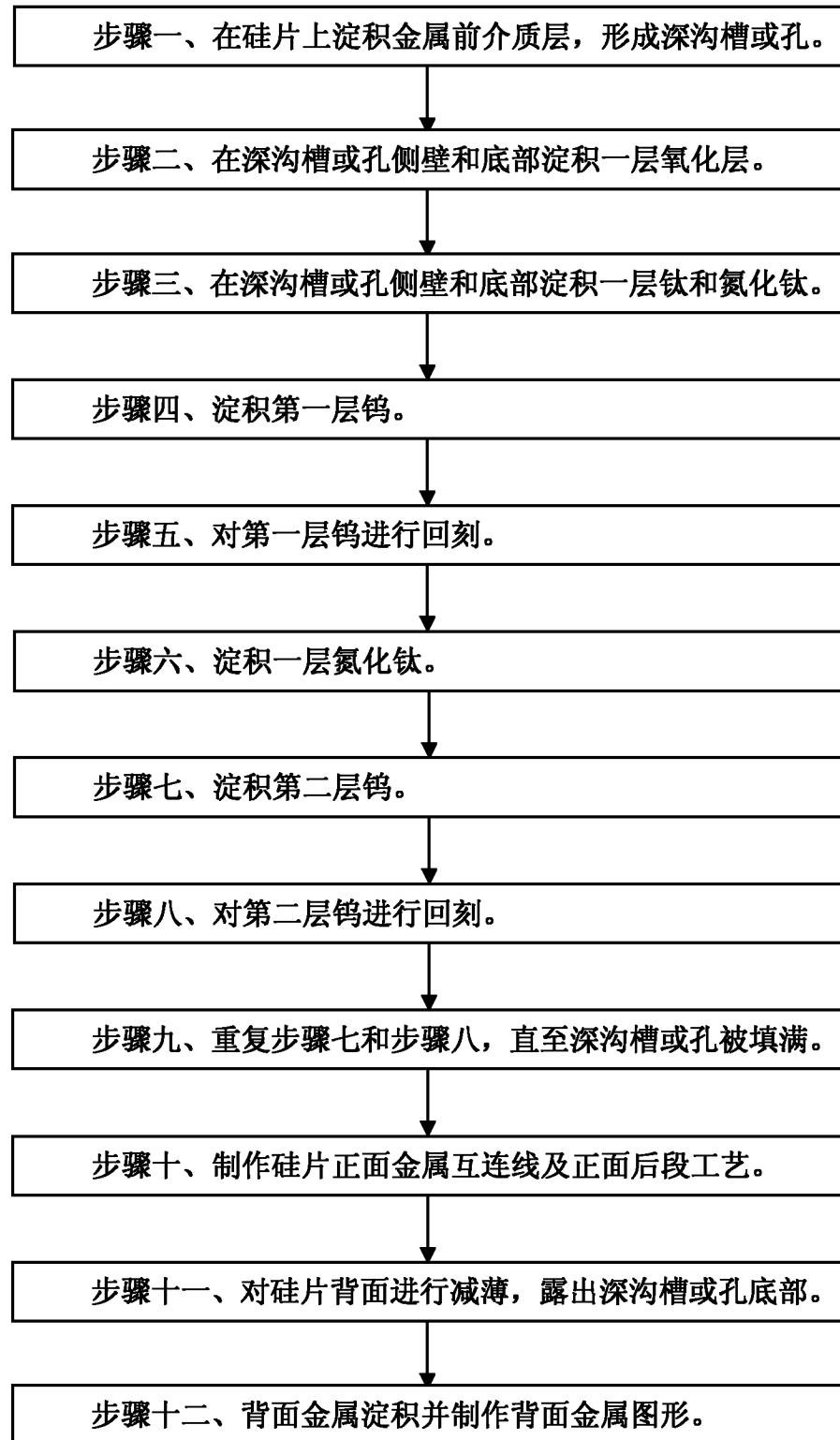


图 1

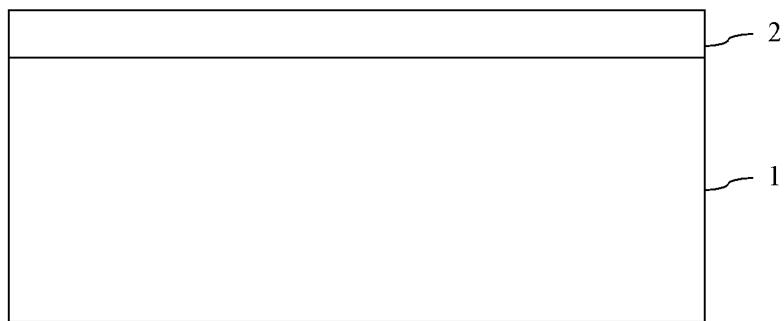


图 2

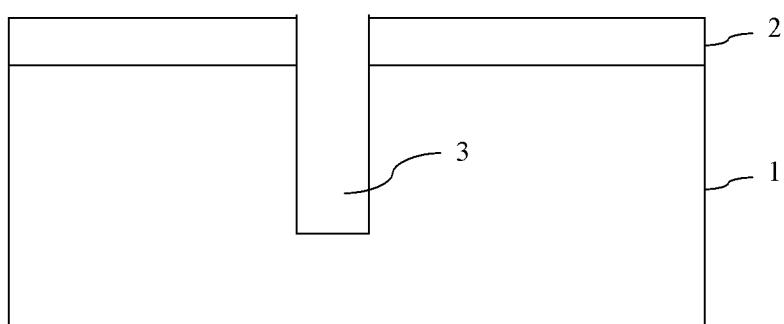


图 3

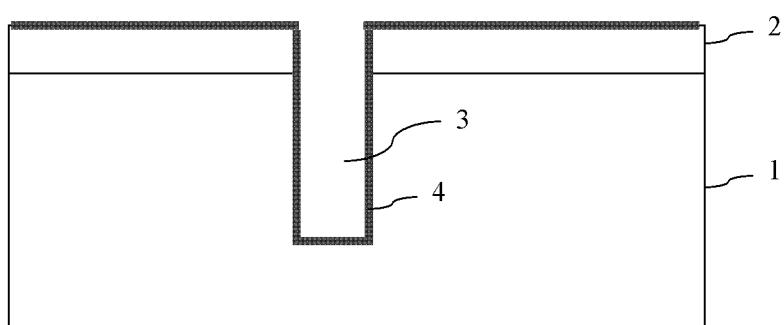


图 4

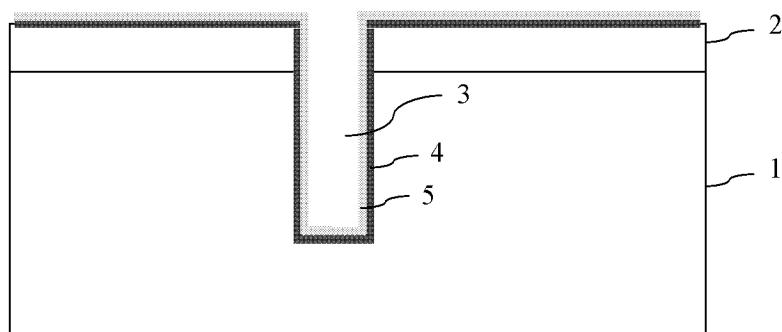


图 5

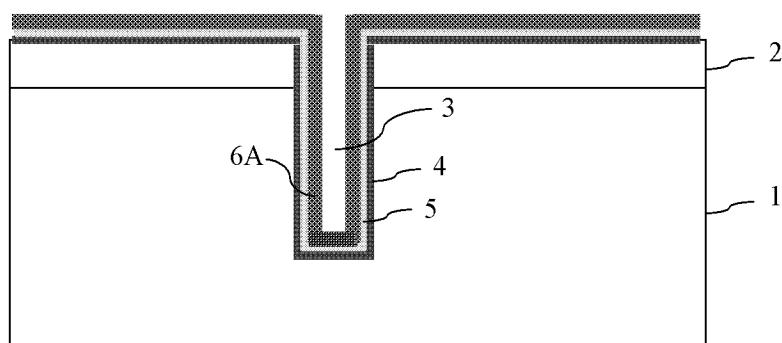


图 6

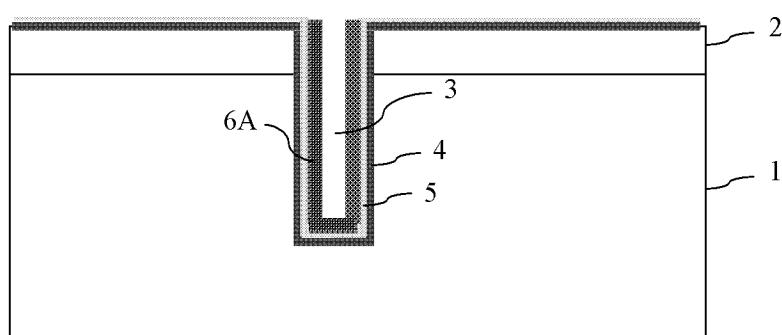


图 7

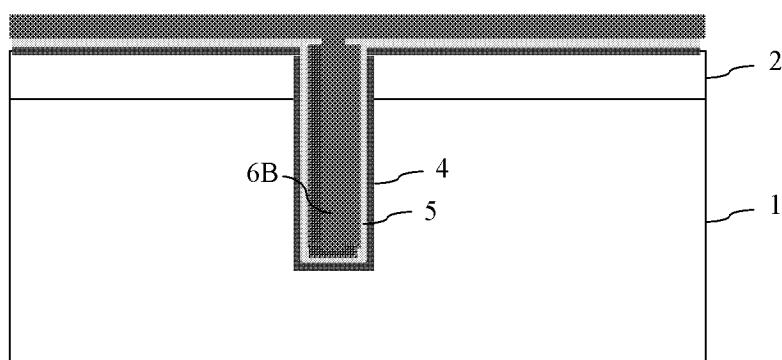


图 8

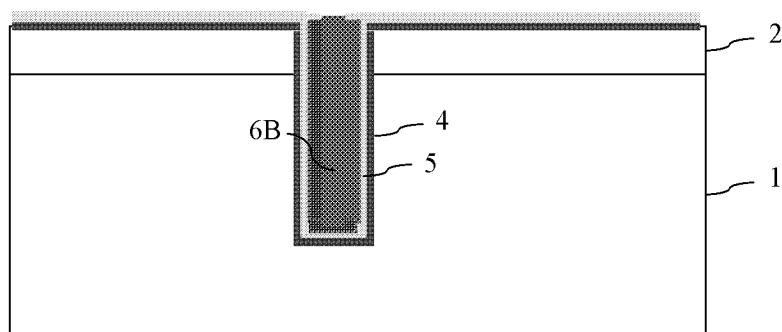


图 9

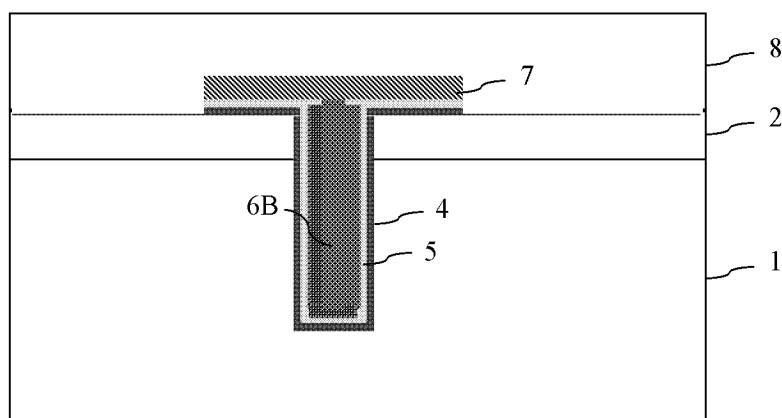


图 10

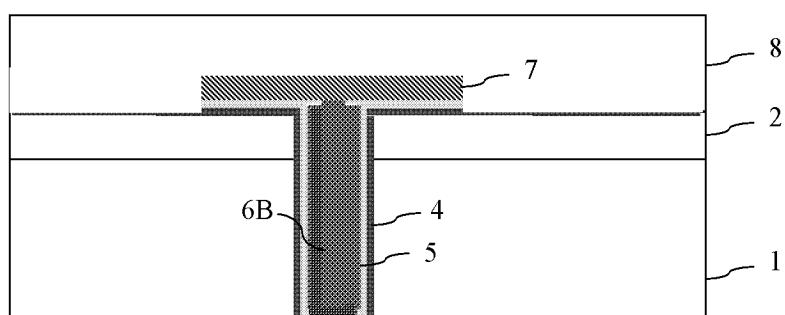


图 11

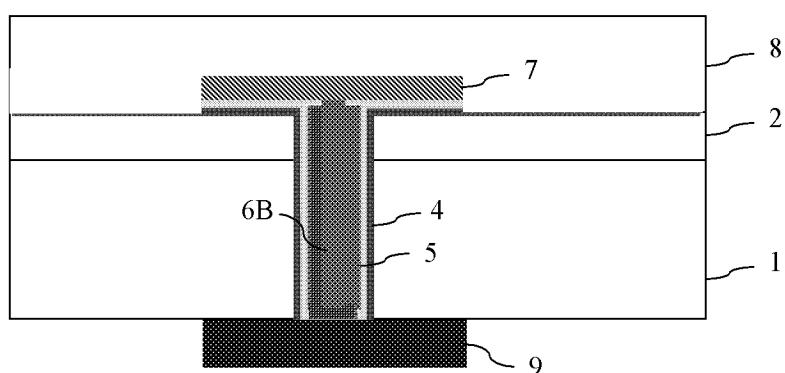


图 12

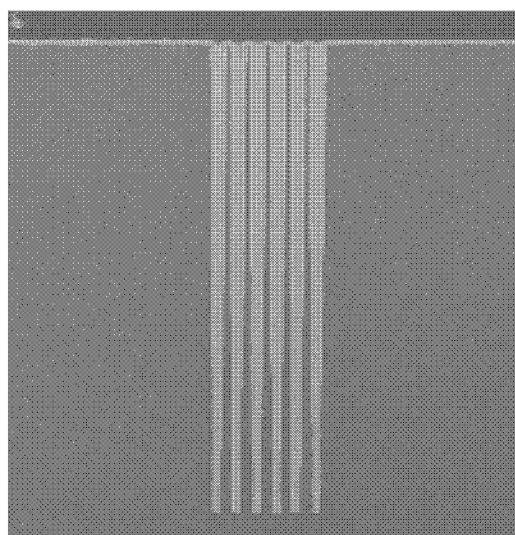


图 13