



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년10월16일
(11) 등록번호 10-1191279
(24) 등록일자 2012년10월09일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01)

(21) 출원번호 10-2005-0075157

(22) 출원일자 2005년08월17일

심사청구일자 2010년08월17일

(65) 공개번호 10-2006-0050514

(43) 공개일자 2006년05월19일

(30) 우선권주장

JP-P-2004-00241119 2004년08월20일 일본(JP)

(56) 선행기술조사문헌

KR1020030083308 A*

W02003016599 A1*

KR100241287 B1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시킴이이샤 한도오파이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

마에가와 신지

일본국 가나가와켄 아쓰기시 하세 398 가부시킴이이샤 한도오파이에네루기 켄큐쇼 나이

(74) 대리인

이화익, 김홍두

전체 청구항 수 : 총 10 항

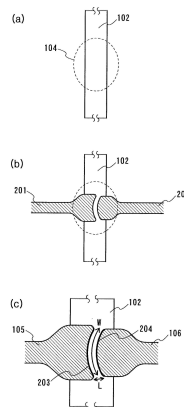
심사관 : 임동재

(54) 발명의 명칭 반도체소자를 구비한 표시장치와 그 제조 방법 및 그반도체소자를 구비한 표시장치를 탑재한 전자기기

(57) 요약

본 발명은, 적어도 게이트 전극 또는 배선의 일부와 겹치는 절연막 표면의 영역을 유기용제로 도포하고, 절연막 표면의 유기용제가 도포되어 잔존하는 영역으로부터 유기용제가 도포되지 않는 영역에 걸쳐, 도전성의 미립자가 유기용매에 분산된 유동체를 액적토출법에 의해 토출시킨다. 유기용제는, 절연막 표면으로의 유동체의 젖음성을 향상시키기 위해서 도포되고, 만곡부를 개재함으로써 인접하는 소스 및 드레인 전극 각각의 단부는, 한쪽은 오목형으로 만곡하고 다른 쪽은 볼록형으로 만곡해서 형성된다.

대표도 - 도2



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

기관 위에 게이트 전극을 형성하는 공정과,

상기 게이트 전극 위에 절연막을 형성하는 공정,

상기 절연막 표면의 상기 게이트 전극과 겹치는 영역에 유기용제를 도포하는 공정,

상기 유기용제가 도포되어 잔존하는 영역과 상기 유기용제가 도포되지 않는 상기 절연막의 영역에서, 입경이 1nm 이상 100nm 이하의 도전성의 미립자가 유기용매에 분산된 유동체를 액적토출법에 의해 토출시키는 공정,

상기 유동체를 소성해서 경화시켜서 소스 및 드레인 전극을 형성하는 공정 및,

상기 소스 및 드레인 전극간에 끼워진 만곡부에서의 상기 절연막과, 상기 소스 전극 및 드레인 전극과 접하는 반도체막을 형성하는 공정을 구비하여 이루어지고,

상기 유기용제가, 도포되지 않는 영역보다도 상기 절연막 표면의 상기 영역에서의 상기 유동체의 젖음성을 높이기 위해서 도포되는 것을 특징으로 하는 표시장치의 제조 방법.

청구항 20

기관 위에 게이트 전극을 형성하는 공정과,

상기 게이트 전극을 덮도록 게이트 절연막을 형성하는 공정,

상기 게이트 절연막 위에 제1반도체막을 형성하는 공정,

상기 제1반도체막 위에 불순물 원소를 포함하는 제2반도체막을 형성하는 공정,

상기 제1반도체막 및 상기 제2반도체막을 각각 패터닝해서 섬 형상으로 되게 하는 공정,

상기 섬 형상의 반도체막 표면의 상기 게이트 전극과 겹치는 영역에 유기용제를 도포하는 공정,

상기 유기용제가 도포되어 잔존하는 영역과 상기 유기용제가 도포되지 않는 영역에서, 입경이 1nm 이상 100nm 이하의 도전성의 미립자가 유기용매에 분산된 유동체를 액적토출법에 의해 토출시키는 공정,

상기 유동체를 소성해서 경화시켜서 소스 및 드레인 전극을 형성하는 공정 및,

상기 소스 및 드레인 전극을 마스크로 해서, 상기 제2반도체막을 드라이 에칭해서 소스 및 드레인 영역을 형성하는 공정을 구비하여 이루어지고,

상기 유기용제가, 도포되지 않는 영역보다도 상기 제2반도체막 표면에서의 상기 유동체의 젖음성을 높이기 위해서 도포되는 것을 특징으로 하는 표시장치의 제조 방법.

청구항 21

제19항에 있어서,

상기 반도체막은 유기반도체로 형성되는 것을 특징으로 하는 표시장치의 제조 방법.

청구항 22

제20항에 있어서,

상기 게이트 절연막은, 제1층과, 상기 제1층의 재료와 다른 재료로 형성된 상기 제1층 위에 형성된 제2층을 구

비하여 구성되는 것을 특징으로 하는 표시장치의 제조 방법.

청구항 23

제20항에 있어서,

상기 불순물 원소가 p형 불순물 원소인 것을 특징으로 하는 표시장치의 제조 방법.

청구항 24

제20항에 있어서,

상기 불순물 원소가 n형 불순물 원소인 것을 특징으로 하는 표시장치의 제조 방법.

청구항 25

제19항에 있어서,

상기 만곡부를 개재함으로써 인접하는 상기 소스 및 드레인 전극 각각의 단부는, 한쪽은 오목형으로 만곡하여 형성되고 다른 쪽은 볼록형으로 만곡하여 형성되는 것을 특징으로 하는 표시장치의 제조 방법.

청구항 26

제20항에 있어서,

상기 소스 및 드레인 전극간 및, 상기 소스 및 드레인 영역간에 끼워진 만곡부는, 상기 소스 전극 및 드레인 전극을 형성하는 공정과 상기 소스 영역 및 드레인 영역을 형성하는 공정에 따라 형성되고,

상기 만곡부를 개재해서 대향하는 상기 소스 및 드레인 전극 각각의 단부는, 한쪽은 오목형으로 만곡하여 형성되고 다른 쪽은 볼록형으로 만곡하여 형성되며,

상기 게이트 절연막을 개재한 상기 드레인 영역의 단부에 대향하는 상기 소스 영역의 단부는, 상기 소스 전극의 상기 단부와 동일 형상을 갖고,

상기 드레인 영역의 단부는 상기 드레인 전극의 상기 단부와 동일 형상을 갖는 것을 특징으로 하는 표시장치의 제조 방법.

청구항 27

제19항에 있어서,

상기 만곡부가 만곡된 간극인 것을 특징으로 하는 표시장치의 제조 방법.

청구항 28

제26항에 있어서,

상기 만곡부가 만곡된 간극인 것을 특징으로 하는 표시장치의 제조 방법.

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0014] 본 명세서에 개시하는 발명은, 직접 묘화 공정(direct drawing process)에 의한 반도체소자를 구비한 표시장치의 제조 방법과, 그 방법에 의해 얻을 수 있는 표시장치 및, 그 표시장치를 탑재한 전자기기에 관한 것이다. 본 명세서에 있어서, 반도체소자는, 박막트랜지스터를 포함한다.
- [0015] 액정표시장치 및 전계발광(EL)표시장치에 사용되는 비정질 실리콘 박막트랜지스터 및 다결정 실리콘 박막트랜지스터를 제조하기 위해서, 복수 개의 포토마스크가 사용되어, 포토리소그래피 공정이 복수 회 반복된다.
- [0016] 박막트랜지스터를 제조하는 현장에서는, 포토마스크의 매수를 감하고, 포토리소그래피 공정을 삭감하는 것이 강하게 요청되고 있다. 여기에서, 포토리소그래피 공정의 대체로서, 특허문헌1(미국특허 제5132248호) 및 특허문헌2(일본특개 제2003-80694호)에 기재되어 있는 바와 같이, 잉크젯 기술 등을 사용한 액적(液滴) 토출에 의해 배선 패턴 및 막 패턴을 형성하는 직접 묘화 공정이 검토되고 있다. 이 직접 묘화에 의한 방법을 사용함으로써, 포토리소그래피 공정을 필요로 하지 않고 패턴을 형성할 수 있으므로, 포토마스크의 매수를 감할 수 있다.
- [0017] 그런데, 채널 길이(통상, L로 나타낸다)에 대한 채널 폭(통상, W로 나타낸다), 즉 W/L을 크게 함으로써, 박막트랜지스터의 온 상태 전류 및 동작 속도를 높일 수 있는 것이 알려져 있다. 즉, 채널 폭 W를 크게 하거나 또는 채널 길이를 짧게 함으로써, 박막트랜지스터의 온 상태 전류 및 동작 속도를 높일 수 있다.
- [0018] 포토리소그래피 공정에 의해 박막트랜지스터를 제조할 경우, 예를 들면 마스크 패턴을 변경한 포토마스크를 사용함으로써, 채널 길이 L을 작게 할 수 있는 동시에 채널 폭 W를 크게 할 수 있다. 그러나, 액적 토출에 의한 직접 묘화에 의해 박막트랜지스터를 제조할 경우, 복잡한 공정 없이 채널 길이를 짧게 하거나 채널 폭을 크게 하는 방법은, 아직 확립되었다고는 말할 수 없다.

발명이 이루고자 하는 기술적 과제

- [0019] 본 명세서에 개시하는 발명은, 반도체소자를 구비한 표시장치의 제조공정에 있어서, 직접 묘화 공정을 이용하여

포트리소그래피 공정을 삭감하고, 또한 온 상태 전류나 동작 속도가 높은 반도체소자를 얻는 것을 목적인다고 한다.

발명의 구성 및 작용

- [0020] 전극 또는 배선을 형성하기 위해서, 금속의 미립자를 함유하고, 해당 미립자가 응집하지 않고 소정의 유기용매 중에 균일하게 분산된 유동체(액체 또는 페이스트)를, 잉크젯 기술 등을 이용하여 토출시켜, 2개의 직선을 그린다. 그 때, 2개의 직선끼리가 서로 연결되지 않도록 그리면, 그 2개의 직선을 구성하는 각각의 유동체끼리는 서로 반발하는 현상이 보여진다. 이 현상은 본 발명자가 경험상 발견한 것이다.
- [0021] 또한, 상기 유동체의 젖음성(wettability)을 개선하는 용제를 소정 영역에 도포하고, 그 용제가 도포된 영역과 도포되지 않는 영역 모두에 걸쳐 상기 유동체를 토출시킨다. 이 경우, 그 용제가 도포된 영역에서는 도포되지 않는 영역보다도 토출된 유동체가 퍼지는 현상이 보여졌다. 이는, 상기 용제가 도포된 영역에 있어서, 도포되지 않는 영역보다도 유동체의 젖음성이 높아졌기 때문이다.
- [0022] 젖음성은, 고체표면에 대한 유동체의 접촉 각도에 의해 평가되고, 접촉 각도가 작을수록 유동체의 젖음성이 높게 된다. 본 명세서에 있어서, 젖음성이 높다고 언급되는 것은, 고체표면에 대한 유동체의 접촉 각도가 90° 보다 작은 경우를 말한다. 즉, 상기 용제가 도포된 영역 내의 유동체의 접촉 각도는 90° 보다 작게 된다. 또한, 본 명세서에 개시하는 발명에서는, 상기 용제가 도포된 영역이, 상기 용제가 도포되지 않는 영역보다도, 유동체의 접촉 각도가 작게 되면 되는 것으로 한다.
- [0023] 이 현상을 이용하여, 채널 폭 W 를 크게 하고, 채널 길이 L 을 짧게 한 반도체소자 중 하나인 박막트랜지스터를 제작할 수 있다.
- [0024] 본 명세서에 개시하는 하나의 발명은, 기판 위에 형성된 게이트 전극 또는 배선과, 게이트 전극 또는 배선을 덮도록 형성된 절연막과, 절연막 위에 형성된 소스 및 드레인 전극과, 소스 및 드레인 전극간에 끼워진 만곡부에서의 절연막과 함께, 소스 전극과 드레인 전극과 접하도록 형성된 반도체막을 구비하여 구성되고, 만곡부는 절연막을 개재함으로써 게이트 전극 또는 배선 위에 있고, 만곡부를 개재함으로써 인접하게 되는 소스 및 드레인 전극 각각의 단부는, 한쪽은 오목형으로 만곡하고 다른 쪽은 볼록형으로 만곡해서 이루어지는 것을 특징으로 하는 반도체소자를 구비한 표시장치이다.
- [0025] 본 명세서에 개시하는 다른 발명은, 기판 위에 형성된 게이트 전극 또는 배선과, 게이트 전극 또는 배선을 덮도록 형성된 절연막과, 게이트 절연막 위에 형성된 섬 형상의 제1반도체막과, 제1반도체막 위에 형성된 n 형불순물 또는 p 형불순물을 포함하는 제2반도체막으로 형성되는 소스/드레인 영역과, 소스/드레인 영역 위에서 게이트 절연막 위에 걸쳐 형성된 소스 전극 및 드레인 전극과, 소스 및 드레인 전극 간에 그리고 소스 및 드레인 영역간에 끼워진 만곡부를 가지고, 만곡부는 절연막 및 제1반도체막을 개재함으로써 게이트 전극 또는 배선 위에 있고, 만곡부를 개재함으로써 인접하게 되는 소스 및 드레인 전극 각각의 단부는, 한쪽은 오목형으로 만곡하고 다른 쪽은 볼록형으로 만곡하며, 만곡부를 개재함으로써 인접하게 되는 소스 및 드레인 영역 각각의 단부는, 소스 및 드레인 전극 각각의 단부와 동일 형상인 것을 특징으로 하는 반도체소자를 구비한 표시장치이다.
- [0026] 본 명세서에 개시하는 다른 발명은, 기판 위에 게이트 전극 또는 배선을 형성하는 공정과, 게이트 전극 또는 배선을 덮도록 절연막을 형성하는 공정과, 절연막 표면의 적어도 상기 게이트 전극 또는 배선의 일부와 겹치는 영역에 유기용제를 도포하는 공정과, 절연막 표면의 유기용제가 도포되어 잔존하는 영역으로부터 유기용제가 도포되지 않는 영역에 걸쳐, 입경이 1nm 이상 100nm 이하의 도전성의 미립자가 유기용매에 분산된 유동체를 액적토출법에 의해 토출시키는 공정과, 유동체를 소성해서 경화시킴으로써 소스 및 드레인 전극을 형성하는 공정과, 소스 및 드레인 전극간에 끼워진 만곡부에서의 절연막과 함께, 소스 및 드레인 전극과 접하도록 반도체막을 형성하는 공정을 가지고, 유기용제는, 유기용제가 도포되지 않는 영역보다도 절연막 표면에서의 유동체의 젖음성을 높이기 위해서 도포되며, 만곡부를 개재함으로써 인접하게 되는 소스 및 드레인 전극 각각의 단부는, 한쪽은 오목형으로 만곡하고 다른 쪽은 볼록형으로 만곡해서 형성되는 것을 특징으로 하는 반도체소자를 구비한 표시장치의 제조 방법이다.
- [0027] 본 명세서에 개시하는 다른 발명은, 기판 위에 게이트 전극 또는 배선을 형성하는 공정과, 게이트 전극 또는 배선을 덮도록 절연막을 형성하는 공정과, 게이트 절연막 위에 제1반도체막을 형성하는 공정과, 제1반도체막 위에 n 형불순물 또는 p 형불순물을 포함하는 제2반도체막을 형성하는 공정과, 제1반도체막 및 제2반도체막을 패터닝해

서 섬 형상이 되게 하는 공정과, 섬 형상의 반도체막 표면의 적어도 게이트 전극 또는 배선의 일부와 겹치는 영역에 유기용제를 도포하는 공정과, 유기용제가 도포되어 잔존하는 영역으로부터 유기용제가 도포되지 않은 게이트 절연막 표면에 걸쳐, 입경이 1nm 이상 100nm 이하의 도전성의 미립자가 유기용매에 분산된 유동체를 액적토출법에 의해 토출시키는 공정과, 유동체를 소성해서 경화시킴으로써 소스 및 드레인 전극을 형성하는 공정과, 소스 및 드레인 전극을 마스크로 해서, 제2반도체막을 드라이 에칭해서 소스/드레인 영역을 형성하는 공정을 가지고, 유기용제는, 유기용제가 도포되지 않는 영역보다도 제2반도체막 표면에서의 유동체의 젖음성을 높이기 위해서 도포되며, 소스 및 드레인 전극을 형성하는 공정과 소스 및 드레인 영역을 형성하는 공정에 의해, 소스 및 드레인 전극간에 끼워지고, 소스/드레인 영역간에 끼워진 만곡부가 형성되며, 만곡부를 개재함으로써 인접하게 되는 소스 및 드레인 전극 각각의 단부는, 한쪽은 오목형으로 만곡하고 다른 쪽은 볼록형으로 만곡해서 형성되고, 만곡부를 개재함으로써 인접하게 되는 소스/드레인 영역 각각의 단부는, 소스 및 드레인 전극 각각의 단부와 동일 형상으로 형성되는 것을 특징으로 하는 반도체소자를 구비한 표시장치의 제조 방법이다.

[0028] 본 명세서에 개시하는 발명에 의해, 반도체소자의 채널 폭 W 를 길게 하고, 채널 길이 L 을 짧게 하는 것을 용이하게 실현할 수 있다. 본 명세서에 개시하는 발명에 의해, 온 상태 전류, 동작 속도가 높은 반도체소자를 포트리소그래피 공정 없이 또는 포트리소그래피 공정을 삭감해서 제조할 수 있다.

[0029] 이하 도면을 참조로 본 발명을 상세히 설명한다.

[0030] 이하에 기재하는 실시 형태1 내지 4에서는, 반도체소자인 박막트랜지스터의 제조공정, 및 제조된 박막트랜지스터 관하여 설명한다.

[0031] (실시 형태1)

[0032] 도 1(a)에 나타나 있는 바와 같이, 기판(101) 위에 게이트 전극(102:배선)을 형성한다. 도 1(a)에서는 게이트 전극(102:배선)의 단면형상은 볼록형으로 나타냈지만, 볼록형에 한정되는 것은 아니다. 기판은, 유리기판, 석영기판, 플라스틱기판의 어느 것으로도 된다. 게이트 전극(102:배선)의 형성 방법으로서, 유동체의 액적을 미세한 구멍으로부터 토출시켜서 소정 형상의 패턴을 형성하는 방법(이하, 본 명세서에서는 액적토출법이라고 한다)을 사용한 예를 이하에 나타낸다. 잉크젯 기술을 사용한 방법은, 액적토출법의 전형적인 예이다. 본 명세서에 기재하는 액적토출법은, 잉크젯 기술을 사용한 방법에 반드시 한정되지는 않는다.

[0033] 입경이 1nm 이상 100nm 이하의 도전성의 미립자를 함유하고 해당 미립자가 용매 중에 분산된 유동체(액체 또는 페이스트)를, 소정 형상에 되도록 기판 위에, 예를 들면 잉크젯 헤드로부터 토출시킨다. 본 실시 형태에서는, 유동체를 직선형으로 토출시켰다. 그 후에, 토출된 유동체를 소성해서 경화시킴으로써 게이트 전극이 형성된다. 경화 후, 형성되는 게이트 전극의 상면이 쏙 들어가서, 그 단면이 오목형이 될 수도 있지만, 특별한 문제는 없다.

[0034] 유동체를 완전하게 경화하기 위해서, 150℃ 이상의 소성 온도가 필요하다. 그러나, 유동체 중에 포함되는 도전성의 미립자가 은을 주성분으로 하는 미립자일 경우, 소성 온도가 300℃을 넘으면, 조밀성이 잃어버려, 다공으로, 표면이 거칠어진 상태가 된다. 그 때문에, 300℃을 초과하지 않는 온도가 아니면 안 된다. 소성 시간은 1시간으로 충분하지만, 유동체가 완전하게 경화하는 것이라면, 반드시 1시간에 한정되지 않는다.

[0035] 유동체는, 도전성의 미립자가 용매 중에 응집하지 않고 균일하게 분산되어 있는 것이 필요조건이다. 예를 들면, 일본 특허공개 제2002-299833호 공보 또는 일본 특허공개 제2002-324966호 공보에 기재되어 있는 도전성 금속 페이스트는, 이 조건을 만족시키고 있다. 유동체 중에 포함되는 도전성의 미립자로서, 전술한 은을 주성분으로 하는 미립자를 들 수 있지만, 소성 후에 전극이나 배선으로서 사용가능하면, 은에 한정되지 않는다. 예를 들면, 금과, 동, 금과 은의 합금, 금과 동의 합금, 은과 동의 합금, 금과 은과 동의 합금 중 어느 것을 주성분으로 하는 미립자이어도 된다. 또한, 인듐 주석 산화물(ITO) 등의 도전성 산화물을 주성분으로 하는 미립자라도 된다.

[0036] 게이트 전극(102:배선)을 형성하는 다른 방법으로서, 공지의 스퍼터링법 또는 진공증착법을 사용해도 된다. 또한, 액적토출법 대신에, 스핀인쇄법에 의해 게이트 전극(102:배선)을 형성해도 된다.

[0037] 다음에, 도 1(b)에 나타나 있는 바와 같이 게이트 전극(102:배선) 위 및 기판(101) 위에 게이트 절연막(103)을 형성한다. 게이트 절연막(103)으로서, 예를 들면 폴리이미드막을 사용할 수 있다. 폴리이미드막은, 스핀 코팅법에 의해 형성할 수 있고, 스핀 코팅 후에 200℃을 넘지 않는 온도, 구체적으로는 180℃에서 1시간 소성을 행

함으로써 형성된다. 스핀 코팅법의 대신에, 액적도출법을 이용하여, 폴리이미드막을 형성할 수도 있다. 폴리이미드막 대신에, 다른 유기수지막으로도 되고, 산화실리콘, 질화실리콘과 같은 무기절연막으로도 된다.

- [0038] 도 1(c)에 나타나 있는 바와 같이, 게이트 절연막(103)의 표면 영역(104)에 유기용제를 도포한다. 영역(104)은, 적어도 게이트 전극(102:배선)의 일부와 겹치는 영역이며, 게이트 절연막(103) 표면의 적어도 게이트 전극(102:배선) 위의 영역이다. 도 2(a)에, 게이트 전극(102:배선)과 영역(104)과의 관계를 도시하기 위해서, 평면도로 나타낸다. 유기용제를 도포하는 방법으로서, 액적도출법을 사용할 수 있다.
- [0039] 도포하는 유기용제는, 실온에서 용이하게 휘발하지 않는 테트라데칸, 데카놀, 옥탄올과 같은 비등점이 150℃를 넘는 고비등점 용제가 된다.
- [0040] 단, 유기용제를 도포한 후에, 후술하는 바와 같이 유동체를 소성해서 소스 및 드레인 전극을 형성했을 때, 상기 유기용제가 극력 잔류하지 않도록 하는 것이 요구된다. 그 때문에 도포하는 유기용제는 비등점이 300℃을 넘지 않는 것이 바람직하다. 한편, 도포 후 곧 말라버리는 아세톤, 에탄올과 같은, 비등점이 100℃ 이하의 저비등점 용제는, 본 명세서에 개시하는 발명에는 부적당하다.
- [0041] 또한, 소스 및 드레인 전극을 형성하기 위해서 사용하는 유동체에 포함되는 것과 같은 유기용매를, 영역(104)에 도포하는 유기용제로서 사용한다. 이에 따라, 확실하게 그 유동체의 젖음성을 높게 할 수 있다.
- [0042] 예를 들면, 도전성의 미립자가 테트라데칸 중에 분산된 유동체를 사용하는 경우에는 테트라데칸을 영역(104)에 도포하고, 도전성의 미립자가 데카놀 중에 분산된 유동체를 사용하는 경우에는 데카놀을 영역(104)에 도포한다. 그러나, 영역(104)에 도포하는 유기용제는, 상기 유동체의 젖음성을 높일 수 있는 고비등점 용제이면 되므로, 반드시 상기 유동체에 포함되는 유기용매와 같을 필요는 없다.
- [0043] 전술한 바와 같이 유기용제를 도포한 후, 그 유기용제가 영역(104)에 잔존한 상태에서, 다시 액적도출법을 이용하여, 입경이 1nm 이상 100nm 이하의 도전성의 미립자를 함유하여 해당 미립자가 유기용매에 분산된 유동체(액체 또는 페이스트)를 토출시켜, 소정의 형상에 되도록 그린다. 그 유동체로서는, 게이트 전극(102:배선)의 형성 시에 사용한 것과 같은 것을 사용하면 된다.
- [0044] 그린(묘화) 후의 상태를 도 2(b)에 평면도로 나타낸다. 도 2(b)에 참조부호 201, 202로 나타내는 것은, 소성해서 경화시킴으로써 소스 및 드레인 전극이 되는 유동체이다. 유동체(201, 202)는 각각, 유기용제가 도포되면서 그 유기용제가 도포되어 잔존하는 영역(104)으로부터 도포되지 않는 영역에 걸치도록 토출시킨 상태를 나타낸다. 유동체(201, 202)는, 영역(104)에서는 유기용제가 도포되지 않는 영역보다도 젖음성이 높기 때문에, 게이트 절연막(103)의 표면을 따르는 방향으로 퍼진다.
- [0045] 유동체(201, 202)는, 영역(104)에 있어서 상기한 바와 같이 퍼진다. 그에 따라 유동체(201, 202) 상호간이 접근해도, 양자는 서로 반발하기 때문에 연결될 일은 없다.
- [0046] 그 후에, 유동체(201, 202)를 150℃ 이상의 온도에서 소정의 시간 소성해서 경화시킴으로써, 도 1(d)에 나타내는 소스 및 드레인 전극(105, 106)이 형성된다. 소성 후, 영역(104)에 도포한 유기용제는 잔류하지 않는 것이 바람직하다.
- [0047] 다음에, 도 1(e)에 나타나 있는 바와 같이 반도체막(107)을 형성한다. 반도체막(107)으로서, 예를 들면 벤젠 고리가 5개 직선적으로 연결된 형상을 가지는 p형의 유기반도체인 펜타센을, 금속 마스크를 이용하여 증착한다. 도 1(e)에 나타나 있는 바와 같이 반도체막(107)은, 소스 및 드레인 전극(105, 106)의 사이에 게이트 절연막(103)과 접하도록 형성됨과 동시에, 소스 및 드레인 전극(105, 106)과도 접하도록 형성된다.
- [0048] 증착 대신에, 액적도출법 또는 스크린인쇄법을 이용하여 펜타센을 형성해도 된다. 펜타센 대신에, 다른 유기반도체를 이용하여도 된다. 반도체막(107)은 펜타센과 같은 유기반도체 대신에, 실리콘막을 공지의 CVD법에 의해 형성해도 된다. 이 경우, 실리콘막의 결정성은 특별하게 한정되지 않는다.
- [0049] 도 2(c)는 소스 및 드레인 전극(105, 106)의 형상을 나타내는 평면도이다. 채널 길이 L과 채널 폭 W를 도 2(c)에 화살표로 나타낸다. 게이트 전극(102:배선) 위에 있는 소스 및 드레인 전극(105, 106)의 사이에 끼워진 만곡부(만곡된 간극)가 존재한다. 채널 길이 L은 그 만곡된 간극의 폭(그 폭이 균일하지 않은 경우에는, 그 폭의 평균값)에 해당하고, 채널 폭 W는 그 만곡된 간극의 만곡을 따른 길이에 해당한다.
- [0050] 상기 만곡부(만곡된 간극)를 개재함으로써 인접하는 소스 및 드레인 전극(105, 106) 각각의 단부(203, 204)는, 한쪽은 오목형으로 만곡하고, 다른 쪽은 볼록형으로 만곡하고 있다. 그리고, 한쪽 단부의 만곡을 따라서, 다른

쪽 단부는 볼록형으로 만곡하고 있다.

- [0051] 도 3(a) 및 도 3(b)는 박막트랜지스터를 나타내는 상면 사진이다. 박막트랜지스터는, 기관으로서 유리기관을 사용하고, 은을 주성분으로 하는 미립자를 함유하여 해당 미립자가 테트라데칸 중에 분산된 유동체를 사용해서, 액적도출법에 의해 형성한 소스 및 드레인 전극과 게이트 전극을 사용하고, 게이트 절연막으로서 두께가 120nm의 폴리이미드막을 사용하고, 반도체막으로서 두께가 50nm의 펜타센막을 이용하여 형성한다. 이들 사진으로부터, 게이트 전극과, 그 위에 형성된 소스 전극 및, 드레인 전극의 존재를 판별할 수 있다.
- [0052] 도 3(a)는 본 실시 형태에 따라서 형성되어, 소스 전극 및 드레인 전극을 형성하기 전에, 폴리이미드막 표면의 적어도 게이트 전극과 겹치는 영역에, 액적도출법을 이용하여 테트라데칸을 도출시키는 공정을 수반하는 경우이다. 도 3(b)는 비교예이며, 폴리이미드막 표면에 테트라데칸을 도출시키는 상기 공정을 생략해서 형성된 점에서 도 3(a)와 다르다.
- [0053] 도 3(a)에 나타내는 박막트랜지스터는 채널 폭 W 가 $350\mu\text{m}$ 이고 채널 길이 L 이 $50\mu\text{m}$ ($W/L=350/50$)이며, 도 3(b)에 나타내는 박막트랜지스터는 채널 폭 W 가 $100\mu\text{m}$ 이고 채널 길이 L 이 $300\mu\text{m}$ ($W/L=100/300$)이다. 도 3(a)에 나타내는 박막트랜지스터쪽이, 분명하게 채널 길이 L 은 짧고 채널 폭 W 는 길게 되어 있기 때문에, 도 3(b) 보다도 박막트랜지스터의 온 상태 전류, 동작 속도가 높아진다.
- [0054] 도 4에, 도 3(a) 및 도 3(b)에 나타내는 박막트랜지스터의 게이트 전압 V_G 를 가로축에 드레인 전류 I_D 를 세로축에 나타낸 V_G - I_D 특성을, 드레인 전압 V_D 가 $-3V$ 및 $-5V$ 각각일 때에 대해서 측정한 결과를 나타낸다. 반도체막으로서 펜타센을 사용한 p채널형의 박막트랜지스터를 측정했으므로, 드레인 전류 I_D 는 실제로는 마이너스의 값이 되므로, 도 4에서는 세로축을 $-I_D$ 로 나타내고 있다.
- [0055] $V_G \leq -3V$ 의 범위에 주목하면, $-I_D$ 의 값은, $W/L=350/50$ 의 박막트랜지스터쪽이 $W/L=100/300$ 의 박막트랜지스터보다도 큰 결과가 되었다. 이 결과는, 전자의 박막트랜지스터쪽이 후자보다도 온 상태 전류가 높은 것을 보이고 있다.
- [0056] 본 실시 형태에 한정하지 않고 본 명세서에 개시하는 발명은, 비정질반도체, 미결정(microcrystal)반도체 또는, 유기반도체를 채널 형성 영역에 사용한, 이동도가 낮은 박막트랜지스터를 형성할 경우에 적합하다. 이는, 이들 반도체재료를 사용한 박막트랜지스터는, 보통은 이동도가 $5\text{cm}^2/V\text{sec}$ 이하로 낮기 때문에, 온 상태 전류를 높이기 위해서, W/L 이 커지도록 설계해야만 하기 때문이다. 본 명세서에 개시하는 발명은, 상기 반도체를 사용한 박막트랜지스터뿐만 아니라, 다결정 실리콘을 채널 형성 영역에 사용한 박막트랜지스터의 경우에도, 박막트랜지스터의 온 상태 전류나 동작 속도를 높이는 것에 기여한다.
- [0057] 또한, 본 실시 형태에 한정하지 않고 본 명세서에 개시하는 발명은, 액정표시장치 등의 표시장치에 적용할 경우에 적합하다. 유동체의 젖음성을 높이는 유기용체를, 예를 들면 게이트 전극(배선)과 겹치는 영역으로부터 비어져 나오지 않도록 게이트 절연막에 도포한다. 따라서, 게이트 전극과 겹치지 않는 영역으로는 유동체가 퍼지지 않게 된다. 이에 따라, 그 유동체를 경화시켜서 형성된 소스 및 드레인 전극은, 유기용체가 도포되지 않은, 게이트 전극과 겹치지 않는 영역에서, 폭넓게 굽게 되는 일은 없게 된다. 따라서, 개구율을 저하시키지 않고, 박막트랜지스터의 채널 폭 W 를 크게 할 수 있다. 이는, 게이트 전극이 형성된 영역에서는 빛은 투과하지 않고 차단되므로, 해당 영역에 겹치는 영역에서만 소스 및 드레인 전극이 폭넓게 되어도, 개구율에 영향을 주지 않기 때문이다.
- [0058] 또한, 본 실시 형태에 따라서, 포트리소그라피 공정 및 그에 따라 사용되는 포토마스크 없이, 박막트랜지스터를 제조할 수 있다.
- [0059] (실시 형태2)
- [0060] 본 실시 형태에서는, 실시 형태1과는 달리 반도체막으로서 펜타센과 같은 유기반도체를 사용하는 대신에, 실리콘 등의 반도체막을 사용한다.
- [0061] 도 5(a)에 나타나 있는 바와 같이, 유리기관, 석영기관, 플라스틱기관 중 어느 하나의 기관(501) 위에 게이트 전극(502:배선)을 형성한다. 게이트 전극(502:배선)의 형성 방법은, 실시 형태1에 나타나 있는 바와 같이 액적도출법을 사용하면 된다. 물론, 그 밖의 방법으로 형성해도 된다.
- [0062] 다음에, 게이트 절연막의 제1층(503)으로서, 실리콘과 산소와의 결합으로 골격구조가 구성된 막(이하, 본 명세

서에서는 내열성 평탄화막이라고 한다)을 형성한다. 내열성 평탄화막은, 유기수지막보다도 내열성이 높고, 게이트 전극(502:배선)과 기판(501)을 덮도록 스핀 코트법 등에 의해 실록산계 폴리머를 도포하고, 소성해서 얻을 수 있다. 스핀 코트법 대신에, 액적도출법을 이용하여, 실록산계 폴리머를 도포해도 된다. 제1층(503)의 막 두께는, 예를 들면 100nm로 한다. 또한, 제1층(503)으로서, CVD법에 의해 질화실리콘막, 산화실리콘막 또는, 산화질화실리콘막을 형성해도 된다.

[0063] 또한, 게이트 절연막의 제2층(504)으로서, 제1층(503) 위에 질화실리콘막을 CVD법에 의해 형성한다. 제2층(504)의 막 두께는, 예를 들면 200nm로 형성한다. 또한, 제2층(504)의 형성 방법은, 다른 방법으로 형성해도 되며, CVD법에 한정되지 않는다. 또한, 제2층(504)은 질화실리콘막에 한정되지 않고, 예를 들면 산화실리콘막, 산화질화실리콘막으로도 된다. 단, 제2층(504)과 제1층(503)은 다른 재료로 형성한다. 또, 상기한 바와 같이 2층이 아니라 1층만으로 게이트 절연막을 형성해도 된다.

[0064] 도 5(b)에 나타나 있는 바와 같이 제1반도체막(505)을 형성한다. 게이트 절연막의 제2층(504) 위에, 실란(SiH_4) 등의 원료 가스를 이용하여, CVD법에 의해 비정질 반도체막을 형성하고, 제1반도체막(505)으로 한다. 제1반도체막(505)은 형성된 비정질 반도체막을 결정화함으로써, 결정성 반도체막으로도 될 수 있다.

[0065] 비정질 반도체막을 결정화하는 방법의 구체적인 예를 나타낸다. 우선, 비정질 반도체막으로서 비정질 실리콘막을 CVD법에 의해 형성한다. 그 후에, 실리콘막의 결정화를 조장하는 금속원소, 예를 들면 니켈을 포함하는 용액을 상기 비정질 실리콘막에 도포한 후, 로(爐)에서 그 비정질 실리콘막을, 예를 들면 550°C , 4시간 가열해서 고상성장시킨다.

[0066] 형성된 결정성 실리콘막은 상기 금속원소를 포함하고 있으므로, 이를 제거하기 위해서 게터링이라고 불리는 처리를 행한다. 즉, 형성된 결정성 실리콘막 표면의 산화막을 제거한 후, 인을 포함하는 비정질 실리콘막을 적어도 1층, 예를 들면 2층 형성하고, 로에서 다시 가열해서, 상기 금속원소를 결정성 실리콘막으로부터 인을 포함하는 비정질 실리콘막으로 확산시킨다. 가열조건은, 예를 들면 상기 고상성장과 같아도 된다. 이렇게 해서, 금속원소의 농도를 줄인 결정성 실리콘막을 얻을 수 있다.

[0067] 상기와 같은 고상성장과 게터링을 조합한 방법 이외에, 비정질 반도체막에 레이저 빔을 조사하는 방법, 비정질 반도체막에 고속열 아닐(RTA라고 한다)을 시행하는 방법, 이들 3가지 방법을 임의로 조합한 방법에 의해, 비정질 반도체막을 결정화해도 된다.

[0068] 제1반도체막(505)으로서, 소위 미결정 반도체막으로도 된다. 미결정 반도체막으로는, 비정질구조와 결정구조(단결정, 다결정을 포함한다)와의 중간적인 구조를 가지고, 단거리 질서를 가져 격자왜곡을 가지는 결정질의 영역을 포함하고 있다. 적어도 막 중의 일부의 영역에는, 0.5~20nm의 결정 영역을 관측할 수 있다. 미결정 실리콘막의 경우, 라만 스펙트럼은 520cm^{-1} 보다도 저주파수측으로 쉬프트하고 있다. X선 회절에서는 실리콘의 결정 격자로부터 유래하는 (111) 또는 (220)의 회절 피크가 관측된다. 미결정 반도체막은, 규화물의 기체, 예를 들면 SiH_4 , Si_2H_6 , $\text{Si}_2\text{H}_2\text{Cl}_2$, SiHCl_3 , SiCl_4 또는, SiF_4 의 그로방전분해(플라즈마CVD)에 의해, 300°C 이하의 막형성 온도에서 형성된다. F_2 , GeF_4 을 상기 규화물의 기체에 혼합시켜도 된다.

[0069] 제1반도체막(505) 위에, n형불순물(인 또는 비소)을 포함하는 제2반도체막(506)을 형성한다. 제2반도체막(506)은 n형불순물 대신에 또는 n형불순물과 함께 p형불순물(붕소)을 포함하는 것으로도 된다. 제2반도체막(506)의 결정성은, 비정질, 미결정, 다결정의 어느 상태로도 된다. 또한, 전술의 게터링 처리에 의해 금속원소가 확산된 인을 포함하는 실리콘막을, 제2반도체막(506)으로서 이용할 수 있다. 이에 따라, 상기 금속원소가 확산된 인을 포함하는 실리콘막을 제거하는 공정이 필요 없게 된다.

[0070] 제1반도체막(505) 및 제2반도체막(506)을 패터닝하여, 도 5(c)에 나타난 바와 같이 섬 형상의 제1반도체막(505a)과 섬 형상의 제2반도체막(506a)을 얻을 수 있다. 공지의 포토리소그래피법에 의해 패터닝해도 되지만, 레이저 직접 묘화장치를 이용하여 포토마스크 없이 패터닝할 수도 있다.

[0071] 다음에, 섬 형상으로 패터닝된 제2반도체막(506)의 표면 영역(507)에, 유기용제로서 테트라테칸, 데카놀, 옥탄올과 같은 비등점이 150°C 를 넘는 고비등점 용제를 도포한다. 유기용제가 도포되는 영역(507)은, 적어도 게이트 전극(502:배선)의 일부와 겹치는 영역이다. 영역(507)에 도포하는 유기용제는, 뒤에 소스 및 드레인 전극을 형성하기 위해서 사용하는 유동체의 젖음성을 높일 수 있는 것이 아니면 안 된다.

[0072] 도 5(d)에 나타나 있는 바와 같이, 소스 및 드레인 전극(508, 509)을 실시 형태1과 같이 액적도출법을 이용하여

형성한다. 토출시키는 유동체는, 실시 형태1에 나타낸 것을 사용하면 된다. 예를 들면, 입경이 1nm 이상 100nm 이하의 은을 주성분으로 하는 미립자를 함유하여 해당 미립자가 테트라데칸 중에 분산된 유동체를, 잉크젯 헤드 등으로부터 토출시킨 후, 소정의 조건에서 소성함으로써 경화시키면, 은을 주성분으로 하는 소스 및 드레인 전극(508, 509)이 형성된다.

[0073] 영역(507)에 유동체를 잔존한 상태에서, 영역(507)으로부터 유기용제가 도포되지 않는 게이트 절연막의 제2층(504)의 표면에 걸쳐 유동체를 토출시킨다. 토출된 유동체는 제2반도체막(506)의 표면을 따라 퍼지므로, 실시 형태1과 동일 형상의 소스 및 드레인 전극(508, 509)을 얻을 수 있다. 즉, 게이트 전극(502:배선) 위에 있는 소스 및 드레인 전극(508, 509)의 사이에 끼워진 만곡부(만곡된 간극)가 존재한다. 그 만곡된 간극을 개재함으로써 인접하는 소스 및 드레인 전극(508, 509) 각각의 단부는, 한쪽은 오목형으로 만곡하고, 다른 쪽은 볼록형으로 만곡하고 있다. 그리고, 한쪽 단부의 만곡을 따르도록, 다른 쪽 단부는 볼록형으로 만곡하고 있다.

[0074] 도 5(e)에 나타나 있는 바와 같이, 소스 및 드레인 전극(508, 509)을 마스크로 해서, 섬 형상으로 패터닝된 제2반도체막(506)을 에칭하고, 소스 및 드레인 영역(510, 511)을 형성한다. 에칭할 때는, 이방성 에칭가능한 드라이 에칭법을 사용한다. 또한, 제2반도체막(506)과 함께 제1반도체막(505) 표면의 일부가 에칭되어서, 소위 채널 에치형 박막트랜지스터가 되어도 된다. 이러한 경우에는, 게이트 절연막의 제2층(504)의 표면이 나타나지 않도록 하는 조건에서, 에칭해야만 한다. 형성된 소스/드레인 영역(510, 511)은, 소스 및 드레인 전극(508, 509)과 같은 만곡을 가지는 형상이 된다.

[0075] 영역(507)에 유기용제를 도포하는 공정을 포함하는 본 실시 형태에 따라서 얻을 수 있는 박막트랜지스터는, 실시 형태1과 같이 채널 길이 L이 작고, 채널 폭 W가 커지고 있다.

[0076] (실시 형태3)

[0077] 본 실시 형태에서는, 실시 형태1에 나타낸 박막트랜지스터를 더블 게이트 구조로 한 예를 나타낸다.

[0078] 도 6(a)에 나타나 있는 바와 같이, 유리기관, 석영기관, 플라스틱기관 중 어느 하나의 기관(601) 위에, 게이트 전극(602,603:배선)을, 예를 들면 액적토출법을 이용하여 형성한다.

[0079] 도 6(b)에 나타나 있는 바와 같이, 게이트 전극(602,603:배선) 위 및 기관(601) 위에, 게이트 절연막(604)으로서 폴리이미드막을, 예를 들면 스핀 코팅법에 의해 형성한다. 실시 형태1과 같이, 게이트절연막(604)은 폴리이미드막에 한정되지 않는다.

[0080] 도 6(c)에 나타나 있는 바와 같이, 게이트 절연막(604)의 표면 영역(605, 606)에, 예를 들면 액적토출법을 이용하여 유기용제를 도포한다. 영역(605)은 적어도 게이트 전극(602:배선)의 일부와 겹치는 영역이며, 영역(606)은 적어도 게이트 전극(603:배선)의 일부와 겹치는 영역이다. 영역(605, 606)에 도포하는 유기용제는, 실시 형태1에 나타낸 고비등점 용제이다.

[0081] 도 6(d)에 나타나 있는 바와 같이, 액적토출법에 의해, 게이트 절연막(604) 위에 소스 및 드레인 전극(607, 608, 609)을 형성한다. 소스 및 드레인 전극(607, 608, 609)이 형성되는 영역은, 게이트 절연막(604) 위에 있고, 유기용제가 도포된 영역(605, 606)으로부터 유기용제가 도포되지 않는 영역에 걸친다.

[0082] 도 6(e)에 나타나 있는 바와 같이, 펜타센 등의 유기반도체를, 증착, 액적토출법 또는 스크린인쇄법을 이용하여 형성함으로써, 반도체막(610)을 형성한다. 반도체막(610)은 유기반도체에 한정되지 않고, 실리콘막을 CVD법으로 형성해도 된다. 이 경우의 실리콘막의 결정성은 특별하게 한정되지 않는다. 반도체막(610)은, 소스 및 드레인 전극(607, 608) 사이와 소스 및 드레인 전극(608, 609) 사이에 게이트 절연막(604)과 접하도록 형성됨과 동시에, 소스 및 드레인 전극(607, 608, 609)과도 접하도록 형성된다.

[0083] 게이트 전극(602:배선) 위에 있고, 소스 및 드레인 전극(607, 608)의 사이에 끼워진 만곡부(만곡된 간극)가 존재하게 된다. 또한, 게이트 전극(603:배선) 위에 있고, 소스 및 드레인 전극(608, 609)의 사이에 끼워진 만곡부(만곡된 간극)가 존재하게 된다. 이들 만곡된 간극을 개재함으로써 인접하는 소스 및 드레인 전극 각각의 단부는, 한쪽은 오목형으로 만곡하고, 다른 쪽은 볼록형으로 만곡하고 있다. 그리고, 한쪽 단부의 만곡을 따르도록, 다른 쪽 단부는 볼록형으로 만곡하고 있다.

[0084] 본 실시 형태에 나타낸 바와 같이 더블 게이트 구조를 채용함으로써, 실시 형태1에 나타내는 단일 게이트 구조와 비교해서 박막트랜지스터의 오프 상태 전류를 감소할 수 있다.

[0085] (실시 형태4)

- [0086] 본 실시 형태에서는, 실시 형태2에 나타낸 박막트랜지스터를 더블 게이트 구조로 한 예를 나타낸다.
- [0087] 도 7(a)에 나타나 있는 바와 같이, 유리기관, 석영기관, 플라스틱기관 중 어느 하나의 기관(701) 위에, 게이트 전극(702, 703:배선)을, 예를 들면 액적도출법을 이용하여 형성한다.
- [0088] 다음에, 게이트 절연막의 제1층(704)으로서, 예를 들면 실리콘과 산소와의 결합으로 골격구조가 구성된 막(내열성 평탄화막)을, 스핀 코트법 등에 의해 실록산계 폴리머를 도포하고, 소성해서 형성한다. 또한, 게이트 절연막의 제2층(705)으로서, 예를 들면 질화실리콘막을 형성한다. 실시 형태2과 같이 그 밖의 절연막을 이용하여, 제1층(704) 및 제2층(705)을 형성해도 된다. 단, 제2층(705)은, 제1층(704)과 다른 재료로 형성한다. 상기한 바와 같이 2층이 아니라, 1층만으로 게이트 절연막을 형성해도 된다.
- [0089] 도 7(b)에 나타나 있는 바와 같이, 게이트 절연막의 제2층(705) 위에, 제1반도체막(706)으로서, 예를 들면 비정질 실리콘막을 CVD법에 의해 형성한다. 제1반도체막(706)의 결정성은, 비정질에 한정되지 않고, 미결정 또는 다결정 상태로도 된다. 제1반도체막(706) 위에, 제2반도체막(707)으로서, 예를 들면 n형불순물을 포함하는 미결정 실리콘막을 형성한다. 제2반도체막(707)은, p형불순물을 포함하는 것으로도 된다. 또한, 제2반도체막(707)의 결정성은, 미결정에 한정되지 않고, 비정질, 다결정의 어느 한 상태로도 된다.
- [0090] 제1반도체막(706) 및 제2반도체막(707)을 패터닝하여, 도 7(c)에 나타낸 바와 같이 섬 형상의 제1반도체막(706a, 706b)과 섬 형상의 제2반도체막(707a, 707b)을 얻을 수 있다. 레이저 직접 묘화장치를 이용하여, 포토마스크 없이, 제1반도체막(706) 및 제2반도체막(707)을 패터닝할 수 있다.
- [0091] 다음에, 섬 형상의 제2반도체막(707a, 707b) 각각의 표면 영역(708a, 708b)에 유기용제를 도포한다. 영역(708a)은 적어도 게이트 전극(702:배선)의 일부와 겹치는 영역으로 하고, 영역(708b)은 적어도 게이트 전극(703:배선)의 일부와 겹치는 영역으로 한다. 영역(708a, 708b)에 도포하는 유기용제는, 뒤에 소스 및 드레인 전극을 형성하기 위해서 사용하는 유도체의 젖음성을 높일 수 있으면서 도포 후 곧 마르지 않는 고비등점 용제가 아니면 안 된다.
- [0092] 도 7(d)에 나타나 있는 바와 같이, 소스 및 드레인 전극(709, 710, 711)을 잉크젯 기술을 이용하여 형성한다. 토출시키는 유도체는, 예를 들면 입경이 1nm 이상 100nm 이하의 은을 주성분으로 하는 미립자를 함유하여 해당 미립자가 테트라데칸 중에 분산된 유도체를 사용할 수 있다. 소스 및 드레인 전극(709, 710, 711)은, 영역(708a, 708b) 위로부터 유기용제가 도포되지 않는 게이트 절연막의 제2층(705) 위에 걸쳐서 형성된다.
- [0093] 게이트 전극(702:배선) 위에 있고, 소스 및 드레인 전극(709, 710)의 사이에 끼워진 만곡부(만곡된 간극)가 존재한다. 또한, 게이트 전극(703:배선) 위에 있고, 소스 및 드레인 전극(710, 711)의 사이에 끼워진 만곡부(만곡된 간극)가 존재한다. 이들 만곡된 간극을 개재함으로써 인접하는 소스 및 드레인 전극 각각의 단부는, 한쪽은 오목형으로 만곡하고, 다른 쪽은 볼록형으로 만곡하고 있다. 그리고, 한쪽 단부의 만곡을 따르도록, 다른 쪽 단부는 볼록형으로 만곡하고 있다.
- [0094] 도 7(e)에 나타나 있는 바와 같이, 소스 및 드레인 전극(709, 710, 711)을 마스크로 해서, 섬 형상의 제2반도체막(707a, 707b)을 에칭하고, 소스 및 드레인 영역(712, 713, 714, 715)을 형성한다. 에칭할 때에, 이방성 에칭가능한 드라이 에칭법을 사용한다. 형성된 소스/드레인 영역(712, 713, 714, 715)은, 소스 및 드레인 전극(709, 710, 711)과 같은 만곡을 가지는 형상이 된다.
- [0095] 본 실시 형태에 나타낸 바와 같이 더블 게이트 구조를 채용함으로써, 실시 형태2에 나타내는 단일 게이트 구조와 비교해서 박막트랜지스터의 오프 상태 전류를 감소할 수 있다.
- [0096] 이상에서 설명한 실시 형태1 내지 4에서는, 바텀 게이트(bottom gate)형의 박막트랜지스터를 형성했다. 그러나, 본 명세서에 개시하는 발명은, 바텀 게이트형의 박막트랜지스터에 한정되지 않고, 게이트 전극이 채널 형성 영역 위에 설정된, 소위 정(+) 스테거형의 박막트랜지스터에도 적용할 수 있다.
- [0097] (실시예1)
- [0098] 본 명세서에 개시하는 발명에 의해 형성된 반도체소자 중 하나인 박막트랜지스터는, 각종 표시장치에 적용된다. 적용되는 표시장치로서, 예를 들면 액정표시장치, 전계발광(EL)표시장치를 들 수 있지만, 박막트랜지스터를 사용하는 표시장치이면 이것들에 한정되지 않는다.
- [0099] 전계발광(EL)표시장치의 화소부의 예를, 도 8(a) 및 (b)에 회로도로서 나타낸다. 또, 전계발광(EL)표시장치의 화소부는, 이것들 2개의 예에 한정되는 것은 아니다.

- [0100] 도 8(a)에 도시된 것은, 1화소에 대해서 2개의 박막트랜지스터를 가지는 타입이다.
- [0101] 참조부호 801, 802는 각각 박막트랜지스터를 나타내고, 발광소자(803)는 박막트랜지스터(802)의 소스 전극 또는 드레인 전극에 접속되고 있다. 참조부호 804는 용량소자를 나타낸다. 박막트랜지스터(801)는, 예를 들면 n채널형이고, 박막트랜지스터(802)는, 예를 들면 p채널형이다. 박막트랜지스터(801)에 있어서, 게이트 전극은 주사선에 접속되고, 소스 전극 또는 드레인 전극은 신호선에 접속되고 있다.
- [0102] 도 8(b)에 도시된 것은, 1화소에 대해서 3개의 박막트랜지스터를 가지는 타입이다. 참조부호 805, 806, 807은 모두 박막트랜지스터를 나타내고, 발광소자(808)는 박막트랜지스터(807)의 소스 전극 또는 드레인 전극에 접속되고 있다. 참조부호 809는 용량소자를 나타낸다. 박막트랜지스터(805)는, 예를 들면 n채널형이고, 박막트랜지스터(806)는, 예를 들면 n채널형이며, 박막트랜지스터(807)는, 예를 들면 p채널형이다. 박막트랜지스터(805)에 있어서, 게이트 전극은 주사선에 접속되고, 소스 전극 또는 드레인 전극은 신호선에 접속되고 있다.
- [0103] 본 명세서에 개시하는 발명을, 도 8(a) 및 도 8(b)에 나타내는 화소부의 박막트랜지스터에 적용할 수 있다.
- [0104] 도 9(a), 도 9(b) 및 도 9(c)는, 전계발광(EL)표시장치의 화소부의 예를 단면도에서 나타낸 것이며, 유리기판, 석영기판, 플라스틱기판 중 어느 하나의 기판 위에 실시 형태2에 의해 형성된 박막트랜지스터와, 그 박막트랜지스터의 소스 전극/드레인 전극과 전기적으로 접속된 발광소자를 나타낸다.
- [0105] 도 9(a)의 참조부호 901은 기판, 902는 박막트랜지스터, 903은 소스/드레인 전극, 904는 투광성을 가지는 제1전극, 905는 전계발광층, 906은 제2전극, 907은 절연막이다. 발광한 빛을 기판(901)측(바닥측)으로 방사시키는, 소위 바텀 이미션형이다.
- [0106] 도 9(b)의 참조부호 911은 기판, 912는 박막트랜지스터, 913은 소스/드레인 전극, 914는 제1전극, 915는 전계발광층, 916은 투광성을 가지는 제2전극, 917 및 918은 절연막이다. 발광한 빛을 기판(911)측과는 반대측(상측)으로 방사시키는, 소위 톱 이미션형이다.
- [0107] 도 9(c)의 참조부호 921은 기판, 922는 박막트랜지스터, 923은 소스/드레인 전극, 924는 투광성을 가지는 제1전극, 925는 전계발광층, 926은 투광성을 가지는 제2전극, 927은 절연막이다. 발광한 빛을 기판(921)측과는 반대측(상측) 및 기판(921)측(바닥측)으로 방사시키는, 소위 듀얼 이미션형이다.
- [0108] 투광성을 가지는 제1전극 또는 제2전극으로서, 인듐 주석 산화물(ITO), 산화실리콘을 포함하는 인듐 주석 산화물, 산화아연과 산화인듐을 포함하는 인듐 아연산화물(IZO)을 사용할 수 있고, 스퍼터링법 또는 액적도출법에 의해 형성할 수 있다.
- [0109] 도 9(a), 도 9(b) 및 도 9(c)에 나타낸 절연막(907, 918, 927)은, 제1전극의 표면에 도달하는 개구가 형성되고 있다. 그 개구의 단면은, 전계발광층 및 제2전극의 피복성을 높이기 위해서, 곡률반경이 연속적으로 변화되어 둥근 형상인 것이 바람직하다. 절연막(907, 918, 927 및, 918)로서, 산화실리콘, 질화실리콘 등의 무기절연막, 폴리이미드 등의 유기수지막, 실록산계 폴리머를 도포해 소성해서 얻을 수 있는 절연의 내열성 평탄화막을 사용할 수 있다.
- [0110] 도 9(a), 도 9(b) 및 도 9(c)에 있어서, 제1전극과 제2전극의 한쪽은 양극, 다른 쪽은 음극이 된다. 전계발광층(905, 915, 925)은, 제1전극이 양극이고 제2전극이 음극이라면, 정공수송층, 유기발광층, 전자수송층이 순차적으로 적층해서 형성된다. 제1전극이 음극이고 제2전극이 양극이라면, 전자수송층, 유기발광층, 정공수송층이 순차적으로 적층해서 형성된다. 양극과 정공수송층의 사이에 정공주입층, 음극과 전자수송층의 사이에 전자주입층을 설치해도 된다. 유기발광층은, 액적도출법, 인쇄법, 진공증착법의 어느 하나를 이용하여 형성할 수 있고, 고분자계의 발광 재료, 저분자계의 발광 재료 모두를 사용할 수 있다.
- [0111] 본 명세서에 개시하는 발명은, 전계발광(EL)표시장치의 화소부에 사용할 수 있는 박막트랜지스터에 적용할 수 있을 뿐 아니라, 주사선구동회로, 신호선구동회로를 박막트랜지스터로 형성할 경우에도 적용할 수 있다. 이것들의 구동회로에 사용되는 박막트랜지스터는, 고속동작이 요청된다. 따라서, 본 명세서에 개시하는 발명에 의한, 채널 폭 W가 큰 박막트랜지스터는, 온 상태 전류가 높고, 동작 속도가 높기 때문에, 상기 구동회로에 사용하는데도 적합하다.
- [0112] 도 10(a), 도 10(b) 및 도 10(c)는, 본 명세서에 개시하는 발명이 적용되는 액정표시장치, 전계발광(EL)표시장치 등의 표시장치의 구성을 나타내는 평면도이다.
- [0113] 도 10(a)에 있어서는, 기판(1000) 위에, 복수의 화소(1002)가 매트릭스 모양으로 배열한 화소부(1001), 주사선

측 입력 단자(1003), 신호선측 입력 단자(1004)가 형성되고 있다. 화소(1002)는, 주사선측 입력 단자(1003)로부터 연장하는 주사선과, 신호선측 입력 단자(1004)로부터 연장하는 신호선이 교차함으로써 매트릭스 모양으로 배열된다. 화소(1002) 각각은 스위칭소자와 화소전극을 구비하고 있다. 스위칭소자의 전형적인 예가 박막트랜지스터이다. 도 10(a)는, 주사선 및 신호선에 입력하는 신호를, 주사선측 입력 단자(1003) 및 신호선측 입력 단자(1004)를 거쳐서 기관 외부에 접속되는 구동회로에 의해 제어하는 표시장치의 예이다. 하지만, 기관 위에 구동회로를 형성하는 COG방식으로도 된다.

[0114] 도 10(b)는, 화소부(1011) 및 주사선구동회로(1012)를 기관(1010) 위에 형성한 예이다. 참조부호 1014는, 도 10(a)와 같은 신호선측 입력 단자이다. 또, 도 10(c)는, 화소부(1021), 주사선구동회로(1022) 및 신호선구동회로(1024)를 기관(1020) 위에 형성한 예이다.

[0115] 도 10(b)에 나타내는 주사선구동회로(1012), 도 10(c)에 나타내는 주사선구동회로(1022) 및 신호선구동회로(1024)는 박막트랜지스터에 의해 형성되어, 화소부에 설정되는 박막트랜지스터와 동시에 형성할 수 있다. 단, 주사선구동회로와 신호선구동회로는 고속동작이 요청되기 때문에, 이것들에 사용하는 박막트랜지스터에는, 비정질 반도체막보다도 이동도가 높은 미결정 반도체막 또는 다결정반도체막을 채널 형성영역에 사용한 박막트랜지스터를 선택해야 한다.

[0116] 본 명세서에 개시하는 발명에 의해 제작한 박막트랜지스터는, 도 10(a), 도 10(b) 및 도 10(c)에 나타내는 화소부에 적어도 적용할 수 있고, 도 10(b)에 나타내는 주사선구동회로(1012), 도 10(c)에 나타내는 주사선구동회로(1022) 및 신호선구동회로(1024)에도 적용할 수 있다.

[0117] 전계발광(EL)표시장치에 한정하지 않고, 액정표시장치의 적어도 화소부, 더욱이는 구동회로에도, 본 명세서에 개시하는 발명에 의해 제작한 박막트랜지스터를 적용할 수 있다.

[0118] 본 실시예에서는, 본 명세서에 개시하는 발명이 적용되는 액정표시장치의 일례를 도 11에 나타낸다. 액정표시장치는, 도 11에 나타내는 예에 한정되지 않는다.

[0119] 제1기관(1101)과 제2기관(1102)과의 사이에 액정층(1104)을 가지고, 이들의 기관끼리는 쉴재(1100)에 의해 접착되고 있다. 제1기관(1101)에는 화소부(1103)이 형성되고, 제2기관에는 착색층(1105)이 형성되고 있다. 착색층(1105)은, 컬러 표시를 행할 때에 필요하고, RGB 방식의 경우에는, 적색, 녹색, 청색의 각 색에 대응한 착색층이, 각 화소에 대응해서 설치된다. 제1기관(1101) 및 제2기관(1102)의 외측에는, 각각 편광판(1106, 1107)이 설치된다. 또한, 편광판(1107)의 표면에는, 보호막(1116)이 형성되고 있어, 외부로부터의 충격을 완화하고 있다.

[0120] 화소부(1103)에는 박막트랜지스터가 형성되어 있고, 본 명세서에서 개시하는 발명에 의한 박막트랜지스터를 적용할 수 있다.

[0121] 제1기관(1101)에 설치된 접속단자(1108)에는, FPC(1109)를 거쳐서 배선 기관(1110)이 접속되고 있다. FPC(1109) 또는 접속 배선에는 구동회로(1111:IC칩 등)가 설치되고, 배선 기관(1110)에는 컨트롤 회로나 전원회로 등의 외부회로(1112)가 설치된다.

[0122] 냉음극선관(1113), 반사판(1114) 및 광학 필름(1115)은 백라이트 유닛이며, 이것들이 광원이 된다. 제1기관(1101), 제2기관(1102), 광원, 배선 기관(1110) 및 FPC(1109)는, 베젤(1117:bezel)에서 유지 및 보호된다.

[0123] (실시예2)

[0124] 본 실시예에서는, 실시 형태1에 기재한 표시장치를 탑재한 전자기기를 나타낸다. 표시장치를 탑재한 전자기기의 예로서, 텔레비전 장치, 디지털 카메라, 노트북 pc, 휴대전화기 등을 들 수 있다. 그러나, 본 명세서에 개시하는 발명이 적용되는 표시장치는, 이들 전자기기에 탑재될 경우에 한정되지 않는다.

[0125] 도 12에 텔레비전 장치의 일례를 나타낸다. 참조부호 1201은 케이스, 1202은 표시부, 1203은 스피커, 1204는 조작부, 1205는 비디오 입력 단자를 나타낸다. 본 명세서에 개시하는 발명이 적용된 표시장치는, 표시부(1202)에 사용할 수 있다.

[0126] 도 13(a) 및 도 13(b)에 디지털 카메라의 일례를 나타낸다. 도 13(a)는 디지털 카메라를 전방면으로부터 본 도면이며, 참조부호 1301은 릴리즈 버튼, 1302는 메인 스위치, 1303은 화인더 창, 1304는 스트로브 스크프, 1305는 렌즈, 1306은 케이스를 나타낸다. 도 13(b)는 상기 디지털 카메라를 후방면으로부터 본 도면이며, 참조부호 1307은 화인더 접안창, 1308은 모니터, 1309 및 1310은 조작 버튼을 나타낸다. 본 명세서에 개시하는 발명이

적용된 표시장치는, 모니터(1308)에 사용할 수 있다.

[0127] 상기 텔레비전 장치 및 디지털 카메라에 한정하지 않고, 표시부나 모니터를 가지는 전자기기에 본 명세서에서 개시하는 발명을 적용할 수 있다.

[0128] 본 발명은, 그 전체 내용이 본 발명에 참조로 통합된 2004년 8월 20일 출원된 일본 특허출원 번호 제2004-241119호를 기초로 한다.

발명의 효과

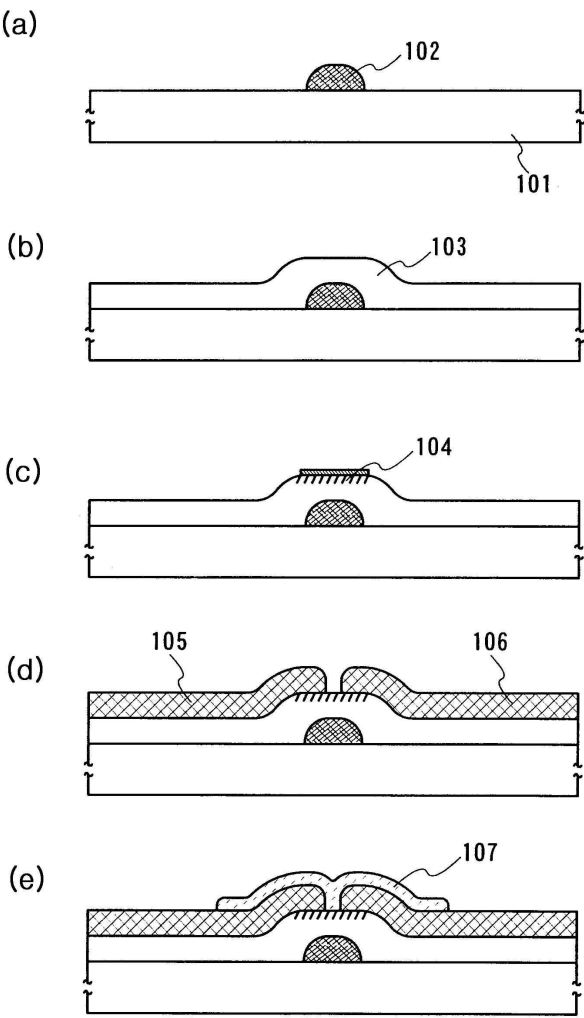
[0129] 본 명세서에 개시하는 발명에 의해, 반도체소자의 채널 폭 W 를 길게 하고, 채널 길이 L 을 짧게 하는 것을 용이하게 실현할 수 있다. 본 명세서에 개시하는 발명에 의해, 온 상태 전류, 동작 속도가 높은 반도체소자를 포트리스그래피 공정 없이 또는 포트리스그래피 공정을 삭감해서 제조할 수 있는 효과가 있다.

도면의 간단한 설명

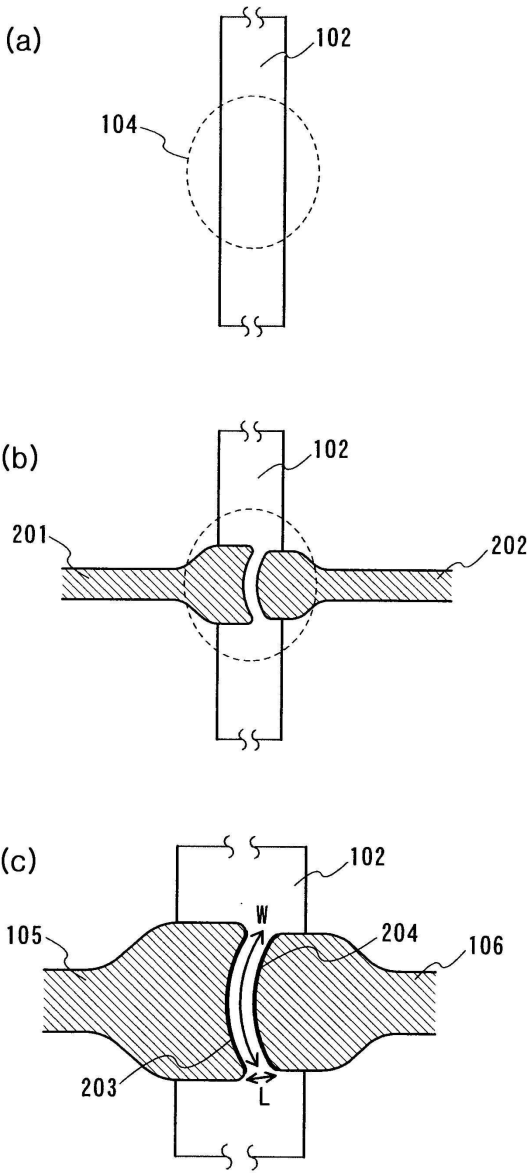
- [0001] 도 1(a) 내지 (e)는 실시 형태1에 의한 박막트랜지스터의 제작 공정을 나타내는 단면도,
- [0002] 도 2(a) 내지 (c)는 실시 형태1에 의한 박막트랜지스터의 제작 공정을 나타내는 평면도,
- [0003] 도 3(a) 및 (b)는 실시 형태1 및 비교예에 의한 박막트랜지스터의 상면 사진,
- [0004] 도 4는 실시 형태1 및 비교예에 의한 박막트랜지스터의 V_G - I_D 특성을 도시한 도면,
- [0005] 도 5(a) 내지 (e)는 실시 형태2에 의한 박막트랜지스터의 제작 공정을 나타내는 단면도,
- [0006] 도 6(a) 내지 (e)는 실시 형태3에 의한 박막트랜지스터의 제작 공정을 나타내는 단면도,
- [0007] 도 7(a) 내지 (e)는 실시 형태4에 의한 박막트랜지스터의 제작 공정을 나타내는 단면도,
- [0008] 도 8(a) 및 (b)는 실시예1에 나타내는 EL표시장치의 화소부의 회로도,
- [0009] 도 9(a) 내지 (c)는 실시예1에 나타내는 EL표시장치의 화소부의 단면도,
- [0010] 도 10(a) 내지 (c)는 실시예1에 나타내는 표시장치의 구성을 나타내는 평면도,
- [0011] 도 11은 실시예1에 나타내는 액정표시장치를 도시한 도면,
- [0012] 도 12는 실시예2에 나타내는 전자기기를 도시한 도면,
- [0013] 도 13(a) 및 (b)는 실시예2에 나타내는 전자기기를 도시한 도면이다.

도면

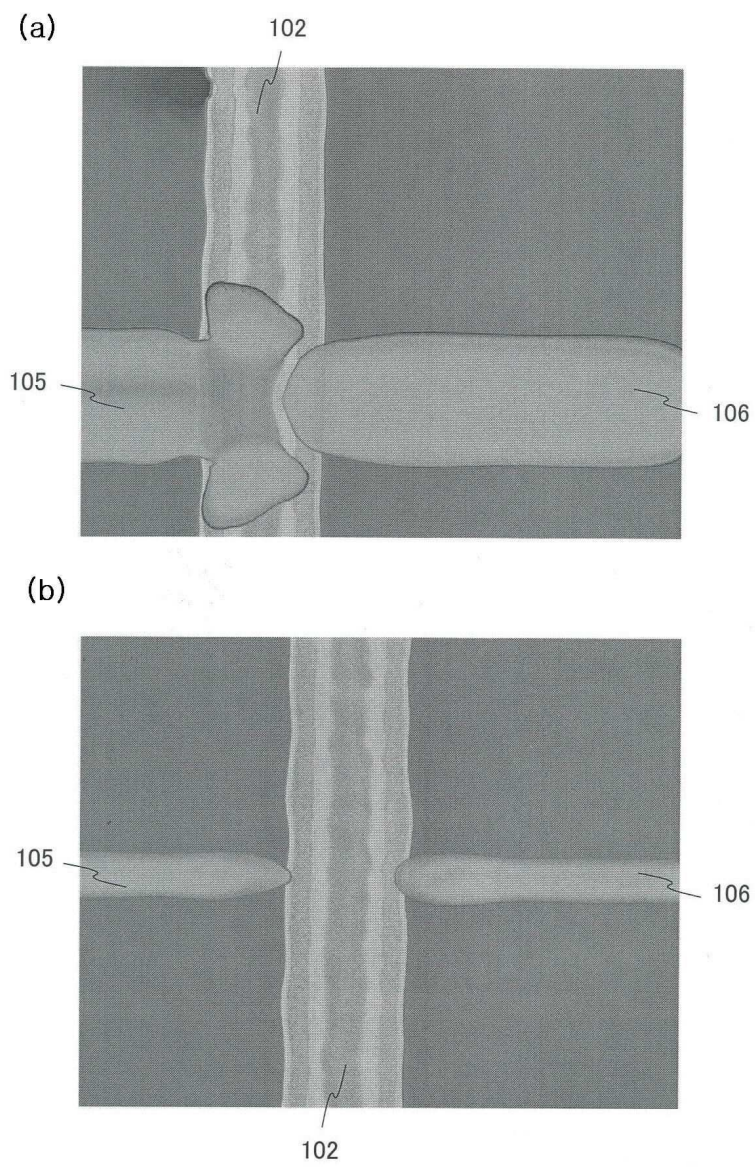
도면1



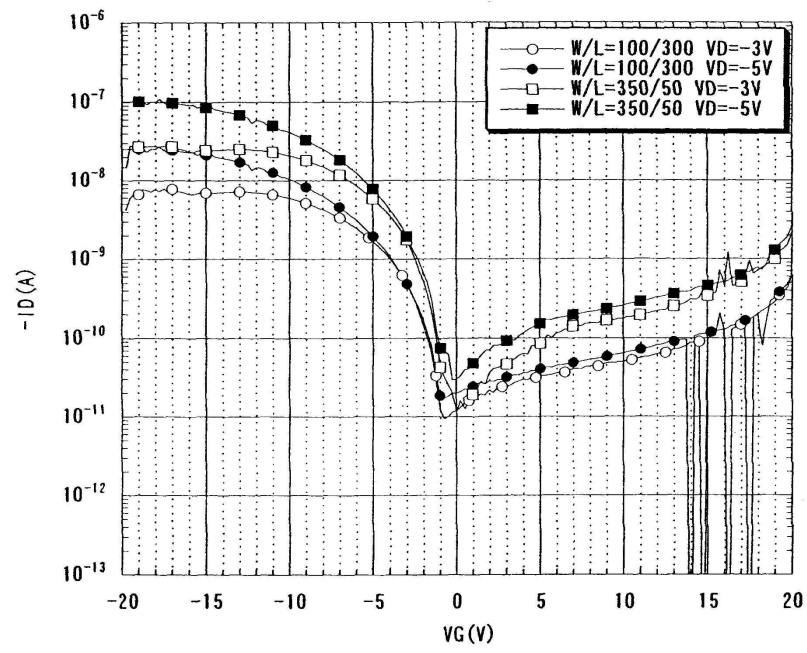
도면2



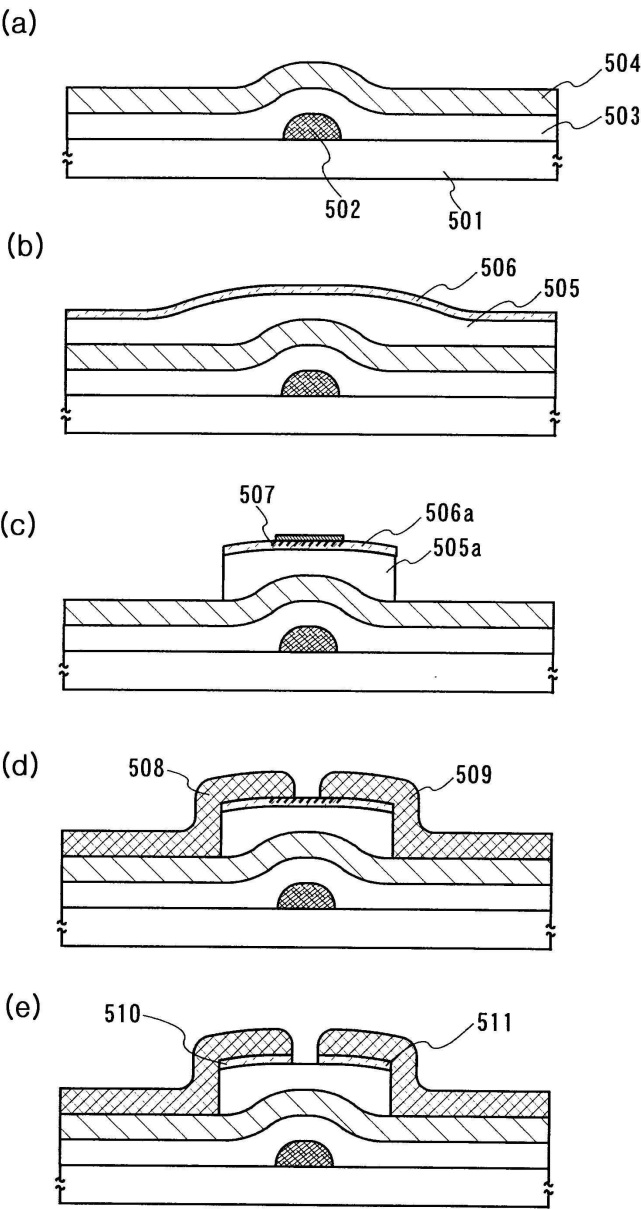
도면3



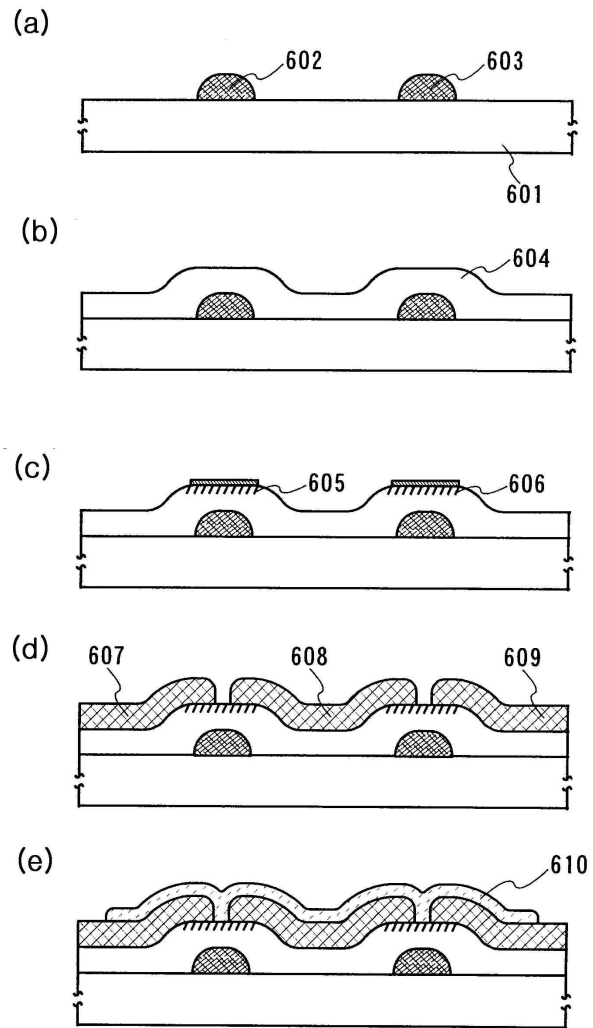
도면4



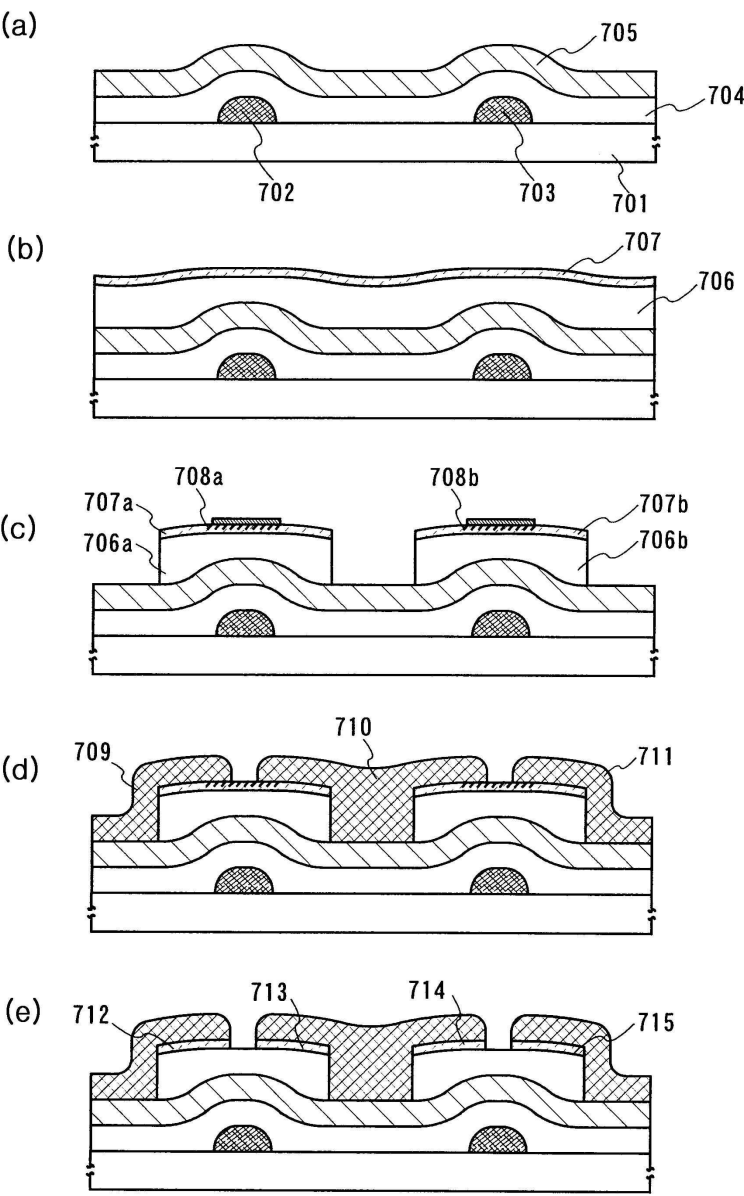
도면5



도면6

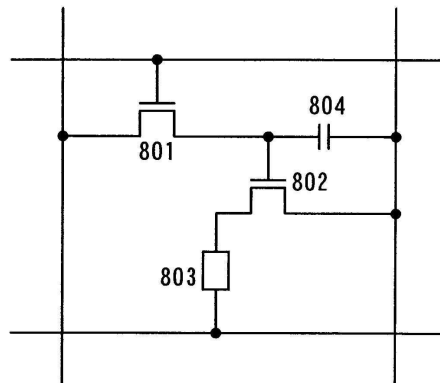


도면7

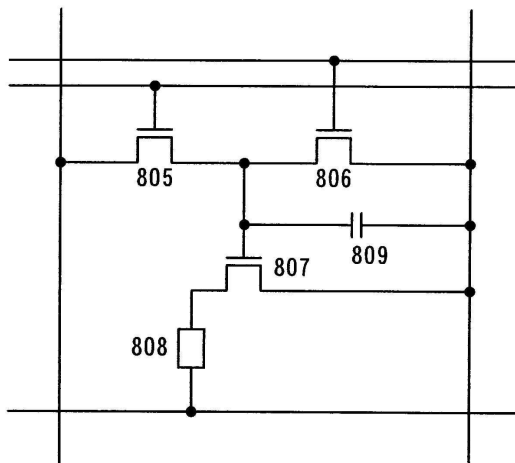


도면8

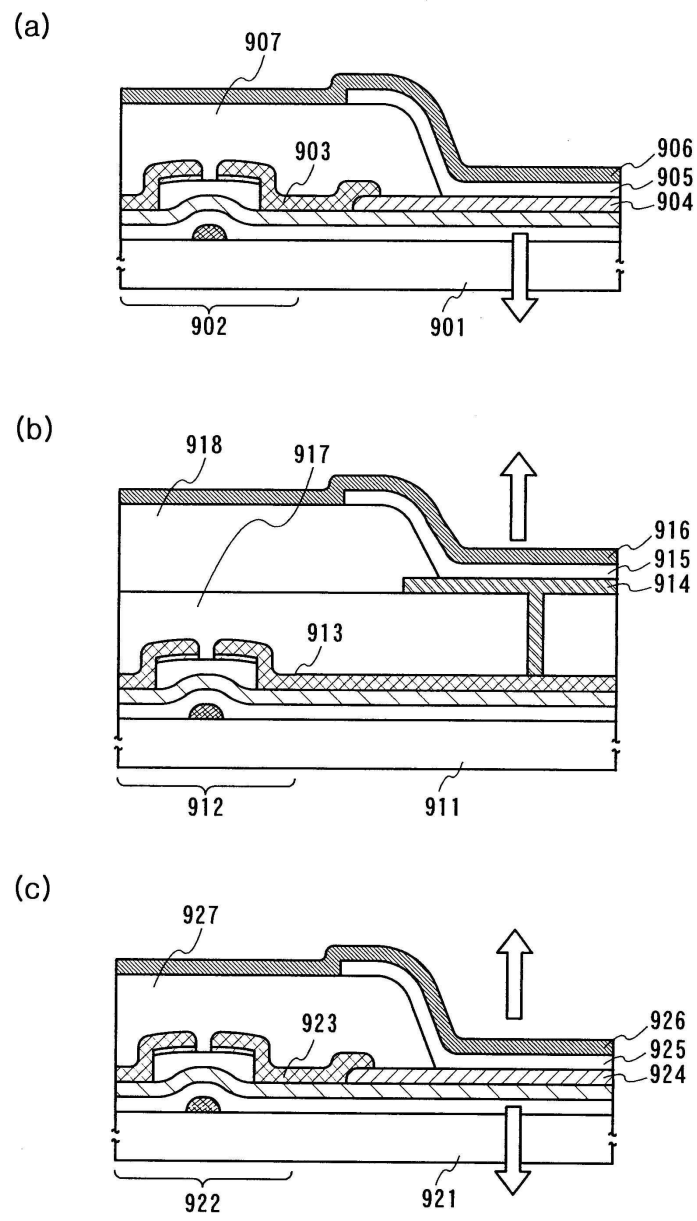
(a)



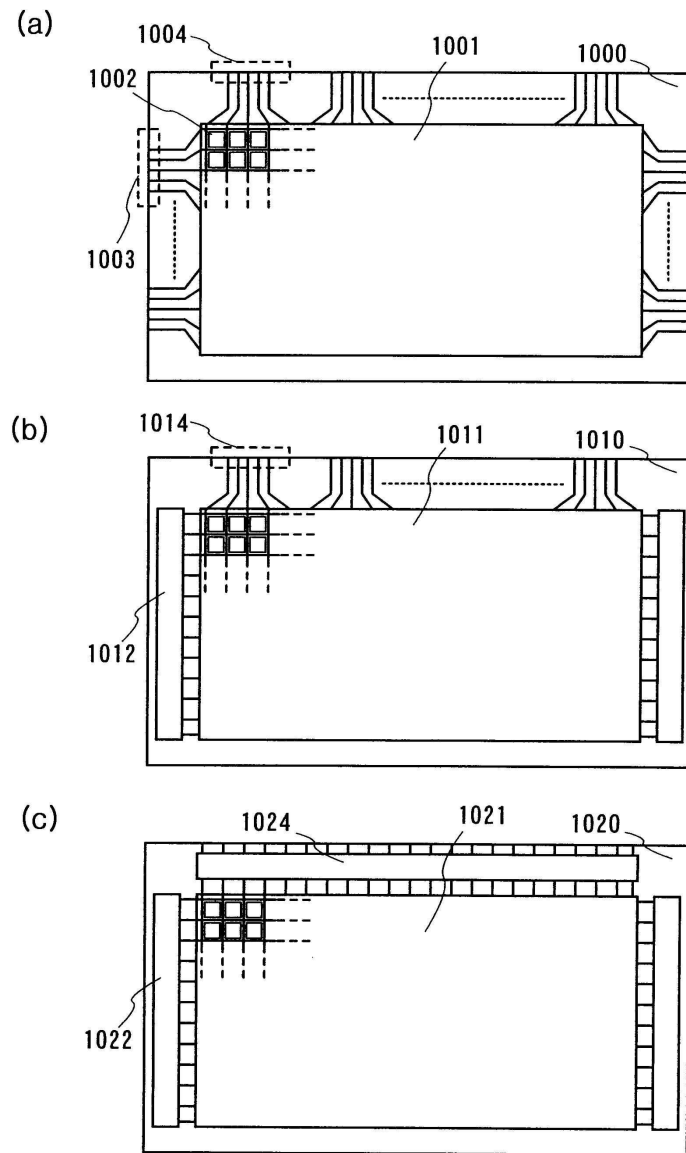
(b)



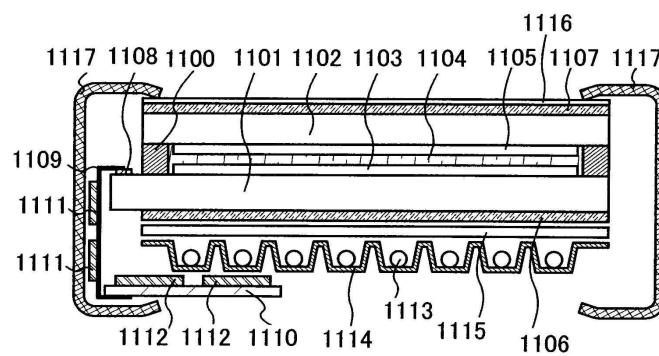
도면9



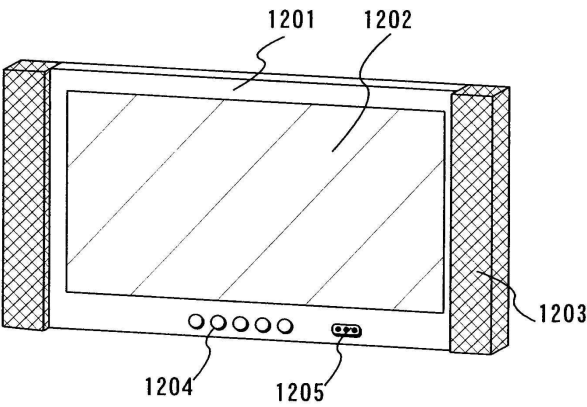
도면10



도면11



도면12



도면13

