

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-14658

(P2004-14658A)

(43) 公開日 平成16年1月15日(2004.1.15)

(51) Int.Cl.<sup>7</sup>

H01L 29/861

H01L 21/329

F 1

H01L 29/91

H01L 29/91

H01L 29/91

テーマコード (参考)

C

A

K

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号

特願2002-163800 (P2002-163800)

(22) 出願日

平成14年6月5日 (2002.6.5)

(71) 出願人 503121103

株式会社ルネサステクノロジ

東京都千代田区丸の内二丁目4番1号

(74) 代理人 100080001

弁理士 筒井 大和

(72) 発明者 乙黒 政貴

東京都小平市上水本町五丁目20番1号

株式会社日立製作所半導体グループ内

(72) 発明者 内藤 伸二

東京都小平市上水本町五丁目20番1号

株式会社日立製作所半導体グループ内

(72) 発明者 光安 昭博

東京都小平市上水本町五丁目20番1号

株式会社日立製作所半導体グループ内

(54) 【発明の名称】半導体装置およびその製造方法

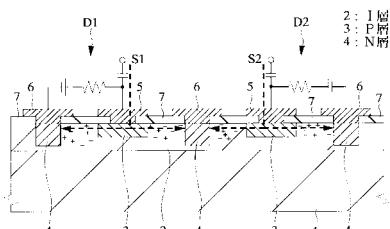
## (57) 【要約】

【課題】複数個並列に並んだPINダイオード間の干渉を軽減することのできる技術を提供する。

【解決手段】半導体基板1上にn型の導電性を示すエピタキシャル層(I層)2を形成し、I層2の上面側にp型の導電性を示す半導体領域(P層)3、およびその周辺に所定の距離をもつてn型の導電性を示す半導体領域(N層)4を形成する。さらにP層3に接して第1の電極(アノード電極)5、N層4に接して第2の電極(カソード電極)6を形成し、第1の電極5と第2の電極6との間に、P層3、I層2およびN層4からなるPINダイオードD1、D2を構成する。

【選択図】 図2

図 2



**【特許請求の範囲】****【請求項 1】**

基板上に第1の導電型を示す不純物が相対的低濃度に導入されたエピタキシャル層が形成され、前記エピタキシャル層の上面側に、前記第1の導電型と異なる第2の導電型を示す不純物が相対的高濃度に導入された第1の半導体領域と、前記第1の半導体領域の周辺に所定の距離をおいて、前記第1の導電型を示す不純物が相対的高濃度に導入された第2の半導体領域とが形成されており、

前記第1の半導体領域、前記エピタキシャル層および前記第2の半導体領域からなるダイオードが構成されることを特徴とする半導体装置。

**【請求項 2】**

基板上に第1の導電型を示す不純物が相対的低濃度に導入されたエピタキシャル層が形成され、前記エピタキシャル層の上面側に、前記第1の導電型と異なる第2の導電型を示す不純物が相対的高濃度に導入された第1の半導体領域と、前記第1の半導体領域の周辺に所定の距離をおいて、前記第1の導電型を示す不純物が相対的高濃度に導入された第2の半導体領域とが形成されており、

前記第1の半導体領域、前記エピタキシャル層および前記第2の半導体領域からなるダイオードが構成され、前記第2の半導体領域は前記基板に達していることを特徴とする半導体装置。

**【請求項 3】**

基板の上面側に、第1の導電型を示す不純物が導入された第1の半導体領域と、前記第1の半導体領域の周辺に前記第1の導電型と異なる第2の導電型を示す不純物が導入された第2の半導体領域とが形成されており、

前記第1の半導体領域および前記第2の半導体領域からなるダイオードが構成されることを特徴とする半導体装置。

**【請求項 4】**

(a) 基板上に第1の導電型を示す不純物が相対的低濃度に導入されたエピタキシャル層を形成する工程と、

(b) 前記エピタキシャル層上に第1の絶縁膜を形成する工程と、

(c) 前記第1の絶縁膜の一部を除去した後、前記第1の絶縁膜を除去した領域を通して前記第1の導電型と異なる第2の導電型の不純物を前記エピタキシャル層へ導入して、相対的高濃度の第1の半導体領域を形成する工程と、

(d) 前記第1の絶縁膜の上層に第2の絶縁膜を形成する工程と、

(e) 前記第1の半導体領域から所定の距離をおいて、所定の幅で前記第1の半導体領域周辺の前記第1および第2の絶縁膜を除去した後、前記第1および第2の絶縁膜を除去した領域を通して前記第1の導電型の不純物を前記エピタキシャル層へ導入して、相対的高濃度の第2の半導体領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

**【請求項 5】**

(a) 基板上に第1の導電型を示す不純物が相対的低濃度に導入されたエピタキシャル層を形成する工程と、

(b) 前記エピタキシャル層上に第1の絶縁膜を形成する工程と、

(c) 前記第1の絶縁膜の一部を除去した後、前記第1の絶縁膜を除去した領域を通して前記第1の導電型と異なる第2の導電型の不純物を前記エピタキシャル層へ導入して、相対的高濃度の第1の半導体領域を形成する工程と、

(d) 前記第1の絶縁膜の上層に第2の絶縁膜を形成する工程と、

(e) 前記第1の半導体領域から所定の距離をおいて、所定の幅で前記第1の半導体領域周辺の前記第1および第2の絶縁膜を除去した後、前記第1および第2の絶縁膜を除去した領域を通して前記第1の導電型の不純物を前記エピタキシャル層へ導入して、相対的高濃度の第2の半導体領域を形成する工程とを有し、

前記第2の半導体領域は、前記基板に達することを特徴とする半導体装置の製造方法。

10

20

30

40

50

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、半導体装置およびその製造技術に関し、特に、PIN (Positive Intrinsic Negative) ダイオードを有する半導体装置に適用して有効な技術に関する。

**【0002】****【従来の技術】**

たとえばマグロウヒルブック株式会社発行「半導体デバイスの基礎」昭和61年3月25日発行、グローブ著、図6.1にシリコンのプレーナ型n<sup>+</sup> p接合ダイオードが記載されている。10

**【0003】**

このn<sup>+</sup> p接合ダイオードは、まず相対的に高濃度(たとえば10<sup>19</sup> cm<sup>-3</sup>)にドープされたp型の導電性を示す基板上に、相対的に低濃度(たとえば10<sup>16</sup> cm<sup>-3</sup>)にドープされるp型エピタキシャル膜を成長させる。次に、熱酸化処理によりエピタキシャル膜の表面にシリコン酸化膜を形成した後、シリコン酸化膜の一部を取り除いて窓を形成し、続いてその窓を通じてn型の導電性を示す不純物をエピタキシャル膜へ拡散することにより、n<sup>+</sup> p接合ダイオードが形成される。このような接合は、基板上に同時に複数個形成される。

**【0004】****【発明が解決しようとする課題】**

本発明者は、アンテナスイッチ用または位相シフト用のPINダイオードについて検討した。図8は、本発明者によって検討されたPINダイオードの一例を示す半導体基板の要部断面図である。

**【0005】**

n型の導電性を示す半導体基板(N層)51の表面上にエピタキシャル層(I層)52が形成されており、このエピタキシャル層52に、n型の導電性を示す半導体領域からなるアイソレーション層53に囲まれてp型の導電性を示す半導体領域(P層)54が形成されている。p型の導電性を示す半導体領域54に接して設けられた第1の電極55と、半導体基板51の裏面に接して設けられた第2の電極56との間に、p型の導電性を示す半導体領域(P層)54、エピタキシャル層(I層)52および半導体基板(N層)51からなるPINダイオードが構成される。30

**【0006】**

しかしながら、信号周波数が互いに異なる上記PINダイオードが複数個並列に並んでいる場合、以下の問題が生ずることを本発明者は見いだした。

**【0007】**

すなわち、入力信号の周波数が互いに異なる第1のPINダイオードE1と第2のPINダイオードE2とを同時にオンさせた場合、エピタキシャル層52に注入されたキャリアはエピタキシャル層52全体に広がるため、第1のPINダイオードE1の高周波信号S1と第2のPINダイオードE2の高周波信号S2とはお互いに干渉(変調)して、出力信号に歪みが生ずることがある。40

**【0008】**

アイソレーション層53を深くすることによって、第1のPINダイオードE1の高周波信号S1と第2のPINダイオードE2の高周波信号S2との間で生ずる干渉(変調)を防ぐことができる。しかしながら、イオン注入法によりエピタキシャル層52に不純物を導入し、その後熱処理を施すことによってアイソレーション層53は形成されるため、その深さには限界があり、エピタキシャル層52が相対的に厚い場合は、アイソレーション層53では上記干渉(変調)を防ぐことが難しいと考えられる。

**【0009】**

本発明の目的は、複数個並列に並んだPINダイオード間の干渉を軽減することのできる50

技術を提供することにある。

【0010】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0012】

本発明は、基板上にn型の導電性を示す不純物が相対的低濃度に導入されたエピタキシャル層が形成され、エピタキシャル層の上面側に、p型の導電性を示す不純物が相対的高濃度に導入された第1の半導体領域と、第1の半導体領域の周辺に所定の距離をおいて、n型の導電性を示す不純物が相対的高濃度に導入された第2の半導体領域とが形成されており、第1の半導体領域、エピタキシャル層および第2の半導体領域からなるダイオードが構成されるものである。 10

【0013】

本発明は、基板上にn型の導電性を示す不純物が相対的低濃度に導入されたエピタキシャル層を形成する工程と、エピタキシャル層上に第1の絶縁膜を形成する工程と、第1の絶縁膜の一部を除去した後、第1の絶縁膜を除去した領域を通してp型の導電性を示す不純物をエピタキシャル層へ導入して、相対的高濃度の第1の半導体領域を形成する工程と、第1の絶縁膜の上層に第2の絶縁膜を形成する工程と、第1の半導体領域から所定の距離をおいて、所定の幅で第1の半導体領域周辺の第1および第2の絶縁膜を除去した後、第1および第2の絶縁膜を除去した領域を通してn型の導電性を示す不純物をエピタキシャル層へ導入して、相対的高濃度の第2の半導体領域を形成する工程とを有するものである。 20

【0014】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。 30

【0015】

図1は、本発明の一実施の形態であるPINダイオードを示す半導体基板の要部平面図、図2は、図1のA-A線におけるPINダイオードを示す半導体基板の要部断面図である。なお、図には、並列に並んだ2つのPINダイオードを記載したが、基板上に3つ以上のPINダイオードを配置してもよい。また、図1中、網掛けのハッチングで示す領域は、PINダイオードの一部を構成するN層を示す。 40

【0016】

シリコン単結晶からなる半導体基板1の上層に、n型の導電性を示す10μm程度の厚さのエピタキシャル層(以下、I層と記す)2が形成されている。I層2には、一辺が50~150μm程度の矩形からなるp型の導電性を示す半導体領域(以下、P層と記す)3が形成されており、その周辺に所定の距離をおいて、50~150μm程度の幅を有し、n型の導電性を示す半導体領域(以下、N層と記す)4が形成されている。隣接するP層3は、200~400μm程度の間隔で離れており、P層3の深さは5μm程度である。またN層4の深さは5~10μm程度であり、N層4は半導体基板1と接してもよい。 50

【0017】

さらにアノード、カソードの両電極がI層2の上面側に形成されており、第1の電極(アノード電極)5がP層3に、第2の電極(カソード電極)6がN層4に接している。従って、I層2の上面側に設けられた第1の電極5と第2の電極6との間に、P層3、I層2およびN層4からなるPINダイオードD1、D2が構成される。P層3、I層2およびN層4の不純物濃度は、それぞれ $10^{20} \text{ cm}^{-3}$ 、 $10^{13} \text{ cm}^{-3}$ および $10^{20} \text{ cm}^{-3}$

$\text{m}^{-3}$  程度とすることができる。なお、第1の電極5とI層2または第2の電極6とI層2とが接触しないように、I層2の上層には  $2 \mu\text{m}$  程度の厚さの絶縁膜7が形成されている。

【0018】

このように、本実施の形態によれば、PINダイオードD1, D2を構成するP層3およびN層4をI層2の上面側に配置して、N層4とP層3とを閉回路とし、N層4に電位、たとえば0.7Vを与えることにより、N層4をキャリア（電子）の注入源とすることができます。従ってキャリアをI層2の表面近傍に集めることができ、さらにN層4を半導体基板1に到達させた場合は、キャリアを各PINダイオードD1, D2が形成されたI層2に納めることができる。その結果、PINダイオードD1, D2が同時にオンしても、I層2全体へのキャリアの広がりを防ぐことができるので、PINダイオードD1の高周波信号S1とPINダイオードD2の高周波信号S2とがお互いに干渉するのを防ぐことができる。これにより、PINダイオードD1, D2を搭載した半導体装置の出力信号の歪み、チャンネル間妨害、混変調などの不具合を改善することができる。

【0019】

また、P層3とN層4との距離によってダイオード特性は制御されるので、ダイオード特性に与えるI層2の厚さの影響が小さくなる。これにより、I層2の厚さを相対的に薄く形成することができて、N層4を半導体基板1に接触させて形成することが容易となる。

【0020】

次に、本発明の一実施の形態であるPINダイオードの製造方法を図3～図7に示す半導体基板の要部断面図を用いて工程順に説明する。

【0021】

まず、図3に示すように、たとえばn型のシリコン単結晶からなる半導体基板（円形の薄い板状に加工した半導体ウエハ）1を用意する。次に、半導体基板1の表面にエピタキシャル法により、n型のシリコン単結晶膜を成長させて、不純物濃度  $10^{13} \text{ cm}^{-3}$  程度、厚さ  $10 \mu\text{m}$  程度のI層2を形成する。次に、熱酸化処理を施して、I層2の表面に厚さ  $1 \mu\text{m}$  程度のシリコン酸化膜7aを形成する。

【0022】

次に、図4に示すように、レジストパターンをマスクとしたドライエッチングにより、シリコン酸化膜7aの一部に  $200 \sim 400 \mu\text{m}$  程度の間隔で、たとえば矩形の穴を開口した後、たとえばp型の不純物をI層2にイオン注入し、続いて熱処理を施すことによって、不純物濃度  $10^{20} \text{ cm}^{-3}$  程度、深さ  $5 \mu\text{m}$  程度のP層3を形成する。P層3の一辺は  $50 \sim 150 \mu\text{m}$  程度の矩形とすることができます。

【0023】

次に、図5に示すように、シリコン酸化膜7aの上層に厚さ  $1 \mu\text{m}$  程度のシリコン酸化膜7bを、たとえばCVD（Chemical Vapor Deposition）法で堆積する。

【0024】

次に、図6に示すように、レジストパターンをマスクとしたドライエッチングにより、P層3から所定の距離をおいて、 $50 \sim 150 \mu\text{m}$  程度の幅でP層3の周辺のシリコン酸化膜7a, 7bを除去する。続いて、n型の不純物をI層2にイオン注入し、続いて熱処理を施すことによって、不純物濃度  $10^{20} \text{ cm}^{-3}$  程度、深さ  $5 \sim 10 \mu\text{m}$  程度のN層4を形成する。

【0025】

次に、図7に示すように、P層3の上方のシリコン酸化膜7bを除去した後、シリコン酸化膜7bの上層に金属膜、たとえばアルミニウム合金膜を堆積する。この後、レジストパターンをマスクとしたドライエッチングにより、この金属膜を加工して、P層3に接続する第1の電極5およびN層4に接続する第2の電極6を形成する。これにより、PINダイオードが略完成する。

【0026】

10

20

30

40

50

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0027】

たとえば、前記実施の形態では、PINダイオードに適用した場合について説明したが、他のダイオード、たとえばバリキャップダイオード、またはチエナーダイオード、スイッチングダイオード、ショットキーダイオードなどのpn接合ダイオードにも適用することができて、同様の効果が得られる。

【0028】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0029】

PINダイオードを構成するP層およびN層をI層の上面側に配置し、N層に電位を与えるN層をカソードとして用いることにより、キャリアをI層の表面近傍に集めることができる。これにより、複数のPINダイオードが同時にオンしても、I層全体へのキャリアの広がりを防ぐことができるので、複数のPINダイオード間において高周波信号がお互いに干渉するのを防止することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるPINダイオードを示す半導体基板の要部平面図である。 20

【図2】図1のA-A線におけるPINダイオードを示す半導体基板の要部断面図である。

【図3】本発明の一実施の形態であるPINダイオードの製造方法を示す半導体基板の要部断面図である。

【図4】本発明の一実施の形態であるPINダイオードの製造方法を示す半導体基板の要部断面図である。

【図5】本発明の一実施の形態であるPINダイオードの製造方法を示す半導体基板の要部断面図である。

【図6】本発明の一実施の形態であるPINダイオードの製造方法を示す半導体基板の要部断面図である。 30

【図7】本発明の一実施の形態であるPINダイオードの製造方法を示す半導体基板の要部断面図である。

【図8】本発明が検討したPINダイオードを示す半導体基板の要部断面図である。

【符号の説明】

1 半導体基板

2 エピタキシャル層(I層)

3 p型の導電性を示す半導体領域(P層)

4 n型の導電性を示す半導体領域(N層)

5 第1の電極

6 第2の電極

7 絶縁膜

7a シリコン酸化膜

7b シリコン酸化膜

51 半導体基板(N層)

52 エピタキシャル層(I層)

53 アイソレーション層

54 p型の導電性を示す半導体領域(P層)

55 第1の電極

56 第2の電極

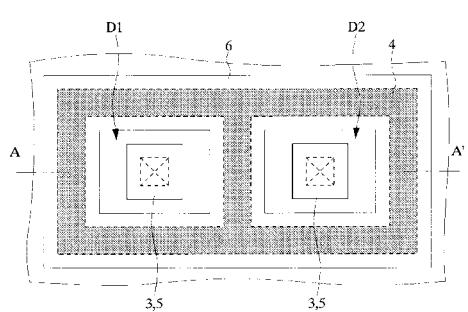
40

50

- D 1 PINダイオード  
 D 2 PINダイオード  
 S 1 高周波信号  
 S 2 高周波信号  
 E 1 第1のPINダイオード  
 E 2 第2のPINダイオード

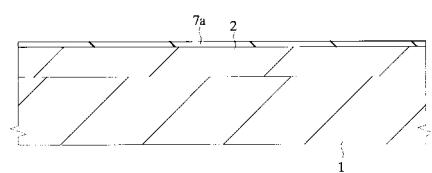
【図1】

図 1



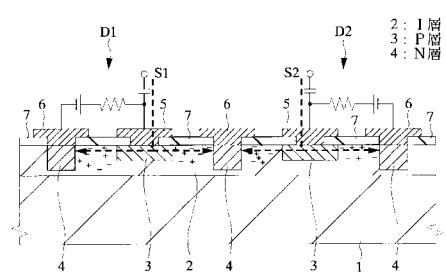
【図3】

図 3



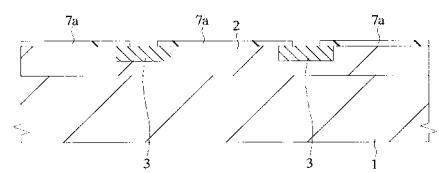
【図2】

図 2



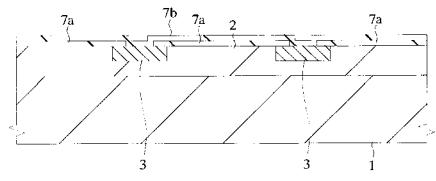
【図4】

図 4



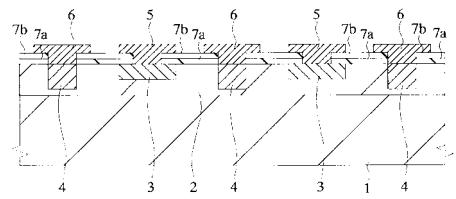
【図5】

図5



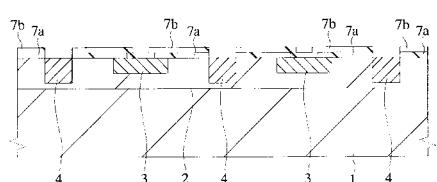
【図7】

図7



【図6】

図6



【図8】

図8

