

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 2 月 5 日(05.02.2015)



(10) 国際公開番号

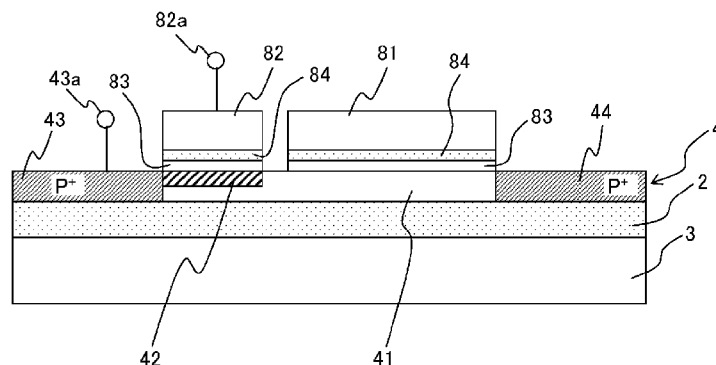
WO 2015/015700 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) H01L 29/786 (2006.01)
H01L 21/336 (2006.01) H04N 5/32 (2006.01)
H01L 23/52 (2006.01) H04N 5/335 (2011.01)
H01L 27/12 (2006.01) H04N 5/357 (2011.01)
H01L 27/144 (2006.01)
- (21) 国際出願番号: PCT/JP2014/003356
- (22) 国際出願日: 2014 年 6 月 23 日(23.06.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-161514 2013 年 8 月 2 日(02.08.2013) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 増田 亮一(MASUDA, Ryohichi); 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号シャープ株式会社内 Osaka (JP).
- (74) 代理人: 山本 秀策, 外(YAMAMOTO, Shusaku et al.); 〒5300011 大阪府大阪市北区大深町 3 - 1 グランフロント大阪 タワーC Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE FOR RADIATION DETECTION

(54) 発明の名称: 放射線検出用半導体装置

[図4]



(57) Abstract: The purpose of the present invention is to reduce variability in threshold voltages at operating times of a device. A semiconductor device for radiation detection, wherein: an insulating layer disposed so as to face a channel region (41) of an MOS transistor has a stack structure comprising a silicon nitride film (83) and a silicon oxide film (83); and an inverse signal input unit which inputs, into the channel region (41), a signal in which an input signal to a source region (43) of the MOS transistor has been inverted. The inverse signal input unit has: a gate electrode (82), which has been formed adjacent to a gate electrode (81) of the MOS transistor, upon an extension of the channel region (41) of the gate electrode (81); and a CMOS circuit (80), which inverts an input signal that is input to the source region (43) of the MOS transistor in accordance with input values of the input signal. The signal that has been inverted at the CMOS circuit (80) is input to the first-mentioned gate electrode (82).

(57) 要約:

[続葉有]



デバイス動作時の閾値電圧のばらつきを低減する。MOSトランジスタのチャネル領域41に対向して配置された絶縁体層を、シリコン窒化膜83とシリコン酸化膜83との積層構造と、MOSトランジスタのソース領域43への入力信号を反転させた信号をチャネル領域41に入力する反転信号入力部とを有し、反転信号入力部は、MOSトランジスタのゲート電極81に隣接してゲート電極81のチャネル領域41の延長上に形成された別のゲート電極82と、MOSトランジスタのソース領域43に入力する入力信号を、入力信号の入力値に応じて反転させるCMOS回路80とを有して、CMOS回路80で反転させた信号を別のゲート電極82に入力する。

明 細 書

発明の名称：放射線検出用半導体装置

技術分野

[0001] 本発明は、同一のSOI (Silicon ON Insulator) 基板に放射線検出素子とこれの読出し回路とを絶縁膜で隔てて形成し、この読出し回路を構成するMOSトランジスタなどの能動素子や抵抗やコンデンサなどの受動素子を搭載した放射線検出用半導体装置に関する。

背景技術

[0002] 放射線検出素子は、放射線を検出するものであり、例えば核医学、原子力、天文学、宇宙線物理学などの分野で利用されている。なお、放射線にはアルファ線、ベータ線、ガンマ線、X線、中性子線および荷電粒子線などが含まれる。

[0003] 従来のピクセル型放射線検出器は、光電変換するセンサ部と、このセンサ部からの信号電荷を読み出す読出し回路部とを別々のチップとして作り、各チップ間の電気的な接続を金属バンプによって電氣的に接続する接続構造を採用している。

[0004] しかしながら、これらの2つのチップ間を電氣的に接続するためには、非常に多数の金属バンプによる接合を施す必要があるため、その厚さが大きく、かつ実装コストが高くなってしまう。

[0005] 特許文献1には、従来のCMOSイメージセンサが提案されている。この従来のCMOSイメージセンサには、シリコン基板上に絶縁体層を介して薄い単結晶シリコン層が形成された単結晶シリコン層／絶縁体層／厚い単結晶シリコン層の積層構造を持つSOI (Silicon-ON-Insulator) 構造が用いられている。

[0006] この従来のCMOSイメージセンサには、埋め込み酸化層が取り除かれたP型シリコン基板上に形成されたフォトダイオードと、このフォトダイオードで光電変換して蓄積された信号電荷を読み出してこれを増幅する増幅用ト

ランジスタを含む読み出し回路とが搭載されている。

[0007] 特許文献1のように、シリコン基板上に絶縁シリコン酸化膜（絶縁体層）を作り込み、さらにその上にシリコン層を設けた1枚のSOI基板に電子回路を構築する技術を利用して、放射線検出素子と読み出し回路とを一体化することができれば、金属バンプや配線の寄生容量が少なくなることによるS/N比の向上や配線長の短縮による読み出し速度の高速化を期待することができる。

[0008] しかしながら、このようなSOI基板はSOI層の膜厚ばらつきに起因する閾値ばらつきが発生してしまうという問題がある。読み出し回路はアナログ回路で構成されているため、MOSトランジスタに閾値のばらつきがあると、特性変動が問題になる。

[0009] そこで、特許文献2には、MOSトランジスタのチャネル領域に対向したゲート電極下の絶縁体層をシリコン酸化膜とシリコン窒化膜との積層構造にして、この積層構造部に電荷を蓄積してSOI層の膜厚ばらつきによる閾値を調整することが記載されている。

先行技術文献

特許文献

[0010] 特許文献1：特開2002-124657号公報

特許文献2：特開平11-87718号公報

発明の概要

発明が解決しようとする課題

[0011] 特許文献2における閾値ばらつきの対策は、SOI層の膜厚変動（膜厚ばらつき）に起因するものである。この膜厚ばらつきは、デバイス当初から持ったばらつきである。このため、特許文献2のようなゲート電極下の絶縁体層を積層構造にすることにより閾値ばらつきを補正することが可能である。しかしながら、この閾値のばらつきはデバイスの動作時においても発生する。

[0012] 例えば、ゲート電圧 V_g をハイレベル（H）に保持している際に、ソース電位 V_s がハイレベル（H）からローレベル（L）に遷移すると、チャネル領域とソース領域との間に存在するカップリング容量によって、ソース電位 V_s と同様、フローティング状態にあるチャネル領域の電位も低下するという現象が起こる。

[0013] このようなチャネル領域の電位の低下は、MOSトランジスタの閾値の実効的な増大を招く。これによって、回路の応答特性が変化し、具体的には閾値が増大した場合、回路の応答特性は遅くなることが多く、アンプなどのアナログ回路は閾値の変動に敏感であり、周波数特性やセトリング時間などがその影響を受けてしまう。

[0014] 本発明は、上記従来の問題を解決するもので、デバイス動作時の閾値電圧のばらつきをも低減することができる放射線検出用半導体装置を提供することを目的とする。

課題を解決するための手段

[0015] 本発明の放射線検出用半導体装置は、絶縁体層の下面に第1の半導体層または半導体基板が配設され、該絶縁体層の上面に第2の半導体層が配設されたSOI（Silicon ON Insulator）構造を有し、該第1の半導体層または該半導体基板に放射線検出素子が形成され、該第2の半導体層に該放射線検出素子で検出した信号電荷を処理する少なくともMOSトランジスタを含む読出し回路が形成された放射線検出用半導体装置であって、該MOSトランジスタのチャネル領域に対向して配置された絶縁体層の一部または全部を、半導体酸化膜または該半導体酸化膜と同等に電子またはホールをトラップして保持する膜と該シリコン酸化膜よりも電子またはホールをトラップしやすい膜との積層構造とし、該MOSトランジスタの一駆動領域への入力信号を反転させた信号を該チャネル領域に入力する反転信号入力部を有するものであり、そのことにより上記目的が達成される。

[0016] また、好ましくは、本発明の放射線検出用半導体装置における反転信号入力部は、前記MOSトランジスタのゲート電極に隣接して該ゲート電極のチ

ャネル領域の延長上に形成された別のゲート電極と、該MOSトランジスタの一駆動領域に入力する入力信号を、該入力信号の入力値に応じて各所定電圧で反転させるCMOS回路とを有し、該CMOS回路で反転させた電圧信号を該別のゲート電極に入力する。

[0017] さらに、好ましくは、本発明の放射線検出用半導体装置における反転信号入力部は、該MOSトランジスタのソース領域への入力信号を容量手段にも入力して得た反転信号を該容量手段から前記チャネル領域に入力する。

[0018] さらに、好ましくは、本発明の放射線検出用半導体装置における反転信号入力部として、前記積層構造と共に、または該積層構造に代えて、前記MOSトランジスタのチャネル領域に対向するように誘電分極特性を有する強誘電体膜が配置されている。

[0019] さらに、好ましくは、本発明の放射線検出用半導体装置における反転信号入力部として、前記積層構造と共に、該積層構造にチャネル領域を介して対向した絶縁体層内部に電極膜が配置されており、前記MOSトランジスタの一駆動領域への入力信号を該絶縁体層内部の該電極膜から該チャネル領域側の絶縁体層により反転させた信号を前記チャネル領域に入力する。

[0020] さらに、好ましくは、本発明の放射線検出用半導体装置における第2の半導体層のバックゲート電極とソース領域との間に拡散抵抗層を介して電位が供給可能に互いに接続されている。

[0021] さらに、好ましくは、本発明の放射線検出用半導体装置における別のゲート電極に対向する前記チャネル領域の該別のゲート電極側の一部または全部に、不純物を追加導入して不純物濃度を高く形成した高濃度不純物拡散層を有している。

[0022] さらに、好ましくは、本発明の放射線検出用半導体装置における反転信号入力部として、前記MOSトランジスタのゲート電極に隣接して該ゲート電極のチャネル領域の延長上に接続されかつ該チャネル領域と同一種の不純物を含む不純物拡散領域と、該不純物拡散領域の上方に誘電膜または絶縁膜を介して設けられた別のゲート電極とを有したMOS容量手段が形成されて、

該MOSトランジスタのソース領域への入力信号を該別のゲート電極に入力してその反転した信号を該不純物拡散領域から該チャネル領域に入力する。

[0023] さらに、好ましくは、本発明の放射線検出用半導体装置における別のゲート電極の下方となる前記不純物拡散領域の位置に、追加して前記同一種の不純物を導入して、前記該不純物拡散領域よりも高い不純物濃度の高濃度不純物拡散層が形成されている。

[0024] さらに、好ましくは、本発明の放射線検出用半導体装置における反転信号入力部として、前記MOSトランジスタのゲート電極に隣接して該ゲート電極下のチャネル領域の延長上に一端が接続されかつ該チャネル領域と同一種の不純物を含む不純物拡散領域が、該ゲート電極および該チャネル領域を埋め込んだ層間絶縁層を貫通して設けられ、該不純物拡散領域の他端が電氣的に接続されて、誘電膜または絶縁膜を両金属膜で挟み込んで電極対を為す容量手段が該層間絶縁層上に設けられ、該MOSトランジスタのソース領域への入力信号を該容量手段にも入力してその反転した信号を該不純物拡散領域から該チャネル領域に入力する。

[0025] さらに、好ましくは、本発明の放射線検出用半導体装置における反転信号入力部として、前記MOSトランジスタのゲート電極に隣接して該ゲート電極下のチャネル領域の延長上に接続された金属膜上に誘電膜または絶縁膜を介して別の金属膜が配置されて電極対を為す容量手段が設けられ、該MOSトランジスタのソース領域への入力信号を該容量手段にも入力してその反転した信号を該容量手段から該チャネル領域に入力する。

[0026] さらに、好ましくは、本発明の放射線検出用半導体装置における積層構造とした絶縁体層は、前記MOSトランジスタのゲート電極と前記チャネル領域との間の絶縁体層の該チャネル領域側の一部または全部と、該チャネル領域直下の絶縁体層の該チャネル領域側の一部または全部とのうちの少なくともいずれかの絶縁体層である。

[0027] さらに、好ましくは、本発明の放射線検出用半導体装置における半導体酸化膜はシリコン酸化膜であり、該シリコン酸化膜よりも電子またはホールを

トラップしやすい膜はシリコン窒化膜である。

[0028] さらに、好ましくは、本発明の放射線検出用半導体装置におけるMOSトランジスタのゲート電極に印加される外部制御信号の電圧範囲が $+3.1\text{ V} \sim +12\text{ V}$ および $-3.1\text{ V} \sim -12\text{ V}$ のいずれかの範囲内の電圧である。

[0029] さらに、好ましくは、本発明の放射線検出用半導体装置におけるSOI基板に前記放射線検出素子とそれからの電荷を読み出す前記読出し回路とが一体的に形成されている。

[0030] さらに、好ましくは、本発明の放射線検出用半導体装置におけるSOI基板に前記放射線検出素子とそれからの電荷を読み出す前記読出し回路とが一体的に形成された放射線検出用半導体装置であって、放射線を該SOI基板表面からと該SOI基板裏面からのいずれの入射方向にも対応可能としている。

[0031] 上記構成により、以下、本発明の作用を説明する。

[0032] 本発明においては、絶縁体層の下面に第1の半導体層または半導体基板が配設され、絶縁体層の上面に第2の半導体層が配設されたSOI (Silicon ON Insulator) 構造を有し、第1の半導体層または半導体基板に放射線検出素子が形成され、第2の半導体層に該放射線検出素子で検出した信号電荷を処理する少なくともMOSトランジスタを含む読出し回路が形成された放射線検出用半導体装置であって、MOSトランジスタのチャネル領域に対向して配置された絶縁体層の一部または全部を、半導体酸化膜または半導体酸化膜と同等に電子またはホールをトラップして保持する膜とシリコン酸化膜よりも電子またはホールをトラップしやすい膜との積層構造とし、MOSトランジスタの一駆動領域への入力信号を反転させた信号をチャネル領域に入力する反転信号入力部を有する。

[0033] この反転信号入力部によって、デバイス動作時の閾値電圧のばらつきを低減することが可能である。

発明の効果

[0034] 以上により、本発明によれば、反転信号入力部がMOSトランジスタの一

駆動領域への入力信号を反転させた信号をチャネル領域に入力するため、デバイス動作時の閾値電圧のばらつきを低減することができる。

図面の簡単な説明

[0035] [図1]本発明の実施形態1におけるSOI構造を持つ放射線検出用半導体装置の一例を示す断面図である。

[図2]図1の放射線検出素子の一単体事例としてフォトダイオードの要部構成例を模式的に示す縦断面図である。

[図3]図1の放射線検出素子の別の単体事例としてアバランシェフォトダイオードの要部構成例を模式的に示す縦断面図である。

[図4]図1の放射線検出用半導体装置の読出し回路を構成する絶縁体層の上部の単結晶シリコン層に形成されたMOSトランジスタ素子を示す断面図である。

[図5]図4のレイアウト構成の一例を示す平面図である。

[図6]本発明の実施形態2におけるSOI構造を持つ放射線検出用半導体装置の読出し回路を構成する絶縁体層の上部の単結晶シリコン層に形成されたMOSトランジスタ素子およびその周辺部を示す断面図である。

[図7]図6のレイアウト構成の一例を示す平面図である。

[図8]本発明の実施形態3におけるSOI構造を持つ放射線検出用半導体装置の要部構成例を示す断面図である。

[図9]本発明の実施形態4におけるSOI構造を持つ放射線検出用半導体装置の要部構成例を示す断面図である。

[図10]本発明の実施形態5におけるSOI構造を持つ放射線検出用半導体装置の要部構成例を示す断面図である。

[図11]本発明の実施形態6におけるSOI構造を持つ放射線検出用半導体装置の要部構成例を示す断面図である。

[図12]本発明の実施形態7におけるSOI構造を持つ放射線検出用半導体装置の要部構成例を示す断面図である。

[図13]本発明の放射線検出用半導体装置において閾値制御を行った際のMO

Sトランジスタの閾値電圧特性の変化（ゲート電圧を下げる場合）を示す図である。

[図14]本発明の放射線検出用半導体装置において閾値制御を行った際のMOSトランジスタの閾値電圧特性の変化（ゲート電圧を上げる場合）を示す図である。

符号の説明

- [0036] 1、1 A～1 F 放射線検出用半導体装置
- 2 絶縁体層
- 3 厚い単結晶シリコン層（半導体層または半導体基板）
- 4 薄い単結晶シリコン層
- 4 1、4 1 A～4 1 E チャネル領域
- 4 2 高濃度不純物拡散層
- 4 3 ソース領域
- 4 4 ドレイン領域
- 4 5 強誘電体膜
- 4 5 a 入力端子
- 5 放射線検出素子
- 5 1 フォトダイオード
- 5 1 a 真性半導体基板
- 5 1 b P型半導体層
- 5 1 c N型半導体層
- 5 1 d 表面電極
- 5 1 e 裏面電極
- 5 2 アバランシェフォトダイオード
- 5 2 a 半導体基板
- 5 2 b n－領域
- 5 2 c P型領域
- 5 2 d p－領域

- 5 2 e 保護膜
- 5 2 f 遮光メタル
- 5 2 g P側電極
- 5 2 h コンタクト層
- 5 2 i N側電極
- 6、10、44 a、81 a、82 b、43 b コンタクト電極
- 7、71 層間絶縁層
- 8 読出し回路
- 80 CMOS回路
- 80 a PチャネルMOSトランジスタ
- 80 b NチャネルMOSトランジスタ
- 81、81 A～81 E MOSトランジスタ用のゲート電極
- 82、82 C MOS容量用のゲート電極（別のゲート電極）
- 83、83 C シリコン窒化膜
- 84 シリコン酸化膜
- 85、85 C MOS容量手段の第1のポリシリコン膜
- 86、86 C 層間絶縁膜
- 87、87 C 誘電体
- 88、88 C MOS容量手段の第2のポリシリコン膜（別のゲート電極）
- 88 a 入力端子
- 89 C 高濃度不純物拡散層
- 90 ポリシリコン膜（電極膜）
- 90 a 入力端子
- 91 コンタクト電極
- 92 容量手段
- 93 下側のメタル電極（金属膜）
- 94 誘電膜（絶縁膜）

9 5 上側のメタル電極（金属膜）

9 5 a 入力端子

9 メタル配線

1 1 遮光メタル

発明を実施するための形態

[0037] 以下に、本発明の放射線検出用半導体装置の実施形態 1 ～ 7 について図面を参照しながら詳細に説明する。なお、各図における構成部材のそれぞれの厚みや長さなどは図面作成上の観点から、図示する構成に限定されるものではない。また、配線やコンタクト電極の個数なども実際のデバイスと一致していなくてもよく、図示および説明の便宜を考慮した個数としたものであり、図示する構成に限定されるものではない。さらに、本発明の放射線検出用半導体装置の実施形態 1 ～ 6 は、本願請求項に示した範囲で種々の変更が可能である。即ち、本願請求項に示した範囲で適宜変更した技術的手段を更に組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

[0038] （実施形態 1）

図 1 は、本発明の実施形態 1 における S O I 構造を持つ放射線検出用半導体装置 1 の一例を示す断面図である。

[0039] 図 1 において、本実施形態 1 の S O I 構造を持つ放射線検出用半導体装置 1 は、S O I 構造として、絶縁体層 2 と、この絶縁体層 2 の下面に配置された第 1 の半導体層（または半導体基板）としての単結晶シリコン層 3（またはシリコン基板）と、絶縁体層 2 の上面に配置された第 2 の半導体層としての単結晶シリコン層 4 とを有している。

[0040] この S O I 構造の厚い単結晶シリコン層 3 には、フォトダイオードやアバランシェフォトダイオードなどの放射線検出素子 5 が形成されている。その S O I 構造の薄い単結晶シリコン層 4 には、絶縁体層 2 内に形成された埋め込み性のよいタングステン W などからなるコンタクト電極 6 により薄い単結晶シリコン層 4 およびその上の層間絶縁層 7 内を通して放射線検出素子 5 で検出した信号電荷を読み出して増幅などの処理をする読出し回路 8 が形成さ

れている。

[0041] 読出し回路 8 は、MOS トランジスタなどの能動素子と、抵抗やキャパシタなどの受動素子とにより構成されており、放射線検出素子 5 で検出した信号電荷を読み出して増幅などの処理をする回路である。また、読出し回路 8 は、信号読み出し時に、放射線検出素子 5 からのアナログ入力信号をその入力信号値に応じて各所定電圧値に反転処理する、P チャネル MOS トランジスタと N チャネル MOS トランジスタとの直列回路で構成された CMOS 回路を有している。

[0042] この SOI 構造は、シリコン酸化膜などからなる絶縁体層 2 を単結晶シリコンウエハで上下から挟み込んだ構成となっており、物理構造的に下から、厚い単結晶シリコン層 3 / 絶縁体層 2 / 薄い単結晶シリコン層 4 で構成されている。

[0043] ここでは、絶縁体層 2 の上面の薄い単結晶シリコン層 4 およびその上の層間絶縁層 7 内には、読出し回路 8 を構成する半導体装置およびその各部を接続するアルミニウム Al などのメタル配線 9 および、埋め込み性のよいタングステン W などからなるコンタクト電極 10 が形成されている。また、絶縁体層 2 の下面側の単結晶シリコン層 3 には放射線検出素子 5 が形成されているが、一般的には、絶縁体層 2 の下面側の単結晶シリコン層 3 は単なる物理構造物（支持基板）である。この絶縁体層 2 の下面側の厚い単結晶シリコン層 3 に、フォトダイオードやアバランシェフォトダイオードなどの放射線検出素子 5 を形成することにより、下側の単結晶シリコン層 3 内に空乏層を形成し、SOI 構造中央のシリコン酸化膜層などの絶縁体層 2 に、半導体プロセス技術を用いて金属配線（コンタクト電極 6）からなるビアホールを形成し、絶縁体層 2 の上面側の薄い単結晶シリコン層 4 に構成された半導体回路と、下側の単結晶シリコン層 3 に形成された放射線検出素子 5 とを、コンタクト電極 6、メタル配線 9 およびコンタクト電極 10 を介して接続することによって、放射線検出素子 5 とこれの読出し回路 8 との同一基板上への一体的形成を実現している。

- [0044] 本方式の利点は、放射線検出素子 5 と読出し回路 8 とを間に絶縁体層 2 を挟んで一体的に形成したので、放射線検出素子 5 と読出し回路 8 との間を接続するためのサイズの大きいバンプボンディングが不要になることである。このように、放射線検出素子 5（センサ）と読出し回路 8 との間の接続にバンプボンディングなどの電氣的で機械的なサイズの大きい端子接続が必要なくなるので、より小面積のピクセルサイズを実現することができる。このように、回路面積を小さくできることによって、各ピクセルに複雑な信号処理機能を持つ CMOS 回路の実装が可能となる。CMOS 回路は読出し回路 8 に用いることができる。
- [0045] また、バンプボンディングが不要になることでバンプ電極による寄生容量もなくなるので、読出し回路 8 による放射線検出素子 5 からの信号読出しの一層の高速化および低消費電力化も望める。さらには、別チップではなく、放射線検出素子 5 と読出し回路 8 の一体化（同一チップ化）による低コスト化が図られる可能性もある。
- [0046] これらに加えて、放射線検出素子 5 と読出し回路 8 の隣り合う素子間に SOI 構造中央のシリコン酸化膜の絶縁膜 2 が存在するおかげで上下の素子の分離性がよくなり、素子間のラッチアップがなくなる上に、放射線検出素子 5 と読出し回路 8 の素子間の距離を近づけることもできる。
- [0047] 絶縁体層 2 の下部の単結晶シリコン層 3 に形成する放射線検出素子 5 は、例えば SOI 基板裏面から放射線を入射する場合には、フォトダイオードにより放射線から電気信号に直接光電変換を行い、SOI 基板表面から放射線を入射する場合には、例えばチップ表面に放射線を光（可視光、紫外線および赤外線）に変換できる複合材料から構成されるシンチレータを接続し、フォトダイオードやアバランシェフォトダイオードで光から電気信号に間接的に光電変換を行えばよい。この場合、読出し回路 8 を埋め込んでいる真上の層間絶縁膜 7 の表面側に遮光メタル 11 を形成して、読出し回路 8 への外部からの不要な光の入射を抑えるように構成してもよい。また、チップ裏面にシンチレータを接続して光から電気信号に間接的に光電変換を行ってもよい。

ことは言うまでもないことである。

[0048] ここで、図1の放射線検出素子5のフォトダイオードやアバランシェフォトダイオードの単体構成について説明する。

[0049] 図2は、図1の放射線検出素子5の一単体事例としてフォトダイオードの要部構成例を模式的に示す縦断面図である。

[0050] 図2において、フォトダイオード51は、PINダイオード構造であり、真性半導体基板51aの上下面にP型半導体層51bとN型半導体層51cが配置されている。P型半導体層51bの中央部上を開口した状態で表面電極51dが配置され、N型半導体層51c上には裏面電極51eが配置されている。

[0051] P型半導体層51bの中央部上は、光が入るように開口して受光面には電極は形成していない。

[0052] 図3は、図1の放射線検出素子5の別の単体事例としてアバランシェフォトダイオードの要部構成例を模式的に示す縦断面図である。

[0053] 図3において、アバランシェフォトダイオード52は、半導体基板52aの表面にn-領域52bが設けられ、n-領域52b内にその表面側から中央部の所定範囲でP型領域52cが設けられ、さらにその周囲を取り囲んで覆うようにp-領域52dが設けられている。n-領域52b、P型領域52cおよびp-領域52dの表面側に保護膜52eが形成されている。P型領域52c上を開口するように保護膜52e上に遮光メタル52fが形成されている。P側電極52gは、コンタクト層52hを介してP型領域52cの中央部分に接続するように設けられ、N側電極52iは半導体基板52aの裏面に設けられている。

[0054] 図4は、図1の放射線検出用半導体装置1の読出し回路8を構成する絶縁体層2の上部の単結晶シリコン層4に形成されたMOSトランジスタ素子を示す断面図である。図5は、図4のレイアウト構成の一例を示す平面図である。なお、図5において、左側から44aはドレイン領域44に接続されて引き出されたコンタクト電極、81aはMOSトランジスタ用ゲート電極8

1に接続されて引き出されたコンタクト電極、82bはゲート電極82に接続されて引き出されたコンタクト電極、43bはソース領域43に接続されて引き出されたコンタクト電極を示している。図5において高濃度不純物拡散層42が透けて見えているが、その上に別のゲート電極82が設けられている。

[0055] 図4および図5において、SOI構造はシリコン酸化膜などの絶縁体層2を上下両側から単結晶シリコン層3、4で挟み込んだ構成となっており、物理構造的に上から薄いシリコン層である単結晶シリコン層4／絶縁体層2／厚いシリコン層である単結晶シリコン層3で構成されている。一般的には、絶縁体層2の上部の単結晶シリコン層4上に読出し回路8などの回路を形成し、絶縁体層2の下部の単結晶シリコン層3は単なる物理構造物（支持基板）となっている。この支持基板部分の単結晶シリコン層3に前記したフォトダイオード51やアバランシェフォトダイオード52などの放射線検出素子5を形成している。

[0056] この放射線検出素子5に所定の電圧が印加されて単結晶シリコン層3内に空乏層を形成して放射線を検出し、SOI構造中央のシリコン酸化膜層である絶縁体層2に、半導体プロセス技術を用いて金属配線からなるビアホール（コンタクト電極6）を形成し、絶縁体層2の上部の単結晶シリコン層4に構成され、検出した放射線を電荷に変換した信号電荷を信号電圧として読み出すための半導体回路としての読出し回路8と、放射線を検出する放射線検出素子5との一体素子形成を同一基板上に実現することができる。

[0057] 図4および図5のパターンレイアウトの一例としてPチャネルトランジスタの例を示しているが、Nチャネルトランジスタにおいても同様の構造を有する。なお、絶縁体層2の下部の単結晶シリコン層3に構成する放射線検出素子5は、フォトダイオードやアバランシェフォトダイオードに限定されるものではない。SOI基板は、SOI構造中央のシリコン酸化膜層などの絶縁体層2を上下から単結晶シリコン層3、4で挟んだ構造を有している。絶縁体層2の上部の単結晶シリコン層4はMOSトランジスタを構築するため

に、不純物イオンとして例えばボロンやリンやヒ素などを導入して形成したチャネル領域 4 1 を有している。チャネル領域 4 1 上に形成された MOS トランジスタのゲート電極 8 1 の横に隣接するように別のゲート電極 8 2 が所定間隔を空けて並んで形成されている。

[0058] MOS 容量用のゲート電極 8 2 (別のゲート電極) の直下の絶縁体層 2 の上部の薄い単結晶シリコン層 4 には、不純物を追加導入して不純物濃度を高く形成した電荷固定用の高濃度不純物拡散層 4 2 を上側に有している。即ち、別のゲート電極 8 2 (MOS 容量用のゲート電極 8 2) に対向するチャネル領域 4 1 の別のゲート電極側の一部に、不純物を追加導入して不純物濃度を高く形成した高濃度不純物拡散層 4 2 が形成されている。ここでは、高濃度不純物拡散層 4 2 の厚さはチャネル領域 4 1 の厚さよりも薄くチャネル領域 4 1 の上側に構成されている。

[0059] 一方、MOS トランジスタのソース領域 4 3 に接続される入力端子 4 3 a は、放射線検出素子 5 に接続されたコンタクト電極 6 に接続されている。この入力端子 4 3 a に入力された入力信号が MOS トランジスタのソース領域 4 3 に入力されると、ソース領域 4 3 とチャネル領域 4 1 との容量カップリングによって、チャネル領域 4 1 の電位が変動してしまう。例えば、ソース領域 4 3 へのハイレベルの入力信号に対してはチャネル領域 4 1 のチャネル電位が上昇し、ソース領域 4 3 へのローレベルの入力信号に対してはチャネル領域 4 1 のチャネル電位が低下する。この結果、MOS トランジスタのしきい値が変化し、入力電位レベルにより回路の応答特性が変動してしまう。

[0060] この点について、以下に下式を用いて説明する。

[0061] 一般にバックゲート効果がかかった MOS トランジスタにおいては、次式のように表され、ゲート電圧 V_G (チャネル領域 4 1 の電位) の変動により、しきい値電圧 V_{TH} が変化して、オン抵抗 R_{ON} が変化する。

$$\begin{aligned}
 V_{TH} &= V_{TO} - BK \times (V_G)^{1/2} \\
 R_{ON} &= 1 / \mu C (V_G - V_{TH}) \cdot L / W \\
 BK &= (2 \epsilon_{Si} \cdot \epsilon \cdot q \cdot N_{sub})^{1/2} / C
 \end{aligned}$$

但し、 V_G : ゲート電圧 V_{TO} : 基板バイアスがかけられないときのしきい値電圧、 C : ゲート電極の単位面積当たりの静電容量 μ : 半導体 S_i 表面の移動度、

q : 単位電荷量 N_{sub} : 基板濃度、 BK : 基板効果係数、 ϵ_{Si} : S_i の比誘電率、 ϵ : 真空中の誘電率、 q : 単位電荷量、 N_{sub} : 基板濃度、 L : MOSトランジスタのゲート長、 W : MOSトランジスタのゲート幅である。

[0063] そこで、MOSトランジスタ用のゲート電極 81 に隣接するMOS容量用のゲート電極 82 に入力信号を反転させた信号を入力すれば、チャネル領域 41 のチャネル電位の変動を抑えることが可能となる。

[0064] 本実施形態 1 では、MOSトランジスタのソース領域 43 への入力信号を反転させた信号をチャネル領域 41 に入力する反転信号入力部を有している。ここでは、反転信号入力部は、MOSトランジスタのゲート電極 81 に隣接してゲート電極 81 の直下のチャネル領域 41 の左側への延長部上に形成された別のゲート電極 82 と、MOSトランジスタのソース領域 43 に入力した入力信号を、入力信号の入力値に応じて電源電圧および接地電圧のいずれかの所定電圧に反転させるCMOS回路 80 とを有し、CMOS回路 80 で反転した信号を、入力端子 82a を介してそのゲート電極 82 に入力している。

[0065] 本実施形態 1 の放射線検出用半導体装置 1 において、MOSトランジスタのソース領域 43 への入力端子 43a からの入力信号を反転させた信号がMOS容量用のゲート電極 82 の入力端子 82a に入力されるように、ソース領域 43 の入力端子 43a がCMOS回路 80 のゲート入力端に接続され、CMOS回路 80 の出力端がMOS容量用のゲート電極 82 の入力端子 82a に接続されている。

[0066] さらに、MOS容量用のゲート電極 82 の直下に濃度を高めた高濃度不純物拡散層 42 を形成したことによって、MOS容量が形成されている単結晶シリコン層 4 の表面状態を常に反転電位で固定した状態とすることが可能と

なる。

[0067] これによって、入力信号に対して電位を反転させた固定電位をMOSトランジスタのチャネル領域41に与えることができ、MOSトランジスタより構成される回路の動作をより安定化させることが可能となる。

[0068] このようにして、ソース電位または、ソース領域43への入力信号の電位が変化したときに、チャネル領域41の電位の変動を防止することができ、MOSトランジスタの動作を安定化させる上記反転信号入力部を得ることができる。上記反転信号入力部によって、デバイス動作時の閾値電圧のばらつきを低減することができる。

[0069] MOS容量用のゲート電極を備える本実施形態1の構成は、次の効果も発生する。

[0070] MOSトランジスタのオン抵抗 R_{ON} はチャネル幅（ゲート幅 W ）を長くするように設計するとオン抵抗 R_{ON} を低減することができる。

[0071] 本実施形態1の構造は、MOS容量用のゲート電極82を加えることによりゲート長 L が長くなった以上に、MOSトランジスタのゲート電極81のチャネル幅（ゲート幅 W ）を実質的に長くしているため、オン抵抗 R_{ON} を低減することができる。このため、本デバイス構造はオン抵抗 R_{ON} を低減の点で有利である。

[0072] SOI基板ではSOI層のばらつきに起因する閾値電圧にばらつきが発生する。本実施形態1の放射線検出用半導体装置1の読出し回路8のように閾値変動によって敏感なアナログ回路ブロックをピクセル毎に多数搭載している場合、アナログ回路ブロック毎の閾値電圧のばらつきの影響は無視できず、閾値電圧のばらつきを調整する必要がある。

[0073] 本実施形態1では、入力電圧による閾値電圧変動を抑える上記構成に加えて、SOI膜厚に起因する閾値ばらつきの補正および制御を簡便な構造で、かつピクセルサイズに影響を与える追加回路を必要とせずに実現させることを目的に、本実施形態1の放射線検出用半導体装置1において、MOSトラ

ンジスタのチャネル領域41に対向したMOSトランジスタ用ゲート電極81およびMOS容量用のゲート電極82の各直下の絶縁体層をそれぞれシリコン窒化膜83とシリコン酸化膜84との積層構造にしている。

[0074] この積層構造は、SONOS (poly Silicon-Oxide-Nitride-Oxide-Silicon) 構造やMONOS (Metal-Nitride-Oxide-Semiconductor) 構造であり、MONOS構造におけるMetalとはMOSトランジスタにおけるゲート電極全般を表す概念であり、SONOS構造におけるpoly silicon電極もこの範疇に含まれる。

[0075] MOSトランジスタのチャネル領域41に対向したゲート電極81、82直下の絶縁体層を構成するシリコン窒化膜83およびシリコン酸化膜84の積層膜のうちのシリコン酸化膜84の代わりに、シリコン酸化膜84と同等のキャリアをトラップしやすい他の膜を用いてもよい。また、シリコン酸化膜84よりもキャリアをトラップしやすい膜として、ここではシリコン窒化膜83を採用したが、これに限らず、シリコン酸化膜84よりもキャリアをトラップしやすい他の膜を採用してもよく、これによって、キャリアトラップ量を制御することも可能である。

[0076] 要するに、PチャネルMOSトランジスタ80aとNチャネルMOSトランジスタ80bの直列回路からなるCMOS回路80を含む読出し回路8のMOSトランジスタにおけるチャネル領域41に対向して配置された絶縁体層を、シリコン酸化膜84またはシリコン酸化膜84と同等に電子またはホールをトラップして保持する膜とシリコン酸化膜84よりも電子またはホールをトラップしやすい膜（ここではシリコン窒化膜83）との積層構造としている。

[0077] このような2層構造の絶縁膜を採用したことにより、シリコン酸化膜84に欠陥が発生しても、その欠陥のごく近傍にトラップされた電荷が放出されるだけで済み、酸化膜の欠陥による影響を低減でき、長期にわたる信頼性を確保することができ、高い長期信頼性が求められる放射線検出用半導体装置

1においてはより好ましい構造である。蓄積した電荷はその上部の単結晶シリコン層4中に形成されたMOSトランジスタのチャネル領域41に電界を与えて、閾値を変化させることができる。

[0078] 電荷蓄積には例えば以下のような手法を用いることが可能である。少なくとも上部の単結晶シリコン層4のチャネル領域41と基板領域間に電圧を印加し、FN (Fowler-Nordheim) 電流のようなリーク電流を流している。この電流のキャリアである電子または正孔はシリコン窒化膜83中またはシリコン窒化膜83／シリコン酸化膜84の界面に存在する欠陥に捕獲されることによって、チャネル領域41の下面部が帯電する。蓄積した電荷により絶縁体層2の上部の単結晶シリコン層4中に形成されたMOSトランジスタに電界を与えて閾値を変化させることができる。

[0079] また、MOSトランジスタの閾値の変化量は、蓄積された電荷量に比例するため、シリコン窒化膜83を通過する電流量を任意に調整することにより閾値の制御が可能となる。また、電流源は上部の薄い単結晶シリコン層4に形成されたチャネル領域41に別途電極を設けてもよく、ソース電極またはドレイン電極を用いてもよい。前者の場合には、正負いずれの電圧も印加可能であるため、閾値の補正はいずれの方向にも可能である。また、後者の場合において、PN接合の順方向の電圧を印加する必要があるため、NチャネルMOSトランジスタでは負電圧を印加、PチャネルMOSトランジスタでは正電圧を印加することにより閾値の変更が可能となる。

[0080] この方法において、閾値の補正は、増加させるか、減少させるかのいずれか一方にのみ限定され、閾値補正可能な方向に合わせて予め閾値を低め（低いめ）、または、高め（高いめ）に設定しておく必要がある。予め閾値を低め、または、高めに設定しておき、閾値を所定量だけ上げるかまたは下げることで閾値バラツキを吸収させて閾値バラツキを抑制またはなくすることで閾値を安定化させることができる。これを図13および図14に示している。

[0081] 図13および図14は、放射線検出用半導体装置1において閾値制御を行

った際のMOSトランジスタの閾値電圧特性の変化を示す図であって、図13はゲート電圧を下げる場合のドレイン電流のゲート電圧依存性を示し、図14は、ゲート電圧を上げる場合のドレイン電流のゲート電圧依存性を示している。

[0082] また、キャリアがMOSトランジスタのチャネル領域41に対向したシリコン酸化膜84間の障壁を乗り越えるためには、電子が少なくとも約3.1 eVのエネルギーを持つことが必要である。また、本構造を採用したゲート絶縁膜の膜厚は、欠陥密度の制御、ストレス誘起リーク、高温放置耐性維持などの信頼性の観点から、例えば10 nmと比較的厚い膜厚を採用した場合において、ゲート絶縁膜に強電界を印加して電子を出し入れするためには約12 Vの電圧が必要である。よって、本実施形態1の放射線検出用半導体装置1における外部印加信号の電圧範囲は、±3 V～±12 Vの範囲内の電圧であることが好適である。即ち、MOSトランジスタのゲート電極81、82に印加される外部制御信号の電圧範囲が+3.1 V～+12 Vおよび-3.1 V～-12 Vのいずれかの範囲内の電圧であればよい。

[0083] 以上により、本実施形態1によれば、MOSトランジスタのチャネル領域41に対向して配置された絶縁体層を、シリコン窒化膜83とシリコン酸化膜84との積層構造としている。MOSトランジスタのソース領域43への入力信号を反転させた信号をチャネル領域41に入力する反転信号入力部を有している。反転信号入力部は、MOSトランジスタのゲート電極81に隣接してゲート電極81のチャネル領域41の延長上に形成された別のゲート電極82と、MOSトランジスタのソース領域43に入力する入力信号を、入力信号の入力値に応じて反転させるCMOS回路80とを有して、CMOS回路80で反転させた信号を別のゲート電極82に入力する。

[0084] これによって、容易に閾値電圧のばらつきを低減することが可能な放射線検出用半導体装置1であり、加えて高精度な回路特性を得るために、閾値ばらつきの補正および制御を簡便な構造で、かつピクセルサイズに影響を与える追加回路を必要とせず実現させることができる。したがって、デバイス

動作時の閾値電圧のばらつきを低減することができる。

[0085] なお、本実施形態 1 では特に説明しなかったが、電荷の注入に前記した記載以外の方法を用いても本実施形態 1 の放射線検出用半導体装置 1 の機能上問題は無い。また、X線などの放射線の照射方向は、使用する放射線検出素子 5 の構造と特性により、SOI 基板表面または裏面のどちらから入射させてもよい。

[0086] また、本実施形態 1 では、CMOS 回路 80 を含む読み出し回路 8 における MOS トランジスタのチャネル領域 41 に対向して配置された絶縁体層を、シリコン酸化膜 84 またはシリコン酸化膜 84 と同等に電子またはホールをトラップして保持する膜とシリコン酸化膜 84 よりも電子またはホールをトラップしやすい膜（ここではシリコン窒化膜 83）との積層構造としている場合について説明したが、これに限らず、CMOS 回路 80 を含む読み出し回路 8 における MOS トランジスタのチャネル領域 41 に対向して配置された絶縁体層の一部または全部を、シリコン酸化膜 84 またはシリコン酸化膜 84 と同等に電子またはホールをトラップして保持する膜とシリコン酸化膜 84 よりも電子またはホールをトラップしやすい膜との積層構造としてもよい。

[0087] このシリコン窒化膜 83 / シリコン酸化膜 84 の積層構造は上部の単結晶シリコン層 4 と下部分の単結晶シリコン層 3 に挟まれた絶縁体層 2 の絶縁膜に採用してもよい。

[0088] したがって、シリコン酸化膜 84 またはシリコン酸化膜 84 と同等に電子またはホールをトラップして保持する膜とシリコン酸化膜 84 よりも電子またはホールをトラップしやすい膜との積層構造とした絶縁体層は、MOS トランジスタのゲート電極 81、82 とチャネル領域 41 との間の絶縁体層のチャネル領域 41 側の一部または全部と、チャネル領域 41 直下の絶縁体層 2 のチャネル領域 41 側の一部または全部とのうちの少なくともいずれかの絶縁体層である。

[0089] ゲート電極 81、82 とチャネル領域 41 との間の絶縁体層のチャネル領

域 4 1 側の一部または全部とは、ゲート電極 8 1、8 2 とチャネル領域 4 1 との間の絶縁体層の全膜厚または全膜厚のうちの一部膜厚分であってもよいし、その絶縁体層の全面積または全面積の一部、例えば半分 ($1/2$) や $1/4$ 、 $3/4$ であってもよい。このことは、チャネル領域 4 1 直下の絶縁体層 2 のチャネル領域 4 1 側の一部または全部は、全膜厚または全膜厚のうちの一部膜厚分であってもよいし、全面積または全面積の一部、例えば半分 ($1/2$) や $1/4$ 、 $3/4$ であってもよい。

[0090] (実施形態 2)

本実施形態 2 では、上記実施形態 1 と共に、基板バイアス電位よりソース電位が高いと、ソース電位から拡散抵抗層 4 6 を介して基板バイアス電位を自己生成し、基板バイアス電位よりソース電位が低いと、基板バイアス電位から拡散抵抗層 4 6 を介してソース電位を自己生成する構成について説明する。

[0091] 図 6 は、本発明の実施形態 2 における S O I 構造を持つ放射線検出用半導体装置 1 F の読出し回路 8 を構成する絶縁体層 2 の上部の単結晶シリコン層 4 に形成された MOS トランジスタ素子およびその周辺部を示す断面図である。図 7 は、図 6 のレイアウト構成の一例を示す平面図である。なお、図 6 および図 7 では、図 5 および図 6 の構成部材と同一の作用効果を示す構成部材には同一の符号を付してその説明を省略する。

[0092] 図 6 および図 7 において、本実施形態 2 の放射線検出用半導体装置 1 F では、上記実施形態 1 の場合と異なるのは、ソース領域 4 3 に接続されて引き出されたコンタクト電極 4 3 b に、放射線検出素子 5 からコンタクト電極 6 を介して接続された入力端子 4 3 a が接続されている他に、単結晶シリコン層 4 のバックゲート電極 4 8 が拡散抵抗層 4 6、スイッチ手段 4 7 を介してソース領域 4 3 のコンタクト電極 4 3 b に接続されていることである。要するに、第 2 の半導体層としての単結晶シリコン層 4 のバックゲート電極 4 8 が拡散抵抗層 4 6 からスイッチ手段としてのスイッチ 4 7 を介してソース領域 4 3 に接続されている。

[0093] アナログ回路では、ソース領域43のソース電位とドレイン領域44のドレイン電位の高低の関係が電源投入時に定まっていない回路も一部存在する。このため、例えば、ゲート電圧 V_G をハイレベル(H)に保持している際に、ソース電位 V_S がハイレベル(H)からローレベル(L)に遷移した際に、チャネル領域41とソース領域43との間に存在するカップリング容量により、フローティング状態にあるチャネル領域41の電位が低下するという現象が起こる。このため、本実施形態1で述べたチャネル電位を固定する手段の反転信号の遷移時間が長くなってしまうため、閾値変動の防止が遅くなるという問題が発生する。

[0094] この遷移時間を短縮するために、回路電源立上げ初期において、スイッチ手段としてのスイッチ47をオンし、MOSトランジスタのソース電極(ソース領域43)とバックゲート電極48との間に拡散抵抗層46を介在させる。バックゲートのレイアウトはbulk CMOSにおけるウェルと全く同様に多数のMOSトランジスタ(FET)で1つのバックゲート電極48を共有している。バックゲート電極48には基板バイアスが与えられているのでスイッチ47のオンにより、MOSトランジスタのソース電位が急激には遷移しない。

[0095] このように、ソース電極(ソース領域43)とバックゲート電極48との間に拡散抵抗層46を介在させることにより、電源立上り初期において、基板バイアスよりもソース電位が高いMOSトランジスタでは、拡散抵抗層46を介して基板バイアス(バックゲート電極48)の電位が自己生成され、また、基板バイアスよりもソース電位が低いMOSトランジスタでは、基板バイアスからソース電位を自己生成するように動作させる。したがって、チャネル領域41の電位の固定手段との併用によって、デバイス動作時の閾値電圧のばらつきを低減することができる。

[0096] (実施形態3)

上記本実施形態1では、MOSトランジスタにおけるチャネル領域41に対向して配置された絶縁体層を、シリコン窒化膜83とシリコン酸化膜84

の積層構造とした場合について説明し、上記実施形態 2 では、上記実施形態 1 の積層構造と共に、またはこの積層構造に代えて、単結晶シリコン層 4 のバックゲート電極 4 8 が拡散抵抗層 4 6、スイッチ手段 4 7 を介してソース領域 4 3 のコンタクト電極 4 3 b に接続されている構造について説明したが、本実施形態 3 では、上記実施形態 1、2 の積層構造と共に、またはこの積層構造に代えて、MOS トランジスタのチャネル領域に対向するように誘電分極特性を有する強誘電体膜が配置されている場合について説明する。この場合、上記実施形態 1、2 のように MOS トランジスタのゲート電極 8 1 と別のゲート電極 8 2（電荷固定用の高濃度不純物拡散層 4 2 はあってもなくてもよい）にゲート電極が分離されていてもよいが、ここでは、MOS トランジスタのゲート電極だけで構成されており、別のゲート電極 8 2 下の電荷固定用の高濃度不純物拡散層 4 2 は設けられていない。

[0097] 図 8 は、本発明の実施形態 3 における SOI 構造を持つ放射線検出用半導体装置の要部構成例を示す断面図である。

[0098] 図 8 において、本実施形態 3 の SOI 構造を持つ放射線検出用半導体装置 1 A は、ゲート電極 8 1 A の直下のシリコン窒化膜 8 3 とシリコン酸化膜 8 4 の絶縁体層の積層構造と共に、その積層構造にチャネル領域 4 1 A を介して対向した強誘電体膜 4 5 を配置して、MOS トランジスタの閾値ばらつきをより低減するための閾値補正を実施することが可能となる。このように、本実施形態 3 の放射線検出用半導体装置 1 A において、チャネル領域 4 1 A の直下に強誘電体膜 4 5 を配置して誘電分極の分極特性を用いて閾値の変更および調整を行うことが可能となる。

[0099] チャネル領域 4 1 A の下面部に配置した強誘電体膜 4 5 の材質として、具体的には、チタン酸ジルコン酸鉛（ $PZT(Pb(Zr, Ti)O_3)$ ）、チタン酸ジルコン酸ランタン鉛 $PLZT((Pb, La)(Zr, Ti)O_3)$ 、チタン酸バリウム（ $BaTiO_3$ ）などを用いることができる。

[0100] 下から厚い単結晶シリコン層 3 / 絶縁体層 2 / 薄い単結晶シリコン層 4 で

構成されたSOI構造の絶縁体層2上において、MOSトランジスタのゲート電極81A直下のシリコン窒化膜83とシリコン酸化膜84の積層下におけるチャネル領域41Aと強誘電体膜45の2層の左右両側にソース領域43とドレイン領域44が配置されている。

[0101] 上記構成により、このチャネル領域41A直下の強誘電体膜45に所定の電圧が入力端子45aから印加されると、強誘電体膜45の表面に誘電分極による電荷が発生する。この発生した電荷により、上部の単結晶シリコン層4中に形成されたMOSトランジスタのチャネル領域41Aに電界を与え、閾値を変化させることが可能となる。強誘電体膜45に印加する電圧は、上記実施形態1の場合と同様にMOSトランジスタのチャネル領域41にゲート電極を設けて印加されてもよく、駆動領域を構成するソース領域43またはドレイン領域44のコンタクト電極を用いて印加してもよい。また、ゲート電極81Aのシリコン酸化膜84が絶縁破壊しない範囲の印加電圧であれば、ゲート電極81Aに直接的に高い電圧を印加することによって、強誘電体膜45に直接的に電圧を印加することなく、強誘電体膜45の表面に電荷が発生させることも可能であり、MOSトランジスタの閾値ばらつきを低減することを目的とした補正が可能となる。

[0102] 以上により、本実施形態3によれば、容易に閾値電圧のばらつきを低減することが可能な放射線検出用半導体装置1Aであって、加えて高精度な回路特性を得るために、閾値ばらつきの補正および制御を簡便な構造で、かつピクセルサイズに影響を与える追加回路を必要とせずに実現させることができる。したがって、デバイス動作時の閾値電圧のばらつきを低減することができる。

[0103] なお、本実施形態3では、シリコン窒化膜83とシリコン酸化膜84の絶縁体の積層構造と共に、チャネル領域41Aの上面に積層構造を配置し、チャネル領域41Aの下面に強誘電体膜45を配置してMOSトランジスタの閾値ばらつきを低減するように構成したが、これに限らず、シリコン窒化膜83とシリコン酸化膜84の絶縁体の積層構造に代えて（または積層構造を

設けることなく）、チャネル領域41Aの上面または／および下面に強誘電体膜45を配置してMOSトランジスタの閾値ばらつきを低減するように構成することもできる。

[0104] 要するに、本実施形態3では、この積層構造と共に、またはこの積層構造に代えて、MOSトランジスタのチャネル領域41Aに対向するように誘電分極特性を有する強誘電体膜45が配置されていてもよい。

[0105] （実施形態4）

上記本実施形態1では、CMOS回路80を介して信号反転したゲート電極82とMOSトランジスタのゲート電極81とをチャネル領域41上で横方向に配置した場合について説明したが、本実施形態4では、MOSトランジスタと信号反転用のMOS容量手段（ポリキャパシタ）とを縦方向の積層構造にした場合について説明する。

[0106] 図9は、本発明の実施形態4におけるSOI構造を持つ放射線検出用半導体装置の要部構成例を示す断面図である。

[0107] 図9において、本実施形態4のSOI構造を持つ放射線検出用半導体装置1Bは、チャネル領域41B上に、MOSトランジスタのゲート電極81Bに隣接して、入力端子88aに入力された入力信号が常に反転するMOS容量の第1のポリシリコン膜85がゲート電極81Bの上面および一側面から層間絶縁膜86を介して設けられている。入力端子43aに入力されるMOSトランジスタのソース領域43への入力信号を反転させた信号が、MOS容量を介して第1のポリシリコン膜85からMOSトランジスタのチャネル領域41Bに与えられる。これにより、MOSトランジスタのチャネル領域41Bのチャネル電位が入力信号に伴って変動するのを抑えることができ、安定したトランジスタ動作を実現しかつMOSトランジスタの閾値を適宜調整することが可能となる。

[0108] 下から厚い単結晶シリコン層3／絶縁体層2／薄い単結晶シリコン層4で構成されたSOI構造の絶縁体層2上において、MOSトランジスタのゲート電極81B直下のシリコン窒化膜83とシリコン酸化膜84の積層下およ

び、層間絶縁膜 8 6 を介して設けられた第 1 のポリシリコン膜 8 5 に対向するチャネル領域 4 1 A の左右両側にソース領域 4 3 とドレイン領域 4 4 が配置されている。

[0109] MOS トランジスタのソース領域 4 3 への入力信号を反転させた信号をチャネル領域 4 1 B に入力する反転信号入力部として、MOS トランジスタのゲート電極 8 1 B に隣接してゲート電極 8 1 B のチャネル領域 4 1 B の延長端部上に接続されかつチャネル領域 4 1 B と同一種の不純物を含む不純物拡散領域である第 1 のポリシリコン膜 8 5 と、この不純物拡散領域である第 1 のポリシリコン膜 8 5 の上方に誘電体 8 7 を介して設けられた別のゲート電極としての第 2 のポリシリコン膜 8 8 とを有した MOS 容量手段が形成されて、MOS トランジスタのソース領域 4 3 への入力信号を別のゲート電極（第 2 のポリシリコン膜 8 8）に入力してその反転した信号をチャネル領域 4 1 B に入力している。

[0110] 放射線検出用半導体装置 1 B の MOS 容量手段として、MOS トランジスタを構成する MOS トランジスタ用のゲート電極 8 1 B の横に隣接して、チャネル領域 4 1 B の端部上に接続するように形成された第 1 のポリシリコン膜 8 5 と、ゲート電極 8 1 B の上面および一側面から層間絶縁膜 8 6 を介した第 1 のポリシリコン膜 8 5 上に誘電膜 8 7 を更に介して配置された第 2 のポリシリコン膜 8 8 とを電極対とするポリキャパシタを配設している。

[0111] この放射線検出用半導体装置 1 B では、ポリキャパシタを MOS トランジスタ上に層間絶縁膜 8 6 を介して形成し、MOS トランジスタとポリキャパシタとを縦方向の積層構造にしている。これに加えて、誘電膜 8 7 の種類や厚さを変えることにより、誘電膜 8 7 を下側の第 1 のポリシリコン膜 8 5 と上側の第 2 のポリシリコン膜 8 8 とで挟み込んだポリキャパシタの容量を所望の値に設定することも可能となる。

[0112] このとき、入力端子 4 3 a に入力されるソース領域 4 3 への入力信号が入力端子 8 8 a にも入力されて、入力信号とは反転した信号がチャネル領域 4 1 B 上に第 1 のポリシリコ

ン膜 8 5 から印加される。

[0113] 以上により、本実施形態 4 によれば、MOS トランジスタのチャネル領域 4 1 B に対向して配置された絶縁体層を、シリコン窒化膜 8 3 とシリコン酸化膜 8 3 との積層構造としいる。MOS トランジスタのソース領域 4 3 への入力信号を反転させた信号をチャネル領域 4 1 B に入力する反転信号入力部を有している。この反転信号入力部として、MOS トランジスタのゲート電極 8 1 B に隣接してゲート電極 8 1 B のチャネル領域 4 1 B の延長上に接続されかつチャネル領域 4 1 B と同一種の不純物を含む不純物拡散領域（第 1 のポリシリコン膜 8 5）と、不純物拡散領域の上方に誘電膜 8 7 または絶縁膜を介して設けられた別のゲート電極（第 2 のポリシリコン膜 8 8）とを有した MOS 容量手段が形成されて、MOS トランジスタのソース領域 4 3 への入力信号を別のゲート電極（第 2 のポリシリコン膜 8 8）に入力してその反転した信号を不純物拡散領域（第 1 のポリシリコン膜 8 5）からチャネル領域 4 1 B に入力する。

[0114] これによって、容易に閾値電圧のばらつきを低減することが可能な放射線検出用半導体装置 1 B であって、加えて高精度な回路特性を得るために、閾値ばらつきの補正および制御を簡便な構造で、かつピクセルサイズに影響を与える追加回路を必要とせず実現させることができる。したがって、デバイス動作時の閾値電圧のばらつきを低減することができる。

[0115] （実施形態 5）

上記実施形態 3 では、MOS トランジスタのゲート電極 8 1 B と信号反転用の MOS 容量手段（ポリキャパシタ）とを縦方向の積層構造にした場合について説明したが、本実施形態 5 では、これに加えて、MOS 容量手段のゲート電極の下方となる不純物拡散領域の所定位置に、追加して同一種の不純物を導入して、その不純物拡散領域よりも高い不純物濃度の高濃度不純物拡散層が形成されている場合について説明する。

[0116] 図 1 0 は、本発明の実施形態 4 における SOI 構造を持つ放射線検出用半導体装置の要部構成例を示す断面図である。

- [0117] 図10において、本実施形態5のSOI構造を持つ放射線検出用半導体装置1Cは、信号反転用のMOS容量手段が、MOSトランジスタを構成するMOSトランジスタ用のゲート電極81Cの横に隣接するように、チャンネル領域41Cの端部上に接続されて第1のポリシリコン膜85Cが配置されている。MOSトランジスタ用のゲート電極81Cの上方および一側方に層間絶縁膜86Cを介して第1のポリシリコン膜85Cが配置されている。第1のポリシリコン膜85Cの上方に誘電膜87Cを介して第2のポリシリコン膜88Cが別のゲート電極（MOS容量手段のゲート電極）として配置されている。MOS容量手段をMOSトランジスタのゲート電極81C上方に形成し、MOSトランジスタとMOS容量手段とを縦方向の積層構造にしている。これに加えて、MOS容量手段を構成するMOS容量用のゲート電極である第2のポリシリコン膜88Cの誘電膜87Cを介した直下の第1のポリシリコン膜85Cの表面に、さらに同種の不純物を導入して濃度を高めた電荷固定用の高濃度不純物拡散層89C（高濃度不純物拡散領域）を形成している。このため、MOS容量手段を常に固定電位にできるため、入力端子43aに入力された入力信号に対応する反転電位を効果的に第1のポリシリコン膜85CからMOSトランジスタのチャンネル領域41Cに与えることができ、MOSトランジスタの動作をより安定化させることが可能となる。
- [0118] このとき、入力端子43aに入力されるソース領域43への入力信号が入力端子86aにも入力されて、入力信号とは反転した信号がチャンネル領域41B上に印加される。
- [0119] なお、この場合にも、チャンネル領域41C上とMOSトランジスタ用のゲート電極81Cとの間に、シリコン窒化膜83とシリコン酸化膜84の絶縁体の積層構造が設けられている。
- [0120] 以上により、本実施形態5によれば、MOSトランジスタのチャンネル領域41Cに対向して配置された絶縁体層を、シリコン窒化膜83とシリコン酸化膜83との積層構造としている。MOSトランジスタのソース領域43への入力信号を反転させた信号をチャンネル領域41Cに入力する反転信号入力

部を有している。この反転信号入力部として、MOSトランジスタのゲート電極81Cに隣接してゲート電極81Cのチャネル領域41Cの延長上に接続されかつチャネル領域41Cと同一種の不純物を含む不純物拡散領域（第1のポリシリコン膜85C）と、不純物拡散領域の上方に誘電膜87Cまたは絶縁膜を介して設けられた別のゲート電極（第2のポリシリコン膜88C）とを有したMOS容量手段が形成されて、MOSトランジスタのソース領域43への入力信号を別のゲート電極（第2のポリシリコン膜88C）に入力してその反転した信号を不純物拡散領域（第1のポリシリコン膜85C）からチャネル領域41Cに入力する。さらに、別のゲート電極（第2のポリシリコン膜88C）の下方となる不純物拡散領域（第1のポリシリコン膜85C）の位置に、追加して同一種の不純物を導入して、該不純物拡散領域（第1のポリシリコン膜85C）よりも高い不純物濃度の高濃度不純物拡散層89Cが形成されている。

[0121] このように、電荷固定用の高濃度不純物拡散層89CによりMOS容量手段を常に固定電位にできて、容易に閾値電圧のばらつきをより低減することが可能な放射線検出用半導体装置1Cであって、加えて高精度な回路特性を得るために、閾値ばらつきの補正および制御を簡便な構造で、かつピクセルサイズに影響を与える追加回路を必要とせずに実現させることができる。したがって、デバイス動作時の閾値電圧のばらつきを低減することができる。

[0122] （実施形態6）

上記実施形態3では、上記本実施形態1において、MOSトランジスタにおけるチャネル領域41に対向して配置された絶縁体層を、シリコン窒化膜83とシリコン酸化膜84の積層構造と共に、またはこの積層構造に代えて、MOSトランジスタのチャネル領域41Aに対向するように誘電分極特性を有する強誘電体膜45が配置された場合について説明したが、本実施形態6では、反転信号入力部として、シリコン窒化膜83とシリコン酸化膜84の積層構造と共に、その積層構造にチャネル領域41Dを介して対向した絶縁体層2内に電極膜が配置されており、MOSトランジスタのソース領域4

3 への入力信号を絶縁体層 2 内の電極膜に入力することによりその入力信号を反転させた信号をチャネル領域 4 1 D に入力する場合について説明する。

[0123] 図 1 1 は、本発明の実施形態 6 における S O I 構造を持つ放射線検出用半導体装置の一例を示す断面図である。

[0124] 図 1 1 において、本実施形態 6 の S O I 構造を持つ放射線検出用半導体装置 1 D は、ゲート電極 8 1 D の直下のシリコン窒化膜 8 3 とシリコン酸化膜 8 4 の絶縁体の積層構造と共に、その積層構造にチャネル領域 4 1 D を介して対向した絶縁体層 2 内に電極膜としてのポリシリコン膜 9 0 が配置されている。

[0125] バックゲートとなる M O S 容量用のゲート電極としてのポリシリコン膜 9 0 とチャネル領域 4 1 D との間の絶縁体層 2 のシリコン酸化膜厚をゲートシリコン酸化膜の膜厚程度に薄くすることによって、入力端子 9 0 a に入力される入力信号に対応する電位を反転させた電位をポリシリコン膜 9 0 からチャネル領域 4 1 D 全体に直接に与えることができ、効果的にチャネル領域 4 1 D の電位変動を抑えることができる。

[0126] このとき、入力端子 4 3 a に入力されるソース領域 4 3 への入力信号が入力端子 9 0 a にも入力して、入力信号とは反転した信号がポリシリコン膜 9 0 からシリコン酸化膜を介してチャネル領域 4 1 B に下方から印加される。

[0127] 以上により、本実施形態 6 によれば、シリコン窒化膜 8 3 とシリコン酸化膜 8 4 の積層構造と共に、その積層構造にチャネル領域 4 1 D を介して対向した絶縁体層 2 内部に電極膜としてポリシリコン膜 9 0 が配置されて、M O S トランジスタのソース領域 4 3 への入力信号を絶縁体層 2 内部のポリシリコン膜 9 0 に入力することによりその入力信号を反転させた電圧信号を、ポリシリコン膜 9 0 から絶縁体層 2 の薄膜を介してチャネル領域 4 1 D に入力している。

[0128] このように、ゲート電極 8 1 D の直下のシリコン窒化膜 8 3 とシリコン酸化膜 8 4 の積層構造と共に、その積層構造にチャネル領域 4 1 D を介して対向した絶縁体層 2 内部にポリシリコン膜 9 0 が配置されているため、容易に

閾値電圧のばらつきをより低減することが可能な放射線検出用半導体装置 1 D であって、加えて高精度な回路特性を得るために、閾値ばらつきの補正および制御を簡便な構造で、かつピクセルサイズに影響を与える追加回路を必要とせず実現させることができる。したがって、デバイス動作時の閾値電圧のばらつきを低減することができる。

[0129] (実施形態 7)

上記実施形態 3 では、MOS トランジスタと信号反転用の MOS 容量手段（ポリキャパシタ）とを縦方向の積層構造にした場合について説明したが、本実施形態 7 では、MOS トランジスタのチャネル領域 4 1 E の端部にコンタクト電極を介して接続した状態で信号反転用の容量手段を MOS トランジスタとは離間した層間絶縁膜 7 1 上の位置に配置する場合について説明する。

[0130] 図 1 2 は、本発明の実施形態 7 における SOI 構造を持つ放射線検出用半導体装置の要部構成例を示す断面図である。

[0131] 図 1 2 において、本実施形態 7 の SOI 構造を持つ放射線検出用半導体装置 1 E は、MOS トランジスタ用のゲート電極 8 1 E に隣接するように、不純物拡散領域であるチャネル領域 4 1 E の端部上に一端が接続して層間絶縁膜 7 1 中を貫通した縦長穴のスルーホール内に埋め込まれたポリシリコン材で構成されたコンタクト電極 9 1 と、これにコンタクト電極 9 1 の他端が接続されて層間絶縁膜 7 1 上に設けられた容量手段 9 2 とを有している。

[0132] 容量手段 9 2 は、縦長のポリシリコン材で構成されたコンタクト電極 9 1 に接続される下側のメタル電極 9 3 と、下側のメタル電極 9 3 上の誘電膜 9 4 と、誘電膜 9 4 上に設けられ、入力端子 9 5 a が接続された上側のメタル電極 9 5 とを有している。誘電膜 9 4 を上下からメタル電極 9 3、9 5 で挟み込むようにメタル電極 9 3、9 5 の金属膜が電極対を為し、これは、誘電膜 9 4 を金属（メタル）で挟み込んだ MIM（Metal-Insulator-Metal）構造である。

[0133] 容量手段 9 2 は、MOS トランジスタのソース領域 4 3 への入力信号を入

力端子 95 a にも入力して、この入力信号を反転させた信号をコンタクト電極 91 からチャネル領域 41 E に入力する反転信号入力部を構成している。

[0134] この容量手段 92 を構成する MIM キャパシタは、抵抗が小さく高容量密度化が可能であり、効果的にチャネル領域 41 E の電位変動を抑えることができる。誘電膜 94 は、比誘電率の高い材料、例えば五酸化タンタル (Ta_2O_5)、酸化ハフニウム (HfO_2)、酸化アルミニウム (Al_2O_3) などの強誘電体膜で形成することが高容量化の点で望ましい。なお、誘電膜 94 の誘電体材料は、上記各種材料に限定されるものではなく、上記材料以外の材料を用いてもよいことは言うまでもないことである。

[0135] 以上により、本実施形態 7 によれば、MOS トランジスタのゲート電極 81 E に隣接してゲート電極 81 E 下のチャネル領域 41 E の延長上に一端が接続されかつチャネル領域 41 E と同一種の不純物を含む縦長の不純物拡散領域（コンタクト電極 91）が、ゲート電極 81 E およびチャネル領域 41 E を埋め込んだ層間絶縁層 71 を貫通して設けられ、層間絶縁層 71 上に他端が不純物拡散領域（コンタクト電極 91）に電氣的に接続されて、誘電膜 94 を金属膜のメタル電極 93、95 で挟み込んで電極対を為す容量手段 92 が設けられ、MOS トランジスタのソース領域 43 への入力信号を容量手段 92 に入力してその反転した信号をコンタクト電極 91 からチャネル領域 41 E に入力するようになっている。

[0136] これによって、ゲート電極 81 E の直下のシリコン窒化膜 83 とシリコン酸化膜 84 の積層構造と共に、容量手段 92 により、MOS トランジスタのソース領域 43 への入力信号を入力端子 95 a に入力して、この入力信号を反転させた信号をコンタクト電極 91 からチャネル領域 41 E に入力するため、容易に閾値電圧のばらつきをより低減することが可能な放射線検出用半導体装置 1 D であって、加えて高精度な回路特性を得るために、閾値ばらつきの補正および制御を簡便な構造で、かつピクセルサイズに影響を与える追加回路を必要とせず実現させることができる。したがって、デバイス動作時の閾値電圧のばらつきを低減することができる。

[0137] なお、本実施形態 7 では、MOS トランジスタのチャネル領域 4 1 E の端部にコンタクト電極 1 9 を介して接続した状態で信号反転用の容量手段 9 2 を層間絶縁層 7 1 上に配置する場合について説明したが、これに限らず、反転信号入力部として、MOS トランジスタのゲート電極 8 1 E に隣接してゲート電極 8 1 E 下のチャネル領域 4 1 E の延長端部上に接続された金属膜（メタル電極 9 3 に対応）上に絶縁膜を介して別の金属膜（メタル電極 9 5 に対応）が配置されて電極対を為す容量手段が設けられ、MOS トランジスタのソース領域 4 3 への入力信号を容量手段にも入力してその反転した信号を金属膜からチャネル領域に入力するように構成してもよい。要するに、これは、図 1 0 の容量手段 9 2 において不純物拡散領域材料が埋め込まれたコンタクト電極 9 1 がない場合であって、容量手段 9 2 の下側の金属膜が直にチャネル領域 4 1 E の延長端部上に接続されている場合である。

[0138] なお、上記実施形態 2 では、単結晶シリコン層 4 のバックゲート電極 4 8 とソース領域 4 3 との間に拡散抵抗層 4 6 を介して電位が供給可能に互いに接続されている構成は、MOS トランジスタのチャネル領域に対向して配置された絶縁体層の一部または全部を、半導体酸化膜とシリコン窒化膜の積層構造とし、かつ反転信号入力部として CMOS 回路で反転させた電圧信号を別のゲート電極 8 2 に入力する場合について説明したが、これに限らず、単結晶シリコン層 4 のバックゲート電極 4 8 とソース領域 4 3 との間に拡散抵抗層 4 6 を介して電位が供給可能に互いに接続されている上記実施形態 2 の構成は、上記実施形態 3 ～ 7 の何れとも組み合わせることができる。さらに、単結晶シリコン層 4 のバックゲート電極 4 8 とソース領域 4 3 との間に拡散抵抗層 4 6 を介して電位が供給可能に互いに接続されている上記実施形態 2 の構成と、MOS トランジスタのチャネル領域 4 1 に対向して配置された絶縁体層の一部または全部を、半導体酸化膜 8 4 または半導体酸化膜 8 4 と同等に電子またはホールをトラップして保持する膜とシリコン酸化膜 8 4 よりも電子またはホールをトラップしやすい膜（例えば半導体窒化膜 8 3）の積層構造とを有していてもよい。

[0139] なお、本発明の実施形態１～７は、本願請求項に示した範囲で種々の変更が可能である。即ち、本願請求項に示した範囲で適宜変更した技術的手段を更に組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。さらに、上記実施形態１～７のうちの少なくとも２つを組み合わせて構成することも可能である。

[0140] 以上のように、本発明の好ましい実施形態１～７を用いて本発明を例示してきたが、本発明は、この実施形態１～７に限定して解釈されるべきものではない。本発明は、特許請求の範囲によってのみその範囲が解釈されるべきであることが理解される。当業者は、本発明の具体的な好ましい実施形態１～７の記載から、本発明の記載および技術常識に基づいて等価な範囲を実施することができることが理解される。本明細書において引用した特許、特許出願および文献は、その内容自体が具体的に本明細書に記載されているのと同様にその内容が本明細書に対する参考として援用されるべきであることが理解される。

産業上の利用可能性

[0141] 本発明は、同一のＳＯＩ（Silicon ON Insulator）基板に放射線検出素子とこれの読出し回路とを絶縁膜で隔てて形成し、この読出し回路を構成するＭＯＳトランジスタなどの能動素子や抵抗やコンデンサなどの受動素子を搭載した放射線検出用半導体装置の分野において、反転信号入力部がＭＯＳトランジスタの一駆動領域への入力信号を反転させた信号をチャネル領域に入力するため、バイアス動作時の閾値電圧のばらつきを低減することができる。これによって、本発明のＳＯＩ構造を有する放射線検出用半導体装置は、下面の単結晶シリコン膜層に放射線検出素子を構成することにより、アルファ線、ベータ線、ガンマ線、Ｘ線、中性子線、荷電粒子線など放射線の検出に用いる良好に用いることができる。

請求の範囲

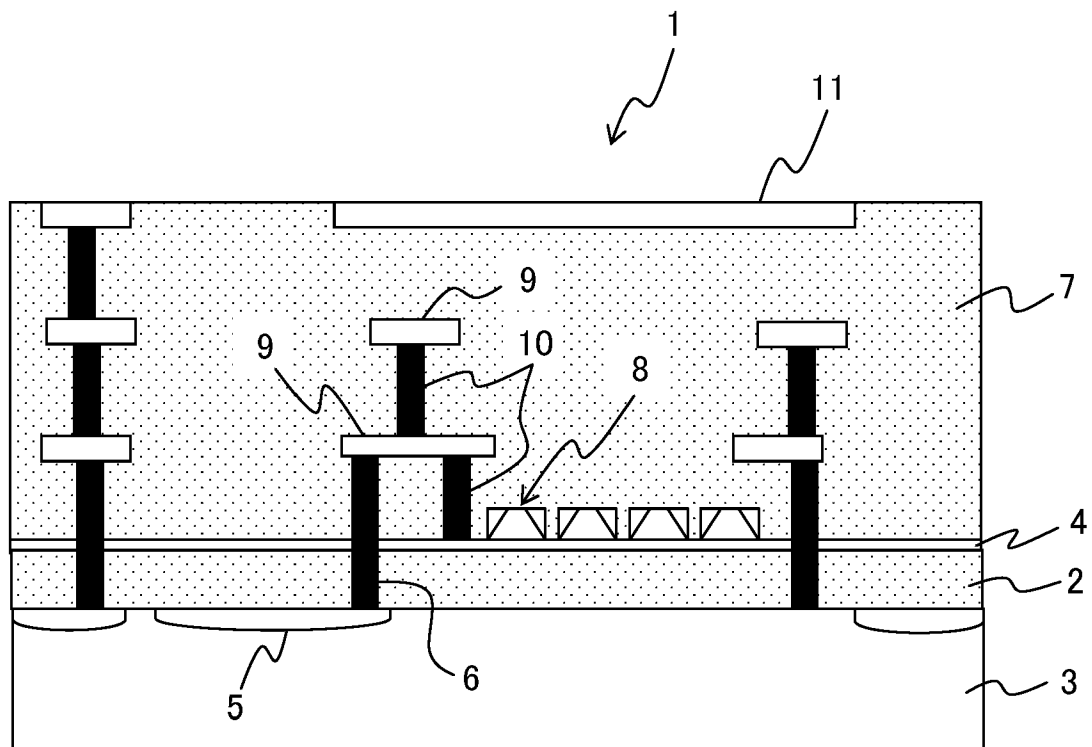
- [請求項1] 絶縁体層の下面に第1の半導体層または半導体基板が配設され、該絶縁体層の上面に第2の半導体層が配設されたSOI (Silicon ON Insulator) 構造を有し、
- 該第1の半導体層または該半導体基板に放射線検出素子が形成され、
- 該第2の半導体層に該放射線検出素子で検出した信号電荷を処理する少なくともMOSトランジスタを含む読出し回路が形成された放射線検出用半導体装置であって、
- 該MOSトランジスタのチャネル領域に対向して配置された絶縁体層の一部または全部を、半導体酸化膜または該半導体酸化膜と同等に電子またはホールをトラップして保持する膜と該シリコン酸化膜よりも電子またはホールをトラップしやすい膜との積層構造とし、
- 該MOSトランジスタの一駆動領域への入力信号を反転させた信号を該チャネル領域に入力する反転信号入力部を有する放射線検出用半導体装置。
- [請求項2] 前記反転信号入力部は、前記MOSトランジスタのゲート電極に隣接して該ゲート電極のチャネル領域の延長上に形成された別のゲート電極と、該MOSトランジスタの一駆動領域に入力する入力信号を、該入力信号の入力値に応じて各所定電圧で反転させるCMOS回路とを有し、該CMOS回路で反転させた電圧信号を該別のゲート電極に入力する請求項1に記載の放射線検出用半導体装置。
- [請求項3] 前記反転信号入力部は、該MOSトランジスタのソース領域への入力信号を容量手段にも入力して得た反転信号を該容量手段から前記チャネル領域に入力する請求項1に記載の放射線検出用半導体装置。
- [請求項4] 前記反転信号入力部として、前記積層構造と共に、または該積層構造に代えて、前記MOSトランジスタのチャネル領域に対向するように誘電分極特性を有する強誘電体膜が配置されている請求項1に記載

の放射線検出用半導体装置。

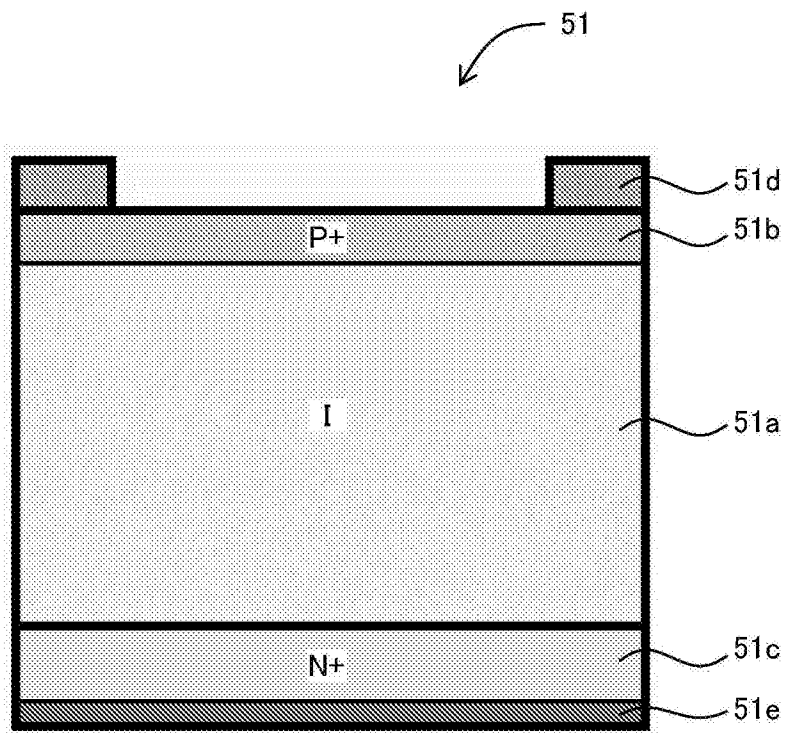
[請求項5] 前記反転信号入力部として、前記積層構造と共に、該積層構造にチャネル領域を介して対向した絶縁体層内部に電極膜が配置されており、前記MOSトランジスタの一駆動領域への入力信号を該絶縁体層内部の該電極膜から該チャネル領域側の絶縁体層により反転させた信号を前記チャネル領域に入力する請求項1に記載の放射線検出用半導体装置。

[請求項6] 前記第2の半導体層のバックゲート電極とソース領域との間に拡散抵抗層を介して電位が供給可能に互いに接続されている請求項1～5のいずれかに記載の放射線検出用半導体装置。

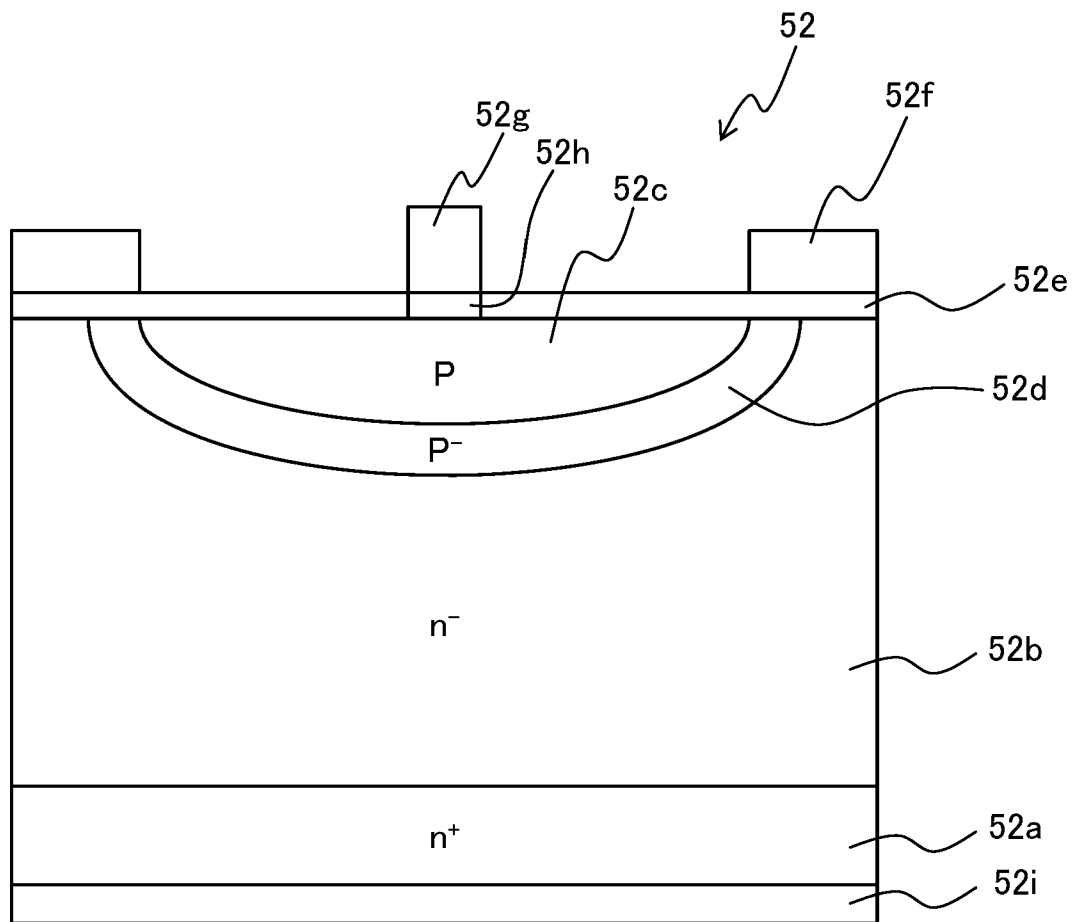
[図1]



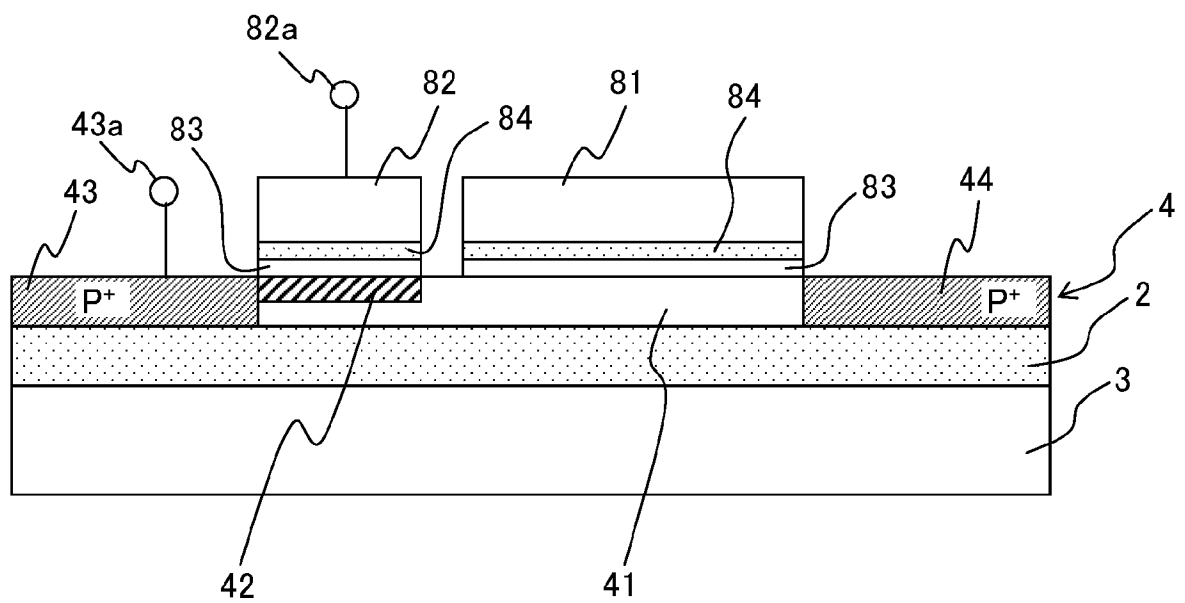
[図2]



[図3]

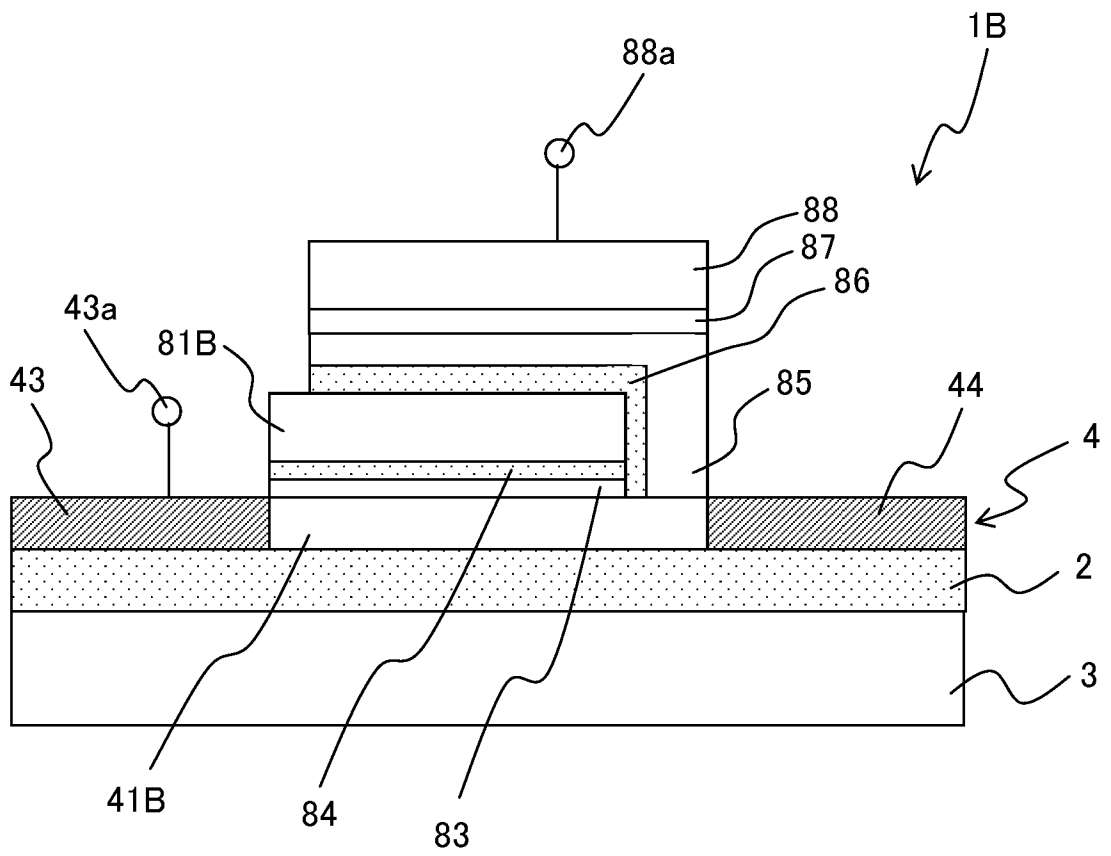


[図4]

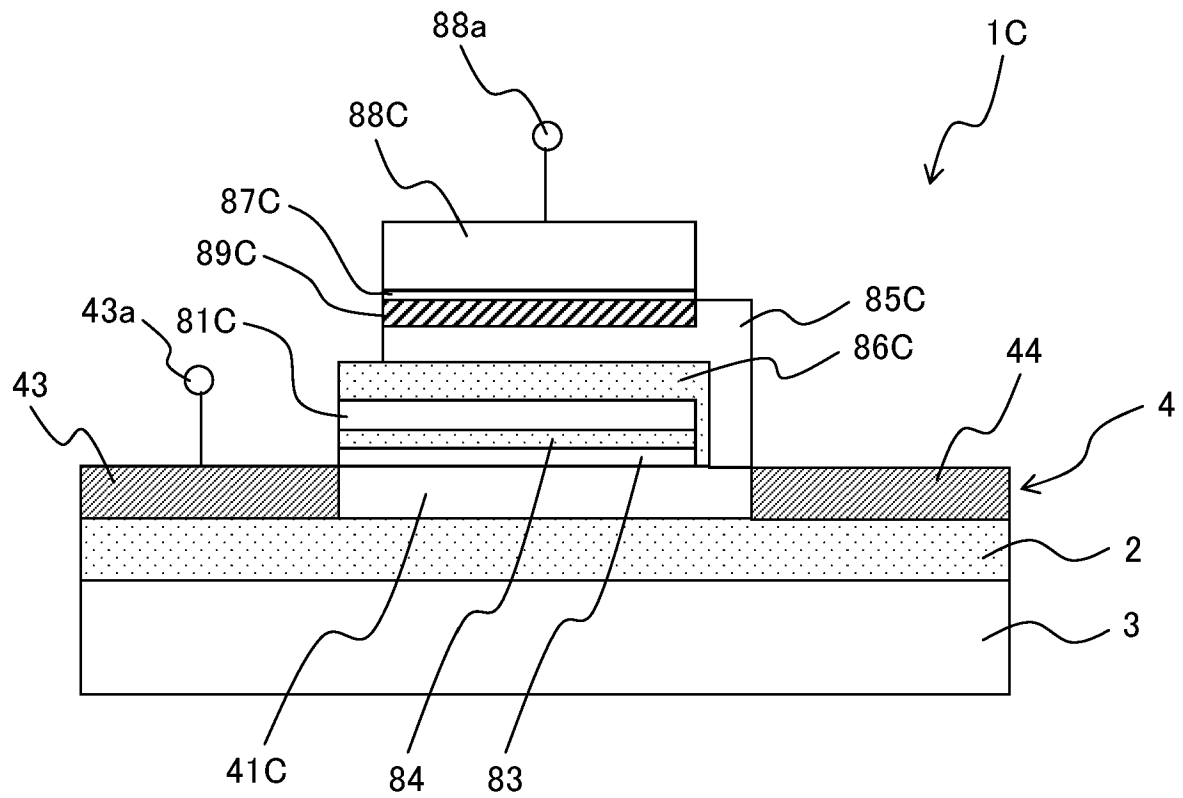


This diagram shows a cross-sectional view of a semiconductor device. The device includes a substrate with a P⁺ region (44a) and a P⁺ region (44b). A gate stack (81) is formed over the substrate, with a gate electrode (81a) and a gate insulating layer (81b). A channel region (43a) is formed in the substrate under the gate electrode. A source region (43b) is formed in the substrate under the gate electrode. A drain region (43c) is formed in the substrate under the gate electrode. A differential pair circuit (80) is formed over the substrate, including a PMOS transistor (80a) and an NMOS transistor (80b). The PMOS transistor (80a) has a gate electrode (80a) and a source region (43b). The NMOS transistor (80b) has a gate electrode (80b) and a source region (43b). The drain region (43c) is connected to the source region (43b) of the PMOS transistor (80a) and the source region (43b) of the NMOS transistor (80b). The drain region (43c) is also connected to a V_{dd} supply voltage. The source region (43b) is connected to a ground potential.

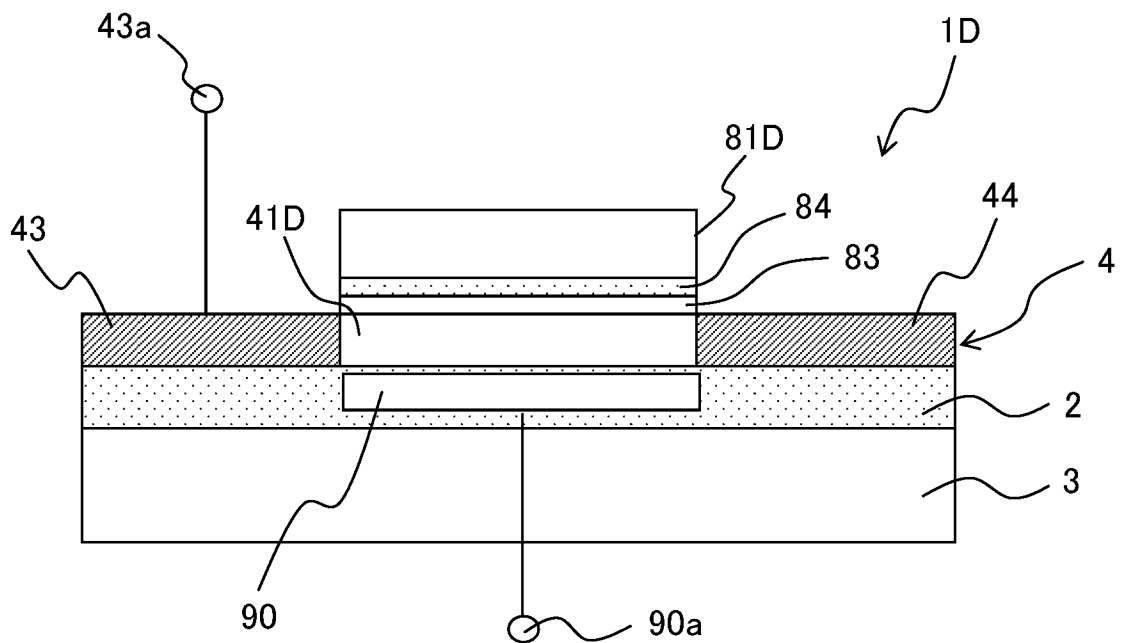
[図9]



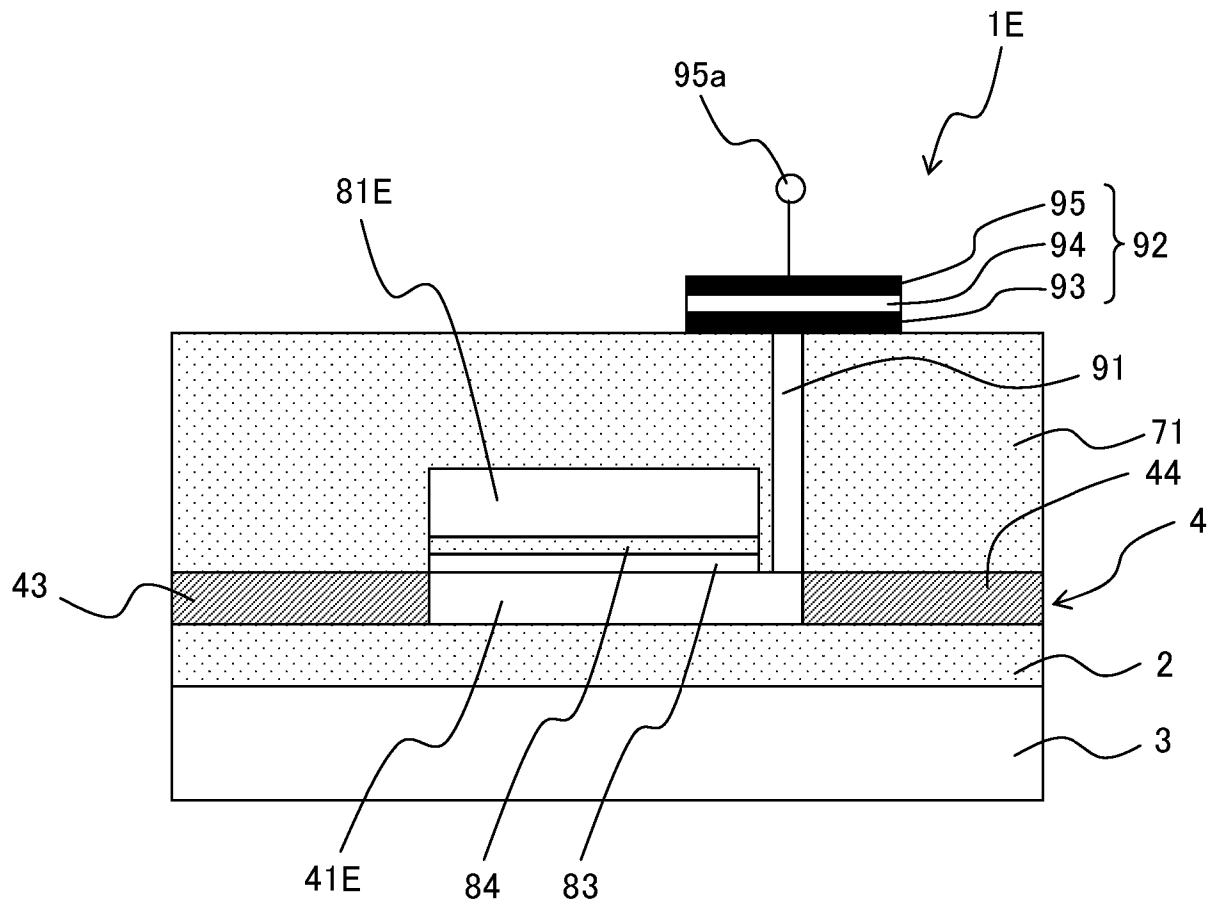
[図10]



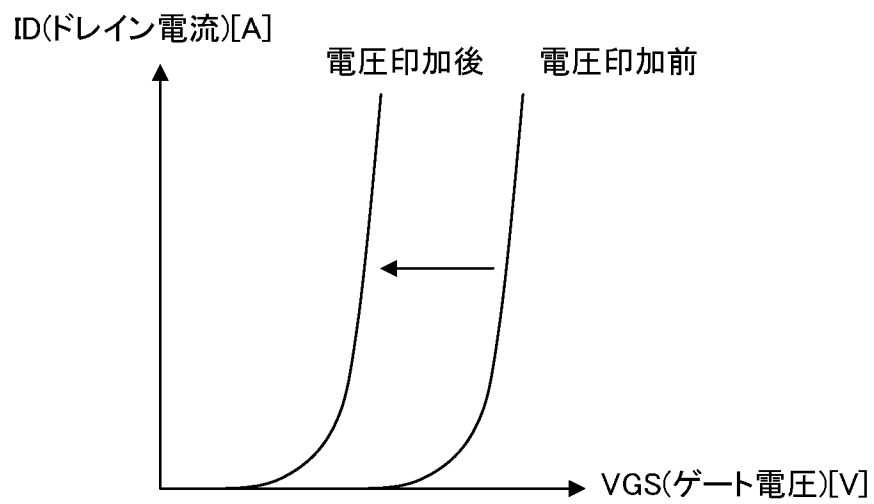
[図11]



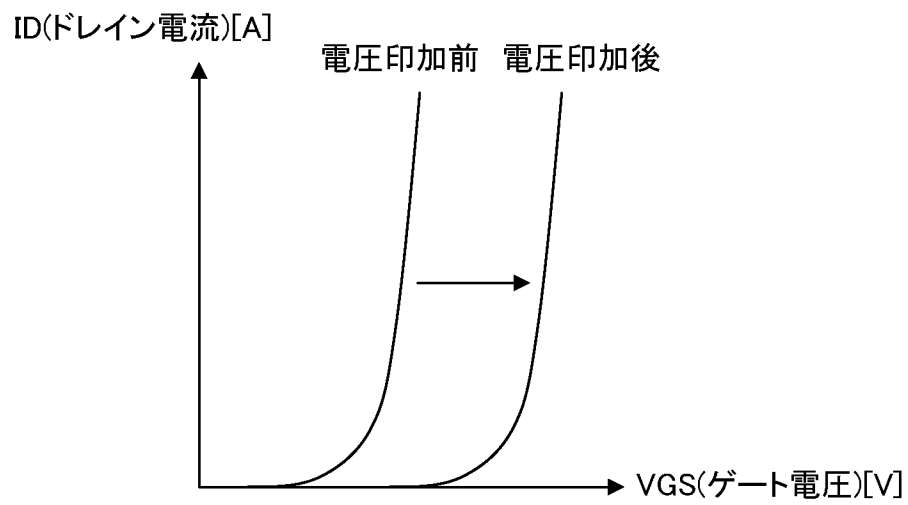
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/003356

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/146(2006.01)i, H01L21/336(2006.01)i, H01L23/52(2006.01)i,
H01L27/12(2006.01)i, H01L27/144(2006.01)i, H01L29/786(2006.01)i, H04N5/32
(2006.01)i, H04N5/335(2011.01)i, H04N5/357(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146, H01L21/336, H01L23/52, H01L27/12, H01L27/144, H01L29/786,
H04N5/32, H04N5/335, H04N5/357

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-173351 A (Sony Corp.), 29 June 2006 (29.06.2006), entire text; all drawings & US 2006/0125038 A1 & KR 10-2006-0067872 A & TW 278108 B	1-6
A	JP 2002-314061 A (Sharp Corp.), 25 October 2002 (25.10.2002), entire text; all drawings (Family: none)	1-6
A	JP 2008-543096 A (Austriamicrosystems AG.), 27 November 2008 (27.11.2008), entire text; all drawings & US 2010/0193893 A1 & EP 1891673 A & WO 2006/131209 A2 & DE 102005026242 A & TWB 00I390717	1-6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 September, 2014 (04.09.14)

Date of mailing of the international search report
16 September, 2014 (16.09.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/003356

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 1-147861 A (Hitachi, Ltd.), 09 June 1989 (09.06.1989), entire text; all drawings & US 4954895 A	1-6
A	JP 2002-246580 A (Sharp Corp.), 30 August 2002 (30.08.2002), entire text; all drawings (Family: none)	1-6
A	JP 2011-61521 A (Fujifilm Corp.), 24 March 2011 (24.03.2011), entire text; all drawings (Family: none)	1-6
A	JP 2010-56512 A (GENUSION, Inc.), 11 March 2010 (11.03.2010), entire text; all drawings (Family: none)	1-6
A	JP 2010-93550 A (Fujifilm Corp.), 22 April 2010 (22.04.2010), entire text; all drawings (Family: none)	1-6

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L27/146(2006.01)i, H01L21/336(2006.01)i, H01L23/52(2006.01)i, H01L27/12(2006.01)i, H01L27/144(2006.01)i, H01L29/786(2006.01)i, H04N5/32(2006.01)i, H04N5/335(2011.01)i, H04N5/357(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L27/146, H01L21/336, H01L23/52, H01L27/12, H01L27/144, H01L29/786, H04N5/32, H04N5/335, H04N5/357

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-173351 A（ソニー株式会社）2006.06.29, 全文, 全図 & US 2006/0125038 A1 & KR 10-2006-0067872 A & TW 278108 B	1-6
A	JP 2002-314061 A（シャープ株式会社）2002.10.25, 全文, 全図 （ファミリーなし）	1-6

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 4 . 0 9 . 2 0 1 4

国際調査報告の発送日

1 6 . 0 9 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

柴山 将隆

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

5 F

3 0 3 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-543096 A (オーストリアマイクロシステムズ アクチエン ゲゼルシャフト) 2008.11.27, 全文, 全図 & US 2010/0193893 A1 & EP 1891673 A & WO 2006/131209 A2 & DE 102005026242 A & TWB 00I390717	1-6
A	JP 1-147861 A (株式会社日立製作所) 1989.06.09, 全文, 全図 & US 4954895 A	1-6
A	JP 2002-246580 A (シャープ株式会社) 2002.08.30, 全文, 全図 (ファミリーなし)	1-6
A	JP 2011-61521 A (富士フイルム株式会社) 2011.03.24, 全文, 全図 (ファミリーなし)	1-6
A	JP 2010-56512 A (株式会社GENUSION) 2010.03.11, 全文, 全図 (ファミリーなし)	1-6
A	JP 2010-93550 A (富士フイルム株式会社) 2010.04.22, 全文, 全図 (ファミリーなし)	1-6