



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

217865

(11) (B1)

(22) Přihlášeno 23 02 81
(21) (PV 1270-81)

(51) Int. Cl.³
G 05 D 5/06

(40) Zveřejněno 28 05 82

(45) Vydáno 15 11 84

(75)
Autor vynálezu

BOCEK KAREL ing. CSc., FEBER STANISLAV ing., BYSTRICE,
TOMANEK ERVIN, TŘINEC

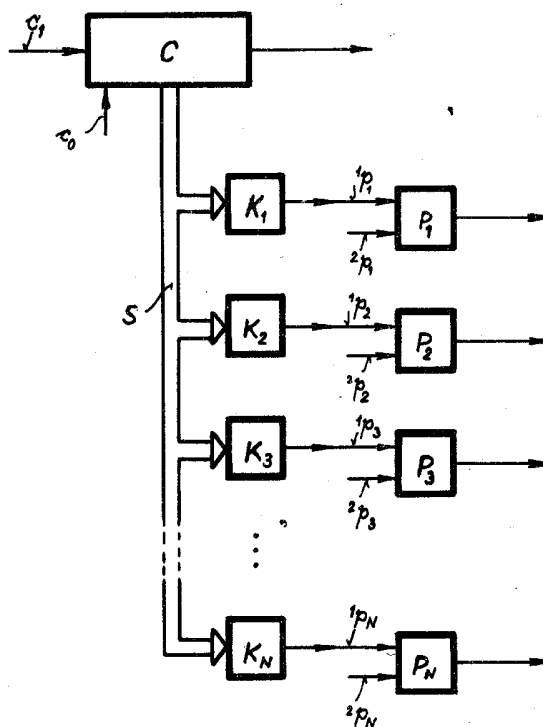
(54) Zapojení k měření časových, délkových nebo jiných jednorozměrných veličin

Vynález představuje zapojení k měření časových, délkových nebo jiných jednorozměrných veličin zejména v soustavách jednoúčelového automatického řízení.

Podstata vynálezu spočívá ve spojení čítače s přídatnou logickou sítí přes sběrnici spojující jednotlivé bitové výstupy se soustavou koincidenčních obvodů opatřených měnitelnou předvolbou.

Vlastní přídatná logická síť sestává dále ze soustavy vstupních pamětových obvodů spojených s těmito koincidenčními obvody a propojených přes hradla s výstupními pamětovými obvody.

Výsledkem měření je logický signál z_N označující zařazení měřené veličiny do přiřazeného intervalu ohraničeného předem pomocí zmíněné předvolby.



Vynález se týká zapojení k měření časových, délkových nebo jiných jednorozměrných veličin s možnostmi využití v oblasti řídicích soustav s vyššími nároky na přesnost a zvláštními nároky na jednoduchost a názornost výsledku měření zobrazeného logickými signály. Jedná se o měření číslíkové, založené na tom, že například celková měřená délka se skládá z elementárních úseků jednotkové délky, převedených na elektrické impulsy. Sčítáním těchto impulsů se dosáhne výsledná hodnota měřené veličiny.

Známe měření jednorozměrných veličin spočívá v prostém sčítání měrných impulsů odpovídajících elementárním úsekům jednotkové délky. Výsledkem měření je přesný číslíkový např. několikamístný údaj měřené veličiny v desítkové soustavě. V soustavách automatického řízení uvedený údaj vždy nevyhovuje, často je žádoucí jednoduchý například logický signál pro okamžité rozhodování o dalším kroku v posloupnosti výrobních úkonů, vznikající např. porovnáním s předem nastavenou hodnotou. V případě dosažení měřené veličiny předem nastavené hodnoty se má formovat signál např. ve tvaru logické jedničky a přítomnost takového signálu v rozpětí stanoveného časového intervalu má uvolňovat průběh další posloupnosti již zmíněných výrobních úkonů.

Nevýhody známých metod měření odstraňuje v oboru svého použití zapojení k měření časových, délkových nebo jiných jednorozměrných veličin podle vynálezu složené z čítače a přídavné logické sítě, jehož podstata spočívá v tom, že řádové výstupy čítače jsou prostřednictvím sběrnice spojeny se vstupy koincidenčních obvodů, jejichž výstupy jsou spojeny se záznamovými vstupy vstupních paměťových obvodů.

Výstupy koincidenčních obvodů jsou dále spojeny s mazacími vstupy vstupních paměťových obvodů tak, že výstup druhého koincidenčního obvodu je spojen s mazacím vstupem prvního vstupního paměťového obvodu, výstup třetího koincidenčního obvodu je spojen s mazacím vstupem druhého vstupního paměťového obvodu atd., výstup dalšího koincidenčního obvodu je spojen s mazacím vstupem předchozího paměťového obvodu.

Vstupní paměťové obvody jsou vybaveny přímými výstupy a inverzními výstupy spojenými se vstupy hradel, a výstupy těchto hradel jsou spojeny se záznamovými vstupy výstupních paměťových obvodů.

Předností zapojení k měření časových, délkových nebo jiných jednorozměrných veličin podle vynálezu je zobrazení výsledku jednotlivého měření ve tvaru logického signálu na výstupu přídavné logické sítě. Přitom každé jednotlivé měření je průběžně porovnáváno s předem stanovenými mezními hodnotami rozdělujícími celý rozsah měření na jednotlivé dílčí intervaly, a okamžitou polohu měřené veličiny v rozpětí konkrétního dílčího intervalu zobrazuje logický signál na příslušném výstupu přídavné logické sítě.

Zapojení k měření časových, délkových nebo jiných jednorozměrných veličin podle vynálezu je v příkladném provedení znázorněno na přiloženém výkrese, kde obr. 1 představuje základní podobu tohoto zapojení, obr. 2 představuje propojení vstupů vstupních paměťových obvodů, a obr. 3 propojení vstupních paměťových obvodů přes hradla s výstupními paměťovými obvody.

Na obr. 1 je znázorněn čítač C s pracovním vstupem Q_1 , s nulovacím vstupem Q_0 , s výstupem. Řádové výstupy tohoto čítače jsou přes sběrnici S spojeny se vstupy prvního koincidenčního obvodu K_1 , druhého koincidenčního obvodu K_2 , třetího koincidenčního obvodu K_3 atd., dalšího koincidenčního obvodu K_N .

Výstup prvního koincidenčního obvodu K_1 je spojen se záznamovým vstupem 1_{P_1} prvního vstupního paměťového obvodu P_1 , výstup druhého koincidenčního obvodu K_2 je spojen se záznamovým vstupem 1_{P_2} druhého vstupního paměťového obvodu P_2 , výstup třetího koincidenčního

obvodu K_3 je spojen se záznamovým vstupem 1_{P_3} třetího vstupního paměťového obvodu P_3 , atd., výstup dalšího koincidenčního obvodu K_N je spojen se záznamovým vstupem 1_{P_N} dalšího vstupního paměťového obvodu P_N . Záznamové vstupy $2_{P_1}, 2_{P_2}, 2_{P_3}, \dots, 2_{P_N}$ paměťových obvodů $P_1, P_2, P_3, \dots, P_N$ na obr. 1 jsou nezapojeny.

Na obr. 2 jsou výstupy koincidenčních obvodů $K_2, K_3, \dots, K_N$ spojeny s mazacími vstupy $2_{P_1}, 2_{P_2}, 2_{P_3}$ vstupních paměťových obvodů P_1, P_2, P_3 tak, že výstup druhého koincidenčního obvodu K_2 je spojen jednak se záznamovým vstupem 1_{P_2} druhého vstupního paměťového obvodu P_2 , a jednak s mazacím vstupem 2_{P_1} prvního vstupního paměťového obvodu P_1 , výstup třetího koincidenčního obvodu K_3 je spojen jednak se záznamovým vstupem 1_{P_3} třetího vstupního paměťového obvodu P_3 , a jednak s mazacím vstupem 2_{P_2} druhého vstupního paměťového obvodu P_2 , atd., výstup dalšího koincidenčního obvodu K_N je spojen jednak se záznamovým vstupem 1_{P_N} dalšího vstupního paměťového obvodu P_N , a jednak s mazacím vstupem 2_{P_3} předchozího například třetího vstupního paměťového obvodu P_3 . Mazací vstup 2_{P_N} dalšího vstupního paměťového obvodu P_N je nezapojen.

Na obr. 2 jsou mazací vstupy $2_{P_1}, 2_{P_2}, 2_{P_3}, \dots, 2_{P_N}$ vstupních paměťových obvodů $P_1, P_2, P_3, \dots, P_N$ spojeny s prvním vedením R_0 . Tyto paměťové obvody jsou vybaveny jednak přímými výstupy $2_{P_1}, 2_{P_2}, 2_{P_3}, \dots, 2_{P_N}$ spojenými se vstupy hradel $H_1, H_2, H_3, \dots, H_N$ tak, že inverzní výstup 2_{P_1} prvního vstupního paměťového obvodu P_1 je spojen s prvním vstupem 1_{H_1} prvního hradla H_1 , přímý výstup 1_{P_2} druhého vstupního paměťového obvodu P_2 je spojen s druhým vstupem 2_{H_1} prvního hradla H_1 , inverzní výstup 2_{P_2} druhého paměťového obvodu P_2 je spojen s prvním vstupem 1_{H_2} druhého hradla H_2 , přímý výstup 1_{P_3} třetího vstupního paměťového obvodu P_3 je spojen s druhým vstupem 2_{H_2} druhého hradla H_2 , inverzní výstup 2_{P_3} třetího vstupního paměťového obvodu P_3 je spojen s prvním vstupem 1_{H_3} třetího hradla H_3 , atd., přímý výstup 1_{P_N} dalšího vstupního obvodu P_N je spojen s druhým vstupem 2_{H_3} předchozího například třetího hradla H_3 , inverzní výstup 2_{P_N} dalšího vstupního paměťového obvodu P_N je spojen s prvním vstupem 1_{H_N} dalšího hradla H_N . Druhý vstup 2_{H_N} dalšího hradla H_N je nezapojen.

Třetí vstupy $3_{H_1}, 3_{H_2}, 3_{H_3}, \dots, 3_{H_N}$ dalších hradel $H_1, H_2, H_3, \dots, H_N$ jsou spojeny s druhým vedením H_0 .

Výstup prvního hradla H_1 je spojen se záznamovým vstupem 1_{R_1} prvního výstupního paměťového obvodu R_1 , výstup druhého hradla H_2 je spojen se záznamovým vstupem 1_{R_2} druhého výstupního paměťového obvodu R_2 , výstup třetího hradla H_3 je spojen se záznamovým vstupem 1_{R_3} třetího výstupního paměťového obvodu R_3 , atd., výstup dalšího hradla H_N je spojen se záznamovým vstupem 1_{R_N} dalšího výstupního paměťového obvodu R_N .

Mazací vstupy $2_{R_1}, 2_{R_2}, 2_{R_3}, \dots, 2_{R_N}$ výstupních paměťových obvodů $R_1, R_2, R_3, \dots, R_N$ jsou spojeny s třetím vedením R_0 .

Čítač Q představuje čítač impulsů přicházejících na pracovní vstup Q_1 . Při dočítání do nominální kapacity vzniká na výstupu čítače Q impuls označující stav zaplnění tohoto čítače. Přivedením signálu na nulovací vstup Q_0 přechází čítač Q do vynulovaného stavu.

Výstupy jednotlivých stupňů čítače Q , například přímé i inverzní bitové výstupy těchto stupňů jsou vyvedeny do sběrnice S a spojeny se vstupy koincidenčních obvodů $K_1, K_2, K_3, \dots, K_N$.

Jako koincidenční obvod se uvažuje v podstatě obvod logického součinu s přímými popřípadě inverzními vstupy, doplněnými například řadičem k připojování přímých popřípadě inverzních výstupů jednotlivých stupňů čítače v závislosti na logické hodnotě signálů na jednotlivých bitových výstupech při provedené předvolbě mezních hodnot.

Jako paměťový obvod se uvažuje klopný obvod se záznamovým vstupem a s mazacím vstupem, například R-S klopný obvod.

Jako hradlo se uvažuje kombinační logický obvod s funkcí logického součtu, vztaženo na přímé popřípadě inverzní vstupy. Tak například v zapojení podle obr. 3 se jedná o logickou funkci vyjádřenou rovnicí:

$$H_i = {}^1h_i \& \overline{{}^2h_i} \& {}^3h_i \quad (1)$$

$$\text{nebo-li} \quad H_i = {}^2p_i \& \overline{{}^1p_{i+1}} \& h_0, \quad (2)$$

$$\text{kde} \quad i = 1, 2, 3, \dots, N-1$$

Funkce zapojení k měření časových, délkových nebo jiných jednorozměrných veličin v příkladném provedení podle připojeného výkresu je následující: Ve výchozím stavu se předpokládá vynulovaný stav čítače Q . V průběhu měření, například při měření délky vývalku v násobku elementárních úseků jednotkové délky převedených na elektrické impulsy přicházejí na pracovní vstup Q_1 měrné impulsy a čítač Q tyto postupně načítává. V časových okamžicích dosažení stavu čítače Q shodného s předvolbou jednotlivých koincidenčních obvodů $K_1, K_2, K_3, \dots, K_N$ vznikají na výstupech těchto obvodů vyhodnocovací impulsy. Tak například při číselném rozdělení celkového rozsahu měření předvolbou jednotlivých koincidenčních obvodů podle tabulky

$$\begin{array}{ll} K_1 & - \quad 15 \\ K_2 & - \quad 30 \\ K_3 & - \quad 45 \\ & \cdot \\ & \cdot \\ & \cdot \\ K_N & - \quad 90 \end{array} \quad (3)$$

vzniká po příchodu 15 impulsů na pracovní vstup Q_1 signál na výstupu prvního koincidenčního obvodu K_1 , po příchodu 30 impulsů signál na výstupu druhého koincidenčního obvodu K_2 , po příchodu 45 impulsů signál na výstupu třetího koincidenčního obvodu K_3 , atd. po příchodu 90 impulsů vzniká signál na výstupu dalšího koincidenčního obvodu K_N .

Signál, který vznikl vyhodnocením stavu na výstupu některého ze zmíněných koincidenčních obvodů K_i ($i = 1, 2, 3, \dots, N$), přechází na záznamový vstup 1P_i připojeného vstupního paměťového obvodu P_i a vyvolává záznam do tohoto paměťového obvodu. Je zřejmé, že při plynulém načítávání měrných impulsů zaznamenávají se v postupném pořadí signály do jednotlivých paměťových obvodů P_i až do stavu dokončení měření. Tak například při vybuzeném stavu prvního vstupního paměťového obvodu P_1 a vybuzeném stavu druhého vstupního paměťového obvodu P_2 na konci měření je měřená veličina v rozmezí 30 až 45 měrných jednotek, tzn. je v rozmezí intervalu

$$Z_2 \approx 15, 45 \quad (4)$$

Obecně je měřená veličina v rozmezí intervalu Z_i , jestliže na konci měření platí matematicko-logický vztah:

$$Z_i = P_i \& \overline{P_{i+1}} = 1 \quad (5)$$

V zapojení podle obr. 2 se při záznamu do jednotlivého vstupního paměťového obvodu P_i zároveň vymazává předchozí vstupní paměťový obvod P_{i-1} , neboť tentýž záznamový signál přechází zároveň na mazací vstup $^2P_{i-1}$ tohoto vstupního paměťového obvodu P_{i-1} .

V zapojení podle obr. 3 se přivedením signálu na první vedení P_0 všechny připojené vstupní paměťové obvody P_i vymazávají.

Propojení vstupních paměťových obvodů P_i s výstupními paměťovými obvody R_i přes hradla H_i umožňuje v průběhu nebo na konci měření vyhodnotit stav měření do podoby logického signálu 1 z N podle modifikovaného vztahu (5) takto:

$$Z_i = R_i = ^2P_i \& ^1P_{i+1} \quad h_0 \quad (11)$$

Přivedením signálu na třetí vedení se všechny připojené výstupní paměťové obvody R_i vymazávají.

Rozdělení celkového rozsahu měření může být rovnoměrné, nerovnoměrné, s překrytím, se selektivní předvolbou vybraných dílčích intervalů apod.

Je zřejmé, že výsledkem měření, například v časovém okamžiku přechodu jednotlivého měřeného předmětu místem měření je okamžitě jeden logický signál, který dovoluje také okamžité rozhodnutí o dalším postupu výroby, přiřazení pohybové dráhy apod.

Zapojení k měření časových, délkových nebo jiných jednorozměrných veličin podle vynálezu se uplatňuje v soustavách jednocílového automatického řízení výrobního úseku, například ve válcovnách.

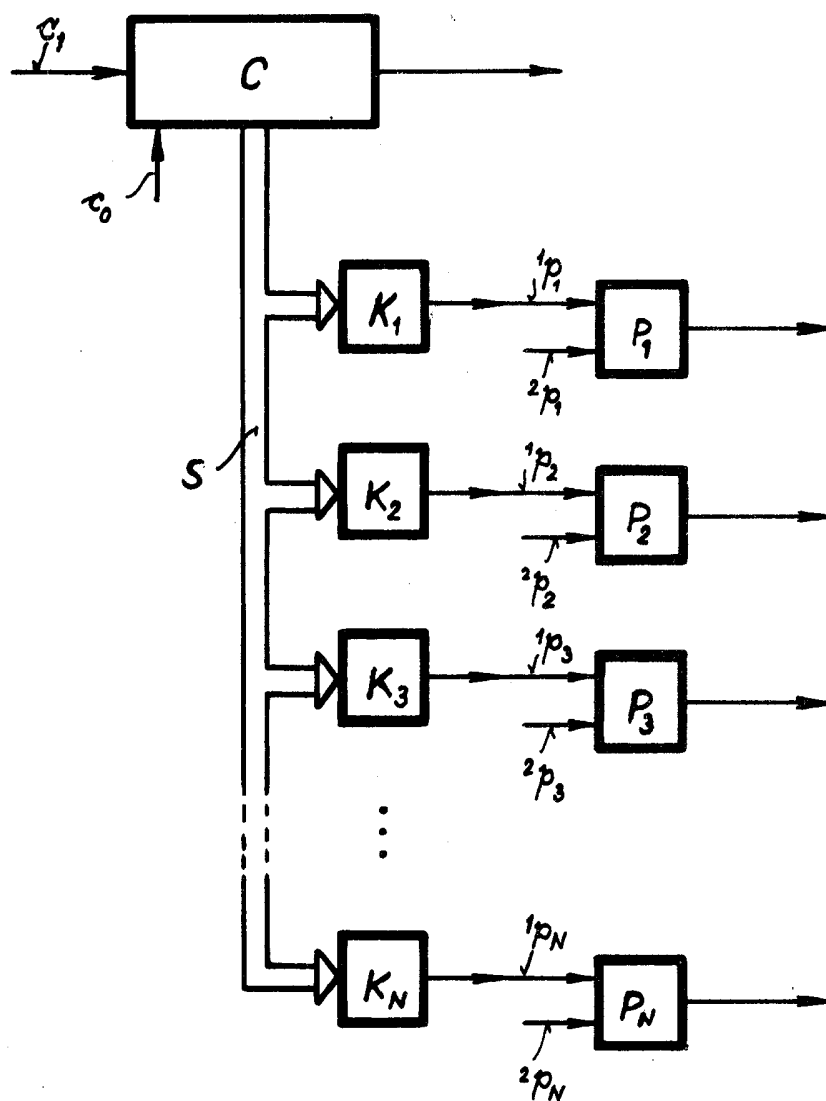
P R Ě D M Ě T V Y N Á L E Z U

1. Zapojení k měření časových, délkových nebo jiných jednorozměrných veličin složené z čítače a přídavné logické sítě, vyznačené tím, že řádové výstupy čítače (C) jsou prostřed-

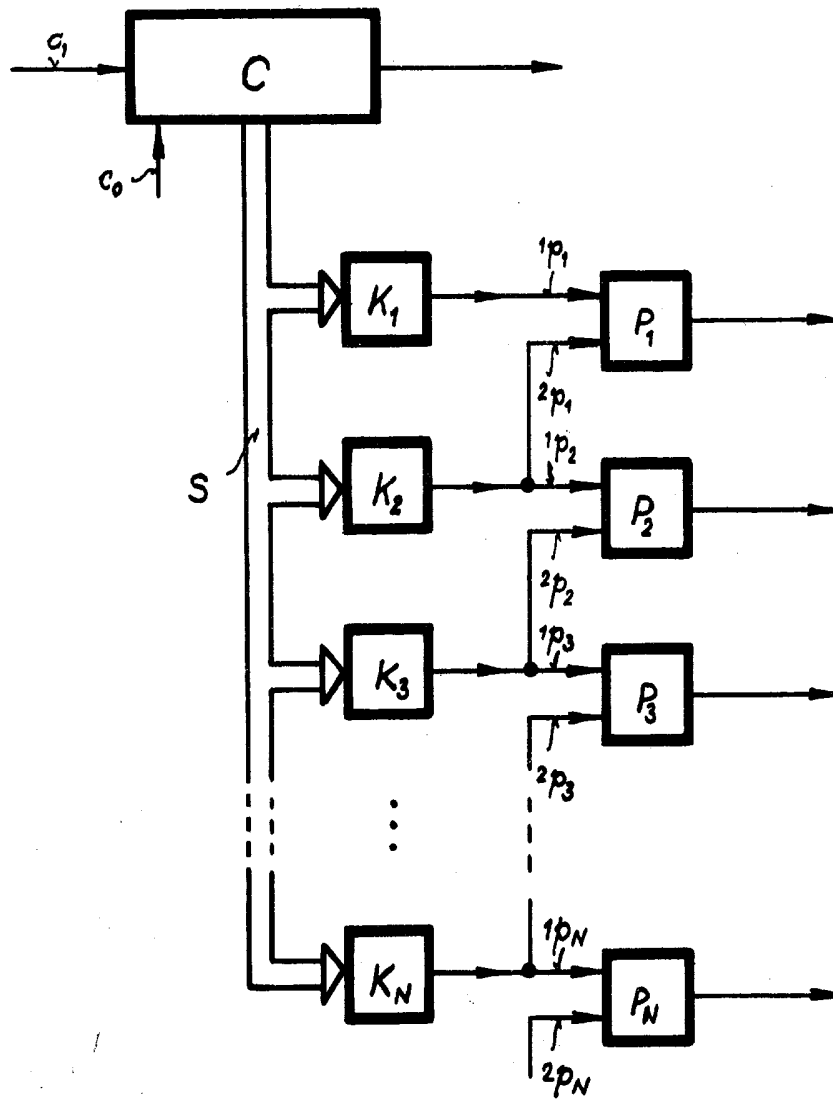
nictvím sběrnice (S) spojeny se vstupy koincidenčních obvodů ($K_1, K_2, K_3, \dots, K_N$), jejichž výstupy jsou spojeny se záznamovými vstupy ($^1p_1, ^1p_2, ^1p_3, \dots, ^1p_N$) vstupních paměťových obvodů ($P_1, P_2, P_3, \dots, P_N$).

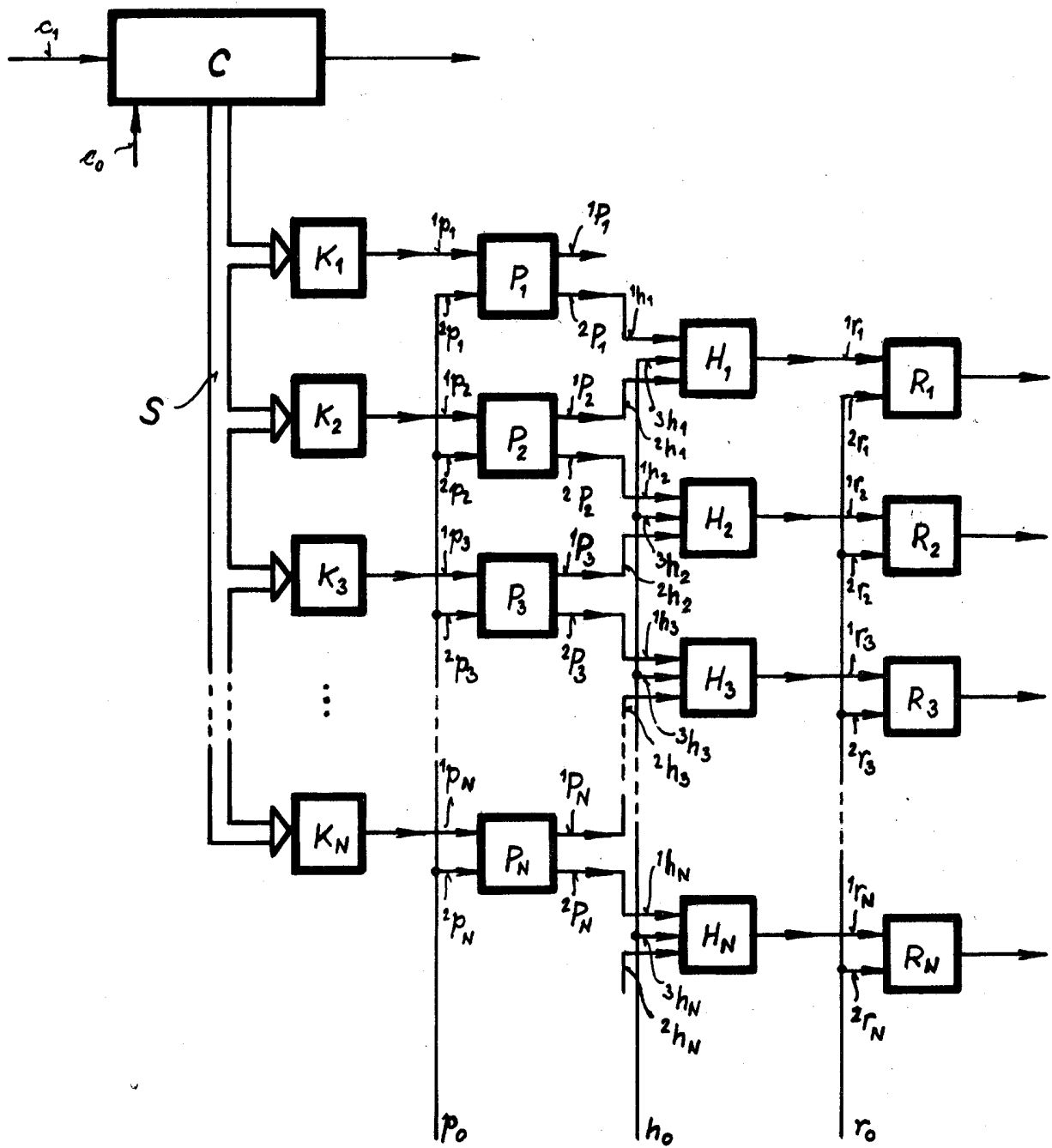
2. Zapojení podle bodu 1 vyznačené tím, že výstupy koincidenčních obvodů ($K_1, K_2, K_3, \dots, K_N$) jsou dále spojeny s mazacími vstupy vstupních paměťových obvodů ($P_1, P_2, P_3, \dots, P_N$) tak, že výstup druhého koincidenčního obvodu (K_2) je spojen s mazacím vstupem (2p_1) prvního vstupního paměťového obvodu (P_1), výstup třetího koincidenčního obvodu (K_3) je spojen s mazacím vstupem (2p_2) druhého vstupního paměťového obvodu (P_2), atd., výstup dalšího koincidenčního obvodu (K_N) je spojen s mazacím vstupem předchozího paměťového obvodu.

3. Zapojení podle bodu 1 vyznačené tím, že vstupní paměťové obvody ($P_1, P_2, P_3, \dots, P_N$) jsou vybaveny přímými výstupy ($^1p_1, ^1p_2, ^1p_3, \dots, ^1p_N$) a inverzními výstupy ($^2p_1, ^2p_2, ^2p_3, \dots, ^2p_N$) spojenými se vstupy hradel ($H_1, H_2, H_3, \dots, H_N$) a výstupy těchto hradel jsou spojeny se záznamovými vstupy ($^1r_1, ^1r_2, ^1r_3, \dots, ^1r_N$) výstupních paměťových obvodů ($R_1, R_2, R_3, \dots, R_N$).



obr. 1





obr. 3