



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0073228
(43) 공개일자 2025년05월27일

(51) 국제특허분류(Int. Cl.)
H01G 4/232 (2006.01) H01G 4/012 (2006.01)
H01G 4/12 (2006.01) H01G 4/252 (2006.01)
H01G 4/30 (2006.01)
(52) CPC특허분류
H01G 4/232 (2013.01)
H01G 4/012 (2013.01)
(21) 출원번호 10-2025-7012572
(22) 출원일자(국제) 2023년11월28일
심사청구일자 2025년04월17일
(85) 번역문제출일자 2025년04월17일
(86) 국제출원번호 PCT/JP2023/042616
(87) 국제공개번호 WO 2024/135256
국제공개일자 2024년06월27일
(30) 우선권주장
JP-P-2022-202676 2022년12월19일 일본(JP)

(71) 출원인
가부시키키가이샤 무라타 세이사쿠쇼
일본국 교토후 나가오카쿄시 히가시코타리 1초메 10반 1고
(72) 발명자
츠보카와 다이쇼
일본국 교토후 나가오카쿄시 히가시코타리 1초메 10반 1고 가부시키키가이샤 무라타 세이사쿠쇼 내
이타모치 타케시
일본국 교토후 나가오카쿄시 히가시코타리 1초메 10반 1고 가부시키키가이샤 무라타 세이사쿠쇼 내
(뒷면에 계속)
(74) 대리인
윤앤리특허법인(유한)

전체 청구항 수 : 총 6 항

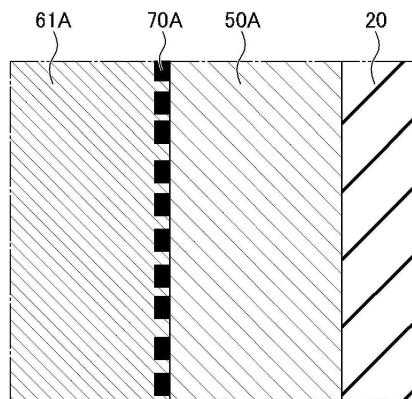
(54) 발명의 명칭 **적층 세라믹 전자부품**

(57) 요약

적층 세라믹 전자부품의 적층체에 크랙이 발생하는 것을 억제 가능한 신뢰성이 높은 적층 세라믹 전자부품을 제공하는 것.

적층 세라믹 콘덴서(1)는 하층으로부터, 제1 하부 전극층(50A), 제1 유기층(70A), 제1 도금층(60A)을 가지는 제1 외부전극(40A), 하층으로부터, 제2 하부 전극층(50B), 제2 유기층(70B), 제2 도금층(60B)을 가지는 제2 외부전극(40B)을 가지는 외부전극(40)을 포함하고, 제1 유기층(70A)의 표면은 제1 하부 전극층(50A)의 일부가 노출된 표면, 제2 유기층(70B)의 표면은 제2 하부 전극층(50B)의 일부가 노출된 표면으로서 형성되며, 제1 유기층(70A)의 표면에서 제1 하부 전극층(50A)의 주성분 금속의 원자 백분율이 4.0atom% 이하, 제2 유기층(70B)의 표면에서 제2 하부 전극층(50B)의 주성분 금속의 원자 백분율이 4.0atom% 이하이다.

대표도 - 도5



(52) CPC특허분류

H01G 4/12 (2021.01)

H01G 4/252 (2013.01)

H01G 4/30 (2013.01)

(72) 발명자

오오카와 노리유키

일본국 교토후 나가오카쿄시 히가시쿄타리 1초메
10반 1고 가부시키키가이샤 무라타 세이사쿠쇼 내

미야자키 토모치카

일본국 교토후 나가오카쿄시 히가시쿄타리 1초메
10반 1고 가부시키키가이샤 무라타 세이사쿠쇼 내

호시노 유우타

일본국 교토후 나가오카쿄시 히가시쿄타리 1초메
10반 1고 가부시키키가이샤 무라타 세이사쿠쇼 내

노무라 요시유키

일본국 교토후 나가오카쿄시 히가시쿄타리 1초메
10반 1고 가부시키키가이샤 무라타 세이사쿠쇼 내

명세서

청구범위

청구항 1

교대로 적층된 복수개의 세라믹층 및 복수개의 내부 도체층을 포함함과 함께, 높이방향으로 마주보는 제1 주면(主面) 및 제2 주면과, 상기 높이방향에 직교하는 폭방향으로 마주보는 제1 측면 및 제2 측면과, 상기 높이방향 및 상기 폭방향에 직교하는 길이방향으로 마주보는 제1 단면(端面) 및 제2 단면을 가지는 적층체와,

상기 내부 도체층에 접속되는 외부전극을 포함하고,

상기 외부전극은, 상기 제1 단면 상에 배치된 제1 외부전극과, 상기 제2 단면 상에 배치된 제2 외부전극을 가지며,

상기 제1 외부전극은, 상기 제1 단면 상에 배치된 제1 하부 전극층과, 상기 제1 하부 전극층 상에 배치된 제1 유기층과, 상기 제1 유기층 상에 배치된 제1 도금층을 가지며,

상기 제2 외부전극은, 상기 제2 단면 상에 배치된 제2 하부 전극층과, 상기 제2 하부 전극층 상에 배치된 제2 유기층과, 상기 제2 유기층 상에 배치된 제2 도금층을 가지며,

상기 제1 유기층의 표면은 상기 제1 하부 전극층의 일부가 노출된 표면으로서 형성되고,

상기 제2 유기층의 표면은 상기 제2 하부 전극층의 일부가 노출된 표면으로서 형성되며,

상기 제1 유기층의 표면에서 상기 제1 하부 전극층의 주성분 금속의 원자 백분율은 4.0atom% 이하이고,

상기 제2 유기층의 표면에서 상기 제2 하부 전극층의 주성분 금속의 원자 백분율은 4.0atom% 이하인, 적층 세라믹 전자부품.

청구항 2

제1항에 있어서,

상기 제1 유기층의 표면에서 상기 제1 하부 전극층의 주성분 금속의 원자 백분율은 0.6atom% 이상이고,

상기 제2 유기층의 표면에서 상기 제2 하부 전극층의 주성분 금속의 원자 백분율은 0.6atom% 이상인, 적층 세라믹 전자부품.

청구항 3

제1항 또는 제2항에 있어서,

상기 제1 하부 전극층의 주성분 금속 및 상기 제2 하부 전극층의 주성분 금속은 Cu인, 적층 세라믹 전자부품.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 제1 유기층 및 상기 제2 유기층은 유기 규소 화합물인, 적층 세라믹 전자부품.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서,

복수개의 상기 내부 도체층은, 상기 제1 단면으로 인출되는 복수개의 제1 내부 도체층과, 상기 제2 단면으로 인출되는 복수개의 제2 내부 도체층을 가지며,

상기 제1 외부전극은 상기 제1 내부 도체층에 접속되고,

상기 제2 외부전극은 상기 제2 내부 도체층에 접속되는, 적층 세라믹 전자부품.

청구항 6

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 외부전극은 제3 외부전극을 더 가지며,

복수개의 상기 내부 도체층은, 상기 제1 단면 및 제2 단면으로 인출되는 복수개의 제1 내부 도체층과, 상기 제1 측면 또는 상기 제2 측면 중 적어도 어느 하나로 인출되는 복수개의 제2 내부 도체층을 가지며,

상기 제1 외부전극은, 상기 제1 단면으로 인출된 상기 제1 내부 도체층에 접속되고,

상기 제2 외부전극은, 상기 제2 단면으로 인출된 상기 제1 내부 도체층에 접속되며,

상기 제3 외부전극은, 상기 제2 내부 도체층에 접속되는, 적층 세라믹 전자부품.

발명의 설명

기술분야

[0001] 본 발명은 적층 세라믹 전자부품에 관한 것이다.

배경기술

[0002] 종래, 적층 세라믹 전자부품으로서의 적층 세라믹 콘덴서가 알려져 있다. 일반적으로, 적층 세라믹 콘덴서는 유전체층과 내부 전극층이 교대로 복수개 적층된 적층체와, 내부 전극층과 접속되고 적층체의 양 단면(端面)에 마련된 외부전극을 포함한다. 예를 들면 특허문헌 1에는, 상술한 구조를 가지면서 외부전극으로서의 단자전극이, 금속 성분과 무기 결합재로 구성되면서 내부에 공공(空孔)이 복수개 형성된 적층 세라믹 콘덴서가 개시되어 있다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 일본 공개특허공보 특개평5-3132호

발명의 내용

해결하려는 과제

[0004] 특허문헌 1의 적층 세라믹 콘덴서는 단자전극이 공공을 가진다. 따라서, 외부 응력이 완화되어, 콘덴서 내부의 크랙 발생이 억제된다. 이로써, 적층 세라믹 콘덴서의 신뢰성이 높아진다. 그러나 최근에는 보다 높은 신뢰성이 요구되고 있어, 추가적인 대책이 요구된다.

[0005] 본 발명은 적층 세라믹 전자부품의 적층체에 크랙이 발생하는 것을 억제하는 것이 가능한 신뢰성이 높은 적층 세라믹 전자부품을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0006] 본 발명에 따른 적층 세라믹 전자부품은, 교대로 적층된 복수개의 세라믹층 및 복수개의 내부 도체층을 포함함과 함께, 높이방향으로 마주보는 제1 주면(主面) 및 제2 주면과, 상기 높이방향에 직교하는 폭방향으로 마주보는 제1 측면 및 제2 측면과, 상기 높이방향 및 상기 폭방향에 직교하는 길이방향으로 마주보는 제1 단면(端面) 및 제2 단면을 가지는 적층체와, 상기 내부 도체층에 접속되는 외부전극을 포함하고, 상기 외부전극은, 상기 제1 단면 상에 배치된 제1 외부전극과, 상기 제2 단면 상에 배치된 제2 외부전극을 가지며, 상기 제1 외부전극은, 상기 제1 단면 상에 배치된 제1 하부 전극층과, 상기 제1 하부 전극층 상에 배치된 제1 유기층과, 상기 제1 유기층 상에 배치된 제1 도금층을 가지며, 상기 제2 외부전극은, 상기 제2 단면 상에 배치된 제2 하부 전극층과, 상기 제2 하부 전극층 상에 배치된 제2 유기층과, 상기 제2 유기층 상에 배치된 제2 도금층을 가지며, 상기 제1 유기층의 표면은 상기 제1 하부 전극층의 일부가 노출된 표면으로서 형성되고, 상기 제2 유기층의 표면은 상기 제2 하부 전극층의 일부가 노출된 표면으로서 형성되며, 상기 제1 유기층의 표면에서 상기 제1 하부 전극층의

주성분 금속의 원자 백분율은 4.0atom% 이하이고, 상기 제2 유기층의 표면에서 상기 제2 하부 전극층의 주성분 금속의 원자 백분율은 4.0atom% 이하이다.

발명의 효과

[0007] 본 발명에 따르면, 적층 세라믹 전자부품의 적층체에 크랙이 발생하는 것을 억제하는 것이 가능한 신뢰성이 높은 적층 세라믹 전자부품을 제공할 수 있다.

도면의 간단한 설명

[0008] 도 1은 제1 실시형태에 따른 적층 세라믹 콘덴서의 외관 사시도이다.
 도 2는 도 1의 II-II 단면도이다.
 도 3은 도 2의 III-III 단면도이다.
 도 4a는 도 2의 IVA-IVA 단면도이다.
 도 4b는 도 2의 IVB-IVB 단면도이다.
 도 5는 도 2의 R로 나타내는 부분의 확대 단면도이다.
 도 6은 2연(連) 구조의 적층 세라믹 콘덴서를 나타내는 도면이다.
 도 7은 3연 구조의 적층 세라믹 콘덴서를 나타내는 도면이다.
 도 8은 4연 구조의 적층 세라믹 콘덴서를 나타내는 도면이다.
 도 9는 변형예에서의 도 2에 상당하는 단면도이다.
 도 10a는 변형예에서의 도 4a에 상당하는 단면도이다.
 도 10b는 변형예에서의 도 4b에 상당하는 단면도이다.
 도 11은 제2 실시형태에 따른 적층 세라믹 콘덴서의 외관 사시도이다.
 도 12는 제2 실시형태에서의 도 4a에 상당하는 단면도이다.
 도 13은 제2 실시형태에서의 도 4b에 상당하는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0009] <제1 실시형태>

[0010] 이하, 본 개시의 제1 실시형태에 따른 적층 세라믹 전자부품으로서의 적층 세라믹 콘덴서(1)에 대해 도 1~5를 이용하여 설명한다. 도 1은 제1 실시형태에 따른 적층 세라믹 콘덴서(1)의 외관 사시도이다. 도 2는 도 1의 II-II 단면도이다. 도 3은 도 2의 III-III 단면도이다. 도 4a는 도 2의 IVA-IVA 단면도이다. 도 4b는 도 2의 IVB-IVB 단면도이다. 도 5는 도 2의 R로 나타내는 부분의 확대 단면도이다.

[0011] 도 1에 나타내는 바와 같이, 제1 실시형태에 따른 적층 세라믹 콘덴서(1)는 대략 직방체 형상을 가진다. 적층 세라믹 콘덴서(1)는 대략 직방체 형상을 가지는 적층체(10)와, 적층체(10)의 양 단부(端部) 각각에 서로 이격되어 배치된 한 쌍의 외부전극(40)을 포함한다.

[0012] 도 1에서 화살표 T는 적층 세라믹 콘덴서(1) 및 적층체(10)의 적층방향을 나타낸다. 이 적층방향(T)은 적층 세라믹 콘덴서(1) 및 적층체(10)의 두께방향 및 높이방향이기도 하다. 도 1에서 화살표 L은 적층 세라믹 콘덴서(1) 및 적층체(10)의, 적층방향(T)에 직교하는 길이방향을 나타낸다. 도 1에서 화살표 W는 적층 세라믹 콘덴서(1) 및 적층체(10)의, 적층방향(T) 및 길이방향(L)에 직교하는 폭방향을 나타낸다. 한 쌍의 외부전극(40)은 적층체(10)의 길이방향(L)의 일단부 및 타단부에 각각 배치된다.

[0013] 도 1~도 4b에는 XYZ 직교 좌표계가 나타나있다. 적층 세라믹 콘덴서(1) 및 적층체(10)의 길이방향(L)은 X 방향과 대응한다. 적층 세라믹 콘덴서(1) 및 적층체(10)의 폭방향(W)은 Y 방향과 대응한다. 적층 세라믹 콘덴서(1) 및 적층체(10)의 적층방향(T)은 Z 방향과 대응한다. 여기서, 도 2에 나타내는 절단면은 LT 절단면이라고도 칭해진다. 도 3에 나타내는 절단면은 WT 절단면이라고도 칭해진다. 도 4a 및 도 4b에 나타내는 절단면은 LW 절단면

이라고도 칭해진다.

- [0014] 도 1~도 4b에 나타내는 바와 같이, 적층체(10)는 적층방향(T)으로 마주보는 제1 주면(TS1) 및 제2 주면(TS2)과, 적층방향(T)에 직교하는 길이방향(L)으로 마주보는 제1 단면(LS1) 및 제2 단면(LS2)과, 적층방향(T) 및 길이방향(L)에 직교하는 폭방향(W)으로 마주보는 제1 측면(WS1) 및 제2 측면(WS2)을 포함한다.
- [0015] 도 1에 나타내는 바와 같이, 적층체(10)는 대략 직방체 형상을 가진다. 한편, 적층체(10)의 길이방향(L)의 치수는 폭방향(W)의 치수보다도 반드시 길다고는 할 수 없다. 적층체(10)의 모서리부 및 능선부는 라운드형으로 마련되는 것이 바람직하다. 모서리부는 적층체의 3면이 교차하는 부분이고, 능선부는 적층체의 2면이 교차하는 부분이다. 한편, 적층체(10)를 구성하는 표면의 일부 또는 전부에 요철 등이 형성되어도 된다.
- [0016] 적층체(10)의 치수는 특별히 한정되지 않지만, 적층체(10)의 길이방향(L)의 치수를 L 치수로 하면, L 치수는 0.2mm 이상 10mm 이하인 것이 바람직하다. 또한, 적층체(10)의 적층방향(T)의 치수를 T 치수로 하면, T 치수는 0.1mm 이상 10mm 이하인 것이 바람직하다. 또한, 적층체(10)의 폭방향(W)의 치수를 W 치수로 하면, W 치수는 0.1mm 이상 10mm 이하인 것이 바람직하다.
- [0017] 도 2 및 도 3에 나타내는 바와 같이, 적층체(10)는 내층부(11)와, 적층방향(T)에서 내층부(11)를 끼워넣도록 배치된 제1 주면 측 외층부(12) 및 제2 주면 측 외층부(13)를 가진다.
- [0018] 내층부(11)는 적층방향(T)으로 교대로 적층되는 복수개의 세라믹층으로서의 복수개의 유전체층(20) 및 복수개의 내부 도체층으로서의 복수개의 내부 전극층(30)을 포함한다. 내층부(11)는 적층방향(T)에서, 제1 주면(TS1)에 가장 가깝게 위치하는 내부 전극층(30)부터 제2 주면(TS2)에 가장 가깝게 위치하는 내부 전극층(30)까지를 포함한다. 내층부(11)에서는 복수개의 내부 전극층(30)이 유전체층(20)을 사이에 두고 대향하여 배치된다. 내층부(11)는 정전 용량을 발생시키고 실질적으로 콘덴서로서 기능하는 부분이다.
- [0019] 복수개의 유전체층(20)은 유전체 재료에 의해 구성된다. 유전체 재료는 예를 들면, BaTiO₃, CaTiO₃, SrTiO₃, 또는 CaZrO₃ 등의 성분을 포함하는 유전체 세라믹이어도 된다. 또한, 유전체 재료는 이들 주성분에 Mn 화합물, Fe 화합물, Cr 화합물, Co 화합물, Ni 화합물 등의 부성분을 첨가한 것이어도 된다. 유전체 재료는 주성분으로서 BaTiO₃을 포함하는 재료인 것이 특히 바람직하다.
- [0020] 유전체층(20)의 두께는 0.5 μ m 이상 15 μ m 이하인 것이 바람직하다. 적층되는 유전체층(20)의 매수는 10매 이상 700매 이하인 것이 바람직하다. 한편, 이 유전체층(20)의 매수는 내층부(11)의 유전체층(20)의 매수와, 제1 주면 측 외층부(12) 및 제2 주면 측 외층부(13) 각각의 유전체층(20)의 매수의 총수이다.
- [0021] 복수개의 내부 전극층(30)은 복수개의 제1 내부 도체층으로서의 복수개의 제1 내부 전극층(31)과, 복수개의 제2 내부 도체층으로서의 복수개의 제2 내부 전극층(32)을 포함한다. 제1 내부 전극층(31)과 제2 내부 전극층(32)이, 그 사이에 유전체층(20)을 끼우고 적층방향(T)으로 교대로 배치된다. 제1 내부 전극층(31)은 제1 단면(LS1)으로 인출된다. 제2 내부 전극층(32)은 제2 단면(LS2)으로 인출된다. 한편, 이하에서는 제1 내부 전극층(31)과 제2 내부 전극층(32)을 구별하여 설명할 필요가 없는 경우에는 제1 내부 전극층(31)과 제2 내부 전극층(32)을 일괄하여 내부 전극층(30)이라고 하는 경우가 있다.
- [0022] 도 4a에 나타내는 바와 같이, 제1 내부 전극층(31)은 제1 대향부(31A)와 제1 인출부(31B)를 가진다. 제1 대향부(31A)는 유전체층(20)을 사이에 끼고 제2 내부 전극층(32)에 대향하는 영역이며, 적층체(10)의 내부에 위치한다. 제1 인출부(31B)는 제1 대향부(31A)로부터 제1 단면(LS1)으로 인출된 부분이며, 제1 단면(LS1)에 노출된다.
- [0023] 도 4b에 나타내는 바와 같이, 제2 내부 전극층(32)은 제2 대향부(32A)와 제2 인출부(32B)를 가진다. 제2 대향부(32A)는 유전체층(20)을 사이에 끼고 제1 내부 전극층(31)에 대향하는 영역이며, 적층체(10)의 내부에 위치한다. 제2 인출부(32B)는 제2 대향부(32A)로부터 제2 단면(LS2)으로 인출된 부분이며, 제2 단면(LS2)에 노출된다.
- [0024] 본 실시형태에서는 제1 대향부(31A)와 제2 대향부(32A)가 유전체층(20)을 사이에 두고 서로 대향함으로써 용량이 형성되고, 콘덴서의 특성이 발현된다.
- [0025] 제1 대향부(31A) 및 제2 대향부(32A)의 형상은 특별히 한정되지 않지만, 직사각형상인 것이 바람직하다. 물론, 직사각형 형상의 코너부가 라운드형으로 마련되어도 되고, 직사각형 형상의 코너부가 비스듬하게 형성되어도 된다. 제1 인출부(31B) 및 제2 인출부(32B)의 형상은 특별히 한정되지 않지만, 직사각형상인 것이 바람직하다. 물

론, 직사각형 형상의 코너부가 라운드형으로 마련되어도 되고, 직사각형 형상의 코너부가 비스듬하게 형성되어도 된다.

- [0026] 제1 대향부(31A)의 폭방향(W)의 치수와 제1 인출부(31B)의 폭방향(W)의 치수는 동일한 치수로 형성되어도 되고, 어느 한쪽의 치수가 작게 형성되어도 된다. 제2 대향부(32A)의 폭방향(W)의 치수와 제2 인출부(32B)의 폭방향(W)의 치수는 동일한 치수로 형성되어도 되고, 어느 한쪽의 치수가 좁게 형성되어도 된다.
- [0027] 제1 내부 전극층(31) 및 제2 내부 전극층(32)은 예를 들면, Ni, Cu, Ag, Pd, Au 등의 금속이나, 이들 금속 중 적어도 1종을 포함하는 합금 등의 적당한 도전 재료에 의해 구성된다. 합금을 이용하는 경우, 제1 내부 전극층(31) 및 제2 내부 전극층(32)은 예를 들면 Ag-Pd 합금 등에 의해 구성되어도 된다.
- [0028] 제1 내부 전극층(31) 및 제2 내부 전극층(32) 각각의 두께는 예를 들면, 0.2 μ m 이상 2.0 μ m 이하인 것이 바람직하다. 제1 내부 전극층(31) 및 제2 내부 전극층(32)의 매수는 합쳐서 10매 이상 700매 이하인 것이 바람직하다.
- [0029] 도 2 및 도 3에 나타내는 바와 같이, 제1 주면 측 외층부(12)는 적층체(10)의 제1 주면(TS1) 측에 위치한다. 제1 주면 측 외층부(12)는 제1 주면(TS1)과, 제1 주면(TS1)에 가장 가까운 내부 전극층(30) 사이에 위치하는 복수개의 유전체층(20)의 집합체이다. 한편, 제2 주면 측 외층부(13)는 적층체(10)의 제2 주면(TS2) 측에 위치한다. 제2 주면 측 외층부(13)는 제2 주면(TS2)과, 제2 주면(TS2)에 가장 가까운 내부 전극층(30) 사이에 위치하는 복수개의 유전체층(20)의 집합체이다. 제1 주면 측 외층부(12) 및 제2 주면 측 외층부(13)에서 이용되는 유전체층(20)은 모두 내층부(11)에서 이용되는 유전체층(20)과 동일한 것이어도 된다.
- [0030] 한편, 적층체(10)는 대향 전극부(11E)를 가진다. 대향 전극부(11E)는 제1 내부 전극층(31)의 제1 대향부(31A)와, 제2 내부 전극층(32)의 제2 대향부(32A)가 대향하는 부분이다. 대향 전극부(11E)는 내층부(11)의 일부분으로서 구성된다. 도 4a 및 도 4b에는 대향 전극부(11E)의 폭방향(W) 및 길이방향(L)의 범위가 나타나있다. 한편, 대향 전극부(11E)는 콘덴서 유효부라고도 한다.
- [0031] 한편, 적층체(10)는 측면 측 외층부를 가진다. 측면 측 외층부는 제1 측면 측 외층부(WG1)와 제2 측면 측 외층부(WG2)를 가진다. 제1 측면 측 외층부(WG1)는 대향 전극부(11E)와, 제1 측면(WS1) 사이에 위치하는 유전체층(20)을 포함하는 부분이다. 제2 측면 측 외층부(WG2)는 대향 전극부(11E)와 제2 측면(WS2) 사이에 위치하는 유전체층(20)을 포함하는 부분이다. 도 3, 도 4a 및 도 4b에는 제1 측면 측 외층부(WG1) 및 제2 측면 측 외층부(WG2)의 폭방향(W)의 범위가 나타나있다. 한편, 측면 측 외층부는 W갭 또는 사이드갭이라고도 한다.
- [0032] 한편, 적층체(10)는 단면 측 외층부를 가진다. 단면 측 외층부는 제1 단면 측 외층부(LG1)와 제2 단면 측 외층부(LG2)를 가진다. 제1 단면 측 외층부(LG1)는 대향 전극부(11E)와 제1 단면(LS1) 사이에 위치하는, 유전체층(20) 및 제1 인출부(31B)를 포함하는 부분이다. 즉, 제1 단면 측 외층부(LG1)는 복수매의 유전체층(20)의 제1 단면(LS1) 측의 부분과 복수매의 제1 인출부(31B)의 집합체이다. 제2 단면 측 외층부(LG2)는 대향 전극부(11E)와 제2 단면(LS2) 사이에 위치하는, 유전체층(20) 및 제2 인출부(32B)를 포함하는 부분이다. 즉, 제2 단면 측 외층부(LG2)는 복수매의 유전체층(20)의 제2 단면(LS2) 측의 부분과 복수매의 제2 인출부(32B)의 집합체이다. 도 2, 도 4a 및 도 4b에는 제1 단면 측 외층부(LG1) 및 제2 단면 측 외층부(LG2)의 길이방향(L)의 범위가 나타나있다. 한편, 단면 측 외층부는 L갭 또는 엔드갭이라고도 한다.
- [0033] 외부전극(40)은 도 1 및 도 2에 나타내는 바와 같이, 적층체(10)의 제1 단면(LS1) 측에 배치된 제1 외부전극(40A)과, 적층체(10)의 제2 단면(LS2) 측에 배치된 제2 외부전극(40B)을 가진다.
- [0034] 한편, 제1 외부전극(40A) 및 제2 외부전극(40B)의 기본적인 구성은 동일하다. 또한, 제1 외부전극(40A) 및 제2 외부전극(40B)은 적층 세라믹 콘덴서(1)의 길이방향(L)의 중앙의 WT 절단면에 대하여 대체로 면 대칭의 형상을 가진다. 따라서 이하에서는 제1 외부전극(40A)과 제2 외부전극(40B)을 구별하여 설명할 필요가 없는 경우에는 제1 외부전극(40A)과 제2 외부전극(40B)을 일괄하여 외부전극(40)이라고 하는 경우가 있다.
- [0035] 제1 외부전극(40A)은 제1 단면(LS1) 상에 배치된다. 제1 외부전극(40A)은 제1 단면(LS1)에 노출되는 복수개의 제1 내부 전극층(31) 각각의 제1 인출부(31B)에 접촉한다. 이로써, 제1 외부전극(40A)은 복수개의 제1 내부 전극층(31)에 전기적으로 접속한다. 제1 외부전극(40A)은 제1 주면(TS1)의 일부 및 제2 주면(TS2)의 일부, 그리고 제1 측면(WS1)의 일부 및 제2 측면(WS2)의 일부에도 배치되어도 된다. 본 실시형태에서는, 제1 외부전극(40A)은 제1 단면(LS1) 상에서 제1 주면(TS1)의 일부 및 제2 주면(TS2)의 일부, 그리고 제1 측면(WS1)의 일부 및 제2 측면(WS2)의 일부까지 연장되어 형성된다.
- [0036] 제2 외부전극(40B)은 제2 단면(LS2) 상에 배치된다. 제2 외부전극(40B)은 제2 단면(LS2)에 노출되는 복수개의

제2 내부 전극층(32) 각각의 제2 인출부(32B)에 접촉한다. 이로써, 제2 외부전극(40B)은 복수개의 제2 내부 전극층(32)에 전기적으로 접속한다. 제2 외부전극(40B)은 제1 주면(TS1)의 일부 및 제2 주면(TS2)의 일부, 그리고 제1 측면(WS1)의 일부 및 제2 측면(WS2)의 일부에도 배치되어도 된다. 본 실시형태에서는 제2 외부전극(40B)은 제2 단면(LS2) 상으로부터 제1 주면(TS1)의 일부 및 제2 주면(TS2)의 일부, 그리고 제1 측면(WS1)의 일부 및 제2 측면(WS2)의 일부까지 연장되어 형성된다.

[0037] 전술한 바와 같이, 적층체(10) 내에서는 제1 내부 전극층(31)의 제1 대향부(31A)와 제2 내부 전극층(32)의 제2 대향부(32A)가 유전체층(20)을 사이에 두고 대향함으로써, 용량이 형성된다. 그 때문에, 제1 내부 전극층(31)이 접속된 제1 외부전극(40A)과 제2 내부 전극층(32)이 접속된 제2 외부전극(40B) 사이에서 콘덴서의 특성이 발현된다.

[0038] 도 2, 도 4a, 도 4b에 나타내는 바와 같이, 제1 외부전극(40A)은 제1 하부 전극층(50A)과, 제1 하부 전극층(50A) 상에 배치된 제1 유기층(70A)과, 제1 유기층(70A) 상에 배치된 제1 도금층(60A)을 가진다. 또한, 제2 외부전극(40B)은 제2 하부 전극층(50B)과, 제2 하부 전극층(50B) 상에 배치된 제2 유기층(70B)과, 제2 유기층(70B) 상에 배치된 제2 도금층(60B)을 가진다.

[0039] 제1 하부 전극층(50A)은 제1 단면(LS1) 상에 배치된다. 제1 하부 전극층(50A)은 제1 단면(LS1)에 노출되는 복수개의 제1 내부 전극층(31) 각각의 제1 인출부(31B)에 접속한다. 본 실시형태에서는 제1 하부 전극층(50A)은 제1 단면(LS1) 상으로부터 제1 주면(TS1)의 일부 및 제2 주면(TS2)의 일부, 그리고 제1 측면(WS1)의 일부 및 제2 측면(WS2)의 일부까지 연장되어 형성된다.

[0040] 제2 하부 전극층(50B)은 제2 단면(LS2) 상에 배치된다. 제2 하부 전극층(50B)은 제2 단면(LS2)에 노출되는 복수개의 제2 내부 전극층(32) 각각의 제2 인출부(32B)에 접속한다. 본 실시형태에서는 제2 하부 전극층(50B)은 제2 단면(LS2) 상으로부터 제1 주면(TS1)의 일부 및 제2 주면(TS2)의 일부, 그리고 제1 측면(WS1)의 일부 및 제2 측면(WS2)의 일부까지 연장되어 형성된다.

[0041] 본 실시형태의 제1 하부 전극층(50A) 및 제2 하부 전극층(50B)은 베이킹층이다. 베이킹층은 금속 성분과, 유리 성분 혹은 세라믹 성분 중 어느 하나를 포함하거나, 그 양쪽을 포함하는 것이 바람직하다. 금속 성분은 예를 들면, Cu, Ni, Ag, Pd, Ag-Pd 합금, Au 등에서 선택되는 적어도 하나를 포함한다. 유리 성분은 예를 들면, B, Si, Ba, Mg, Al, Li 등에서 선택되는 적어도 하나를 포함한다. 세라믹 성분은 유전체층(20)과 동종의 세라믹 재료를 사용해도 되고, 다른 종류의 세라믹 재료를 사용해도 된다. 세라믹 성분은 예를 들면, BaTiO₃, CaTiO₃, (Ba,Ca)TiO₃, SrTiO₃, CaZrO₃ 등에서 선택되는 적어도 하나를 포함한다. 제1 하부 전극층(50A)의 주성분 금속 및 제2 하부 전극층(50B)의 주성분 금속은 Cu인 것이 바람직하다.

[0042] 베이킹층은 예를 들면, 유리 및 금속을 포함하는 도전성 페이스트를 적층체(10)에 도포하여 베이킹한 것이다. 베이킹층은 복수개의 내부전극 및 유전체층을 가지는 적층체(10)의 소재인 소성 전의 적층 칩과, 그 적층 칩에 도포한 도전성 페이스트를 동시 소성하여 형성할 수 있다. 혹은, 그 적층 칩을 소성하여 적층체(10)를 얻은 후, 그 적층체(10)에 도전성 페이스트를 도포하여 베이킹함으로써 형성해도 된다. 한편, 상기 형성 방법의 경우에는, 베이킹층은 유리 성분 대신에 세라믹 재료를 첨가한 것을 베이킹하여 형성하는 것이 바람직하다. 그 경우, 첨가하는 세라믹 재료로서, 유전체층(20)과 동종의 세라믹 재료를 사용하는 것이 특히 바람직하다. 한편, 베이킹층은 복수층이어도 된다.

[0043] 제1 단면(LS1) 상에 위치하는 제1 하부 전극층(50A)의 길이방향(L)에 대응하는 두께는, 제1 하부 전극층(50A)의 적층방향(T) 및 폭방향(W)의 중앙부에서 예를 들면, 2 μ m 이상 220 μ m 이하 정도인 것이 바람직하다.

[0044] 제2 단면(LS2) 상에 위치하는 제2 하부 전극층(50B)의 길이방향(L)에 대응하는 두께는, 제2 하부 전극층(50B)의 적층방향(T) 및 폭방향(W)의 중앙부에서 예를 들면, 2 μ m 이상 220 μ m 이하 정도인 것이 바람직하다.

[0045] 제1 주면(TS1) 또는 제2 주면(TS2) 중 적어도 하나의 면의 일부에도 제1 하부 전극층(50A)을 마련하는 경우에는, 이 부분에 마련된 제1 하부 전극층(50A)의 적층방향(T)에 대응하는 두께는, 이 부분에 마련되는 제1 하부 전극층(50A)의 길이방향(L) 및 폭방향(W)의 중앙부에서 예를 들면, 4 μ m 이상 15 μ m 이하 정도인 것이 바람직하다.

[0046] 제1 측면(WS1) 또는 제2 측면(WS2) 중 적어도 하나의 면의 일부에도 제1 하부 전극층(50A)을 마련하는 경우에는 이 부분에 마련되는 제1 하부 전극층(50A)의 폭방향(W)에 대응하는 두께는, 이 부분에 마련되는 제1 하부 전극층(50A)의 길이방향(L) 및 적층방향(T)의 중앙부에서 예를 들면, 4 μ m 이상 15 μ m 이하 정도인 것이 바람직하다.

- [0047] 제1 주면(TS1) 또는 제2 주면(TS2) 중 적어도 하나의 면의 일부에도 제2 하부 전극층(50B)을 마련하는 경우에는, 이 부분에 마련되는 제2 하부 전극층(50B)의 적층방향(T)에 대응하는 두께는, 이 부분에 마련되는 제2 하부 전극층(50B)의 길이방향(L) 및 폭방향(W)의 중앙부에서 예를 들면, 4 μ m 이상 15 μ m 이하 정도인 것이 바람직하다.
- [0048] 제1 측면(WS1) 또는 제2 측면(WS2) 중 적어도 하나의 면의 일부에도 제2 하부 전극층(50B)을 마련하는 경우에는, 이 부분에 마련되는 제2 하부 전극층(50B)의 폭방향(W)에 대응하는 두께는, 이 부분에 마련되는 제2 하부 전극층(50B)의 길이방향(L) 및 적층방향(T)의 중앙부에서 예를 들면, 4 μ m 이상 15 μ m 이하 정도인 것이 바람직하다.
- [0049] 제1 유기층(70A)은 제1 하부 전극층(50A)을 덮도록 배치된다. 제1 유기층(70A)의 상seite에 대해서는 후술한다.
- [0050] 제2 유기층(70B)은 제2 하부 전극층(50B)을 덮도록 배치된다. 제2 유기층(70B)의 상seite에 대해서는 후술한다.
- [0051] 제1 도금층(60A)은 제1 유기층(70A)을 덮도록 배치된다.
- [0052] 제2 도금층(60B)은 제2 유기층(70B)을 덮도록 배치된다.
- [0053] 제1 도금층(60A) 및 제2 도금층(60B)은 예를 들면, Cu, Ni, Sn, Ag, Pd, Ag-Pd 합금, Au 등에서 선택되는 적어도 하나를 포함해도 된다. 제1 도금층(60A) 및 제2 도금층(60B)은 각각 복수층에 의해 형성되어도 된다. 제1 도금층(60A) 및 제2 도금층(60B)은 Ni 도금층 상에 Sn 도금층이 형성된 2층 구조가 바람직하다.
- [0054] 제1 도금층(60A)은 제1 유기층(70A)을 덮도록 배치된다. 본 실시형태에서는 제1 도금층(60A)은 제1 Ni 도금층(61A)과, 제1 Ni 도금층(61A) 상에 위치하는 제1 Sn 도금층(62A)을 가진다.
- [0055] 제2 도금층(60B)은 제2 유기층(70B)을 덮도록 배치된다. 본 실시형태에서는 제2 도금층(60B)은 제2 Ni 도금층(61B)과, 제2 Ni 도금층(61B) 상에 위치하는 제2 Sn 도금층(62B)을 가진다.
- [0056] Ni 도금층은 적층 세라믹 콘덴서(1)를 실장할 때에, 제1 하부 전극층(50A) 및 제2 하부 전극층(50B)이 솔더에 의해 침식되는 것을 방지한다. 또한, Sn 도금층은 적층 세라믹 콘덴서(1)를 실장할 때에 솔더의 젖음성을 향상시킨다. 이로써, 적층 세라믹 콘덴서(1)의 실장을 용이하게 한다. 제1 Ni 도금층(61A), 제1 Sn 도금층(62A), 제2 Ni 도금층(61B) 및 제2 Sn 도금층(62B) 각각의 두께는 2 μ m 이상 15 μ m 이하인 것이 바람직하다.
- [0057] 한편, 본 실시형태의 외부전극(40)은 예를 들면, 도전성 입자와 열경화성 수지를 포함하는 도전성 수지층을 가져도 된다. 도전성 수지층은 베이킹층을 덮도록 배치되어도 된다. 도전성 수지층이 베이킹층을 덮도록 배치되는 경우, 도전성 수지층은 베이킹층과 유기층(70)(제1 유기층(70A), 제2 유기층(70B)) 사이에 배치된다. 도전성 수지층은 베이킹층 상을 완전히 덮어도 되고, 베이킹층의 일부를 덮어도 된다.
- [0058] 열경화성 수지를 포함하는 도전성 수지층은 예를 들면, 도금막이나 도전성 페이스트의 소성물로 이루어지는 도전층보다도 유연성이 풍부하다. 이 때문에, 적층 세라믹 콘덴서(1)에 물리적인 충격이나 열 사이클에 기인하는 충격이 가해진 경우이어도 도전성 수지층은 완충층으로서 기능한다. 따라서, 도전성 수지층은 적층 세라믹 콘덴서(1)의 크랙 발생을 억제한다.
- [0059] 도전성 입자를 구성하는 금속은 Ag, Cu, Ni, Sn, Bi 또는 그들을 포함하는 합금이어도 된다. 도전성 입자는 바람직하게는 Ag를 포함한다. 도전성 입자는 예를 들면 Ag의 금속분이다. Ag는 금속 중에서 가장 비저항이 낮기 때문에 전극 재료에 적합하다. 또한, Ag는 귀금속이기 때문에 산화되기 어려워, 대후성(對候性)이 높다. 따라서, Ag의 금속분은 도전성 입자로서 알맞다.
- [0060] 또한, 도전성 입자는 표면이 Ag 코팅된 금속분이어도 된다. 금속분의 표면에 Ag 코팅된 것을 사용할 때에는 금속분은 Cu, Ni, Sn, Bi 또는 그들의 합금분인 것이 바람직하다. Ag의 특성은 지키면서 모재의 금속을 저렴한 것으로 하기 위해, Ag 코팅된 금속분을 이용하는 것이 바람직하다.
- [0061] 더 나아가서, 도전성 입자는 Cu, Ni에 산화 방지 처리를 시행한 것이어도 된다. 또한, 도전성 입자는 금속분의 표면에 Sn, Ni, Cu를 코팅한 금속분이어도 된다. 금속분의 표면에 Sn, Ni, Cu를 코팅한 것을 사용할 때에는 금속분은 Ag, Cu, Ni, Sn, Bi 또는 그들의 합금분인 것이 바람직하다.
- [0062] 도전성 입자의 형상은 특별히 한정되지 않는다. 도전성 입자는 구형상, 편평상 등의 형상을 가지는 것을 사용할 수 있는데, 구형상 금속분과 편평상 금속분을 혼합하여 사용하는 것이 바람직하다.
- [0063] 도전성 수지층에 포함되는 도전성 입자는 주로 도전성 수지층의 통전성(通電性)을 확보하는 역할을 담당한다.

구체적으로는, 복수개의 도전성 입자끼리가 접촉함으로써, 도전성 수지층 내부에 통전 경로가 형성된다.

- [0064] 도전성 수지층을 구성하는 수지는 예를 들면, 에폭시 수지, 페놀 수지, 우레탄 수지, 실리콘 수지, 폴리이미드 수지 등의 공지의 다양한 열경화성 수지에서 선택되는 적어도 하나를 포함해도 된다. 그 중에서도 내열성, 내습성, 밀착성 등이 뛰어난 에폭시 수지는 가장 적절한 수지 중 하나이다. 또한, 도전성 수지층의 수지는 열경화성 수지와 함께, 경화제를 포함하는 것이 바람직하다. 베이스 수지로서 에폭시 수지를 사용하는 경우, 에폭시 수지의 경화제는 페놀계, 아민계, 산무수물계, 이미다졸계, 활성 에스테르계, 아미드이미드계 등 공지의 다양한 화합물이어도 된다.
- [0065] 한편, 도전성 수지층은 복수층으로 형성되어도 된다. 도전성 수지층의 가장 두꺼운 부분의 두께는 10 μ m 이상 200 μ m 이하인 것이 바람직하다.
- [0066] 다음으로, 본 실시형태에 따른 유기층(70)에 대해, 도 2~5를 이용하여 설명한다. 본 실시형태에 따른 유기층(70)은 제1 유기층(70A)과 제2 유기층(70B)을 포함한다.
- [0067] 제1 유기층(70A)은 제1 하부 전극층(50A) 상에 배치된다. 제1 유기층(70A) 상에는 제1 도금층(60A)이 배치된다. 또한, 제1 유기층(70A)은 제1 주면(TS1)의 일부 및 제2 주면(TS2)의 일부, 그리고 제1 측면(WS1)의 일부 및 제2 측면(WS2)의 일부에도 배치되어도 된다. 본 실시형태에서는 제1 유기층(70A)은 제1 주면(TS1) 및 제2 주면(TS2)의 길이방향(L)에서의 대략 중앙, 그리고 제1 측면(WS1) 및 제2 측면(WS2)의 길이방향(L)에서의 대략 중앙까지 연장되어 형성된다.
- [0068] 제2 유기층(70B)은 제2 하부 전극층(50B) 상에 배치된다. 제2 유기층(70B) 상에는 제2 도금층(60B)이 배치된다. 또한, 제2 유기층(70B)은 제1 주면(TS1)의 일부 및 제2 주면(TS2)의 일부, 그리고 제1 측면(WS1)의 일부 및 제2 측면(WS2)의 일부에도 배치되어도 된다. 본 실시형태에서는 제2 유기층(70B)은 제1 주면(TS1) 및 제2 주면(TS2)의 길이방향(L)에서의 대략 중앙, 그리고 제1 측면(WS1) 및 제2 측면(WS2)의 길이방향(L)에서의 대략 중앙까지 연장되어 형성된다.
- [0069] 이 때문에, 제1 유기층(70A) 및 제2 유기층(70B)은 제1 주면(TS1) 및 제2 주면(TS2)의 길이방향(L)에서의 대략 중앙, 그리고 제1 측면(WS1) 및 제2 측면(WS2)의 길이방향(L)에서의 대략 중앙에서 일체적으로 형성된다. 이와 같이, 본 실시형태의 제1 유기층(70A) 및 제2 유기층(70B)은 적층체(10)의 표면 중 외부전극(40)으로부터 노출된 부분 전체를 덮도록 일체적으로 형성된다.
- [0070] 유기층(70)에 의해 피복되는 하부 전극층(50)의 상태에 대해, 도 5를 이용하여 설명한다. 도 5는 도 2의 R로 나타내는 부분의 확대 단면도이다. 한편, 도 5에서 제1 유기층(70A)에 의해 피복되는 제1 하부 전극층(50A)의 상태에 대해 설명하겠지만, 제2 유기층(70B)에 의해 피복되는 제2 하부 전극층(50A)의 상태도 마찬가지로 때문에 설명을 생략한다. 제1 유기층(70A)은 도 5에 나타내는 바와 같이, 유전체층(20) 상에 형성되는 제1 하부 전극층(50A)과 제1 Ni 도금층(61A) 사이에 형성된다.
- [0071] 제1 유기층(70A)의 표면은 제1 하부 전극층(50A)의 일부가 노출된 표면으로서 형성된다. 즉, 제1 유기층(70A)은 도 5에 나타내는 바와 같이 복수개의 공극을 가진다. 제1 유기층(70A)의 표면에서, 제1 하부 전극층(50A)의 주 성분 금속의 원자 백분율은 4.0atom% 이하이다. 한편, 제1 유기층(70A)의 표면에서 제1 하부 전극층(50A)의 주 성분 금속의 원자 백분율은 3.0atom% 이하인 것이 보다 바람직하다.
- [0072] 제2 유기층(70B)의 표면은 제2 하부 전극층(50B)의 일부가 노출된 표면으로서 형성된다. 즉, 제2 유기층(70B)은 도 5에 나타내는 바와 같이 복수개의 공극을 가진다. 제2 유기층(70B)의 표면에서, 제2 하부 전극층(50B)의 주 성분 금속의 원자 백분율은 4.0atom% 이하이다. 한편, 제2 유기층(70B)의 표면에서, 제2 하부 전극층(50B)의 주 성분 금속의 원자 백분율은 3.0atom% 이하인 것이 보다 바람직하다.
- [0073] 제1 유기층(70A)의 표면에서 제1 하부 전극층(50A)의 주 성분 금속의 원자 백분율은 0.6atom% 이상인 것이 바람직하다. 제2 유기층(70B)의 표면에서 제2 하부 전극층(50B)의 주 성분 금속의 원자 백분율은 0.6atom% 이상인 것이 바람직하다.
- [0074] 제1 하부 전극층(50A)의 주 성분 금속 및 제2 하부 전극층(50B)의 주 성분 금속은 전술한 바와 같이, Cu인 것이 바람직하다. 단, 제1 하부 전극층(50A)의 주 성분 금속 및 제2 하부 전극층(50B)의 주 성분 금속은 Cu에 한정되지 않는다. 예를 들면, Ni, Ag, Pd, Ag-Pd 합금 또는 Au 등이 사용된다.
- [0075] 제1 유기층(70A) 및 제2 유기층(70B)은 유기 규소 화합물을 포함한다. 이로써, 제1 유기층(70A) 및 제2 유기층

(70B)은 적층체(10), 하부 전극층(50) 등의 표면에 확실하게 형성되기 때문에, 신뢰성이 향상된다.

- [0076] 단, 제1 유기층(70A) 및 제2 유기층(70B)을 구성하는 조성물은 이에 한정되지 않는다. 제1 유기층(70A) 및 제2 유기층(70B)은 예를 들면, 지방산 코트를 들 수 있다. 지방산 코트는 지방산을 하부 전극층의 표면 상에 점재하도록 형성한 층이다. 제1 유기층(70A) 및 제2 유기층(70B)으로서 지방산 코트를 적용하는 경우, 적어도 하부 전극층의 표면 상에 지방산이 존재하게 된다. 보다 구체적으로는 적어도 제1 하부 전극층(50A)의 표면 상 및 제2 하부 전극층(50B)의 표면 상에는 지방산이 존재한다. 이로써, 지방산이 가지는 카르복시기가 이온화됨으로써, 이온 결합력에 의해 하부 전극층에 흡착하고, 흡착부에서, 하부 전극층 상에 마련되는 도금층의 도금의 석출이 저해되어, 하부 전극층과 도금층 사이의 접합 면적을 감소시킬 수 있다. 그 때문에, 하부 전극층과 도금층의 밀착력이 저하되기 때문에, 하부 전극층과 그 위에 형성되는 도금층의 박리를 촉진하는 효과를 발휘한다. 따라서, 적층 세라믹 콘덴서에 낙하 시의 충격이나 열 사이클의 충격이 가해졌을 때에, 하부 전극층과 도금층 사이에서 안정적으로 박리시키는 것이 가능해져 응력을 방출하는 것이 가능해진다. 그 결과, 적층 세라믹 콘덴서의 적층체에 크랙이 발생하는 것을 억제할 수 있다.
- [0077] 제1 유기층(70A)의 표면에서 Si, C, N, 및 O의 원자 백분율(atom%)의 합계는 90atom% 이상인 것이 바람직하다. 제2 유기층(70B)의 표면에서 Si, C, N, 및 O의 원자 백분율(atom%)의 합계는 90atom% 이상인 것이 바람직하다.
- [0078] 제1 유기층(70A)의 두께는 5nm 이상 500nm 이하인 것이 바람직하다. 또한, 제1 유기층(70A)의 두께는 100nm 이상 200nm 이하인 것이 보다 바람직하다. 제2 유기층(70B)의 두께는 5nm 이상 500nm 이하인 것이 바람직하다. 또한, 제2 유기층(70B)의 두께는 100nm 이상 200nm 이하인 것이 보다 바람직하다.
- [0079] 이상이 실시형태에 따른 적층 세라믹 콘덴서(1)의 기본 구성이다. 한편, 적층체(10)와 외부전극(40)을 포함하는 적층 세라믹 콘덴서(1)의 길이방향의 치수를 L 치수로 하면, L 치수는 0.2mm 이상 10mm 이하인 것이 바람직하다. 또한, 적층 세라믹 콘덴서(1)의 적층방향의 치수를 T 치수로 하면, T 치수는 0.1mm 이상 10mm 이하인 것이 바람직하다. 또한, 적층 세라믹 콘덴서(1)의 폭방향의 치수를 W 치수로 하면, W 치수는 0.1mm 이상 10mm 이하인 것이 바람직하다.
- [0080] <유기층 표면 성분의 원자 백분율>
- [0081] 이어서, 본 실시형태에서의, 유기층 표면 성분의 원자 백분율의 측정 방법에 대해 설명한다. 우선, 적층 세라믹 콘덴서의 한쪽의 외부전극만 솔더를 이용하여 실장 기판에 실장하고, 다른 쪽의 외부전극이 공중에 뜬 상태로 한다. 다음으로, 공중에 뜬 상태의 다른 쪽의 외부전극을, 하면(下面)으로부터 높이방향으로 눌러서 실장 기판에 실장한 쪽의 한쪽의 외부전극에서, 하부 전극층과 도금층 사이에서 박리시키고 유기층을 노출시킨다. 그리고 도금층이 박리된 적층 세라믹 콘덴서(1)에 대하여 XPS 분석을 실시한다. 우선, 노출된 유기층 상의 면의 전체에서 X선을 조사한다. 이 때의 열전자의 가속 전압은 15kV로 한다. 다음으로, 와이드 스캔으로 전체 원소의 정성 분석을 실시한 후, 내로우 스캔으로 전체 원소의 정량 분석을 실시하여, 유기층 상의 표면에서의 전체 원소의 존재비(atom%)를 산출할 수 있다. 한편, 본 실시형태에서는 와이드 스캔 스펙트럼으로부터 검출된 원소에 대해 내로우 스캔 스펙트럼을 산출하고, 검출 원소의 합계가 100atom%가 되도록 규격화하여 XPS 분석을 실시했다. 한편, 존재비(atom%)는 수소 및 헬륨을 제외한 원자의 비율을 나타내는 원자 백분율이다.
- [0082] 다음으로, 본 실시형태의 적층 세라믹 콘덴서(1)의 제조 방법에 대해 설명한다. 본 실시형태의 적층 세라믹 콘덴서(1)는 상술한 요건을 만족하는 한, 그 제조 방법은 한정되지 않는다. 그러나 알맞은 제조 방법은 이하의 공정을 포함한다. 각 공정의 상세를 이하에 설명한다.
- [0083] 유전체층(20)용 유전체 시트와, 내부 전극층(30)용 도전성 페이스트를 준비한다. 유전체층(20)용 유전체 시트 및 내부 전극층(30)용 도전성 페이스트는 모두 바인더 및 용제를 포함한다. 바인더 및 용제는 공지의 것이어도 된다. 도전성 재료로 이루어지는 페이스트는 예를 들면, 금속 분말에 유기 바인더 및 유기 용제가 더해진 것이다.
- [0084] 유전체 시트 상에, 내부 전극층(30)용 도전성 페이스트를 예를 들면, 스크린 인쇄나 그라비아 인쇄 등에 의해, 본 실시형태의 내부 전극층(30)의 형상이 되도록 패턴 설계된 인쇄판을 이용하여 인쇄한다. 이로써, 제1 내부 전극층(31)의 패턴이 형성된 유전체 시트와, 제2 내부 전극층(32)의 패턴이 형성된 유전체 시트가 준비된다.
- [0085] 내부 전극층(30)의 패턴이 인쇄되지 않은 유전체 시트를 소정 매수 적층함으로써, 제1 주면(TS1) 측의 제1 주면 측 외층부(12)가 되는 부분을 형성한다. 그 위에, 제1 내부 전극층(31)의 패턴이 인쇄된 유전체 시트 및 제2 내부 전극층(32)의 패턴이 인쇄된 유전체 시트를 순차 교대로 적층하여, 내층부(11)가 되는 부분을 형성한다. 이 내층부(11)가 되는 부분 위에, 내부 전극층(30)의 패턴이 인쇄되지 않은 유전체 시트를 소정 매수 적층하여, 제

2 주면(TS2) 측의 제2 주면 측 외층부(13)가 되는 부분을 형성한다. 이로써, 적층 시트를 얻는다.

- [0086] 이어서, 적층 시트를, 정수압 프레스 등의 수단에 의해 적층방향으로 프레스함으로써 적층 블록을 제작한다.
- [0087] 이어서, 적층 블록을 소정 사이즈로 커팅하여 개편화(個片化)함으로써 복수개의 적층 칩을 얻는다. 이 후, 배럴 연마 등에 의해 적층 칩을 연마하여 모서리부 및 능선부를 라운드형으로 마련해도 된다.
- [0088] 이어서, 적층 칩을 소성하여 적층체(10)를 얻는다. 이때의 소성 온도는 유전체층(20)이나 내부 전극층(30)의 재료에 따라 다르지만, 예를 들면 900℃ 이상 1400℃ 이하인 것이 바람직하다.
- [0089] 적층체(10)의 양 단면에 하부 전극층(50)이 되는 도전성 페이스트를 도포한다. 본 실시형태에서는 하부 전극층(50)은 베이킹층이다. 베이킹층은 유리 성분과 금속을 포함하는 도전성 페이스트를, 예를 들면 딥핑 등의 방법에 의해 적층체(10)에 도포하고, 그 후, 베이킹 처리를 실시함으로써 형성할 수 있다. 이때의 베이킹 처리의 온도는 700℃ 이상 900℃ 이하인 것이 바람직하다.
- [0090] 한편, 소성 전의 적층 칩과, 적층 칩에 도포한 도전성 페이스트를 동시에 소성해도 된다. 그 경우, 베이킹층은 유리 성분 대신에 세라믹 재료를 첨가한 것을 베이킹하여 형성하는 것이 바람직하다. 이때, 첨가하는 세라믹 재료로서 유전체층(20)과 동종의 세라믹 재료를 사용하는 것이 특히 바람직하다. 이 경우는 소성 전의 적층 칩에 대하여 도전성 페이스트를 도포하고, 적층 칩과 적층 칩에 도포한 도전성 페이스트를 동시에 베이킹하여, 베이킹층이 형성된 적층체(10)를 형성한다.
- [0091] 다음으로, 하부 전극층 상에 유기 화합물을 성기게 피복하는 유기층을 형성한다. 하부 전극층 상에 유기 화합물을 성기게 피복하는 유기층을 형성하는 방법으로는 유기 화합물을 유기 용매로 희석하고 스프레이 도포하여 형성할 수 있다. 구체적으로는, 예를 들면, 실란 커플링제를 IPA(2-프로판올)로 희석한 용액을 제작한다. 하부 전극층을 형성한 적층체를 배럴 장치에 투입하고, 하부 전극층을 형성한 적층체에 용액을 스프레이 도포한다. 그 후, 배럴 장치로부터 꺼내고 여과지 상에 펼쳐서, 100℃~200℃의 오븐에서 소정 시간(30분~60분) 열처리함으로써 유기층을 경화시킨다.
- [0092] 또한, 유기 화합물을 유기 용매로 희석하여 용액을 제작한 후, 하부 전극층을 형성한 적층체에, 용액을 도포하여 열경화함으로써 형성할 수도 있다. 여기서, 용액을 도포하는 방법으로는 딥핑 등으로 실시할 수 있다.
- [0093] 여기서, 유기층의 표면에서의 하부 전극층의 주성분 금속의 원자 백분율의 목표값, 유기층의 두께는 용액 농도나 도포 방법, 도포 시간, 도포 시의 온도를 컨트롤함으로써 제어할 수 있다.
- [0094] 그 후, 유기층(70)의 표면에 도금층을 형성한다. 본 실시형태에서는 제1 유기층(70A)의 표면에 제1 도금층(60A)을 형성한다. 또한, 제2 유기층(70B)의 표면에 제2 도금층(60B)을 형성한다. 본 실시형태에서는 도금층으로서 Ni 도금층 및 Sn 도금층이 형성된다. 도금 처리를 실시함에 있어서는 전해 도금, 무전해 도금 중 어느 쪽을 채용해도 된다. 단, 무전해 도금은 도금 석출 속도를 향상시키기 위해 촉매 등에 의한 전처리가 필요하기 때문에, 공정이 복잡화된다는 결점이 있다. 따라서, 통상은 전해 도금을 채용하는 것이 바람직하다. Ni 도금층 및 Sn 도금층은 예를 들면 배럴 도금에 의해 순차 형성한다.
- [0095] 한편, 도전성 수지층을 마련하는 경우, 도전성 수지층은 베이킹층을 덮도록 배치되어도 된다. 도전성 수지층을 마련하는 경우는 열경화성 수지 및 금속 성분을 포함하는 도전성 수지 페이스트를 베이킹층 상에 도포한 후, 250~550℃ 이상의 온도로 열처리한다. 이로써, 열경화 수지가 열경화되어 도전성 수지층이 형성된다. 이 열처리 시의 분위기는 N₂ 분위기인 것이 바람직하다. 또한, 수지의 비산을 방지하면서 각종 금속 성분의 산화를 막기 위해, 산소 농도는 100ppm 이하인 것이 바람직하다.
- [0096] 이상의 제조 공정에 의해, 적층 세라믹 콘덴서(1)가 제조된다.
- [0097] 한편, 적층 세라믹 콘덴서(1)의 구성은 도 1~4B에 나타내는 구성에 한정되지 않는다. 예를 들면, 적층 세라믹 콘덴서(1)는 도 6~8에 나타내는 바와 같은, 2연 구조, 3연 구조, 4연 구조의 적층 세라믹 콘덴서이어도 된다.
- [0098] 도 6에 나타내는 적층 세라믹 콘덴서(1)는 2연 구조의 적층 세라믹 콘덴서(1)이며, 내부 전극층(30)으로서, 제1 내부 전극층(33) 및 제2 내부 전극층(34)에 더하여, 제1 단면(LS1) 및 제2 단면(LS2) 중 어느 쪽으로도 인출되지 않는 플로팅 내부 전극층(35)을 포함한다. 도 7에 나타내는 적층 세라믹 콘덴서(1)는 플로팅 내부 전극층(35)으로서, 제1 플로팅 내부 전극층(35A) 및 제2 플로팅 내부 전극층(35B)을 포함한, 3연 구조의 적층 세라믹 콘덴서(1)이다. 도 8에 나타내는 적층 세라믹 콘덴서(1)는 플로팅 내부 전극층(35)으로서, 제1 플로팅 내부 전극층(35A), 제2 플로팅 내부 전극층(35B) 및 제3 플로팅 내부 전극층(35C)을 포함한, 4연 구조의 적층 세라믹

콘덴서(1)이다. 이와 같이, 내부 전극층(30)으로서 플로팅 내부 전극층(35)을 마련함으로써 적층 세라믹 콘덴서(1)는 대향 전극부가 복수개로 분할된 구조가 된다. 이로써, 대향하는 내부 전극층(30) 사이에서 복수개의 콘덴서 성분이 형성되고, 이들 콘덴서 성분이 직렬로 접속된 구성이 된다. 따라서, 각각의 콘덴서 성분에 인가되는 전압이 낮아져, 적층 세라믹 콘덴서(1)의 고내압화를 도모할 수 있다. 한편, 본 실시형태의 적층 세라믹 콘덴서(1)는 4연 이상의 다연 구조이어도 되는 것은 말할 필요도 없다.

[0099] <변형예>

[0100] 한편, 상술한 실시형태에 따른 적층 세라믹 콘덴서(1)는 제1 유기층(70A) 및 제2 유기층(70B)은 제1 주면(TS1) 및 제2 주면(TS2)의 길이방향(L)에서의 대략 중앙, 그리고 제1 측면(WS1) 및 제2 측면(WS2)의 길이방향(L)에서의 대략 중앙까지 연장되고, 적층체(10)의 표면 중 외부전극(40)으로부터 노출된 부분 전체를 덮도록 일체적으로 형성된다. 그러나 제1 유기층(70A) 및 제2 유기층(70B)의 구성은 이에 한정되지 않는다.

[0101] 이하에, 변형예에 따른 적층 세라믹 콘덴서(1)에 대해 도 9~10B를 이용하여 설명한다. 도 9는 변형예에서의 도 2에 해당하는 단면도이다. 도 10a는 변형예에서의 도 4a에 해당하는 단면도이다. 도 10b는 변형예에서의 도 4b에 해당하는 단면도이다. 한편, 제1 실시형태와 마찬가지로 구성에 대해서는 동일한 명칭을 붙이고 상세한 설명을 생략하는 경우가 있다.

[0102] 도 1에 나타내는 바와 같이, 변형예에 따른 적층 세라믹 콘덴서(1)는 대략 직방체 형상을 가진다. 적층 세라믹 콘덴서(1)는 대략 직방체 형상을 가지는 적층체(10)와, 적층체(10)의 양 단부 각각에 서로 이격되어 배치된 한 쌍의 외부전극(40)을 포함한다.

[0103] 외부전극(40)은 도 1 및 도 9에 나타내는 바와 같이, 적층체(10)의 제1 단면(LS1) 측에 배치된 제1 외부전극(40A)과, 적층체(10)의 제2 단면(LS2) 측에 배치된 제2 외부전극(40B)을 가진다.

[0104] 도 9, 도 10a 및 도 10b에 나타내는 바와 같이, 제1 외부전극(40A)은 제1 하부 전극층(50A)과, 제1 하부 전극층(50A) 상에 배치된 제1 유기층(70bA)과, 제1 유기층(70bA) 상에 배치된 제1 도금층(60A)을 가진다. 또한, 제2 외부전극(40B)은 제2 하부 전극층(50B)과, 제2 하부 전극층(50B) 상에 배치된 제2 유기층(70bB)과, 제2 유기층(70bB) 상에 배치된 제2 도금층(60B)을 가진다.

[0105] 본 변형예에 따른 유기층(70b)은 제1 유기층(70bA)과 제2 유기층(70bB)을 포함한다.

[0106] 제1 유기층(70bA)은 제1 하부 전극층(50A) 상에 배치된다. 제1 유기층(70bA) 상에는 제1 도금층(60A)이 배치된다. 또한, 제1 유기층(70bA)은 제1 주면(TS1)의 일부 및 제2 주면(TS2)의 일부, 그리고 제1 측면(WS1)의 일부 및 제2 측면(WS2)의 일부에도 배치되어도 된다. 본 변형예에서는 제1 유기층(70bA)은 제1 주면(TS1)의 일부 및 제2 주면(TS2)의 일부, 그리고 제1 측면(WS1)의 일부 및 제2 측면(WS2)의 일부까지 연장되어 형성된다.

[0107] 제2 유기층(70bB)은 제2 하부 전극층(50B) 상에 배치된다. 제2 유기층(70bB) 상에는 제2 도금층(60B)이 배치된다. 또한, 제2 유기층(70bB)은 제1 주면(TS1)의 일부 및 제2 주면(TS2)의 일부, 그리고 제1 측면(WS1)의 일부 및 제2 측면(WS2)의 일부에도 배치되어도 된다. 본 변형예에서는 제2 유기층(70bB)은 제1 주면의 일부(TS1) 및 제2 주면(TS2)의 일부, 그리고 제1 측면(WS1)의 일부 및 제2 측면(WS2)의 일부까지 연장되어 형성된다.

[0108] 즉, 본 변형예에 따른 적층 세라믹 콘덴서(1)에서 제1 외부전극(40A)과 제2 외부전극(40B) 사이에는 유기층(70b)이 존재하지 않는 부분이 있다. 이 때문에 본 변형예에서의 제1 유기층(70bA)과 제2 유기층(70bB)은 일체적으로 형성되지 않고, 적층체(10) 표면의 일부가 노출된다. 이 경우에도 크랙의 기점이 되는 외부전극의 하부 전극층의 단부에 유기층이 형성되기 때문에, 크랙 억제 효과의 효과를 얻을 수 있다.

[0109] <제2 실시형태>

[0110] 한편, 제1 실시형태에 따른 적층 세라믹 콘덴서(1)는 2개의 외부전극을 포함하는 2단자형의 것이었는데, 이에 한정되지 않고, 다수의 외부전극을 포함하는 다단자형의 것이어도 된다.

[0111] 이하에, 제2 실시형태에 따른 적층 세라믹 콘덴서(1)에 대해 도 11~13을 이용하여 설명한다. 한편, 이하의 설명에서, 제1 실시형태와 동일한 구성에 대해서는 상세한 설명을 생략한다. 도 11은 제2 실시형태에 따른 적층 세라믹 콘덴서의 외관 사시도이다. 도 12는 제2 실시형태에서의 도 4a에 해당하는 단면도이다. 도 13은 제2 실시형태에서의 도 4b에 해당하는 단면도이다.

[0112] 본 실시형태의 적층 세라믹 콘덴서(1)는 적층체(10) 내부의 내부 전극층과 외부전극(40)의 양태가 제1 실시형태와 다르다.

- [0113] 복수개의 내부 도체층으로서의 복수개의 내부 전극층은, 제1 단면(LS1) 및 제2 단면(LS2)으로 인출되는 복수개의 제1 내부 도체층으로서의 복수개의 제1 내부 전극층(131)과, 제1 측면(WS1) 또는 제2 측면(WS2) 중 적어도 어느 하나로 인출되는 복수개의 제2 내부 도체층으로서의 복수개의 제2 내부 전극층(132)을 가진다.
- [0114] 본 실시형태에서는 복수개의 내부 전극층은, 제1 단면(LS1) 및 제2 단면(LS2)으로 인출되는 복수개의 제1 내부 전극층(131)과, 제1 측면(WS1) 및 제2 측면(WS2)으로 인출되는 복수개의 제2 내부 전극층(132)을 가진다. 복수개의 제1 내부 전극층(131)은 복수개의 유전체층(20) 상에 배치된다. 복수개의 제2 내부 전극층(132)은 복수개의 유전체층(20) 상에 배치된다. 복수개의 제1 내부 전극층(131) 및 복수개의 제2 내부 전극층(132)은 적층체(10)의 적층방향(T)으로 유전체층(20)을 사이에 두고 교대로 배치된다. 제1 내부 전극층(131) 및 제2 내부 전극층(132)은 유전체층(20)을 끼도록 하여 배치된다.
- [0115] 제1 내부 전극층(131)은, 유전체층(20) 상에 배치되고, 제1 단면(LS1) 및 제2 단면(LS2)에 노출되도록, 제1 단면(LS1)으로부터 제2 단면(LS2)에 걸쳐 연장된다. 보다 구체적으로는 제1 내부 전극층(131)은, 제2 내부 전극층(132)에 대항하는 제1 대항부(131A)와, 제1 대항부(131A)로부터 제1 단면(LS1)으로 인출되는 제1 인출부(131B)와, 제1 대항부(131A)로부터 제2 단면(LS2)으로 인출되는 제2 인출부(131C)를 가진다. 제1 대항부(131A)는 유전체층(20) 상의 중앙부에 위치한다. 제1 인출부(131B)는 제1 단면(LS1)에 노출된다. 제2 인출부(131C)는 제2 단면(LS2)에 노출된다. 제1 내부 전극층(131)은 제1 측면(WS1) 및 제2 측면(WS2)에는 노출되지 않는다. 제1 내부 전극층(131)의 제1 대항부(131A)의 형상, 제1 인출부(131B)의 형상, 및 제2 인출부(131C)의 형상은 특별히 한정되지 않는다.
- [0116] 제2 내부 전극층(132)은 유전체층(20) 상에 배치되며, 제1 단면(LS1) 및 제2 단면(LS2)에는 노출되지 않고 제1 측면(WS1) 및 제2 측면(WS2)에 노출되도록 배치된다. 구체적으로는, 제2 내부 전극층(132)은 제1 측면(WS1)과 제2 측면(WS2) 사이에 걸쳐 연장된다. 보다 구체적으로는 제2 내부 전극층(132)은 제1 내부 전극층(131)에 대항하는 제2 대항부(132A)와, 제2 대항부(132A)로부터 제1 측면(WS1)으로 인출되는 제3 인출부(132B)와, 제2 대항부(132A)로부터 제2 측면(WS2)으로 인출되는 제4 인출부(132C)를 가진다. 제2 대항부(132A)는 유전체층(20) 상의 중앙부에 위치한다. 제2 대항부(132A)는 제1 단면(LS1)의 방향 및 제2 단면(LS2)의 방향으로 연장되도록 직사각형상으로 형성된다. 제3 인출부(132B)는 제1 측면(WS1)에 노출된다. 제4 인출부(132C)는 제2 측면(WS2)에 노출된다. 제2 내부 전극층(132)은 제1 단면(LS1) 및 제2 단면(LS2)에는 노출되지 않는다. 제2 내부 전극층(132)의 제2 대항부(132A)의 형상, 제3 인출부(132B)의 형상, 및 제4 인출부(132C)의 형상은 특별히 한정되지 않는다.
- [0117] 본 실시형태에서는 제1 대항부(131A)와 제2 대항부(132A)가 유전체층(20)을 사이에 두고 대항함으로써 용량이 형성되고 콘덴서의 특성이 발현된다.
- [0118] 외부전극(40)은 적어도 제1 외부전극(40A)과 제2 외부전극(40B)과 제3 외부전극(40C)을 가진다. 본 실시형태에서는 외부전극(40)은 제1 외부전극(40A)과 제2 외부전극(40B)과 제3 외부전극(40C)과 더 나아가 제4 외부전극(40D)을 가진다.
- [0119] 제1 외부전극(40A)은 제1 단면(LS1) 상에 배치되고, 제1 내부 전극층(131)에 접속된다. 바꿔 말하면, 제1 외부전극(40A)은 제1 단면(LS1)으로 인출된 제1 내부 전극층(131)에 접속된다. 보다 상세하게는 제1 외부전극(40A)은 제1 내부 전극층(131)의 제1 인출부(131B)와 접속된다. 본 실시형태에서는 제1 외부전극(40A)은 제1 단면(LS1)으로부터 제1 주면(TS1)의 일부 및 제2 주면(TS2)의 일부, 그리고 제1 측면(WS1)의 일부 및 제2 측면(WS2)의 일부까지 연장되어 형성된다.
- [0120] 제2 외부전극(40B)은 제2 단면(LS2) 상에 배치되고, 제1 내부 전극층(131)에 접속된다. 바꿔 말하면, 제2 외부전극(40B)은 제2 단면(LS2)으로 인출된 제1 내부 도체층(131)에 접속된다. 보다 상세하게는 제2 외부전극(40B)은 제1 내부 전극층(131)의 제2 인출부(131C)와 접속된다. 본 실시형태에서는 제2 외부전극(40B)은 제2 단면(LS2) 상으로부터 제1 주면(TS1)의 일부 및 제2 주면(TS2)의 일부, 그리고 제1 측면(WS1)의 일부 및 제2 측면(WS2)의 일부까지 연장되어 형성된다.
- [0121] 제3 외부전극(40C)은 제1 측면(WS1) 상에 배치되고, 제2 내부 전극층(132)에 접속된다. 보다 상세하게는 제3 외부전극(40C)은 제2 내부 전극층(132)의 제3 인출부(132B)와 접속된다. 본 실시형태에서는 제3 외부전극(40C)은 제1 측면(WS1)으로부터 제1 주면(TS1)의 일부 및 제2 주면(TS2)의 일부까지 연장되어 배치된다.
- [0122] 제4 외부전극(40D)은 제2 측면(WS2) 상에 배치되고, 제2 내부 전극층(132)에 접속된다. 보다 상세하게는 제4 외부전극(40D)은 제2 내부 전극층(132)의 제4 인출부(132C)와 접속된다. 본 실시형태에서는 제4 외부전극(40D)은

제2 측면(WS2)으로부터 제1 주면(TS1)의 일부 및 제2 주면(TS2)의 일부까지 연장되어 배치된다.

- [0123] 한편, 본 실시형태의 외부전극(40)의 층 구성으로서, 예를 들면, 제1 실시형태의 외부전극(40)과 마찬가지로 각 층의 층 구성을 채용할 수 있다.
- [0124] 예를 들면, 제1 외부전극(40A)은 제1 하부 전극층(50A)과 제1 도금층(60A)과 제1 유기층(70A)을 포함하고, 제1 도금층(60A)은 제1 Ni 도금층(61A)과 제1 Sn 도금층(62A)을 포함해도 된다. 제2 외부전극(40B)은 제2 하부 전극층(50B)과 제2 도금층(60B)과 제2 유기층(70B)을 포함하고, 제2 도금층(60B)은 제2 Ni 도금층(61B)과 제2 Sn 도금층(62B)을 포함해도 된다. 제3 외부전극(40C)은 제3 하부 전극층(50C)과 제3 도금층(60C)과 제3 유기층(70C)을 포함하고, 제3 도금층(60C)은 제3 Ni 도금층(61C)과 제3 Sn 도금층(62C)을 포함해도 된다. 제4 외부전극(40D)은 제4 하부 전극층(50D)과 제4 도금층(60D)과 제4 유기층(70D)을 포함하고, 제4 도금층(60D)은 제4 Ni 도금층(61D)과 제4 Sn 도금층(62D)을 포함해도 된다. 제1 하부 전극층(50A), 제2 하부 전극층(50B), 제3 하부 전극층(50C) 및 제4 하부 전극층(50D)은 예를 들면 베이킹층이어도 된다.
- [0125] 상술한 바와 같이, 도 12, 13을 이용하여 설명하는 본 실시형태에 따른 유기층(70)은 제1 유기층(70A)과 제2 유기층(70B)과 제3 유기층(70C)과 제4 유기층(70D)을 포함한다.
- [0126] 제1 유기층(70A)은 제1 하부 전극층(50A) 상에 배치된다. 제1 유기층(70A) 상에는 제1 도금층(60A)이 배치된다. 또한, 제1 유기층(70A)은 길이방향(L)에서의 제1 외부전극(40A)과, 제2 외부전극(40B), 제3 외부전극(40C) 및 제4 외부전극(40D) 사이에서, 제1 주면(TS1)의 일부 및 제2 주면(TS2)의 일부, 그리고 제1 측면(WS1)의 일부 및 제2 측면(WS2)의 일부에도 배치되어도 된다.
- [0127] 제2 유기층(70B)은 제2 하부 전극층(50B) 상에 배치된다. 제2 유기층(70B) 상에는 제2 도금층(60B)이 배치된다. 또한, 제2 유기층(70B)은 길이방향(L)에서의 제2 외부전극(40B)과, 제1 외부전극(40A), 제3 외부전극(40C) 및 제4 외부전극(40D) 사이에서 제1 주면(TS1)의 일부 및 제2 주면(TS2)의 일부, 그리고 제1 측면(WS1)의 일부 및 제2 측면(WS2)의 일부에도 배치되어도 된다.
- [0128] 제3 유기층(70C)은 제3 하부 전극층(50C) 상에 배치된다. 제3 유기층(70C) 상에는 제3 도금층(60C)이 배치된다. 또한, 제3 유기층(70C)은 길이방향(L)에서의 제3 외부전극(40C)과 제1 외부전극(40A) 사이, 그리고 길이방향(L)에서의 제3 외부전극(40C)과 제2 외부전극(40B) 사이에서, 제1 측면(WS1)의 일부에도 배치되어도 된다. 또한, 제3 유기층(70C)은 제1 주면(TS1)의 일부 및 제2 주면(TS2)의 일부에도 배치되어도 된다.
- [0129] 제4 유기층(70D)은 제4 하부 전극층(50D) 상에 배치된다. 제4 유기층(70D) 상에는 제4 도금층(60D)이 배치된다. 또한, 제4 유기층(70D)은 길이방향(L)에서의 제4 외부전극(40D)과 제1 외부전극(40A) 사이, 그리고 길이방향(L)에서의 제4 외부전극(40D)과 제2 외부전극(40B) 사이에서 제2 측면(WS2)의 일부에도 배치되어도 된다. 또한, 제4 유기층(70D)은 제1 주면(TS1)의 일부 및 제2 주면(TS2)의 일부에도 배치되어도 된다.
- [0130] 이 때문에, 제1 유기층(70A) 및 제2 유기층(70B) 및 제3 유기층(70C) 및 제4 유기층(70D)은 적층체(10)의 표면 중 외부전극(40)으로부터 노출된 부분 전체를 덮도록 일체적으로 형성된다. 이와 같이, 다수의 외부전극을 포함하는 다단자형이어도, 크랙의 기점이 되는 외부전극의 하부 전극층의 단부에 유기층이 형성되기 때문에, 크랙 억제 효과를 얻을 수 있다. 한편, 이와 같은 다단자형 적층 세라믹 전자부품의 경우는 유기층으로서 적어도 제1 유기층(70A) 및 제2 유기층(70B)을 포함하는 것이 바람직하다.
- [0131] 한편, 상술한 실시형태에서는 적층 세라믹 전자부품으로서, 유전체 세라믹에 의해 구성되는 유전체층(20)이 세라믹층으로서 이용된 적층 세라믹 콘덴서를 예시했다. 그러나 본 개시의 적층 세라믹 전자부품은 이에 한정되지 않는다. 예를 들면, 본 개시의 세라믹 전자부품은 세라믹층으로서 압전체 세라믹을 이용한 압전 부품, 세라믹층으로서 반도체 세라믹을 이용한 서미스터 등의 다양한 적층 세라믹 전자부품에도 적용이 가능하다. 압전체 세라믹으로는 PZT(티탄산지르콘산납)계 세라믹 등을 들 수 있고, 반도체 세라믹으로는 스피넬계 세라믹 등을 들 수 있다.
- [0132] 이상 설명한 실시형태에 따른 적층 세라믹 콘덴서(1)에 따르면, 이하의 효과를 발휘한다.
- [0133] 실시형태에 따른 적층 세라믹 콘덴서(1)는 교대로 적층된 복수개의 유전체층(20)(세라믹층(20)) 및 복수개의 내부 전극층(30)(내부 도체층(30))을 포함함과 함께, 높이방향(T)으로 마주보는 제1 주면(TS1) 및 제2 주면(TS2)과, 높이방향(T)에 직교하는 폭방향(W)으로 마주보는 제1 측면(WS1) 및 제2 측면(WS2)과, 높이방향(T) 및 폭방향(W)에 직교하는 길이방향(L)으로 마주보는 제1 단면(LS1) 및 제2 단면(LS2)을 가지는 적층체(10)와, 내부 전극층(30)에 접속되는 외부전극(40)을 포함하고, 외부전극(40)은 제1 단면(LS1) 상에 배치된 제1 외부전극(40A)

과, 제2 단면(LS2) 상에 배치된 제2 외부전극(40B)을 가지며, 제1 외부전극(40A)은 제1 단면(LS1) 상에 배치된 제1 하부 전극층(50A)과, 제1 하부 전극층(50A) 상에 배치된 제1 유기층(70A)과, 제1 유기층(70A) 상에 배치된 제1 도금층(60A)을 가지며, 제2 외부전극(40B)은 제2 단면(LS2) 상에 배치된 제2 하부 전극층(50B)과, 제2 하부 전극층(50B) 상에 배치된 제2 유기층(70B)과, 제2 유기층(70B) 상에 배치된 제2 도금층(60B)을 가지며, 제1 유기층(70A)의 표면은, 제1 하부 전극층(50A)의 일부가 노출된 표면으로서 형성되고, 제2 유기층(70B)의 표면은, 제2 하부 전극층(50B)의 일부가 노출된 표면으로서 형성되며, 제1 유기층(70A)의 표면에서 제1 하부 전극층(50A)의 주성분 금속의 원자 백분율은 4.0atom% 이하이고, 제2 유기층(70B)의 표면에서 제2 하부 전극층(50B)의 주성분 금속의 원자 백분율은 4.0atom% 이하이다.

[0134] 이로써, 적층 세라믹 전자부품의 적층체(10)에 크랙이 발생하는 것을 억제하는 것이 가능한 신뢰성이 높은 적층 세라믹 전자부품을 제공할 수 있다.

[0135] 실시형태에 따른 적층 세라믹 콘덴서(1)는 제1 유기층(70A)의 표면에서 제1 하부 전극층(50A)의 주성분 금속의 원자 백분율은 0.6atom% 이상이고, 제2 유기층(70B)의 표면에서 제2 하부 전극층(50B)의 주성분 금속의 원자 백분율은 0.6atom% 이상이다.

[0136] 이로써, 도금 불량률의 발생도 억제하면서, 신뢰성이 높은 적층 세라믹 전자부품을 제공할 수 있다.

[0137] 실시형태에 따른 적층 세라믹 콘덴서(1)는 제1 하부 전극층(50A)의 주성분 금속 및 제2 하부 전극층(50B)의 주성분 금속은 Cu이다.

[0138] 이로써, 제조 시에 내부 유전체층으로의 수소의 확산을 억제하고, 절연 저항의 열화도 방지할 수 있으며, 제조 비용을 억제하면서 신뢰성이 높은 적층 세라믹 전자부품을 제공할 수 있다.

[0139] 실시형태에 따른 적층 세라믹 콘덴서(1)는 제1 유기층(70A) 및 제2 유기층(70B)은 유기 규소 화합물이다.

[0140] 이로써, 유기층이 적층체나 외부전극의 하부 전극층 등의 표면에 확실하게 형성되기 때문에, 신뢰성이 향상된다.

[0141] 실시형태에 따른 적층 세라믹 콘덴서(1)는 복수개의 내부 전극층(30)은, 제1 단면(LS1)으로 인출되는 복수개의 제1 내부 전극층(31)과, 제2 단면(LS2)으로 인출되는 복수개의 제2 내부 전극층(32)을 가지며, 제1 외부전극(40A)은 제1 내부 전극층(31)에 접속되고, 제2 외부전극(40B)은 제2 내부 전극층(32)에 접속된다.

[0142] 이로써, 신뢰성이 높고, 2개의 외부전극을 포함하는 2단자형 적층 세라믹 전자부품을 제공할 수 있다.

[0143] 실시형태에 따른 적층 세라믹 콘덴서(1)는 외부전극(40)은 제3 외부전극(40C)(또는 제4 외부전극(40D))을 더 가지며, 복수개의 내부 전극층(30)은, 제1 단면(LS1) 및 제2 단면(LS2)으로 인출되는 복수개의 제1 내부 전극층(131)과, 제1 측면(WS1) 또는 제2 측면(WS2) 중 적어도 어느 하나로 인출되는 복수개의 제2 내부 전극층(132)을 가지며, 제1 외부전극(40A)은 제1 단면(LS1)으로 인출된 제1 내부 전극층(131)에 접속되고, 제2 외부전극(40B)은 제2 단면(LS2)으로 인출된 제1 내부 전극층(131)에 접속되며, 제3 외부전극(40C)(또는 제4 외부전극(40D))은 제2 내부 전극층(132)에 접속된다.

[0144] 이로써, 신뢰성이 높고, 다수의 외부전극을 포함하는 다단자형 적층 세라믹 전자부품을 제공할 수 있다.

[0145] 본 발명은 상기 실시형태의 구성에 한정되는 것은 아니며, 본 발명의 요지를 변경하지 않는 범위에서 적당히 변경하여 적용할 수 있다. 한편, 상기 실시형태에서 기재하는 각각의 바람직한 구성을 2개 이상 조합한 것도 또한 본 발명이다.

[0146] **실험예**

[0147] 이하에, 실험예를 설명한다. 상기 실시형태에 기재된 제조 방법을 이용하여, 도 1~도 5의 구조의 적층 세라믹 콘덴서를 실시예 및 비교예의 시료로서 제작했다. 구체적으로는, 유기층의 표면에서의 하부 전극층의 주성분 금속의 원자 백분율이 다른 값이 되도록 제작된 복수개의 로트(lot)의 적층 세라믹 콘덴서를 실시예 1~7 및 비교예 1~5의 시료로서 제작했다.

[0148] 동일 로트의 시료는 동일한 제조 조건으로 제작되고, 외부전극의 사양은 동일했다. 각 로트(실시예 1~7 및 비교예 1~5)에 대해 각각 110개의 시료를 제작했다. 각 로트에 대해, 제작한 110개의 시료 중 100개의 샘플에 대하여 도금 불량 유무의 확인을 실시하고, 그 후, 휨 강도 시험을 실시했다. 또한, 유기층의 표면에서의 하부 전극층의 주성분 금속의 원자 백분율의 측정은 동일 로트로 제작한 나머지 10개의 시료를 이용하여 실시했다. 유기

층의 표면에서의 하부 전극층의 주성분 금속의 원자 백분율은 전술한 측정 방법에 의해 측정하고, 10개의 시료의 평균값을 측정 결과로 했다.

- [0149] 상기 실시형태에 따른 제조 방법을 이용하여, 도 1~도 5에 나타내는 구조로 이하의 사양의 적층 세라믹 콘덴서를 제작했다.
- [0150] · 적층 세라믹 콘덴서의 치수: $L \times W \times T = 1.0\text{mm} \times 0.5\text{mm} \times 0.5\text{mm}$
- [0151] · 유전체층의 재료 주성분: BaTiO₃
- [0152] · 용량: 10nF
- [0153] · 내부전극: Ni
- [0154] · 외부전극의 구조
- [0155] · Cu 하부 전극층: Cu와 유리를 포함하는 하부 전극층
- [0156] 1/2W 위치의 적층체의 절단면에서의 제1 단면 및 제2 단면에 위치하는 높이방향 중앙부에서의 두께(단면 중앙부의 두께): 28 μm
- [0157] 1/2W 위치의 적층체의 절단면에서의 제1 주면 및 제2 주면, 제1 측면 및 제2 측면 상에 위치하는 길이방향의 중앙부에서의 두께: 10 μm
- [0158] · 유기층: 실란 커플링제를 2-프로판올로 희석한 액을, 하부 전극층을 형성한 적층체에 스프레이 도포한 후, 알루미늄 배트 상에 칩을 펼쳐 오븐에 의해 150℃로 30분간 열처리를 실시하여 경화시켰다.
- [0159] 유기층을 마련한 위치: 적층체 중 노출된 표면 및 하부 전극층 상의 표면
- [0160] · 도금층: 2층으로 형성하고, 지방산이 배치된 하부 전극층 상에 Ni 도금층, Ni 도금층 상에 Sn 도금층을 형성.
- [0161] Ni 도금의 두께: 4.0 μm
- [0162] Sn 도금의 두께: 4.0 μm
- [0163] <휨 강도 시험에 의한 크랙의 확인 방법>
- [0164] 우선, 적층 세라믹 콘덴서를 솔더 페이스트를 이용하여 1.6mm의 두께의 실장 기관에 실장했다. 그 후, 적층 세라믹 콘덴서의 실장되지 않은 기관의 이면으로부터 곡률 반경 1 μm 의 푸시 로드(push rod)로 기관을 구부리고, 기계적 스트레스를 가했다. 이때, 휨 양은 2mm로 하고 60초간 휘게 했다. 한편, 이번 시험에서는 차량용 전자부품에서 요구되는 AEC-Q200 규격보다 엄격한 조건으로 했다.
- [0165] 기관 굽힘을 실시한 후, 기관으로부터 적층 세라믹 콘덴서를 떼고, 절단면 연마를 실시하여, 적층체에 발생한 크랙의 유무를 관찰했다. 절단면 연마는 적층 세라믹 콘덴서의 제1 단면 및 제2 단면을 잇는 폭방향(W)의 1/2이 되는 위치까지 적층 세라믹 콘덴서의 LT면이 노출되도록 연마를 실시했다.
- [0166] 각 로트에 대해, 상기 시험을 실시한 100개의 시료 중, 10개 이상의 시료에서 크랙이 발생한 경우는 휨 강도의 평가 결과는 NG라고 판단했다. 크랙이 발생한 시료가 10개 미만인 경우는 휨 강도의 평가 결과는 OK라고 판단했다.
- [0167] <도금 불량률의 확인 방법>
- [0168] 지그를 이용하여, 도금 후의 시료를 단면 측이 위를 향하도록 배치했다. 그 후, 시료의 단면 측의 외부전극을 실체 현미경으로 50배의 배율로 관찰하여, 도금 불량률의 유무를 확인했다. 하부 전극층이(5% 이상의 점유율로) 보이는 것을 도금 불량률로 했다.
- [0169] <실험 데이터>
- [0170] 표 1에, 실시예 1~7 및 비교예 1~5의 시료의, 유기층의 표면에서의 하부 전극층의 주성분 금속의 원자 백분율의 측정 결과로서의 Cu(atom%)와, 휨 강도 시험에 의한 크랙 발생수와, 도금 불량 발생수의 평가 결과를 나타낸다.

표 1

| 시료 | Cu (atom%) | 크랙 발생수 | 휨 강도 | 도금 불량 발생수 |
|-------|------------|--------|------|-----------|
| 비교예 1 | 0.0 | 0 | OK | 2 |
| 실시예 1 | 0.6 | 0 | OK | 0 |
| 실시예 2 | 0.9 | 3 | OK | 0 |
| 실시예 3 | 1.4 | 2 | OK | 0 |
| 실시예 4 | 1.5 | 4 | OK | 0 |
| 실시예 5 | 1.5 | 4 | OK | 0 |
| 실시예 6 | 1.7 | 4 | OK | 0 |
| 실시예 7 | 3.0 | 5 | OK | 0 |
| 비교예 2 | 4.6 | 11 | NG | 0 |
| 비교예 3 | 5.1 | 10 | NG | 0 |
| 비교예 4 | 8.7 | 15 | NG | 0 |
| 비교예 5 | 9.5 | 15 | NG | 0 |

[0171]

[0172]

이상의 실험 결과에 의해, 하부 전극층의 표면 상에 유기층이 존재하면서 유기층의 표면에서의 하부 전극층의 주성분 금속의 원자 백분율이 3.0atom% 이하인 실시예 1~7의 시료에 대해 양호한 결과가 얻어졌다. 이들 실험 데이터를 고려하면, 유기층의 표면에서의 하부 전극층의 주성분 금속의 원자 백분율을 4.0atom% 이하로 함으로써 양호한 결과가 얻어진다고 생각된다. 즉, 유기층의 표면에서의 하부 전극층의 주성분 금속의 원자 백분율을 4.0atom% 이하로 함으로써, 하부 전극층 상에 마련되는 도금층의 도금의 석출이 저해되고, 하부 전극층과 도금층 사이의 접합 면적이 감소될 수 있어, 양호한 결과가 얻어진다고 생각된다. 한편, 유기층의 표면에서의 하부 전극층의 주성분 금속의 원자 백분율은 3.0atom% 이하인 것이 보다 바람직하다.

[0173]

이로써, 하부 전극층과 도금층의 밀착력이 저하되기 때문에 하부 전극층과 그 위에 형성되는 도금층의 박리를 촉진하는 효과를 발휘한다. 따라서, 적층 세라믹 콘덴서에 낙하 시의 충격이나 열 사이클의 충격이 가해졌을 때에, 하부 전극층과 도금층 사이에서 안정적으로 박리시키는 것이 가능해져 응력을 방출하는 것이 가능해진다. 그 결과, 적층 세라믹 콘덴서의 소체에 크랙이 발생하는 것을 억제할 수 있다.

[0174]

한편, 유기층의 표면이 하부 전극층의 일부가 노출된 표면으로서 형성되지 않은 시료인 비교예 1은 유기층의 표면에서 하부 전극층의 주성분 금속의 원자 백분율이 0.0atom%가 되어, 도금 불량이 발생했다. 유기층의 표면은 하부 전극층의 일부가 노출된 표면으로서 형성되는 것이 바람직하고, 유기층의 표면에서의 하부 전극층의 주성분 금속의 원자 백분율이 0.6atom% 이상인 것이 보다 바람직하다. 이로써, 도금 불량 발생도 억제할 수 있다. 즉, 유기층의 표면에서의 하부 전극층의 주성분 금속의 원자 백분율이 0.6atom% 이상 4.0atom% 이하인 것이 바람직하다. 또한, 유기층의 표면에서의 하부 전극층의 주성분 금속의 원자 백분율이 0.6atom% 이상 3.0atom% 이하인 것이 보다 바람직하다.

[0175]

<1>

[0176]

교대로 적층된 복수개의 세라믹층 및 복수개의 내부 도체층을 포함함과 함께, 높이방향으로 마주보는 제1 주면 및 제2 주면과, 상기 높이방향에 직교하는 폭방향으로 마주보는 제1 측면 및 제2 측면과, 상기 높이방향 및 상기 폭방향에 직교하는 길이방향으로 마주보는 제1 단면 및 제2 단면을 가지는 적층체와,

[0177]

상기 내부 도체층에 접속되는 외부전극을 포함하고,

[0178]

상기 외부전극은, 상기 제1 단면 상에 배치된 제1 외부전극과, 상기 제2 단면 상에 배치된 제2 외부전극을 가지며,

[0179]

상기 제1 외부전극은, 상기 제1 단면 상에 배치된 제1 하부 전극층과, 상기 제1 하부 전극층 상에 배치된 제1 유기층과, 상기 제1 유기층 상에 배치된 제1 도금층을 가지며,

[0180]

상기 제2 외부전극은, 상기 제2 단면 상에 배치된 제2 하부 전극층과, 상기 제2 하부 전극층 상에 배치된 제2

유기층과, 상기 제2 유기층 상에 배치된 제2 도금층을 가지며,

- [0181] 상기 제1 유기층의 표면은, 상기 제1 하부 전극층의 일부가 노출된 표면으로서 형성되고,
- [0182] 상기 제2 유기층의 표면은, 상기 제2 하부 전극층의 일부가 노출된 표면으로서 형성되며,
- [0183] 상기 제1 유기층의 표면에서 상기 제1 하부 전극층의 주성분 금속의 원자 백분율은 4.0atom% 이하이고,
- [0184] 상기 제2 유기층의 표면에서 상기 제2 하부 전극층의 주성분 금속의 원자 백분율은 4.0atom% 이하인, 적층 세라믹 전자부품.
- [0185] <2>
- [0186] <1>에 있어서,
- [0187] 상기 제1 유기층의 표면에서 상기 제1 하부 전극층의 주성분 금속의 원자 백분율은 0.6atom% 이상이고,
- [0188] 상기 제2 유기층의 표면에서 상기 제2 하부 전극층의 주성분 금속의 원자 백분율은 0.6atom% 이상인, 적층 세라믹 전자부품.
- [0189] <3>
- [0190] <1> 또는 <2>에 있어서,
- [0191] 상기 제1 하부 전극층의 주성분 금속 및 상기 제2 하부 전극층의 주성분 금속은 Cu인, 적층 세라믹 전자부품.
- [0192] <4>
- [0193] <1> 내지 <3> 중 어느 하나에 있어서,
- [0194] 상기 제1 유기층 및 상기 제2 유기층은 유기 규소 화합물인, 적층 세라믹 전자부품.
- [0195] <5>
- [0196] <1> 내지 <4> 중 어느 하나에 있어서,
- [0197] 복수개의 상기 내부 도체층은, 상기 제1 단면으로 인출되는 복수개의 제1 내부 도체층과, 상기 제2 단면으로 인출되는 복수개의 제2 내부 도체층을 가지며,
- [0198] 상기 제1 외부전극은 상기 제1 내부 도체층에 접속되고,
- [0199] 상기 제2 외부전극은 상기 제2 내부 도체층에 접속되는, 적층 세라믹 전자부품.
- [0200] <6>
- [0201] <1> 내지 <4> 중 어느 하나에 있어서,
- [0202] 상기 외부전극은, 제3 외부전극을 더 가지며,
- [0203] 복수개의 상기 내부 도체층은, 상기 제1 단면 및 제2 단면으로 인출되는 복수개의 제1 내부 도체층과, 상기 제1 측면 또는 상기 제2 측면 중 적어도 어느 하나로 인출되는 복수개의 제2 내부 도체층을 가지며,
- [0204] 상기 제1 외부전극은, 상기 제1 단면으로 인출되는 상기 제1 내부 도체층에 접속되고,
- [0205] 상기 제2 외부전극은, 상기 제2 단면으로 인출된 상기 제1 내부 도체층에 접속되며,
- [0206] 상기 제3 외부전극은, 상기 제2 내부 도체층에 접속되는, 적층 세라믹 전자부품.

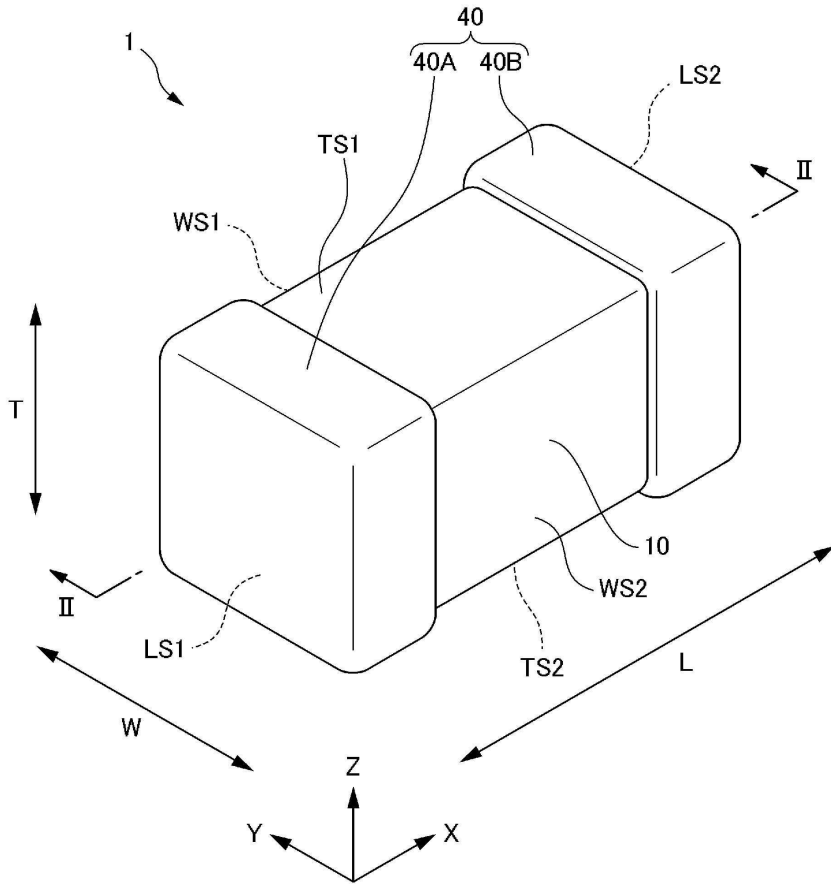
부호의 설명

- [0207] 1: 적층 세라믹 콘덴서(적층 세라믹 전자부품)
- 10: 적층체
- 20: 유전체층(세라믹층)
- 30: 내부 전극층(내부 도체층)
- 40: 외부전극

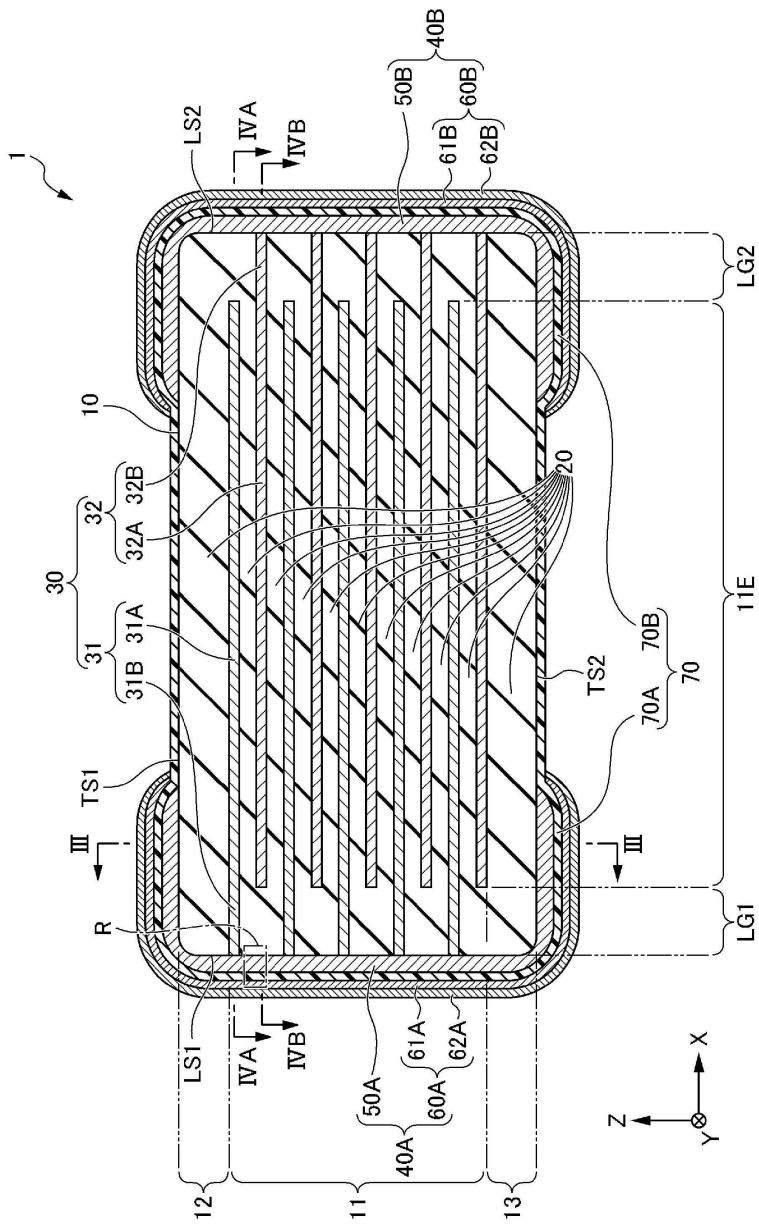
40A: 제1 외부전극
40B: 제2 외부전극
50A: 제1 하부 전극층
50B: 제2 하부 전극층
60A: 제1 도금층
60B: 제2 도금층
70A: 제1 유기층
70B: 제2 유기층
L: 길이방향
LS1: 제1 단면
LS2: 제2 단면
T: 높이방향
TS1: 제1 주면
TS2: 제2 주면
W: 폭방향
WS1: 제1 측면
WS2: 제2 측면

도면

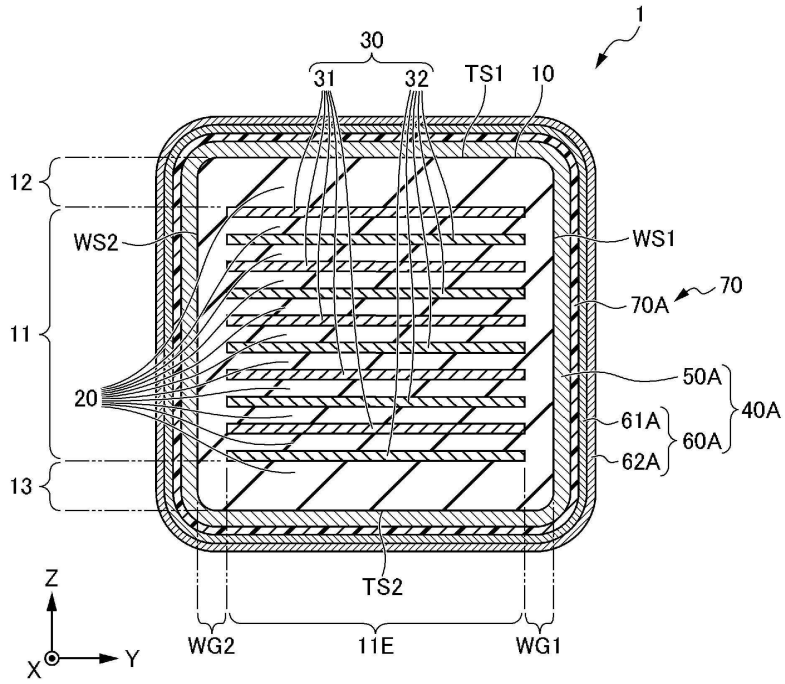
도면1



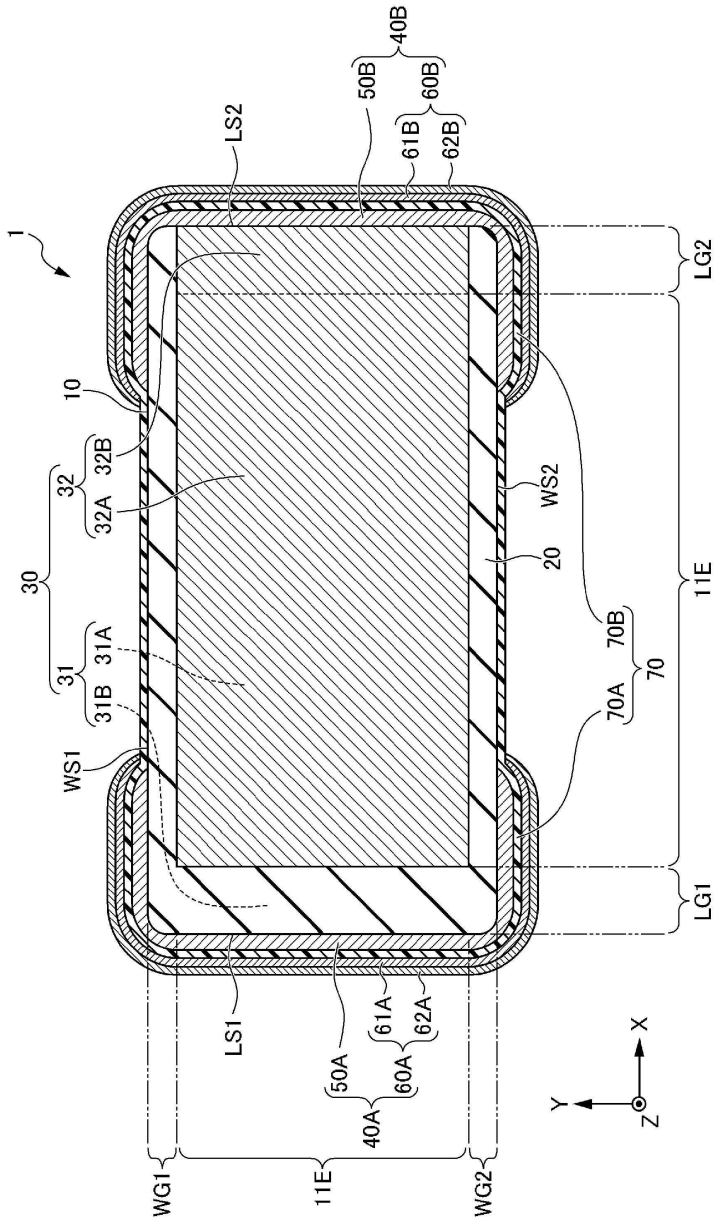
도면2



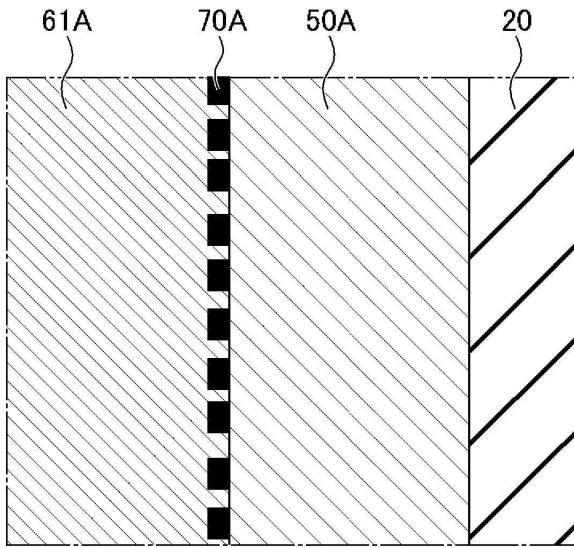
도면3



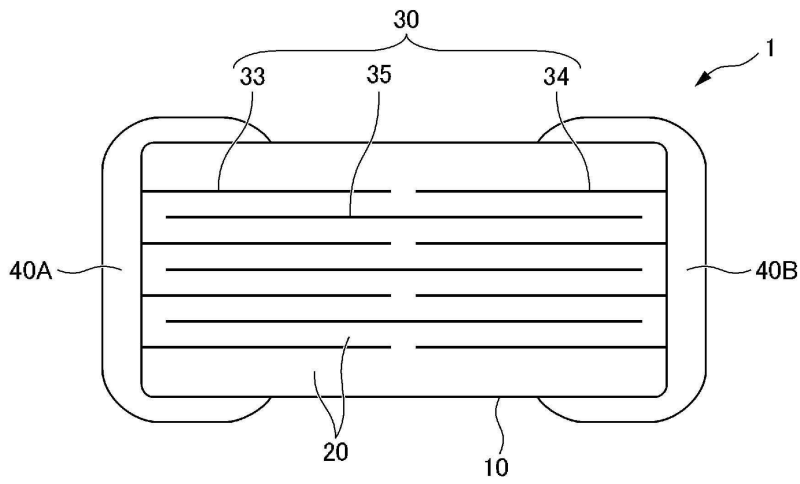
도면4b



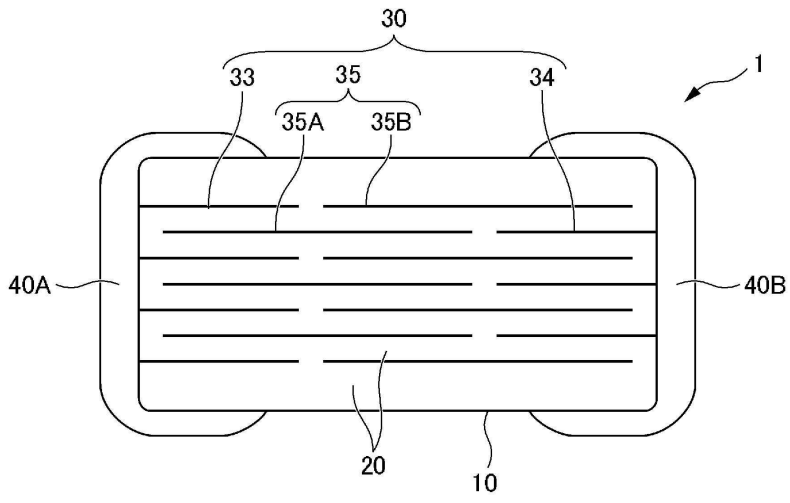
도면5



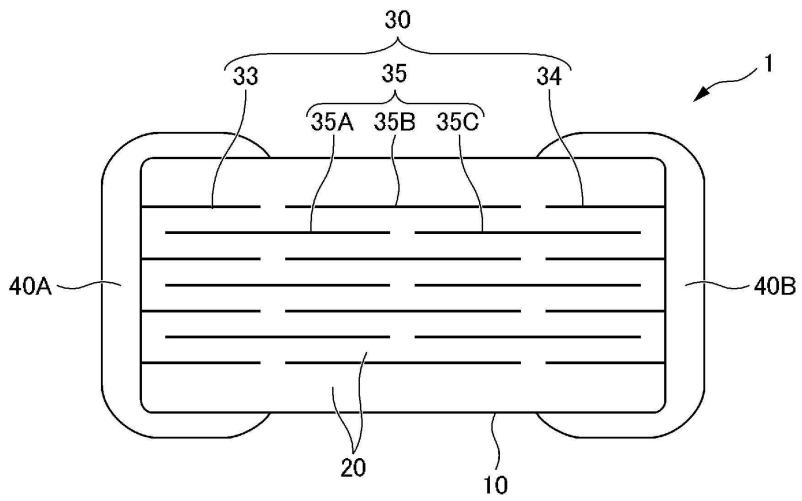
도면6



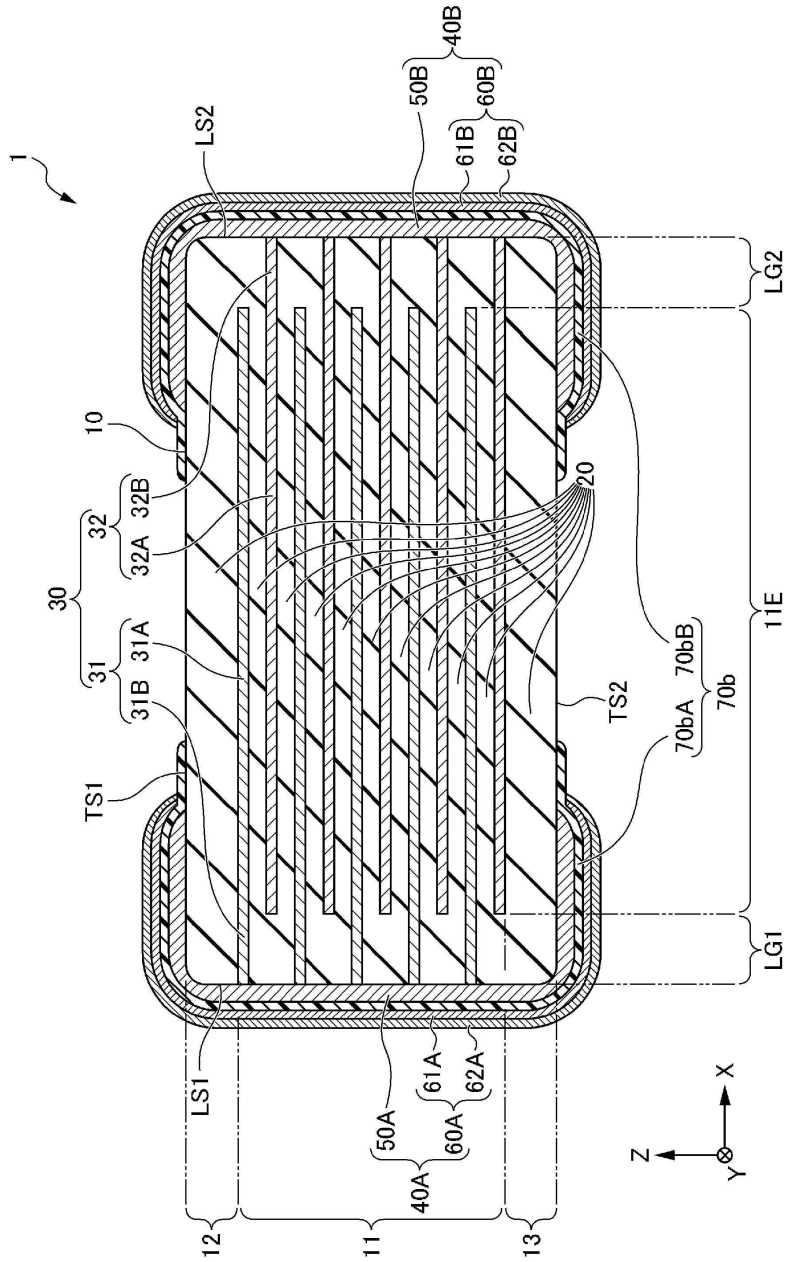
도면7



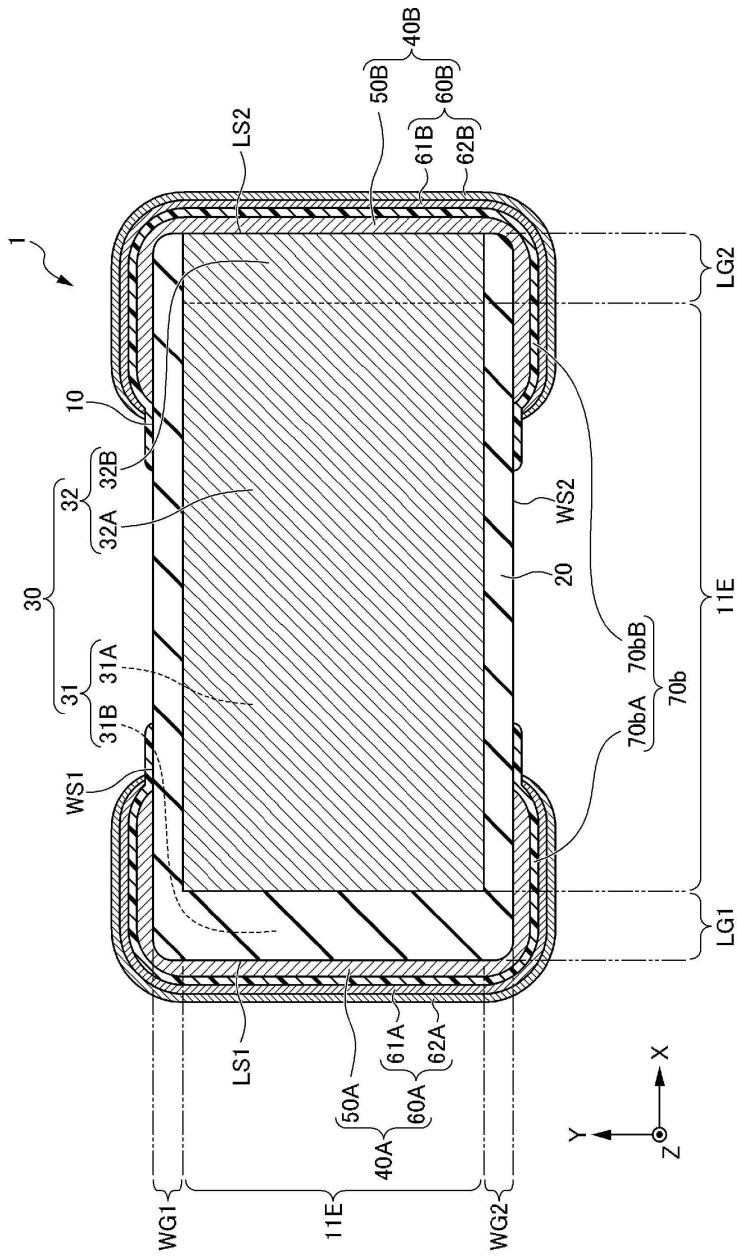
도면8



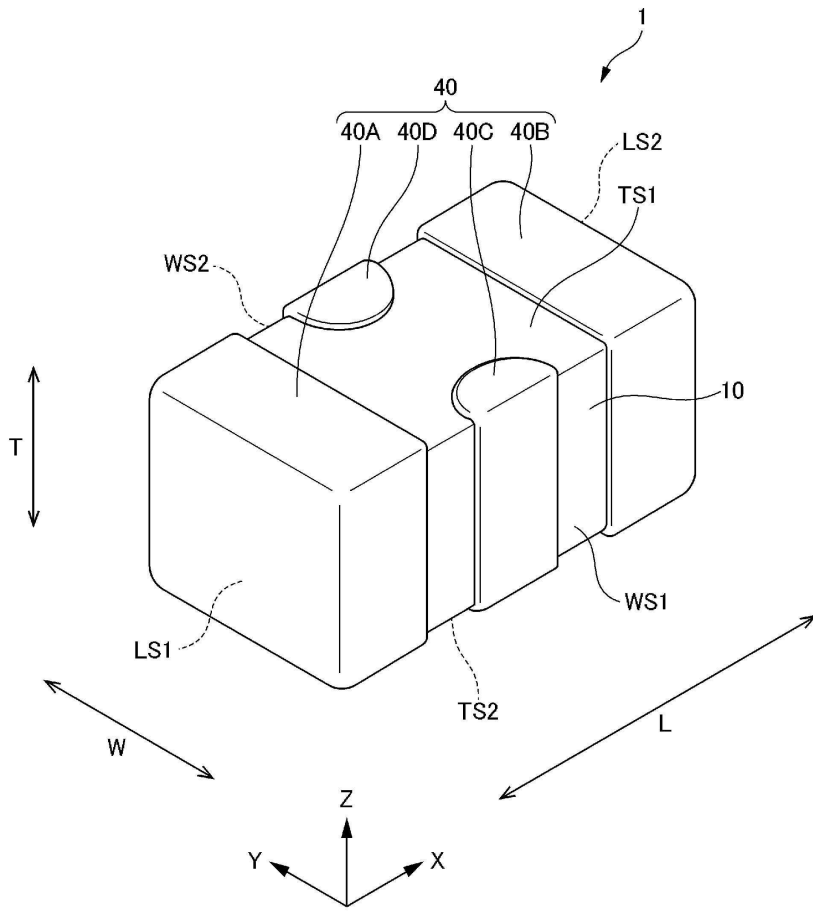
도면9



도면10b



도면11



도면13

