



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0057504
(43) 공개일자 2022년05월09일

- (51) 국제특허분류(Int. Cl.)
H01L 27/12 (2006.01) H01L 29/786 (2006.01)
- (52) CPC특허분류
H01L 27/1225 (2013.01)
H01L 27/1248 (2013.01)
- (21) 출원번호 10-2022-0051073(분할)
- (22) 출원일자 2022년04월25일
심사청구일자 2022년04월25일
- (62) 원출원 특허 10-2021-0046611
원출원일자 2021년04월09일
심사청구일자 2021년04월09일
- (30) 우선권주장
JP-P-2013-078908 2013년04월04일 일본(JP)

- (71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
카사하라 타카히로
일본국 243-0036 가나가와켄 아쓰기시 하세 398
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
- (74) 대리인
황의만

전체 청구항 수 : 총 4 항

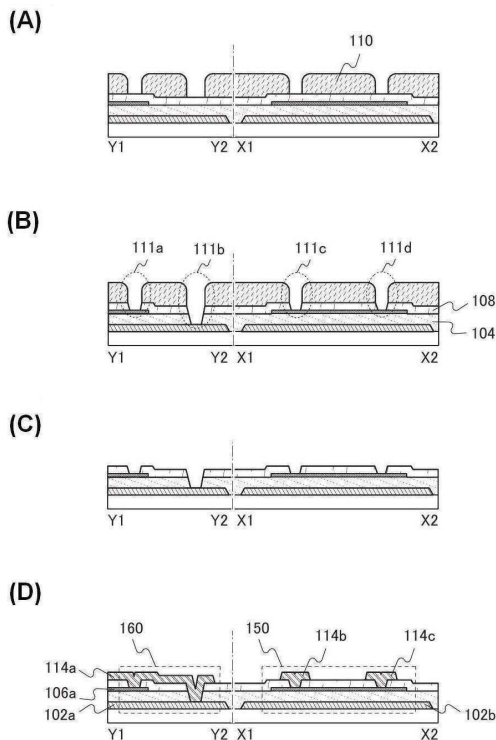
(54) 발명의 명칭 반도체 장치의 제조 방법

(57) 요약

본 발명은 반도체 장치의 제조 공정에 사용하는 마스크 수를 삭감한다. 또한, 포토리소그래피 공정 수를 삭감한다.

기판 위에 제 1 도전막을 형성하고, 제 1 도전막 위에 제 1 절연막을 형성하고, 제 1 절연막 위에 반도체막을 형성 (뒷면에 계속)

대표도 - 도3



성하고, 반도체막의 적어도 일부를 에칭하여 채널 영역을 포함한 반도체막을 형성하고, 채널 영역을 포함한 반도체막 위에 제 2 절연막을 형성하고, 제 2 절연막 위에 마스크를 형성하고, 제 2 절연막 중 채널 영역을 포함한 반도체막과 중첩되며 마스크와 중첩되지 않는 제 1 부분을 제거함과 동시에, 제 1 절연막 및 제 2 절연막 중 마스크 및 채널 영역을 포함한 반도체막과 중첩되지 않는 제 2 부분을 제거하는 제 1 공정을 수행하고, 제 1 공정 후에 마스크를 제거하고, 제 2 절연막의 적어도 일부 위에 채널 영역을 포함한 반도체막에 전기적으로 접속되는 제 2 도전막을 형성한다.

(52) CPC특허분류

H01L 29/7869 (2013.01)

명세서

청구범위

청구항 1

반도체 장치에 있어서,

제 1 도전막;

상기 제 1 도전막의 상면 및 측면과 접촉하는 제 1 절연막;

상기 제 1 절연막의 상면과 접촉하고, 인듐, 갈륨 및 아연을 포함하는 제 1 산화물 반도체막;

상기 제 1 절연막의 상기 상면과 접촉하고, 인듐, 갈륨 및 아연을 포함하는 제 2 산화물 반도체막;

상기 제 1 산화물 반도체막의 상면 및 측면과 접촉하고, 상기 제 2 산화물 반도체막의 상면 및 측면과 접촉하는 제 2 절연막;

상기 제 2 절연막의 상면과 각각 접촉하는 제 2 도전막 및 제 3 도전막;

상기 제 2 도전막의 상면 및 상기 제 3 도전막의 상면과 접촉하는 제 3 절연막;

상기 제 3 절연막의 상면과 접촉하고, 평탄화막으로서의 기능을 갖는 제 4 절연막; 및

상기 제 4 절연막의 상면과 접촉하고, 투광성을 갖는 도전성 재료를 포함하는 제 4 도전막을 포함하고,

상기 제 2 도전막은 상기 제 2 절연막에 제공된 제 1 개구에서의 상기 제 1 산화물 반도체막의 상면과 접촉하는 제 1 영역을 가지고,

상기 제 1 영역은 상기 제 1 산화물 반도체막 및 상기 제 1 절연막을 통하여 상기 제 1 도전막과 중첩하고,

상기 제 2 도전막은 상기 제 1 절연막 및 상기 제 2 절연막에 제공된 제 2 개구에서의 상기 제 1 도전막의 상면과 접촉하는 제 2 영역을 가지고,

상기 제 2 절연막은 상기 제 3 도전막과 상기 제 2 산화물 반도체막을 잇기 위한 제 3 개구를 가지고,

상기 제 4 도전막은 상기 제 1 도전막, 상기 제 1 산화물 반도체막 및 상기 제 2 산화물 반도체막과 각각 중첩하는 영역을 가지고,

상기 제 1 도전막의 면적은 상기 제 1 산화물 반도체막의 면적 및 상기 제 2 도전막의 면적보다 큰, 반도체 장치.

청구항 2

반도체 장치에 있어서,

제 1 도전막;

상기 제 1 도전막의 상면 및 측면과 접촉하는 제 1 절연막;

상기 제 1 절연막의 상면과 접촉하고, 인듐, 갈륨 및 아연을 포함하는 제 1 산화물 반도체막;

상기 제 1 절연막의 상기 상면과 접촉하고, 인듐, 갈륨 및 아연을 포함하는 제 2 산화물 반도체막;

상기 제 1 산화물 반도체막의 상면 및 측면과 접촉하고, 상기 제 2 산화물 반도체막의 상면 및 측면과 접촉하는 제 2 절연막;

상기 제 2 절연막의 상면과 각각 접촉하는 제 2 도전막 및 제 3 도전막;

상기 제 2 도전막의 상면 및 상기 제 3 도전막의 상면과 접촉하는 제 3 절연막;

상기 제 3 절연막의 상면과 접촉하고, 평탄화막으로서의 기능을 갖는 제 4 절연막; 및

상기 제 4 절연막의 상면과 접촉하고, 투광성을 갖는 도전성 재료를 포함하는 제 4 도전막을 포함하고,
 상기 제 2 도전막은 상기 제 2 절연막에 제공된 제 1 개구에서의 상기 제 1 산화물 반도체막의 상면과 접촉하는 제 1 영역을 가지고,
 상기 제 1 영역은 상기 제 1 산화물 반도체막 및 상기 제 1 절연막을 통하여 상기 제 1 도전막과 중첩하고,
 상기 제 2 도전막은 상기 제 1 절연막 및 상기 제 2 절연막에 제공된 제 2 개구에서의 상기 제 1 도전막의 상면과 접촉하는 제 2 영역을 가지고,
 상기 제 2 개구의 측면은 단면이 계단식이고,
 상기 제 2 절연막은 상기 제 3 도전막과 상기 제 2 산화물 반도체막을 잇기 위한 제 3 개구를 가지고,
 상기 제 4 도전막은 상기 제 1 도전막, 상기 제 1 산화물 반도체막 및 상기 제 2 산화물 반도체막과 각각 중첩하는 영역을 가지고,
 상기 제 1 도전막의 면적은 상기 제 1 산화물 반도체막의 면적 및 상기 제 2 도전막의 면적보다 큰, 반도체 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,
 상기 제 1 절연막, 상기 제 2 절연막 및 상기 제 3 절연막 각각은 같은 재료를 갖는, 반도체 장치.

청구항 4

제 1 항 또는 제 2 항에 있어서,
 상기 제 2 개구의 상면은 상기 제 2 개구의 하면보다 넓은, 반도체 장치.

발명의 설명

기술분야

[0001] 본 발명은 반도체 장치 및 반도체 장치의 제조 방법에 관한 것이다.

배경기술

[0002] 근년에 들어, 유리 기판 등 절연성 표면을 갖는 기판 위에 형성된, 두께 수nm~수백nm 정도의 반도체 박막으로 구성되는 트랜지스터가 주목을 받고 있다. 트랜지스터는, IC(Integrated Circuit) 및 전기 광학 장치를 비롯한 전자 디바이스에 널리 응용되고 있다. 또한, 트랜지스터는 액정 표시 장치 및 유기 EL(Electroluminescence) 소자를 사용한 발광 장치로 대표되는 액티브 매트릭스형의 표시 장치 및 발광 장치의 스위칭 소자로서도 사용된다.

[0003] 상술한 바와 같은 액티브 매트릭스형의 표시 장치 및 발광 장치의 용도는 확대되고 있으며 화면 크기의 대면적화, 고정세(高精細)화, 및 고개구율화에 대한 요구가 높아지고 있다. 또한, 이들 장치에는 높은 신뢰성이 요구되고 있으며, 그 생산 방법에는 높은 생산성 및 생산 비용의 삭감이 요구되고 있다.

[0004] 액티브 매트릭스형의 표시 장치 및 발광 장치에 사용되는 트랜지스터의 제작에 있어서, 포토리소그래피 공정 수의 삭감은, 비용 삭감을 위하여 중요한 일이다. 예를 들어, 제 8 세대용의 포토마스크는 1장당 수천만엔, 제 10 세대용의 포토마스크 및 제 11 세대용의 포토마스크에 있어서는 1장당 수억엔이다. 또한, 제작 공정에 있어서 포토리소그래피 공정 수가 1회 증가되는 것만으로, 관련된 공정을 포함한 공정 수가 대폭적으로 증가된다. 따라서, 포토리소그래피 공정 수를 삭감하기 위하여, 기술 개발이 많이 행해지고 있다.

[0005] 트랜지스터의 제작 공정에 있어서의 포토리소그래피 공정 수를 삭감하기 위한 대표적인 수단으로서, 다계조 마스크(하프톤 포토마스크 또는 그레이톤 포토마스크라고도 불림)를 사용한 기술이 널리 알려져 있다. 다계조 마스크를 사용하여 제작 공정 수를 삭감한 예로서는, 특허문헌 1~특허문헌 3을 들 수 있다.

선행기술문헌

특허문헌

- [0006] (특허문헌 0001) 일본국 특개2012-178545호 공보
- (특허문헌 0002) 일본국 특개2011-155303호 공보
- (특허문헌 0003) 일본국 특개2009-124124호 공보

발명의 내용

해결하려는 과제

- [0007] 본 발명의 일 형태는 반도체 장치의 제조 공정에 사용하는 마스크 수를 삭감하는 것을 목적 중 하나로 한다. 또한, 포토리소그래피 공정 수를 삭감하는 것을 목적 중 하나로 한다. 또한, 반도체 장치의 제조 시간을 단축하는 것을 목적 중 하나로 한다. 또한, 반도체 장치의 제조 비용을 삭감하는 것을 목적 중 하나로 한다.

과제의 해결 수단

- [0008] 본 발명의 일 형태는, 기판 위에 제 1 도전막을 형성하고, 제 1 도전막 위에 제 1 절연막을 형성하고, 제 1 절연막 위에 반도체막을 형성하고, 반도체막의 적어도 일부를 에칭하여 채널 영역을 포함한 반도체막을 형성하고, 채널 영역을 포함한 반도체막 위에 제 2 절연막을 형성하고, 제 2 절연막 위에 마스크를 형성하고, 제 2 절연막 중 채널 영역을 포함한 반도체막과 중첩되며 마스크와 중첩되지 않는 제 1 부분을 제거함과 동시에, 제 1 절연막 및 제 2 절연막 중 마스크 및 채널 영역을 포함한 반도체막과 중첩되지 않는 제 2 부분을 제거하는 제 1 공정을 수행하고, 제 1 공정 후에 마스크를 제거하고 제 2 절연막의 적어도 일부 위에, 채널 영역을 포함한 반도체막에 전기적으로 접속되는 제 2 도전막을 형성하는 것을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법이다.

- [0009] 또한, 상기에서는 제 1 공정 후, 마스크를 제거하기 전에 마스크를 후퇴시킴으로써 제 2 절연막의 일부를 노출시켜서 제 2 절연막의 일부를 제거하는 것이 바람직하다.

- [0010] 또한, 본 발명의 다른 일 형태는, 기판 위에 제 1 도전막을 형성하고, 제 1 도전막 위에 제 1 절연막을 형성하고, 제 1 절연막 위에 반도체막을 형성하고, 반도체막의 적어도 일부를 에칭하여 채널 영역을 포함한 반도체막을 형성하고, 채널 영역을 포함한 반도체막 위에 제 2 절연막을 형성하고, 제 2 절연막 위에 제 1 영역과 제 1 영역의 두께보다 얇은 두께를 갖는 제 2 영역을 갖는 마스크를 형성하고, 제 1 절연막 및 제 2 절연막 중 마스크와 중첩되지 않는 부분을 제거하는 제 1 공정을 수행하고, 제 1 공정 후에 마스크를 후퇴시켜서 제 2 영역의 마스크를 제거하는 제 2 공정을 수행하고, 제 2 공정 후에 제 2 절연막 중 제 2 영역과 중첩되는 부분을 제거하는 제 3 공정을 수행하고, 제 3 공정 후에 마스크를 제거하고 제 2 절연막의 적어도 일부 위에, 채널 영역을 포함한 반도체막에 전기적으로 접속되는 제 2 도전막을 형성하는 것을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법이다.

- [0011] 또한, 본 발명의 다른 일 형태는, 기판 위에 제 1 도전막을 형성하고, 제 1 도전막 위에 제 1 절연막을 형성하고, 제 1 절연막 위에 반도체막을 형성하고, 반도체막 위에 제 1 영역과 제 1 영역의 두께보다 얇은 두께를 갖는 제 2 영역을 갖는 마스크를 형성하고, 제 1 절연막 및 반도체막 중 마스크와 중첩되지 않는 부분을 제거하여 제 1 절연막에 개구를 형성하는 제 1 공정을 수행하고, 제 1 공정 후에 마스크를 후퇴시켜서 제 2 영역의 마스크를 제거하는 제 2 공정을 수행하고, 제 2 공정 후에 반도체막 중 제 2 영역과 중첩되는 부분을 제거하여 채널 영역을 포함한 반도체막을 형성하는 제 3 공정을 수행하고, 제 3 공정 후에 마스크를 제거하고 채널 영역을 포함한 반도체막 위에 제 2 절연막을 형성하고, 제 2 절연막의 적어도 일부와 중첩되는 부분을 제거하고, 제 2 절연막 중 적어도 일부 위에 채널 영역을 포함한 반도체막에 전기적으로 접속되는 제 2 도전막을 형성하는 것을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법이다.

- [0012] 또한, 본 발명의 다른 일 형태는, 기판 위에 제 1 전극을 형성하고, 제 1 전극 위에 제 1 절연막을 형성하고, 제 1 절연막 위에 제 2 절연막을 형성하고, 제 2 절연막 위에 제 1 도전막을 형성하고, 제 1 도전막 위에 제 1 영역과 제 1 영역의 두께보다 얇은 두께를 갖는 제 2 영역을 갖는 마스크를 형성하고, 제 1 절연막, 제 2 절연막, 및 제 1 도전막 중 마스크와 중첩되지 않는 부분을 제거하는 제 1 공정을 수행하고, 제 1 공정 후에 마스크를 후퇴시켜서 제 2 영역의 마스크를 제거하는 제 2 공정을 수행하고, 제 2 공정 후에 제 1 도전막 중 제 2 영

역과 중첩되는 부분을 제거하는 제 3 공정을 수행하고, 제 3 공정 후에 마스크를 제거하고 제 2 절연막의 적어도 일부 위에 제 3 절연막을 형성하고, 제 3 절연막의 적어도 일부 위에 제 1 전극에 전기적으로 접속되는 제 2 도전막을 형성하는 것을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법이다.

[0013] 또한, 상기에 있어서, 제 1 전극을 형성하기 전에 기판 위에 반도체막을 형성하는 공정을 수행하고, 반도체막 위에 제 4 절연막을 형성하는 공정을 수행하고, 제 4 절연막에 제 1 개구를 형성하는 공정을 수행하는 것을 더 포함하여도 좋다. 또한, 상기에서, 제 1 전극은 제 4 절연막에 형성된 제 1 개구를 통하여 상기 반도체막에 전기적으로 접속되어도 좋다. 또한, 상기에서 반도체막은 산화물 반도체를 가져도 좋다. 또한, 제 1 개구는 테이퍼 형상을 가져도 좋다. 또한, 상기에서 제 1 공정으로 제 2 절연막에 형성된 개구는 테이퍼 형상을 가져도 좋다. 또한, 제 1 공정으로 제 1 절연막에 형성된 개구는 테이퍼 형상을 가져도 좋다. 또한, 상기에서 제 3 절연막은 측면에 테이퍼 형상을 가져도 좋다.

[0014] 또한, 본 발명의 다른 일 형태는 기판 위에 제 1 전극을 형성하고, 제 1 전극 위에 제 1 절연막을 형성하고, 제 1 절연막 위에 제 2 절연막을 형성하고, 제 2 절연막 위에 제 1 도전막을 형성하고, 제 1 도전막 위에 제 1 영역과 제 2 영역의 두께보다 얇은 두께를 갖는 제 2 영역을 갖는 마스크를 형성하고, 제 1 절연막, 제 2 절연막, 및 제 1 도전막 중 마스크와 중첩되지 않는 부분을 제거하는 제 1 공정을 수행하고, 제 1 공정 후에 마스크를 후퇴시켜서 제 2 영역의 마스크를 제거하는 제 2 공정을 수행하고, 제 2 공정 후에 제 1 도전막 중 제 2 영역과 중첩되는 부분을 제거하는 제 3 공정을 수행하고, 제 3 공정 후에 마스크를 제거하고, 제 2 절연막의 상면의 적어도 일부 위와, 제 1 공정으로 제 2 절연막에 형성된 개구에서의 제 2 절연막의 측면의 적어도 일부 위에 제 3 절연막을 형성하고, 제 3 절연막의 적어도 일부 위에 제 1 전극에 전기적으로 접속되는 제 2 도전막을 형성하는 것을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법이다.

[0015] 또한, 본 발명의 다른 일 형태는 기판 위에 제 1 전극을 형성하고, 제 1 전극 위에 제 1 절연막을 형성하고, 제 1 절연막 위에 제 2 절연막을 형성하고, 제 2 절연막 위에 제 1 도전막을 형성하고, 제 1 도전막 위에 제 1 영역과 제 2 영역의 두께보다 얇은 두께를 갖는 제 2 영역을 갖는 마스크를 형성하고, 제 1 절연막, 제 2 절연막, 및 제 1 도전막 중 마스크와 중첩되지 않는 부분을 제거하는 제 1 공정을 수행하고, 제 1 공정 후에 마스크를 후퇴시켜서 제 2 영역의 마스크를 제거하는 제 2 공정을 수행하고, 제 2 공정 후에 제 1 도전막 중 제 2 영역과 중첩되는 부분을 제거하는 제 3 공정을 수행하고, 제 3 공정 후에 마스크를 제거하고, 제 2 절연막의 상면의 적어도 일부 위와, 제 1 공정으로 제 2 절연막에 형성된 개구에서의 제 2 절연막의 측면의 위와, 제 1 전극의 적어도 일부 위에 제 3 절연막을 형성하고, 제 3 절연막의 적어도 일부 위에 제 1 전극에 전기적으로 접속되는 제 2 도전막을 형성하는 것을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법이다.

발명의 효과

[0016] 본 발명의 일 형태에 의하여, 반도체 장치의 제조 공정에 사용하는 마스크 수를 삭감할 수 있다. 또한, 포토리소그래피 공정 수를 삭감할 수 있다. 또한, 반도체 장치의 제조 시간을 단축할 수 있다. 또한, 반도체 장치의 제조 비용을 삭감할 수 있다.

도면의 간단한 설명

- [0017] 도 1은 반도체 장치를 설명한 상면도.
- 도 2는 본 발명의 일 형태인 반도체 장치의 제조 방법을 설명한 단면도.
- 도 3은 본 발명의 일 형태인 반도체 장치의 제조 방법을 설명한 단면도.
- 도 4는 본 발명의 일 형태인 반도체 장치의 제조 방법을 설명한 단면도.
- 도 5는 본 발명의 일 형태인 반도체 장치의 제조 방법을 설명한 단면도.
- 도 6은 본 발명의 일 형태인 반도체 장치의 제조 방법을 설명한 단면도.
- 도 7은 본 발명의 일 형태인 반도체 장치의 제조 방법을 설명한 단면도.
- 도 8은 본 발명의 일 형태인 반도체 장치의 제조 방법을 설명한 단면도.
- 도 9는 본 발명의 일 형태인 반도체 장치의 제조 방법을 설명한 단면도.
- 도 10은 본 발명의 일 형태인 반도체 장치의 제조 방법을 설명한 단면도.

- 도 11은 본 발명의 일 형태인 반도체 장치의 제조 방법을 설명한 단면도.
- 도 12는 본 발명의 일 형태인 반도체 장치의 제조 방법을 설명한 단면도.
- 도 13은 액정 표시 장치를 설명한 도면.
- 도 14는 전자 기기를 설명한 도면.
- 도 15는 본 발명의 일 형태인 반도체 장치의 제조 방법을 설명한 단면도.

발명을 실시하기 위한 구체적인 내용

- [0018] 이하에서는, 본 발명의 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해된다. 또한, 본 발명은 이하에 기재된 실시형태의 내용에 한정되어 해석되는 것이 아니다. 또한, 도면을 사용하여 발명의 구성을 설명함에 있어서, 같은 것을 가리키는 부호는 다른 도면간에서도 공통적으로 사용한다. 또한, 같은 것을 가리킬 때 해치 패턴을 같게 하고 특별히 부호를 붙이지 않은 경우가 있다.
- [0019] 또한, 본 명세서 등에서 제 1 또는 제 2 등으로 부여되는 서수사는 편의상 사용하는 것으로, 공정 순서 또는 적층 순서를 나타내는 것은 아니다. 따라서, 예를 들어 '제 1'을 '제 2' 또는 '제 3' 등으로 적절히 바꿔서 설명할 수 있다. 또한, 본 명세서 등에 기재되어 있는 서수사와, 본 발명의 일 형태를 특정하기 위하여 사용되는 서수사는 일치하지 않은 경우가 있다.
- [0020] 또한, 본 명세서 등에서 "위"라는 용어는 구성 요소의 위치 관계를 "바로 위"에 있는 것으로 한정하는 것은 아니다. 예를 들어, "절연층 위의 게이트 전극"의 표현은, 절연층과 게이트 전극 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다. "아래"에 대해서도 마찬가지이다. 또한, 평면적으로 보아, 중첩이 없는 경우(중첩되지 않는 경우라고 불러도 좋음)도 제외하지 않는다.
- [0021] 또한, 본 명세서 등에서, "전극" 및 "배선"과 같은 용어는 이들 구성 요소의 기능들을 제한하지는 않는다. 예를 들어, "전극"은 "배선"의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. "전극" 및 "배선"과 같은 용어는 복수의 "전극"이나 "배선"이 일체가 되어 형성되어 있는 경우 등도 포함한다.
- [0022] 또한, "소스"나 "드레인"의 기능은 다른 극성의 트랜지스터를 채용하는 경우나, 회로 동작에 있어서 전류의 방향이 변화되는 경우 등에는 교체될 수 있다. 따라서, 본 명세서에서, "소스"나 "드레인"이란 용어는 교체하여 사용할 수 있는 것으로 한다.
- [0023] 또한, "전기적으로 접속"이라는 표현에는 "어떠한 전기적 작용을 갖는 것"을 통하여 접속되어 있는 경우가 포함된다. 여기서, "어떠한 전기적 작용을 갖는 것"은 접속 대상간에서 전기 신호의 주고 받음을 가능하게 하는 것이면 특별한 제한을 받지 않는다. 예를 들어, "어떠한 전기적 작용을 갖는 것"에는, 전극이나 배선 등이 포함된다.
- [0024] 또한, "반도체"라고 표기하였을 때에도, 예를 들어 도전성이 충분히 낮은 경우에는 "절연체"로서의 특성을 갖는 경우가 있다. 또한, "반도체"와 "절연체"는 그 경계가 애매하며 엄밀하게 구별할 수 없는 경우가 있다. 따라서, 본 명세서에 기재된 "반도체"는 "절연체"로 바꿔 말할 수 있는 경우가 있다. 마찬가지로, 본 명세서에 기재된 "절연체"는 "반도체"로 바꿔 말할 수 있는 경우가 있다.
- [0025] 또한, "반도체"라고 표기하였을 때에도 예를 들어 도전성이 충분히 높은 경우에는 "도전체"로서의 특성을 갖는 경우가 있다. 또한, "반도체"와 "도전체"는 경계가 애매하며 엄밀하게 구별할 수 없는 경우가 있다. 따라서, 본 명세서에 기재된 "반도체"는 "도전체"로 바꿔 말할 수 있는 경우가 있다. 마찬가지로, 본 명세서에 기재된 "도전체"는 "반도체"로 바꿔 말할 수 있는 경우가 있다.
- [0026] 또한, 본 명세서 등에서 "평행"이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치되는 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 그 범주에 포함된다. 또한, "수직"이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 그 범주에 포함된다.
- [0027] 또한, 본 명세서 등에 있어서, 삼방정 또는 능면체정은 육방정계에 포함된다.
- [0028] (실시형태 1)
- [0029] 본 발명의 일 형태인 반도체 장치의 제조 방법에 대하여 도 1~도 10을 사용하여 설명한다. 도 1은 반도체 장

치의 상면도이고, 도 1의 (A)에는 액정 표시 장치의 화소 영역으로서 기능할 수 있는 부분, 도 1의 (B) 및 (C)에는 액정 표시 장치의 드라이버 등이 제공된 주변부로서 기능할 수 있는 부분을 도시하였다. 도면의 간략화를 위하여 구성 요소의 일부를 생략하여 도시하였으며, 예를 들어 후술하는 절연막(104), 절연막(108) 등은 도시하지 않았다. 도 1의 (A) 중 일점 쇄선 X1-X2부분의 단면 구조를 도 2~도 10의 단면 X1-X2에 도시하였다. 단면 X1-X2는 트랜지스터가 형성되는 영역의 일부의 단면 구조이다. 도 1의 (B) 중 일점 쇄선 Y1-Y2부분의 단면 구조를 도 2~도 10의 단면 Y1-Y2에 도시하였다. 단면 Y1-Y2는 반도체막 아래에 제공된 도전막과 반도체막 위에 제공된 도전막이 전기적으로 접속되는 영역의 일부의 단면 구조이다.

- [0030] <<제조 방법 1>>
- [0031] 우선, 도 2 및 도 3을 사용하여 도 3의 (D)에 도시된 트랜지스터(150) 및 접속부(160)를 형성하는 방법을 설명한다.
- [0032] <기관>
- [0033] 우선, 기관(100)을 준비한다(도 2의 (A) 참조). 기관(100)의 재질 등에 큰 제한은 없지만, 적어도 나중의 가열 처리에 견딜 수 있을 정도로 내열성을 갖는 재료를 사용한다. 예를 들어, 유리 기관, 세라믹 기관, 석영 기관, 사파이어 기관, YSZ(이트리아 안정화 지르코니아) 기관 등을 기관(100)으로서 사용하여도 좋다. 또한, 실리콘이나 탄소화 실리콘 등으로 이루어진 단결정 반도체 기관이나 다결정 반도체 기관, 실리콘 게르마늄 등으로 이루어진 화합물 반도체 기관, SOI 기관 등을 적용할 수도 있다.
- [0034] 또한, 반도체 기관이나 SOI 기관 위에 반도체 소자가 제공된 것을 기관(100)으로서 사용하여도 좋다. 이 경우, 기관(100) 위에, 층간 절연층을 개재(介在)하여 트랜지스터(150)를 형성한다. 이 때, 트랜지스터(150)의 도전막(102b), 도전막(114b), 및 도전막(114c) 중 적어도 하나가, 층간 절연층에 매립된 접속 전극에 의하여 상기 반도체 소자와 전기적으로 접속되는 구성으로 하면 좋다. 반도체 소자 위에 층간 절연층을 개재하여 트랜지스터(150)를 제공함으로써 트랜지스터(150)의 부가로 인한 면적 증가를 억제할 수 있다.
- [0035] 또한, 기관(100)으로서 플라스틱 등의 가요성 기관을 사용하고 이 가요성 기관 위에 트랜지스터(150)를 직접 형성하여도 좋다. 또는, 기관(100)과 트랜지스터(150) 사이에 박리층을 제공하여도 좋다. 박리층은, 그 위에 트랜지스터의 일부 또는 전부를 형성하고 나서 기관(100)으로부터 분리하여 다른 기관에 전재(轉載)하기 위하여 사용할 수 있다. 이 결과, 트랜지스터(150)는 내열성이 낮은 기관이나 가요성 기관에도 전재할 수 있다.
- [0036] <도전막 형성>
- [0037] 다음에, 기관(100) 위에 스퍼터링법, CVD법, 증착법 등으로 도전막을 형성하고, 상기 도전막 위에 포토리소그래피 공정으로 레지스트 마스크를 형성한다. 그 다음에, 상기 레지스트 마스크를 사용하여 도전막의 일부를 에칭하여 도전막(102a) 및 도전막(102b)을 형성한다(도 3의 (B) 참조). 도전막(102b)은 트랜지스터(150)에서 게이트 전극으로서 기능할 수 있다.
- [0038] 도전막(102a) 및 도전막(102b)은 알루미늄, 크롬, 구리, 탄탈럼, 티타늄, 몰리브덴, 텅스텐 중에서 선택된 금속 또는 상술한 금속을 성분으로 하는 합금, 또는 상술한 금속을 조합한 합금 등을 사용하여 형성할 수 있다. 또한, 망가니즈, 지르코늄 중 어느 하나 또는 복수 중에서 선택된 금속을 사용하여도 좋다.
- [0039] 또한, 도전막(102a) 및 도전막(102b)은 단층 구조라도 좋고, 2층 이상의 적층 구조라도 좋다. 예를 들어, 알루미늄막의 위 또는 아래에 텅스텐, 티타늄, 몰리브덴 중에서 선택된 금속, 또는 상술한 금속을 성분으로 하는 합금 등의, 배리어막으로서 기능하는 막을 적층하는 2층 구조로 하여도 좋다. 또한, 알루미늄막의 상하에 상술한 배리어막으로서 기능하는 막을 적층하는 3층 구조로 하여도 좋다. 이와 마찬가지로, 구리막의 위 또는 아래에 상술한 배리어막으로서 기능하는 막을 적층하는 2층 구조로 하여도 좋다. 또한, 구리막의 상하에 상술한 배리어막으로서 기능하는 막을 적층하는 3층 구조로 하여도 좋다.
- [0040] 알루미늄막 및 구리막은 저항이 낮으므로, 도전막(102a) 및 도전막(102b)에 사용함으로써 반도체 장치의 소비 전력을 삭감할 수 있다. 또한, 텅스텐막, 티타늄막, 몰리브덴막 등 배리어막으로서 기능하는 막을 알루미늄막 또는 구리막 등과 접촉하여 적층시킴으로써 알루미늄이나 구리의 확산을 억제하여 반도체 장치의 신뢰성을 향상시킬 수 있다.
- [0041] 또한, 도전막(102b)과 후술하는 절연막(104) 사이에 In-Ga-Zn계 산화질화물 반도체막, In-Sn계 산화질화물 반도체막, In-Ga계 산화질화물 반도체막, In-Zn계 산화질화물 반도체막, Sn계 산화질화물 반도체막, In계 산화질화물 반도체막, 금속 질화막(InN, ZnN 등) 등을 제공하여도 좋다. 이들 막은 5eV 이상, 바람직하게는 5.5eV 이상

의 일함수를 가지며, 이것은 산화물 반도체의 전자 친화력보다 큰 값이므로, 후술하는 반도체막에 산화물 반도체를 사용하는 경우 트랜지스터의 문턱 전압을 플러스로 시프트할 수 있으며 소위 노멀리 오프 특성의 스위칭 소자를 실현할 수 있다. 예를 들어, In-Ga-Zn계 산화질화물 반도체막을 사용하는 경우, 적어도 반도체막(106b)보다 높은 질소 농도, 구체적으로는 질소 농도가 7atom% 이상의 In-Ga-Zn계 산화질화물 반도체막을 사용한다.

[0042] <절연막 형성>

[0043] 다음에, 기판(100), 도전막(102a) 및 도전막(102b) 위에 절연막(104)을 형성한다(도 2의 (C) 참조). 절연막(104)은 트랜지스터(150)에서 게이트 절연막으로서 기능할 수 있다.

[0044] 절연막(104)은 예를 들어, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 갈륨 또는 Ga-Zn계 금속 산화물 등을 사용하면 좋고, 적층 또는 단층으로 제공한다.

[0045] 또한, 절연막(104)으로서, 하프늄 실리케이트(HfSiO_x), 질소가 첨가된 하프늄 실리케이트(HfSi_xO_yN_z), 질소가 첨가된 하프늄 알루미늄에이트(HfAl_xO_yN_z), 산화 하프늄, 산화 이트륨 등의 high-k 재료를 사용함으로써 트랜지스터의 게이트 누설을 저감시킬 수 있다.

[0046] 절연막(104)은 스퍼터링법, CVD법, 증착법 등으로 형성한다.

[0047] 절연막(104)으로서 질화 실리콘막을 형성하는 경우, 2단계의 형성 방법을 이용하는 것이 바람직하다. 우선, 실레인, 질소, 및 암모니아의 혼합 가스를 원료 가스로서 사용한 플라즈마 CVD법에 의하여, 결합이 적은 제 1 질화 실리콘막을 형성한다. 다음에, 원료 가스를, 실레인 및 질소의 혼합 가스로 스위칭하여, 수소 농도가 낮고, 또한 수소를 블로킹하는 것이 가능한 제 2 질화 실리콘막을 형성한다. 이러한 형성 방법에 의하여, 절연막(104)으로서, 결합이 적고, 또한 수소 블로킹성을 갖는 질화 실리콘막을 형성할 수 있다.

[0048] 또한, 절연막(104)으로서 산화 갈륨막을 형성하는 경우, MOCVD(Metal Organic Chemical Vapor Deposition)법을 이용하여 형성할 수 있다.

[0049] <반도체막 형성>

[0050] 다음에 스퍼터링법, CVD법, 증착법 등으로 절연막(104) 위에 반도체막을 형성하고, 상기 반도체막 위에 포토리소그래피 공정으로 레지스트 마스크를 형성한다. 그 다음에, 상기 레지스트 마스크를 사용하여 반도체막의 적어도 일부를 에칭하여 반도체막(106a) 및 반도체막(106b)을 형성한다(도 2의 (D) 참조). 반도체막(106b)은 트랜지스터(150)의 채널 영역을 포함한다.

[0051] 반도체막(106a) 및 반도체막(106b)에는 다양한 반도체 재료를 사용할 수 있다. 구체적으로는, 비정질 실리콘, 미결정 실리콘, 다결정 실리콘, 단결정 실리콘 등을 사용할 수 있고, 이들의 막을 단층 또는 적층으로 제공할 수 있다. 또한, 이들 반도체막의 일부 또는 이들 반도체막을 적층한 경우에는 적어도 하나의 층에, 도전형을 부여하는 불순물을 첨가하여도 좋다.

[0052] 또한, 상기 반도체 재료 외에 산화물 반도체를 사용할 수 있다. 산화물 반도체를 사용한 트랜지스터에는, 오프 전류가 매우 낮은 특성을 갖는 것이 있다. 상기 트랜지스터를 사용하면 액정 표시 장치에서의 각 화소의 용량 소자에 입력된 신호의 유지 능력이 높게 되어, 예를 들어 정지 화상 표시 등에서 프레임 주파수를 작게 할 수 있다. 프레임 주파수를 작게 함으로써 표시 장치의 소비 전력을 저감시킬 수 있다.

[0053] 이하에서, 반도체막(106a) 및 반도체막(106b)에 적용할 수 있는 산화물 반도체에 대하여 설명한다.

[0054] 산화물 반도체는 예를 들어 인듐을 포함한다. 인듐을 포함한 산화물 반도체는 캐리어 이동도(전자 이동도)가 높게 된다. 또한, 산화물 반도체는 원소 M을 포함하면 바람직하다. 원소 M으로서, 예를 들어 알루미늄, 갈륨, 이트륨, 또는 주석 등이 있다. 원소 M은, 예를 들어 산소와의 결합 에너지가 높은 원소이다. 원소 M은 예를 들어 산화물 반도체의 에너지 갭을 크게 하는 기능을 갖는 원소이다. 또한, 산화물 반도체는 아연을 포함하면 바람직하다. 산화물 반도체가 아연을 포함하면, 결정질의 산화물 반도체가 되기 쉽다. 또한, 산화물 반도체의 가전자대 상단의 에너지(Ev)는 예를 들어 아연의 원자수 비율에 의하여 제어할 수 있는 경우가 있다.

[0055] 다만, 산화물 반도체는 인듐을 포함하지 않아도 좋다. 산화물 반도체는 예를 들어 Zn-Sn 산화물, Ga-Sn 산화물 이라도 좋다.

[0056] 또한, 산화물 반도체를, In 및 M의 합을 100atomic%로 하였을 때, In 및 M의 원자수 비율이 In 50atomic%

미만, M 50atomic% 이상, 또는 In 25atomic% 미만, M 75atomic% 이상인 In-M-Zn산화물로 하여도 좋다. 또한, 산화물 반도체를, In 및 M의 합을 100atomic%로 하였을 때, In 및 M의 원자수 비율이 In 25atomic% 이상, M 75atomic% 미만, 또는 In 34atomic% 이상, M 66atomic% 미만인 In-M-Zn산화물로 하여도 좋다.

- [0057] 또한, 산화물 반도체는 에너지 갭이 크다. 산화물 반도체의 에너지 갭은 2.7eV 이상 4.9eV 이하, 바람직하게는 3eV 이상 4.7eV 이하, 더 바람직하게는 3.2eV 이상 4.4eV 이하로 한다.
- [0058] 트랜지스터의 전기 특성을 안정화시키기 위해서는, 산화물 반도체 내의 불순물 농도를 저감시켜 고순도 진성화하는 것이 유효하다. 또한, 산화물 반도체에서 주성분 이외(1atomic% 미만)의 경(輕)원소, 반금속 원소, 금속 원소 등은 불순물이다. 예를 들어, 수소, 리튬, 탄소, 질소, 불소, 나트륨, 실리콘, 염소, 칼륨, 칼슘, 티타늄, 철, 니켈, 구리, 게르마늄, 스트론튬, 지르코늄, 및 하프늄은 산화물 반도체 내에서 불순물이 되는 경우가 있다. 따라서, 산화물 반도체에 근접하는 막 내의 불순물 농도도 저감시키는 것이 바람직하다.
- [0059] 예를 들어, 산화물 반도체층 내에 실리콘이 포함되면 불순물 준위를 형성하는 경우가 있다. 또한, 산화물 반도체의 표면에 실리콘이 있으면 불순물 준위를 형성하는 경우가 있다. 그러므로, 산화물 반도체의 내부, 표면의 실리콘 농도는 이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에서, 1×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 미만, 더 바람직하게는 2×10^{18} atoms/cm³ 미만으로 한다.
- [0060] 또한, 산화물 반도체 내에서 수소는 불순물 준위를 형성하고 캐리어 밀도를 증대시키는 경우가 있다. 그러므로, SIMS에 의한 산화물 반도체의 수소 농도는, 2×10^{20} atoms/cm³ 이하, 바람직하게는 5×10^{19} atoms/cm³ 이하, 더 바람직하게는 1×10^{19} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{18} atoms/cm³ 이하로 한다. 또한, 산화물 반도체 내에서 질소는 불순물 준위를 형성하고 캐리어 밀도를 증대시키는 경우가 있다. 그러므로, SIMS에 의한 산화물 반도체 내의 질소 농도는, 5×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 이하, 더 바람직하게는 1×10^{18} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{17} atoms/cm³ 이하로 한다.
- [0061] 산화물 반도체막은 비단결정 산화물 반도체막과 단결정 산화물 반도체막으로 대별된다. 비단결정 산화물 반도체막이란, CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor)막, 다결정 산화물 반도체막, 미결정 산화물 반도체막, 비정질 산화물 반도체막 등을 가리킨다.
- [0062] 산화물 반도체막은, 예를 들어 CAAC-OS막을 가져도 좋다. 우선, CAAC-OS막에 대하여 설명한다.
- [0063] CAAC-OS막은 복수의 결정부를 갖는 산화물 반도체막의 하나이며, 결정부의 대부분은 한 변이 100nm 미만인 입방체 내에 들어가는 사이즈이다. 따라서, CAAC-OS막에 포함되는 결정부는 한 변이 10nm 미만, 5nm 미만, 또는 3nm 미만인 입방체 내에 들어가는 사이즈인 경우도 포함된다.
- [0064] CAAC-OS막을 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의하여 관찰하면, 결정부와 결정부의 명확한 경계, 즉 결정 입계(그레인 바운더리라고도 함)는 확인되지 않는다. 따라서, CAAC-OS막은 결정 입계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.
- [0065] CAAC-OS막을 시료면에 대략 평행한 방향으로부터 TEM에 의하여 관찰(단면 TEM 관찰)하면, 결정부에서 금속 원자가 층상으로 배열되어 있는 것을 확인할 수 있다. 금속 원자의 각 층은 CAAC-OS막을 형성하는 면(피형성면이라고도 함) 또는 상면의 요철을 반영한 형상이며, CAAC-OS막의 피형성면 또는 상면과 평행하게 배열된다.
- [0066] 한편, CAAC-OS막을 시료면에 대략 수직인 방향으로부터 TEM에 의하여 관찰(평면 TEM 관찰)하면, 결정부에서 금속 원자가 삼각형 또는 육각형으로 배열되어 있는 것을 확인할 수 있다. 그러나, 상이한 결정부들간에서 금속 원자의 배열에는 규칙성이 보이지 않는다.
- [0067] 단면 TEM 관찰 및 평면 TEM 관찰로부터, CAAC-OS막의 결정부는 배향성을 갖는 것을 알 수 있다.
- [0068] CAAC-OS막에 대하여 X선 회절(XRD: X-Ray Diffraction) 장치를 사용하여 구조 해석을 수행하면, 예를 들어 InGaZnO₄의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 회절각(2 θ)이 31° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는, InGaZnO₄의 결정의 (009)면에 귀속되기 때문에, CAAC-OS막의 결정이 c축 배향성을 갖고, c축이 피형성면 또는 상면에 대략 수직인 방향으로 배향하는 것을 확인할 수 있다.
- [0069] 한편, c축에 대략 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의한 CAAC-OS막의 해석에서는, 2 θ 가 56

° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는 InGaZnO₄의 결정의 (110)면에 귀속된다. InGaZnO₄의 단결정 산화물 반도체막의 경우에는, 2θ를 56° 근방에 고정하고, 시료면의 법선 벡터를 축(φ 축)으로 하여 시료를 회전시키면서 분석(φ 스캔)을 수행하면, (110)면과 등가인 결정면에 귀속되는 6개의 피크가 관찰된다. 한편, CAAC-OS막의 경우에는, 2θ를 56° 근방에 고정하고 φ 스캔을 수행하여도 명료한 피크가 나타나지 않는다.

- [0070] 상술한 것으로부터, CAAC-OS막에 있어서, 상이한 결정부들간에서는 a축 및 b축의 배향이 불규칙하지만, c축 배향성을 가지며 c축이 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향하는 것을 알 수 있다. 따라서, 상술한 단면 TEM 관찰로 확인된 층상으로 배열된 금속 원자의 각층은, 결정의 a-b면에 평행한 면이다.
- [0071] 또한, 결정부는 CAAC-OS막을 형성하였을 때 또는 가열 처리 등의 결정화 처리를 수행하였을 때에 형성된다. 상술한 바와 같이, 결정의 c축은 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향한다. 따라서, 예를 들어 CAAC-OS막의 형상을 에칭 등에 의하여 변화시킨 경우, 결정의 c축이 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행하게 배향하지 않을 수도 있다.
- [0072] 또한, CAAC-OS막 내의 결정화도가 균일하지 않아도 좋다. 예를 들어, CAAC-OS막의 결정부가 CAAC-OS막의 상면 근방으로부터의 결정 성장에 의하여 형성되는 경우에는, 상면 근방의 영역은 피형성면 근방의 영역보다 결정화도가 높게 되는 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가하는 경우에는, 불순물이 첨가된 영역의 결정화도가 변화되어, 부분적으로 결정화도가 상이한 영역이 형성될 수도 있다.
- [0073] 또한, InGaZnO₄의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 2θ가 31° 근방일 때의 피크에 더하여, 2θ가 36° 근방일 때의 피크도 나타나는 경우가 있다. 2θ가 36° 근방일 때의 피크는 CAAC-OS막 내의 일부에, c축 배향성을 갖지 않는 결정이 포함되는 것을 가리킨다. CAAC-OS막은 2θ가 31° 근방일 때 피크가 나타나고, 2θ가 36° 근방일 때 피크가 나타나지 않는 것이 바람직하다.
- [0074] CAAC-OS막은 불순물 농도가 낮은 산화물 반도체막이다. 불순물은 수소, 탄소, 실리콘, 전이 금속 원소 등 산화물 반도체막의 주성분 이외의 원소이다. 특히 산화물 반도체막을 구성하는 금속 원소보다 산소와의 결합력이 강한 실리콘 등의 원소는, 산화물 반도체막에서 산소를 빼앗음으로써 산화물 반도체막의 원자 배열을 흐트러지게 하고 결정성을 저하시키는 요인이 된다. 또한 철이나 니켈 등의 중금속, 아르곤, 이산화탄소 등은 원자 반경(또는 분자 반경)이 크기 때문에 산화물 반도체막 내부에 포함되면 산화물 반도체막의 원자 배열을 흐트러지게 하고 결정성을 저하시키는 요인이 된다. 또한, 산화물 반도체막에 포함되는 불순물은 캐리어 트랩이나 캐리어 발생원이 되는 경우가 있다.
- [0075] 또한 CAAC-OS막은 결합 준위 밀도가 낮은 산화물 반도체막이다. 예를 들어 산화물 반도체막 내의 산소 결손은 캐리어 트랩이 되거나 또는 수소를 포획함으로써 캐리어 발생원이 되는 경우가 있다.
- [0076] 불순물 농도가 낮으며 결합 준위 밀도가 낮은(산소 결손이 적은) 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 부른다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 발생원이 적어 캐리어 밀도가 낮게 된다. 따라서, 상기 산화물 반도체막을 사용한 트랜지스터는 문턱 전압이 마이너스가 되는 전기 특성(노멀리 온이라고도 함)을 갖게 되는 경우가 적다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 트랩이 적다. 따라서, 상기 산화물 반도체막을 사용한 트랜지스터는 전기 특성의 변동이 작고 신뢰성이 높은 트랜지스터가 된다. 또한, 산화물 반도체막의 캐리어 트랩에 포획된 전하는 방출될 때까지 걸리는 시간이 길어 마치 고정 전하처럼 행동하는 경우가 있다. 그러므로 불순물 농도가 높으며 결합 준위 밀도가 높은 산화물 반도체막을 사용한 트랜지스터는 전기 특성이 불안정하게 되는 경우가 있다.
- [0077] 또한, CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사에 기인한 전기 특성의 변동이 작다.
- [0078] 다음에, 미결정 산화물 반도체막에 대하여 설명한다.
- [0079] 미결정 산화물 반도체막은 TEM에 의한 관찰상에서는 결정부를 명확히 확인할 수 없는 경우가 있다. 미결정 산화물 반도체막에 포함되는 결정부는 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하의 크기인 경우가 많다. 특히, 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 미결정인 나노 결정(nc: nanocrystal)을 갖는 산화물 반도체막을 nc-OS(nanocrystalline Oxide Semiconductor)막이라고 부른다. 또한, nc-OS막은 예를 들어 TEM에 의한 관찰상에서는 결정 입계를 명확히 확인할 수 없는 경우가 있다.
- [0080] nc-OS막은 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 갖는다. 또한, nc-OS막은 상이한 결정부들간에서 결정 방위에 규칙성이 보이지 않는다.

그러므로, 막 전체에서 배향성을 찾을 수 없다. 따라서, nc-OS막은 분석 방법에 따라서는 비정질 산화물 반도체막과 구별할 수 없는 경우가 있다. 예를 들어 nc-OS막에 대하여 결정부보다 직경이 큰 X선을 사용하는 XRD 장치를 사용하여 구조 해석을 수행하면, out-of-plane법에 의한 해석에서는 결정면을 나타내는 피크가 검출되지 않는다. 또한, nc-OS막에 대하여 결정부보다 직경이 큰(예를 들어 50nm 이상) 전자선을 사용하는 전자선 회절(제한 시야 전자선 회절이라고도 함)을 수행하면 할로 패턴(halo pattern)과 같은 회절 패턴이 관측된다. 한편, nc-OS막에 대하여, 결정부의 크기와 가깝거나 결정부보다 작은 직경(예를 들어 1nm 이상 30nm 이하)의 전자선을 사용하는 전자선 회절(나노 빔 전자선 회절이라고도 함)을 수행하면, 스폿이 관측된다. 또한, nc-OS막에 대하여 나노 빔 전자선 회절을 수행하면, 휘도가 높은 원형(링(ring)형)의 영역이 관측되는 경우가 있다. 또한, nc-OS막에 대하여 나노 빔 전자 회절을 수행한 경우, 링형 영역 내에 복수의 스폿이 관측될 수 있다.

- [0081] nc-OS막은 비정질 산화물 반도체막보다 규칙성이 높은 산화물 반도체막이다. 따라서, nc-OS막은 비정질 산화물 반도체막보다 결합 준위 밀도가 낮다. 다만, nc-OS막에서는 상이한 결정부들간에서 결정 방위에 규칙성이 보이지 않는다. 따라서, nc-OS막은 CAAC-OS막보다 결합 준위 밀도가 높다.
- [0082] 또한, 산화물 반도체막은 예를 들어 비정질 산화물 반도체막, 미결정 산화물 반도체막, CAAC-OS막 중 2종류 이상을 갖는 적층막이라도 좋다.
- [0083] 예를 들어, 산화물 반도체층(S1)과 산화물 반도체층(S2)은, 이 순서대로 형성된 다층막이라도 좋다.
- [0084] 이 경우, 예를 들어 산화물 반도체층(S2)의 전도대 하단의 에너지(E_c)를 산화물 반도체층(S1)보다 높은 것으로 한다. 구체적으로는 산화물 반도체층(S2)으로서, 전자 친화력이 산화물 반도체층(S1)보다 0.07eV 이상 1.3eV 이하, 바람직하게는 0.1eV 이상 0.7eV 이하, 더 바람직하게는 0.15eV 이상 0.4eV 이하 작은 산화물 반도체를 사용한다. 또한, 전자 친화력은 진공 준위와 전도대 하단의 에너지 차이이다.
- [0085] 또는, 예를 들어 산화물 반도체층(S2)의 에너지 갭을 산화물 반도체층(S1)보다 큰 것으로 한다. 또한, 에너지 갭은, 예를 들어 광학적 기법으로 도출할 수 있다. 구체적으로 산화물 반도체층(S2)으로서, 에너지 갭이 산화물 반도체층(S1)보다 0.1eV 이상 1.2eV 이하, 바람직하게는 0.2eV 이상 0.8eV 이하 큰 산화물 반도체를 사용한다.
- [0086] 또는, 산화물 반도체는 예를 들어 산화물 반도체층(S1)과, 산화물 반도체층(S2)과, 산화물 반도체층(S3)이 이 순서대로 형성된 다층막이라도 좋다.
- [0087] 또는, 예를 들어 산화물 반도체층(S2)의 전도대 하단의 에너지(E_c)를 산화물 반도체층(S1) 및 산화물 반도체층(S3)보다 낮은 것으로 한다. 구체적으로는 산화물 반도체층(S2)으로서, 전자 친화력이 산화물 반도체층(S1) 및 산화물 반도체층(S3)보다 0.07eV 이상 1.3eV 이하, 바람직하게는 0.1eV 이상 0.7eV 이하, 더 바람직하게는 0.15eV 이상 0.4eV 이하 큰 산화물 반도체를 사용한다.
- [0088] 또는, 예를 들어 산화물 반도체층(S2)의 에너지 갭을 산화물 반도체층(S1) 및 산화물 반도체층(S3)보다 작은 것으로 한다. 구체적으로는, 산화물 반도체층(S2)으로서, 에너지 갭이 산화물 반도체층(S1) 및 산화물 반도체층(S3)보다 0.1eV 이상 1.2eV 이하, 바람직하게는 0.2eV 이상 0.8eV 이하 작은 산화물 반도체를 사용한다.
- [0089] 또는, 예를 들어 트랜지스터의 온 전류를 높이기 위해서는, 산화물 반도체층(S3)의 두께가 작을수록 바람직하다. 예를 들어, 산화물 반도체층(S3)은 10nm 미만, 바람직하게는 5nm 이하, 더 바람직하게는 3nm 이하로 한다. 한편, 산화물 반도체층(S3)은 전류 밀도가 높은 산화물 반도체층(S2)으로 절연막(104)을 구성하는 원소(실리콘 등)가 들어가지 않도록 블로킹하는 기능도 갖는다. 그러므로 산화물 반도체층(S3)은 어느 정도 두께를 갖는 것이 바람직하다. 예를 들어, 산화물 반도체층(S3)의 두께는 0.3nm 이상, 바람직하게는 1nm 이상, 더 바람직하게는 2nm 이상으로 한다.
- [0090] 또한, 산화물 반도체층(S1)의 두께는 산화물 반도체층(S2)의 두께보다 두껍고, 산화물 반도체층(S2)의 두께는 산화물 반도체층(S3)의 두께보다 두껍게 제공하는 것이 바람직하다. 구체적으로는 산화물 반도체층(S1)의 두께는 20nm 이상, 바람직하게는 30nm 이상, 더 바람직하게는 40nm 이상, 더욱 바람직하게는 60nm 이상으로 한다. 산화물 반도체층(S1)의 두께를 20nm 이상, 바람직하게는 30nm 이상, 더 바람직하게는 40nm 이상, 더욱 바람직하게는 60nm 이상으로 함으로써 절연막과 산화물 반도체층(S1)의 계면으로부터 전류 밀도가 높은 산화물 반도체층(S2)까지 20nm 이상, 바람직하게는 30nm 이상, 더 바람직하게는 40nm 이상, 더욱 바람직하게는 60nm 이상의 사이를 둘 수 있다. 다만, 반도체 장치의 생산성이 저하되는 경우가 있으므로, 산화물 반도체층(S1)의 두께는 200nm 이하, 바람직하게는 120nm 이하, 더 바람직하게는 80nm 이하로 한다. 또한, 산화물 반도체층(S2)의 두께

는 3nm 이상 100nm 이하, 바람직하게는 3nm 이상 80nm 이하, 더 바람직하게는 3nm 이상 50nm 이하로 한다.

- [0091] 다음에, 산화물 반도체막의 형성 방법에 대하여 설명한다. 산화물 반도체막은, 스퍼터링법, CVD법, MBE법, ALD법 또는 PLD법을 이용하여 형성하면 좋다.
- [0092] 반도체막(106)이 되는 산화물 반도체막으로서 In-M-Zn산화물을 스퍼터링법으로 성막하는 경우, 타깃의 원자수 비율은 In:M:Zn=3:1:1, 3:1:2, 3:1:4, 1:1:0.5, 1:1:1, 1:1:2, 1:3:1, 1:3:2, 1:3:4, 1:3:6, 1:6:2, 1:6:4, 1:6:6, 1:6:8, 1:6:10, 1:9:2, 1:9:4, 1:9:6, 1:9:8, 1:9:10 등으로 하면 좋다. 원소 M은 예를 들어, 알루미늄, 갈륨, 이트륨, 또는 주석 등이다.
- [0093] 산화물 반도체막을 스퍼터링법으로 성막하는 경우, 산소를 포함한 분위기에서 성막한다. 예를 들어, 분위기 전체에 차지하는 산소 비율을 10volume% 이상, 바람직하게는 20volume% 이상, 더 바람직하게는 50volume% 이상, 더욱 바람직하게는 80volume% 이상으로 한다. 분위기 전체에 차지하는 산소 비율을 100volume%로 하는 것이 특히 바람직하다. 분위기 전체에 차지하는 산소 비율을 100volume%로 하면 반도체막(106)이 되는 산화물 반도체막에 포함되는 희가스 등의 불순물 농도를 저감시킬 수 있다.
- [0094] 반도체막(106)이 되는 산화물 반도체막을 스퍼터링법으로 성막하는 경우, 타깃의 원자수 비율과는 차이가 있는 원자수 비율을 갖는 막이 형성될 수 있다. 예를 들어, 산소를 포함한 분위기에서 성막하면, 아연은 타깃의 원자수 비율보다 막의 원자수 비율이 작게 되기 쉬운 경우가 있다. 구체적으로는 타깃에 포함되는 아연의 원자수 비율의 40atomic% 이상 90atomic% 이하 정도가 되는 경우가 있다. 또한, 인듐은 예를 들어 산소를 포함한 분위기에서 성막하면 타깃의 원자수 비율보다 막의 원자수 비율이 작게 되기 쉬운 경우가 있다.
- [0095] 반도체막(106)이 되는 산화물 반도체막을 형성한 후에 제 1 가열 처리를 수행하는 것이 바람직하다. 제 1 가열 처리는 70℃ 이상 450℃ 이하, 바람직하게는 100℃ 이상 300℃ 이하, 더 바람직하게는 150℃ 이상 250℃ 이하로 수행하면 좋다. 제 1 가열 처리는 불활성 가스 분위기, 또는 산화성 가스를 10ppm 이상, 1volume% 이상, 또는 10volume% 이상 포함한 분위기에서 수행한다. 제 1 가열 처리는 감압 상태에서 수행하여도 좋다. 또는, 제 1 가열 처리는, 불활성 가스 분위기에서 가열 처리를 수행한 후에, 이탈된 산소를 보충하기 위하여 산화성 가스를 0.001volume% 이상, 1% 이상, 또는 10% 이상 포함한 분위기에서 수행하여도 좋다. 제 1 가열 처리를 수행함으로써, 반도체막(106)이 되는 산화물 반도체막으로부터 수소나 물 등의 불순물을 제거할 수 있다. 또한, 제 1 가열 처리를 수행함으로써 반도체막(106)이 되는 산화물 반도체막을 고순도 진성화시킬 수 있다.
- [0096] <절연막 형성>
- [0097] 다음에, 절연막(104), 반도체막(106a) 및 반도체막(106b) 위에 절연막(108)을 형성한다(도 2의 (E) 참조). 절연막(108)은 트랜지스터(150)에서 반도체막(106b)의 채널 영역을 보호하는 막으로서 기능한다.
- [0098] 절연막(108)은 절연막(104)과 같은 재료, 구성, 및 방법으로 형성할 수 있다.
- [0099] 또한, 절연막(104)을 각각 상이한 재료로 이루어진 막의 적층으로 하여 제공하는 경우 절연막(104)의 위층과 절연막(108)에 같은 재료를 적용할 수 있다. 절연막(104)의 위층과 절연막(108)에 같은 재료를 사용하는 경우, 나중의 공정에서 절연막(104) 및 절연막(108)을 에칭할 때 절연막(104)의 위층과 절연막(108)을 동시에 에칭할 수 있다. 이 후에, 잔존한 절연막(104)의 하층을 에칭한다. 이로써, 절연막(104)의 위층 및 절연막(108)의 테이퍼각과, 절연막(104)의 하층의 테이퍼각이 다른 개구부를 형성할 수 있다. 테이퍼각이 다른 개구부로 함으로써, 상기 개구부에 형성하는 도전막의 단절이 억제된다.
- [0100] <마스크 형성과 절연막의 에칭>
- [0101] 다음에, 포토리소그래피 공정으로 절연막(108) 위에 레지스트 마스크(110)를 형성한다(도 3의 (A) 참조).
- [0102] 다음에, 절연막(104) 및 절연막(108) 중 레지스트 마스크(110)와 중첩되지 않는 부분을 에칭하여 제거함으로써 개구(111a), 개구(111b), 개구(111c), 개구(111d)를 형성한다(도 3의 (B) 참조).
- [0103] 도 3의 (B)에 도시된 바와 같이, 개구(111a), 개구(111c), 개구(111d)는 절연막(108) 중 반도체막(106a) 또는 반도체막(106b)과 중첩되며 레지스트 마스크(110)와 중첩되지 않는 부분을 제거함으로써 형성된다.
- [0104] 또한, 개구(111b)는 절연막(104) 및 절연막(108) 중 도전막(102a)과 중첩되며 반도체막(106a), 반도체막(106b), 및 레지스트 마스크(110)와 중첩되지 않는 부분을 제거함으로써 형성된다.
- [0105] 다음에 레지스트 마스크(110)를 제거한다(도 3의 (C) 참조).

- [0106] <도전막 형성>
- [0107] 다음에, 절연막(108), 반도체막(106a), 반도체막(106b) 및 도전막(102a)의 위에 도전막을 형성하고, 이 도전막 위에 포토리소그래피 공정으로 레지스트 마스크를 형성한다. 다음에, 상기 레지스트 마스크를 사용하여 도전막의 일부를 에칭하여 도전막(114a), 도전막(114b), 및 도전막(114c)을 형성한다(도 3의 (D) 참조).
- [0108] 도전막(114a)은 도전막(102a) 및 반도체막(106a)과 전기적으로 접속된다. 또한, 도전막(114b) 및 도전막(114c)은 반도체막(106b)과 전기적으로 접속된다.
- [0109] 도전막(114a)은 도전막(102a)과 반도체막(106a)을 전기적으로 접속시키는 배선으로서 기능할 수 있다. 도전막(114b)은 트랜지스터(150)에서 소스 전극으로서 기능할 수 있다. 도전막(114c)은 트랜지스터(150)에서 드레인 전극으로서 기능할 수 있다.
- [0110] 도전막(114a), 도전막(114b), 도전막(114c)은 도전막(102a) 및 도전막(102b)과 같은 재료, 구성, 및 방법으로 형성할 수 있다.
- [0111] 상술한 공정을 거쳐 트랜지스터(150) 및 접속부(160)를 형성할 수 있다.
- [0112] 상술한 바와 같이 제조 방법 1로는, 절연막(108) 중 반도체막과 중첩되는 부분에 개구를 형성함과 동시에 반도체막과 중첩되지 않는 부분에서는 절연막(108)뿐만 아니라 절연막(104)에도 개구를 형성한다. 이와 같은 공정으로 함으로써 절연막(108)과 절연막(104)의 개구를 따로따로 형성하는 경우에 비하여, 마스크 및 포토리소그래피 공정 수를 삭감할 수 있다. 그러므로, 반도체 장치의 제조 시간을 단축하고 제조 비용을 억제할 수 있다.
- [0113] <<제조 방법 2>>
- [0114] 다음에, 도 4 및 도 5를 사용하여 도 5의 (E)에 도시된 트랜지스터(150) 및 접속부(160)를 형성하는 방법을 설명한다.
- [0115] 도 4의 (A)~(E)에 도시된 기관(100), 도전막(102a) 및 도전막(102b), 절연막(104), 반도체막(106a) 및 반도체막(106b), 및 절연막(108)에 대해서는 제조 방법 1과 같은 재료, 구성, 및 방법으로 형성할 수 있다.
- [0116] <마스크 형성과 절연막의 에칭>
- [0117] 절연막(108) 위에 포토리소그래피 공정으로 레지스트 마스크(210)를 형성한다(도 4의 (F) 참조). 도 4의 (F)에 도시된 바와 같이, 레지스트 마스크(210)의 두께는 영역에 따라 달라지고, 영역(210a)과, 영역(210a)의 두께보다 얇은 두께를 갖는 영역(210b)을 갖는다. 영역(210b)은 반도체막(106a) 및 반도체막(106b)과 중첩되는 부분을 갖는다.
- [0118] 레지스트 마스크(210)는 다계조 마스크(하프톤 포토마스크 또는 그레이톤 포토마스크)를 사용한 포토리소그래피 공정으로 형성한다.
- [0119] 다음에, 절연막(104) 및 절연막(108) 중 도전막(102a)과 중첩되며 레지스트 마스크(210)와 중첩되지 않는 부분을 에칭하여 제거함으로써 개구(111b)를 형성한다(도 5의 (A) 참조).
- [0120] 다음에, 레지스트 마스크(210)에 대하여 에칭을 수행한다. 이로써, 레지스트 마스크(210)의 면적(3차원적으로 보면 체적)이 축소되어 두께가 얇아진다. 그러므로 두께가 얇은 영역(210b)의 레지스트 마스크(210)가 제거되어 레지스트 마스크(212)가 형성된다(도 5의 (B) 참조). 즉, 레지스트 마스크(210)를 후퇴시킴으로써 영역(210b)의 레지스트 마스크(210)를 제거하여 레지스트 마스크(212)를 형성한다.
- [0121] 에칭은, 예를 들어 산소 플라즈마에 의한 에칭을 수행할 수 있다.
- [0122] 다음에, 절연막(108) 중 레지스트 마스크(212)와 중첩되지 않는 부분을 에칭하여 제거함으로써 개구(211a), 개구(211b), 개구(211c), 개구(211d)를 형성한다(도 5의 (C) 참조).
- [0123] 도 5의 (C)에 도시된 바와 같이, 개구(211a), 개구(211c), 개구(211d)는 절연막(108) 중 반도체막(106a) 또는 반도체막(106b)과 중첩되며 레지스트 마스크(212)와 중첩되지 않는 부분을 제거함으로써 형성된다.
- [0124] 또한, 개구(211b)는 절연막(108) 중 반도체막(106a), 반도체막(106b), 및 레지스트 마스크(212)와 중첩되지 않는 부분이 제거됨으로써 형성된다. 도 5의 (C)에 도시된 바와 같이, 개구(211b)는 개구(111b)의 주위의 절연막(108)이 제거되어 개구가 넓게 되어 형성된다. 이로써, 나중의 공정으로 개구(211b) 내 및 위에 형성하는 도전막의 단절이 억제된다.

- [0125] 다음에, 레지스트 마스크(212)를 제거한다(도 5의 (D) 참조).
- [0126] <도전막 형성>
- [0127] 다음에, 절연막(108), 반도체막(106a), 반도체막(106b), 및 도전막(102a)의 위에 도전막을 형성하고, 이 도전막 위에 포토리소그래피 공정으로 레지스트 마스크를 형성한다. 다음에, 이 레지스트 마스크를 사용하여 도전막의 일부를 에칭하여 도전막(114a), 도전막(114b), 도전막(114c)을 형성한다(도 5의 (E) 참조).
- [0128] 도전막(114a), 도전막(114b), 도전막(114c)은 제조 방법 1과 같은 재료, 구성, 및 방법으로 형성할 수 있다.
- [0129] 상술한 공정을 거쳐 트랜지스터(150) 및 접속부(160)를 형성할 수 있다.
- [0130] 상술한 바와 같이 제조 방법 2에서는 다계조 마스크를 사용함으로써 개구(211a), 개구(211b), 개구(211c), 개구(211d)를 하나의 마스크로 형성할 수 있다. 또한, 개구(211b)에서는, 절연막(104)의 개구보다 절연막(108)의 개구가 넓게 되도록 형성될 수 있어, 도전막(114a)의 단절을 억제할 수 있다.
- [0131] 이러한 공정으로 함으로써 마스크 및 포토리소그래피 공정 수를 삭감할 수 있다. 그러므로, 반도체 장치의 제조 시간을 단축하고 제조 비용을 억제할 수 있다. 또한, 반도체 장치의 수율 및 신뢰성을 향상시킬 수 있다.
- [0132] <<제조 방법 3>>
- [0133] 다음에, 도 6 및 도 7을 사용하여 도 7의 (E)에 도시된 트랜지스터(150) 및 접속부(160)를 형성하는 방법을 설명한다.
- [0134] 도 6의 (A)~(C)에 도시된 기판(100), 도전막(102a) 및 도전막(102b), 및 절연막(104)에 대해서는 제조 방법 1과 같은 재료, 구성, 및 방법으로 형성할 수 있다.
- [0135] <반도체막 형성>
- [0136] 절연막(104) 위에 반도체막(106)을 형성한다. 반도체막(106)에 대해서는 제조 방법 1과 같은 재료, 구성, 및 방법으로 형성할 수 있다.
- [0137] <마스크 형성과 절연막 및 반도체막의 에칭>
- [0138] 다음에, 반도체막(106) 위에 포토리소그래피 공정으로 레지스트 마스크(307)를 형성한다(도 6의 (D) 참조). 도 6의 (D)에 도시된 바와 같이, 레지스트 마스크(307)의 두께는 영역에 따라 달라지고, 영역(307a)과, 영역(307a)의 두께보다 얇은 두께를 갖는 영역(307b)을 갖는다. 영역(307b)은 반도체막(106)과 중첩되는 부분을 갖는다.
- [0139] 레지스트 마스크(307)는 다계조 마스크(하프톤 포토마스크 또는 그레이톤 포토마스크)를 사용한 포토리소그래피 공정으로 형성한다.
- [0140] 다음에, 절연막(104) 및 반도체막(106) 중 도전막(102a)과 중첩되며 레지스트 마스크(307)와 중첩되지 않는 부분을 에칭하여 제거함으로써 개구(308b)를 형성한다(도 6의 (E) 참조).
- [0141] 다음에, 레지스트 마스크(307)에 대하여 에칭을 수행한다. 이로써, 레지스트 마스크(307)의 면적(3차원적으로 보면 체적)이 축소되어 두께가 얇아진다. 그러므로 두께가 얇은 영역(307b)의 레지스트 마스크(307)가 제거되어 레지스트 마스크(309)가 형성된다(도 7의 (A) 참조). 즉, 레지스트 마스크(307)를 후퇴시킴으로써 영역(307b)의 레지스트 마스크(307)를 제거하여 레지스트 마스크(309)를 형성한다.
- [0142] 에칭은, 예를 들어 산소 플라즈마에 의한 에칭을 수행할 수 있다.
- [0143] 다음에, 반도체막(106) 중 레지스트 마스크(309)와 중첩되지 않는 부분을 에칭하여 제거함으로써 반도체막(106a) 및 반도체막(106b)을 형성한다(도 7의 (B) 참조). 반도체막(106b)은 트랜지스터(150)에서의 채널 영역을 포함하는 반도체막으로서 기능할 수 있다.
- [0144] 다음에 레지스트 마스크(309)를 제거한다(도 7의 (C) 참조).
- [0145] <절연막 형성>
- [0146] 다음에, 절연막(104), 반도체막(106a), 및 반도체막(106b) 위에 절연막을 형성하고, 이 절연막 위에 포토리소그래피 공정으로 레지스트 마스크를 형성한다. 그 다음에 이 레지스트 마스크를 사용하여 절연막의 일부를 에칭하여 개구(311a), 개구(311b), 개구(311c), 개구(311d)를 갖는 절연막(108)을 형성한다(도 7의 (D) 참조).

- [0147] 도 7의 (D)에 도시된 바와 같이, 개구(311a), 개구(311c), 개구(311d)는 반도체막(106a) 또는 반도체막(106b)과 중첩되는 부분에 형성된다.
- [0148] 또한, 개구(311b)는 반도체막(106a) 및 반도체막(106b)과 중첩되지 않는 부분이 제거됨으로써 형성된다. 또한, 도 7의 (D)에 도시된 바와 같이, 개구(311b)는 개구(308b)와 중첩되는 부분에 형성된다. 또한, 개구(311b)에서는 절연막(104)의 개구보다 절연막(108)의 개구가 넓게 되도록 형성될 수 있다. 이로써, 나중의 공정으로 개구(311b) 내 및 위에 형성하는 도전막의 단절이 억제된다.
- [0149] 절연막(108)은 트랜지스터(150)에서 반도체막(106b)의 채널 영역을 보호하는 막으로서 기능하고, 제조 방법 1과 같은 재료, 구성, 및 방법으로 형성할 수 있다.
- [0150] <도전막 형성>
- [0151] 다음에, 절연막(108), 반도체막(106a), 반도체막(106b), 및 도전막(102a) 위에 도전막을 형성하고, 이 도전막 위에 포토리소그래피 공정으로 레지스트 마스크를 형성한다. 다음에, 이 레지스트 마스크를 사용하여 도전막의 일부를 에칭하여 도전막(114a), 도전막(114b), 도전막(114c)을 형성한다(도 7의 (E) 참조).
- [0152] 도전막(114a), 도전막(114b), 도전막(114c)은 제조 방법 1과 같은 재료, 구성, 및 방법으로 형성할 수 있다.
- [0153] 상술한 공정을 거쳐 트랜지스터(150) 및 접속부(160)를 형성할 수 있다.
- [0154] 상술한 바와 같이 제조 방법 3에서는 하프톤 포토마스크를 사용함으로써 절연막(104)의 개구와 반도체막(106a) 및 반도체막(106b)을 하나의 마스크로 형성할 수 있다. 또한, 개구(311b)에서는, 절연막(104)의 개구보다 절연막(108)의 개구가 넓게 되도록 형성될 수 있어, 도전막(114a)의 단절을 억제할 수 있다.
- [0155] 이러한 공정으로 함으로써 마스크 및 포토리소그래피 공정 수를 삭감할 수 있다. 그러므로, 반도체 장치의 제조 시간을 단축하고 제조 비용을 억제할 수 있다. 또한, 반도체 장치의 수율 및 신뢰성을 향상시킬 수 있다.
- [0156] <개구의 배리어이션>
- [0157] 또한, 레지스트 마스크(307)의 형상을 변경함으로써, 도 7의 (E)에 도시된 접속부(160)와 다른 형상을 가진 도 8의 (D)에 도시된 접속부(160)를 형성할 수 있다.
- [0158] 우선, 레지스트 마스크(307)를 도 8의 (A)에 도시된 바와 같은 형상(예를 들어 도 6의 (E)에 도시된 것보다 넓은 개구를 갖는 형상)으로 하여 개구(308b)를 형성한다(도 8의 (A) 참조).
- [0159] 그 다음에, 도 7의 (A)~(C)와 같은 공정으로 반도체막(106a) 및 반도체막(106b)을 형성한다(도 8의 (B) 참조).
- [0160] 다음에, 절연막(104), 반도체막(106a) 및 반도체막(106b) 위에 절연막을 형성하고, 이 절연막 위에 포토리소그래피 공정으로 레지스트 마스크를 형성한다. 다음에, 이 레지스트 마스크를 사용하여 절연막의 일부를 에칭하여 개구(311a), 개구(312b), 개구(311c), 개구(311d)를 갖는 절연막(108)을 형성한다. 이 때, 절연막(108)에서의 개구(312b)가 절연막(104)에서의 개구(308b)보다 작게 되도록 형성한다.
- [0161] 상술한 공정을 거쳐 도 8의 (D)에 도시된 접속부(160)를 형성할 수 있다.
- [0162] 이러한 공정으로 하여도 절연막(104)의 개구와 반도체막(106a) 및 반도체막(106b)을 하나의 마스크로 형성하고, 또한 도전막(114a)의 단절을 억제할 수 있다. 그러므로, 마스크 및 포토리소그래피 공정 수를 삭감하고 반도체 장치의 제조 시간을 단축하며, 제조 비용을 억제할 수 있다. 또한, 반도체 장치의 수율 및 신뢰성을 향상시킬 수 있다.
- [0163] <<제조 방법 4>>
- [0164] 다음에, 도 9 및 도 10을 사용하여 도 10의 (E)에 도시된 트랜지스터(150) 및 접속부(160)를 형성하는 방법을 설명한다.
- [0165] 도 9의 (A)~(F) 및 도 10의 (A)에 도시된 기판(100), 도전막(102a) 및 도전막(102b), 절연막(104), 반도체막(106a) 및 반도체막(106b), 절연막(108), 개구(111a), 개구(111b), 개구(111c), 및 개구(111d)에 대해서는 제조 방법 1과 같은 재료, 구성, 및 방법으로 형성할 수 있다.
- [0166] <마스크의 애싱>
- [0167] 도 10의 (A)에 도시된 바와 같이 레지스트 마스크(110)를 사용하여 개구(111a), 개구(111b), 개구(111c), 및 개

구(111d)를 형성한 후에 레지스트 마스크(110)에 대하여 에칭을 수행한다. 에칭은, 예를 들어 산소 플라즈마에 의한 에칭을 수행할 수 있다.

- [0168] 이로써, 레지스트 마스크(110)의 면적(3차원적으로 보면 체적)이 축소되어 두께가 얇아져서 레지스트 마스크(412)가 형성된다(도 10의 (B) 참조). 이로써, 절연막(108)의 일부에 레지스트 마스크(412)와 중첩되지 않는 부분이 생긴다. 즉, 레지스트 마스크(110)를 후퇴시킴으로써 절연막(108)의 일부가 노출된다.
- [0169] 다음에, 절연막(108) 중 레지스트 마스크(412)와 중첩되지 않는 부분을 에칭하여 제거함으로써 개구(411a), 개구(411b), 개구(411c), 및 개구(411d)를 형성한다(도 10의 (C) 참조).
- [0170] 도 10의 (C)에 도시된 바와 같이, 개구(411a), 개구(411c), 및 개구(411d)는 반도체막(106a) 또는 반도체막(106b)과 중첩되는 부분에 형성된다.
- [0171] 또한, 개구(411b)는 도전막(102a)과 중첩되며 반도체막(106a) 및 반도체막(106b)과 중첩되지 않는 부분이 제거됨으로써 형성된다. 또한, 도 10의 (C)에 도시된 바와 같이, 개구(411b)는 개구(111b)의 주위의 절연막(108)이 제거되어 개구가 넓게 되어 형성된다. 이로써, 나중의 공정으로 개구(411b) 내 및 위에 형성하는 도전막의 단절을 억제할 수 있다.
- [0172] 또한, 레지스트 마스크(110)를 에칭함으로써 레지스트 마스크(412)가 형성되므로, 레지스트 마스크(110)와 레지스트 마스크(412)의 크기의 차이들, 즉, 레지스트 마스크(412)로 덮이지 않는 절연막(108)의 폭들은, 실질적으로 균일하게 된다.
- [0173] 그러므로, 개구(411b)에서 절연막(104)과 절연막(108)이 형성하는 단차의 폭, 즉, 도 10의 (C)에 도시된 L은 개구(411b)의 주위에 있어서 실질적으로 균일하게 된다.
- [0174] 다음에 레지스트 마스크(412)를 제거한다(도 10의 (D) 참조).
- [0175] <도전막 형성>
- [0176] 다음에, 절연막(108), 반도체막(106a), 반도체막(106b), 및 도전막(102a) 위에 도전막을 형성하고, 이 도전막 위에 포토리소그래피 공정으로 레지스트 마스크를 형성한다. 다음에, 이 레지스트 마스크를 사용하여 도전막의 일부를 에칭하여 도전막(114a), 도전막(114b), 도전막(114c)을 형성한다(도 10의 (E) 참조).
- [0177] 도전막(114a), 도전막(114b), 도전막(114c)은 제조 방법 1과 같은 재료, 구성, 및 방법으로 형성할 수 있다.
- [0178] 상술한 공정을 거쳐 트랜지스터(150) 및 접속부(160)를 형성할 수 있다.
- [0179] 상술한 바와 같이 제조 방법 4로는, 절연막(108) 중 반도체막과 중첩되는 부분에 개구를 형성함과 동시에 반도체막과 중첩되지 않는 부분에서는 절연막(108)뿐만 아니라 절연막(104)에도 개구를 형성한다. 이와 같은 공정으로 함으로써 절연막(108)과 절연막(104)의 개구를 따로따로 형성하는 경우에 비하여, 마스크 및 포토리소그래피 공정 수를 삭감할 수 있다. 또한, 레지스트 마스크(110)를 에칭함으로써 개구(411b)에서 절연막(104)의 개구보다 절연막(108)의 개구가 넓게 되도록 할 수 있고, 도전막(114a)의 단절을 억제할 수 있다.
- [0180] 이러한 공정으로 함으로써 마스크 및 포토리소그래피 공정 수를 삭감할 수 있다. 그러므로, 반도체 장치의 제조 시간을 단축하고 제조 비용을 억제할 수 있다. 또한, 반도체 장치의 수율 및 신뢰성을 향상시킬 수 있다.
- [0181] (실시형태 2)
- [0182] 본 발명의 일 형태인 반도체 장치의 제조 방법에 대하여 도 1, 도 11, 및 도 12를 사용하여 설명한다. 도 1은 상술한 바와 같이 반도체 장치의 상면도이다. 도 1의 (A) 중 일점 쇄선 X1-X2부분의 단면 구조를 도 11 및 도 12의 단면 X1-X2에서 도시하였다. 단면 X1-X2는 트랜지스터와, 트랜지스터 위에 제공된 도전막이 전기적으로 접속되는 영역의 일부의 단면 구조이다. 도 1의 (B) 중 일점 쇄선 Y1-Y2부분의 단면 구조를 도 11 및 도 12의 단면 Y1-Y2에서 도시하였다. 단면 Y1-Y2는 반도체막 아래에 제공된 도전막과 반도체막 위에 제공된 도전막이 전기적으로 접속되는 영역의 일부의 단면 구조이다. 도 1의 (C) 중 일점 쇄선 Z1-Z2부분의 단면 구조를 도 11 및 도 12의 단면 Z1-Z2에서 도시하였다. 단면 Z1-Z2는 트랜지스터의 소스 전극 및 드레인 전극으로서 기능할 수 있는 도전막과 동시에 형성된 도전막과, 트랜지스터 위에 형성된 2개의 도전막이 전기적으로 접속된 영역의 일부의 단면 구조이다.
- [0183] 본 실시형태에서 제시하는 반도체 장치의 제조 방법은 트랜지스터 위에 복수의 도전막을 형성하는 경우에 적용할 수 있다. 예를 들어, 동일 기판 위에 공통 전극과 화소 전극을 형성하는 IPS(In Plane Switching)(또는

FFS(Fringe Field Switching)) 모드의 액정 표시 장치 등에 적합하다.

- [0184] <<제조 방법 5>>
- [0185] 도 11 및 도 12를 사용하여 도 12의 (E)에 도시된 접속부(550) 및 접속부(560)를 형성하는 방법을 설명한다.
- [0186] <하부 구성>
- [0187] 우선, 도전막이 제공된 기판을 준비한다. 상기 기판은 실시형태 1에서 제시한 트랜지스터(150) 및 접속부(160)가 형성된 기판이라도 좋고 다른 방법 및 구성으로 도전막이 형성된 기판이라도 좋다. 예를 들어 실시형태 1에서 제시한 보텀 게이트 구조의 트랜지스터(150)에 한정되지 않으며 톱 게이트 구조의 트랜지스터가 형성된 기판을 사용하여도 좋다.
- [0188] 본 실시형태에서는 실시형태 1에서 제시한 제조 방법 2와 마찬가지로, 단면 X1-X2에 트랜지스터(150), 단면 Y1-Y2에 접속부(160)가 형성되고, 또한 제조 방법 2와 같은 공정을 거쳐 단면 Z1-Z2에 절연막(104), 절연막(108) 및 도전막(114d)이 형성된 기판을 준비한다(도 11의 (A) 참조). 도전막(114d)은 도전막(114a), 도전막(114b), 도전막(114c)과 같은 재료, 구성, 및 방법으로 형성할 수 있다. 상기 기판의 도전막(114a) 및 도전막(114d) 위에는, 이하에서 제시하는 공정을 거쳐 접속부(550) 및 접속부(560)를 형성한다.
- [0189] <절연막 형성>
- [0190] 도전막(114a), 도전막(114b), 도전막(114c), 및 도전막(114d) 위에 절연막(500)을 형성한다(도 11의 (B) 참조). 절연막(500)은 실시형태 1에서 제시한 절연막(104)과 같은 재료, 구성, 및 방법으로 형성할 수 있다.
- [0191] <절연막 형성>
- [0192] 다음에 절연막(500) 위에 절연막(502)을 형성한다(도 11의 (C) 참조). 절연막(502)은 반도체 장치에서의 평탄화막으로서 기능할 수 있다.
- [0193] 절연막(502)으로서는 예를 들어 아크릴, 아크릴아마이드, 에스테르, 기타 공지의 재료가 사용될 수 있고, 적층 또는 단층으로 제공된다.
- [0194] <도전막 형성>
- [0195] 다음에, 절연막(502) 위에 도전막(504)을 형성한다(도 11의 (D) 참조). 도전막(504)으로서는 투광성을 갖는 재료를 사용하는 것이 바람직하다.
- [0196] 도전막(504)에는, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고 나타냄), 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료를 사용할 수 있다.
- [0197] 또한, 도전막(504)은, 도전성 고분자(도전성 폴리머라고도 함)를 포함한 도전성 조성물을 사용하여 형성할 수 있다. 도전성 조성물을 사용하여 형성한 투광성 도전막의 시트 저항은 $10000\Omega/\square$ 이하, 파장이 550nm인 경우의 투광률은 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항률이 $0.10 \cdot \text{cm}$ 이하인 것이 바람직하다.
- [0198] 도전성 고분자로서, 소위 π -전자 공액계 도전성 고분자를 사용할 수 있다. 예를 들어, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 아닐린, 피롤, 및 티오펜의 2개 이상으로 이루어진 공중합체 또는 그 유도체 등을 들 수 있다.
- [0199] 도전막(504)은, 상술한 재료를 적층 또는 단층으로 하여 제공할 수 있다.
- [0200] <마스크 형성과 도전막 및 절연막의 에칭>
- [0201] 다음에, 도전막(504) 위에 포토리소그래피 공정으로 레지스트 마스크(506)를 형성한다(도 11의 (E) 참조). 도 11의 (E)에 도시된 바와 같이, 레지스트 마스크(506)의 두께는 영역에 따라 달라지고, 영역(506a)과, 영역(506a)의 두께보다 얇은 두께를 갖는 영역(506b)을 갖는다. 영역(506b)은 도전막(504)과 중첩되는 부분을 갖는다.
- [0202] 레지스트 마스크(506)는 다계조 마스크(하프톤 포토마스크 또는 그레이톤 포토마스크)를 사용한 포토리소그래피 공정으로 형성한다.

- [0203] 다음에, 절연막(500), 절연막(502), 및 도전막(504) 중 레지스트 마스크(506)와 중첩되지 않는 부분을 에칭하여 제거함으로써 개구(507a) 및 개구(507c)를 형성한다(도 12의 (A) 참조).
- [0204] 다음에, 레지스트 마스크(506)에 대하여 에칭을 수행한다. 이로써, 레지스트 마스크(506)의 면적(3차원적으로 보면 체적)이 축소되어 두께가 얇아진다. 그러므로 두께가 얇은 영역(506b)의 레지스트 마스크(506)가 제거되어 레지스트 마스크(508)가 형성된다(도 12의 (B) 참조). 즉, 레지스트 마스크(506)를 후퇴시킴으로써 영역(506b)의 레지스트 마스크(506)를 제거하여 레지스트 마스크(508)를 형성한다.
- [0205] 에칭은, 예를 들어 산소 플라즈마에 의한 에칭을 수행할 수 있다.
- [0206] 다음에, 도전막(504) 중 레지스트 마스크(508)와 중첩되지 않는 부분을 에칭하여 제거하고, 이 후에 레지스트 마스크(508)를 제거하여 도전막(504a)을 형성한다(도 12의 (C) 참조). 도전막(504a)은 액정 표시 장치에서의 공통 전극으로서 기능할 수 있다.
- [0207] <절연막 형성>
- [0208] 다음에, 도전막(504a), 절연막(502), 절연막(500), 도전막(114d), 및 도전막(114c) 위에 절연막을 형성하고, 이 절연막 위에 포토리소그래피 공정으로 레지스트 마스크를 형성한다. 그 다음에 이 레지스트 마스크를 사용하여 절연막의 일부를 에칭하여 절연막(510)을 형성한다(도 12의 (D) 참조). 도 12의 (D)에 도시된 바와 같이 절연막(510)에서는 개구(507a)와 중첩되는 부분에 개구(511a)가 형성되고, 도전막(504a)과 중첩되는 부분에 개구(511b)가 형성된다. 또한, 개구(507c)와 중첩되는 부분에 개구(511c)가 형성된다.
- [0209] 절연막(510)은 실시형태 1에서 제시한 절연막(104)과 같은 재료, 구성, 및 방법으로 형성할 수 있다.
- [0210] <도전막 형성>
- [0211] 다음에, 절연막(510), 도전막(504a), 절연막(502), 절연막(500), 도전막(114d), 및 도전막(114c) 위에 도전막을 형성하고, 이 도전막 위에 포토리소그래피 공정으로 레지스트 마스크를 형성한다. 그 다음에 이 레지스트 마스크를 사용하여 도전막의 일부를 에칭하여 도전막(512a) 및 도전막(512b)을 형성한다(도 12의 (E) 참조).
- [0212] 도전막(512a)은 도전막(114d) 및 도전막(504a)과 전기적으로 접속된다. 또한, 도전막(512b)은 도전막(114c)과 전기적으로 접속된다. 도전막(512b)은 액정 표시 장치에서의 화소 전극으로서 기능할 수 있다. 또한, 도시하지 않았지만 도전막(504a)과 도전막(512b)이 중첩된 부분은 용량 소자로서 기능할 수 있다. 다만, 이에 한정되지 않으며 용량 소자는 도전막(504a)과 도전막(512b)이 중첩된 부분 외에서 형성되어도 좋다. 예를 들어 도전막(504a)과 따로 형성한 도전막이 중첩된 부분이 용량 소자로서 기능하여도 좋다.
- [0213] 도전막(512a) 및 도전막(512b)은 도전막(504a)과 같은 재료, 구성, 및 방법으로 형성할 수 있다.
- [0214] 상술한 공정을 거쳐 접속부(550) 및 접속부(560)를 형성할 수 있다.
- [0215] 상술한 바와 같이 제조 방법 5에서는 하프톤 포토마스크를 사용함으로써 개구(507a) 및 개구(507c)와, 도전막(504a)을 하나의 마스크로 형성할 수 있다.
- [0216] 이러한 공정으로 함으로써 마스크 및 포토리소그래피 공정 수를 삭감할 수 있다. 그러므로, 반도체 장치의 제조 시간을 단축하고 제조 비용을 억제할 수 있다.
- [0217] (실시형태 3)
- [0218] 실시형태 2에서 설명한 본 발명의 일 형태인 반도체 장치의 제조 방법의 다른 형태에 대하여 도 1 및 도 15를 사용하여 설명한다. 도 1은 상술한 바와 같이 반도체 장치의 상면도이다. 도 1의 (A) 중 일점 쇄선 X1-X2부분의 단면 구조를 도 15의 단면 X1-X2에서 도시하였다. 단면 X1-X2는 트랜지스터와, 트랜지스터 위에 제공된 도전막이 전기적으로 접속되는 영역의 일부의 단면 구조이다. 도 1의 (B) 중 일점 쇄선 Y1-Y2부분의 단면 구조를 도 15의 단면 Y1-Y2에서 도시하였다. 단면 Y1-Y2는 반도체막 아래에 제공된 도전막과 반도체막 위에 제공된 도전막이 전기적으로 접속되는 영역의 일부의 단면 구조이다. 도 1의 (C) 중 일점 쇄선 Z1-Z2부분의 단면 구조를 도 15의 단면 Z1-Z2에서 도시하였다. 단면 Z1-Z2는 트랜지스터의 소스 전극 및 드레인 전극으로서 기능할 수 있는 도전막과 동시에 형성된 도전막과, 트랜지스터 위에 형성된 2개의 도전막이 전기적으로 접속된 영역의 일부의 단면 구조이다.
- [0219] 본 실시형태에서 제시하는 반도체 장치의 제조 방법은 트랜지스터 위에 복수의 도전막을 형성하는 경우에 적용할 수 있다. 예를 들어, 동일 기판 위에 공통 전극과 화소 전극을 형성하는 IPS(In Plane Switching)(또는

FFS(Fringe Field Switching)) 모드의 액정 표시 장치 등에 적합하다.

- [0220] <<제조 방법 6>>
- [0221] 도 15를 사용하여 도 15의 (C)에 도시된 접속부(650) 및 접속부(660)를 형성하는 방법을 설명한다. 본 실시형태에서 제시하는 본 발명의 일 형태인 반도체 장치의 제조 방법은 도전막(504a)을 형성할 때까지의 공정은 실시형태 2에서 제시한 제조 방법 5와 마찬가지로, 상기 기재를 참조하기 바란다. 도 15의 (A)는 도전막(504a)까지를 형성한 상태의 단면 구조이다. 도전막(504a), 개구(507a), 및 개구(507c)는 하나의 다계조 마스크(하프톤 포토마스크 또는 그레이톤 포토마스크)를 사용하여 형성되어 있으므로, 마스크 및 포토리소그래피 공정 수를 삭감할 수 있다. 그러므로, 반도체 장치의 제조 시간을 단축하고 제조 비용을 억제할 수 있다.
- [0222] <절연막 형성>
- [0223] 다음에, 도전막(504a), 절연막(502), 절연막(500), 도전막(114d), 및 도전막(114c) 위에 절연막을 형성하고 이 절연막 위에 포토리소그래피 공정으로 레지스트 마스크를 형성한다. 다음에, 상기 레지스트 마스크를 사용하여 절연막의 일부를 에칭하여 절연막(610)을 형성한다(도 15의 (B) 참조). 도 15의 (B)에 도시된 바와 같이 절연막(610)에서는 개구(507a)의 내부에 개구(611a)가 형성되어 있고, 도전막(504a)과 중첩되는 부분에 개구(511b)가 형성된다. 또한, 개구(507c)의 내부에 개구(611c)가 형성되어 있다.
- [0224] 실시형태 2에서 제시한 제조 방법 5와 달리, 절연막(610)이 개구(507a) 및 개구(507c)의 내부에도 형성되어 있다. 그러므로, 개구(507a) 및 개구(507c)에 있어서의 절연막(502)의 측면은 절연막(610)으로 덮인다. 이와 같은 구조로 함으로써 절연막(502) 내부의 불순물이나, 개구(507a) 및 개구(507c)에서의 절연막(502)의 측면에 상술한 다계조 마스크의 애싱 공정 등으로 부착된 불순물 등이 절연막(502) 외부의 방향으로 확산되는 것을 억제할 수 있다. 예를 들어, 후술하는 실시형태 4에서 제시하는 액정 표시 장치에서 상기 불순물이 액정에 혼입되면 액정의 열화가 일어난다. 절연막(502)이 상기 불순물의 확산을 억제할 수 있으므로 액정 표시 장치의 열화를 억제할 수 있다.
- [0225] <도전막 형성>
- [0226] 다음에, 절연막(610), 도전막(504a), 절연막(502), 절연막(500), 도전막(114d), 및 도전막(114c) 위에 도전막을 형성하고 이 도전막 위에 포토리소그래피 공정으로 레지스트 마스크를 형성한다. 다음에, 레지스트 마스크를 사용하여 도전막의 일부를 에칭함으로써 도전막(612a) 및 도전막(612b)을 형성한다(도 15의 (C) 참조).
- [0227] 도전막(612a)은 도전막(114d) 및 도전막(504a)과 전기적으로 접속된다. 또한, 도전막(612b)은 도전막(114c)과 전기적으로 접속된다. 도전막(612b)은 액정 표시 장치에서의 화소 전극으로서 기능할 수 있다. 또한, 도시하지 않았지만 도전막(504a)과 도전막(612b)이 서로 중첩된 부분은 용량 소자로서 기능할 수 있다. 다만, 이에 한정되지 않으며 용량 소자는 도전막(504a)과 도전막(612b)이 중첩된 부분 이외에서 형성되어도 좋다. 예를 들어 도전막(504a)과 따로 형성한 도전막이 중첩된 부분이 용량 소자로서 기능하여도 좋다.
- [0228] 도전막(612a) 및 도전막(612b)은 도전막(504a)과 같은 재료, 구성, 및 방법으로 형성할 수 있다.
- [0229] 상술한 공정을 거쳐 접속부(650) 및 접속부(660)를 형성할 수 있다.
- [0230] 또한, 도 15에 도시된 단면도를 보면 알 수 있듯이, 접속부(650) 및 접속부(660)에서 절연막(500), 절연막(502), 및 절연막(610)은 측면에 테이퍼 형상을 가져도 좋다. 절연막(500), 절연막(502), 및 절연막(610)은 측면이 테이퍼 형상을 갖는 경우, 접속부(650) 및 접속부(660)에서 도전막(612a) 및 도전막(612b)도 테이퍼 형상을 가지게 된다. 접속부(650) 및 접속부(660)에서 절연막(500), 절연막(502), 및 절연막(610)의 측면이 수직 형상인 경우, 도전막(612a) 및 도전막(612b)이 충분히 형성되지 않아 단절이 발생될 우려가 있다. 한편, 절연막(500), 절연막(502), 및 절연막(610)의 측면이 테이퍼 형상을 가지면 도전막(612a) 및 도전막(612b)의 단절을 방지할 수 있으며 반도체 장치의 신뢰성을 향상시킬 수 있다.
- [0231] 이런 제조 방법 6으로는 하프톤 포토마스크를 사용함으로써 개구(507a) 및 개구(507c)와, 도전막(504a)을 하나의 마스크로 형성할 수 있다. 또한 절연막(502)의 측면으로부터 불순물이 확산되는 것을 억제할 수 있다.
- [0232] 상술한 공정으로 함으로써 마스크 및 포토리소그래피 공정 수를 삭감할 수 있다. 그러므로, 반도체 장치의 제조 시간을 단축하고 제조 비용을 억제할 수 있다. 또한, 신뢰성을 저하시키지 않고 반도체 장치를 이용할 수 있다.
- [0233] (실시형태 4)

- [0234] 본 실시형태에서는 실시형태 1~실시형태 3에서 제시한 반도체 장치의 제조 방법을 적용할 수 있는, 표시 장치를 비롯한 반도체 장치에 대하여 설명한다.
- [0235] 실시형태 1에서 제시한 제조 방법은 액티브 매트릭스형 액정 표시 장치의 스위칭 소자의 제조 방법으로서 적합하게 이용할 수 있고, TN(Twisted Nematic) 모드, VA(Vertical Alignment) 모드, IPS 모드 등 각 모드의 액정 표시 장치에 적용할 수 있다.
- [0236] 또한, 실시형태 1에서 제시한 제조 방법은, 액티브 매트릭스형 유기 EL 소자를 사용한 발광 장치의 스위칭 소자의 제조 방법으로서도 적합하게 이용할 수 있다.
- [0237] 또한, 실시형태 2 및 실시형태 3에서 제시한 제조 방법은 특히 IPS 모드의 액정 표시 장치의 스위칭 소자의 제조 방법으로서 적합하게 이용할 수 있고, 이 경우 화소 전극을 슬릿 형상으로 형성한다. 또한, 실시형태 2 및 실시형태 3에서 제시한 화소 전극 및 공통 전극의 적층 순서를 바꿔 공통 전극을 슬릿 형상으로 형성하여도 좋다.
- [0238] 또한, 실시형태 1~실시형태 3에서 제시한 제조 방법은 표시 장치 및 발광 장치에 한정되지 않고, 기억 장치, 연산 장치, CPU, 마이크로 컴퓨터 등의 반도체 장치의 제조 방법으로서도 적용할 수 있다.
- [0239] 이하에서는, 반도체 장치의 예로서, 실시형태 1에서 제시한 반도체 장치를 적용한 IPS(FFS) 모드의 액정 표시 장치(1000)에 대하여 도 13을 사용하여 설명한다.
- [0240] 도 13의 (A)는 액정 표시 장치(1000)의 상면도이다. 도 13의 (A) 중 파선 M1-M2부분의 단면 구조를 도 13의 (B)의 단면 M1-M2에서 도시하였다. 단면 M1-M2는 실시형태 1에서 제시한 트랜지스터(150)가 형성된 영역을 포함한 단면 구조이고, 액정 표시 장치의 화소 영역으로서 기능할 수 있는 부분이다. 도 13의 (A) 중 파선 N1-N2부분의 단면 구조를 도 13의 (C)의 단면 N1-N2에서 도시하였다. 단면 N1-N2는 액정 표시 장치의 드라이버 등이 제공된 주변부 및 접속부로서 기능할 수 있는 부분이다.
- [0241] 도 13의 (A)에 도시된 바와 같이 액정 표시 장치(1000)는 기관(1111) 및 기관(1121) 사이에 화소부(1201), 드라이버(1200) 및 드라이버(1202)를 갖는다.
- [0242] 또한, 도 13의 (B) 및 (C)에 도시된 바와 같이, 액정 표시 장치(1000)는 기관(1111) 위에 트랜지스터(150)를 갖는다. 또한, 액정 표시 장치(1000)는 편광판(1161), 액정층(1115), 기관(1121), 터치 패널부(1100), 접촉층(1163), 편광판(1162), 및 기관(1131) 등을 갖는다. 터치 패널부(1100)는 전극(1122), 전극(1123) 등을 갖는다. 또한, 액정층의 위 및 하방에 배향막(1155) 및 배향막(1156)이 제공되고 액정층의 셀 갭을 유지하기 위하여 스페이서(1165)가 제공된다. 또한, 트랜지스터(150)와 중첩되지 않는 부분에 컬러 필터(1114)가 제공되고, 컬러 필터(1114)와 중첩되어 도전막(1113) 및 도전막(1235)이 제공된다.
- [0243] 단자부에서, 기관(1121)과 기관(1111)은 실링 부재(1421)로 접촉된다. 또한, 도전막(1431) 및 도전막(1432)을 통하여 전극(1122)과 FPC(1433)는 전기적으로 접속된다. 또한, 도전막(1423)을 통하여 도전막(1422)과 FPC(1424)는 전기적으로 접속된다.
- [0244] 또한, 도 13에서는 평탄화막으로서 기능할 수 있는 절연막(502)을 갖는 구조를 도시하였으나, 본 발명의 일 형태는 이에 한정되지 않고 절연막(502)을 제공하지 않는 구조의 표시 장치로 하여도 좋다.
- [0245] (실시형태 5)
- [0246] 본 실시형태에서는 본 발명의 일 형태를 적용한 액정 표시 장치를 사용한 전자 기기의 일례에 대하여 도 14를 사용하여 설명한다.
- [0247] 본 실시형태의 전자 기기는 표시부에 본 발명의 일 형태인 액정 표시 장치를 구비한다.
- [0248] 액정 표시 장치가 적용된 전자 기기로서 예를 들어, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 함), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 파친코기 등의 대형 게임기 등을 들 수 있다. 도 14에서는 이들 전자 기기의 구체예를 도시하였다.
- [0249] 도 14의 (A)는 텔레비전 장치의 일례이다. 텔레비전 장치(7100)는 하우징(7101)에 표시부(7102)가 제공되어 있다. 표시부(7102)에서는 영상을 표시할 수 있다. 본 발명의 일 형태를 적용한 액정 표시 장치는 표시부(7102)에 사용할 수 있다. 또한, 여기서는 스탠드(7103)에 의하여 하우징(7101)을 지탱한 구성을 도시하였다.

- [0250] 텔레비전 장치(7100)의 조작은, 하우징(7101)이 구비하는 조작 스위치나, 별체의 리모트 컨트롤러(7111)에 의하여 수행할 수 있다. 리모트 컨트롤러(7111)가 구비하는 조작 키를 사용하여 채널이나 음량을 조작할 수 있고, 표시부(7102)에 표시되는 영상을 조작할 수 있다. 또한, 리모트 컨트롤러(7111)에는, 이 리모트 컨트롤러(7111)로부터 출력되는 정보를 표시하는 표시부를 제공하는 구성으로 하여도 좋다.
- [0251] 또한, 텔레비전 장치(7100)는, 수신기나 모뎀 등을 구비한 구성으로 한다. 수신기에 의하여 일반적인 텔레비전 방송을 수신할 수 있고, 또한 모뎀을 통하여 유선 또는 무선에 의하여 통신 네트워크에 접속됨으로써 일 방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자간거리 등)의 정보 통신을 수행할 수도 있다.
- [0252] 도 14의 (B)는 컴퓨터의 일례이다. 컴퓨터(7200)는 본체(7201), 하우징(7202), 표시부(7203), 키보드(7204), 외부 접속 포트(7205), 포인팅 디바이스(7206) 등을 포함한다. 또한, 컴퓨터는 본 발명의 일 형태인 액정 표시 장치를 그 표시부(7203)에 사용하여 제작된다.
- [0253] 도 14의 (C)는 휴대형 게임기의 일례이다. 휴대형 게임기(7300)는 2개의 하우징(하우징(7301a)과 하우징(7301b))으로 구성되어 있고, 2개의 하우징은 연결부(7302)에 의하여 개폐 가능하게 연결되어 있다. 하우징(7301a)에는 표시부(7303a)가 제공되고, 하우징(7301b)에는 표시부(7303b)가 제공된다. 또한, 도 14의 (C)에 도시된 휴대형 게임기는, 스피커부(7304), 기록 매체 삽입부(7305), 조작 키(7306), 접속 단자(7307), 센서(7308)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 빛, 액, 자기, 온도, 화학 물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사(傾斜)도, 진동, 냄새 또는 적외선을 측정하는 기능을 포함하는 것), LED 램프, 마이크로폰 등을 구비한다. 휴대형 게임기의 구성이 상술한 것에 한정되지 아니함은 물론이고, 적어도 표시부(7303a) 및 표시부(7303b)의 양쪽 모두 또는 한쪽에 본 발명의 일 형태인 액정 표시 장치를 사용하면 좋고, 기타 부속 설비가 적절히 제공된 구성으로 할 수 있다. 도 14의 (C)에 도시된 휴대형 게임기는 기록 매체에 기록되어 있는 프로그램 또는 데이터를 관독하여 표시부에 표시시키는 기능이나, 다른 휴대형 게임기와 무선 통신을 수행하여 정보를 공유하는 기능을 갖는다. 또한, 도 14의 (C)에 도시된 휴대형 게임기는 상기 기능에 한정되지 않으며 다양한 기능을 가질 수 있다.
- [0254] 도 14의 (D)는 휴대 전화기의 일례이다. 휴대 전화기(7400)는, 하우징(7401)에 제공된 표시부(7402) 이외에, 조작 버튼(7403), 외부 접속 포트(7404), 스피커(7405), 마이크(7406) 등을 구비한다. 또한, 휴대 전화기(7400)는 본 발명의 일 형태인 액정 표시 장치를 표시부(7402)에 사용함으로써 제작된다.
- [0255] 도 14의 (D)에 도시된 휴대 전화기(7400)는 표시부(7402)를 손가락 등으로 터치함으로써 정보를 입력할 수 있다. 또한, 전화를 걸거나, 또는 메일을 작성하는 등의 조작은, 표시부(7402)를 손가락 등으로 터치함으로써 수행할 수 있다.
- [0256] 표시부(7402)의 화면은 주로 3가지 모드가 있다. 제 1 모드는 화상의 표시를 주로 하는 표시 모드이며, 제 2 모드는 문자 등의 정보의 입력을 주로 하는 입력 모드이다. 제 3 모드는 표시 모드와 입력 모드의 2개의 모드가 혼합된 표시+입력 모드이다.
- [0257] 예를 들어, 전화를 걸거나, 또는 메일을 작성하는 경우에는, 표시부(7402)를 문자의 입력을 주로 하는 문자 입력 모드로 하고, 화면에 표시시킨 문자의 입력 조작을 수행하면 좋다.
- [0258] 또한, 휴대 전화기(7400) 내부에 자이로 센서, 가속도 센서 등 기울기를 검출하는 센서를 갖는 검출 장치를 제공함으로써, 휴대 전화기(7400)의 방향(세로인지 가로인지)을 판단하여 표시부(7402)의 화면 표시를 자동적으로 스위칭하도록 할 수 있다.
- [0259] 또한, 화면 모드의 스위칭은, 표시부(7402)를 터치하는 것, 또는 하우징(7401)의 조작 버튼(7403)의 조작에 의하여 행해진다. 또한, 표시부(7402)에 표시되는 화상의 종류에 따라 스위칭하도록 할 수도 있다. 예를 들어, 표시부에 표시시키는 화상 신호가 동영상의 데이터라면 표시 모드, 텍스트 데이터라면 입력 모드로 스위칭한다.
- [0260] 또한, 입력 모드에 있어서, 표시부(7402)의 광 센서에서 검출되는 신호를 검지하면서 표시부(7402)의 터치 조작에 의한 입력이 일정 기간 없는 경우에는, 화면의 모드를 입력 모드로부터 표시 모드로 스위칭하도록 제어하여도 좋다.
- [0261] 표시부(7402)는, 이미지 센서로서 기능할 수도 있다. 예를 들어, 표시부(7402)를 손바닥이나 손가락으로 터치하여 장문(掌紋), 지문 등을 촬상(撮像)함으로써 본인 인증을 수행할 수 있다. 또한, 근적외광을 사출하는 백라이트 또는 근적외광을 사출하는 센싱용 광원을 표시부에 사용하면, 손가락 정맥, 손바닥 정맥 등을 촬상할 수

도 있다.

[0262] 도 14의 (E)는 반으로 접을 수 있는 태블릿형 단말(열린 상태)의 일례이다. 태블릿형 단말(7500)은 하우징(7501a), 하우징(7501b), 표시부(7502a), 표시부(7502b)를 갖는다. 하우징(7501a) 및 하우징(7501b)은 축부(7503)에 의하여 접속되어 있고, 상기 축부(7503)를 축으로 하여 개폐 동작을 수행할 수 있다. 또한, 하우징(7501a)은 전원(7504), 조작 키(7505), 스피커(7506) 등을 구비한다. 또한, 태블릿형 단말(7500)은 본 발명의 일 형태인 표시 장치를 표시부(7502a)와 표시부(7502b)의 양쪽 모두 또는 한쪽에 사용하여 제작된다.

[0263] 표시부(7502a)나 표시부(7502b)는 적어도 일부를 터치 패널의 영역으로 할 수 있으며, 표시된 조작 키를 터치함으로써 데이터를 입력할 수 있다. 예를 들어, 표시부(7502a)의 전체 면에 키보드 버튼을 표시시켜서 터치 패널로 하고, 표시부(7502b)를 표시 화면으로서 사용할 수 있다.

[0264] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

부호의 설명

- [0265]
- 100: 기관
 - 102a: 도전막
 - 102b: 도전막
 - 104: 절연막
 - 106: 반도체막
 - 106a: 반도체막
 - 106b: 반도체막
 - 108: 절연막
 - 110: 레지스트 마스크
 - 111a: 개구
 - 111b: 개구
 - 111c: 개구
 - 111d: 개구
 - 114a: 도전막
 - 114b: 도전막
 - 114c: 도전막
 - 114d: 도전막
 - 150: 트랜지스터
 - 160: 접속부
 - 210: 레지스트 마스크
 - 210a: 영역
 - 210b: 영역
 - 211a: 개구
 - 211b: 개구
 - 211c: 개구
 - 211d: 개구

212: 레지스트 마스크
307: 레지스트 마스크
307a: 영역
307b: 영역
308b: 개구
309: 레지스트 마스크
311a: 개구
311b: 개구
311c: 개구
311d: 개구
312b: 개구
411a: 개구
411b: 개구
411c: 개구
411d: 개구
412: 레지스트 마스크
500: 절연막
502: 절연막
504: 도전막
504a: 도전막
506: 레지스트 마스크
506a: 영역
506b: 영역
507a: 개구
507c: 개구
508: 레지스트 마스크
510: 절연막
511a: 개구
511b: 개구
511c: 개구
512a: 도전막
512b: 도전막
550: 접속부
560: 접속부
610: 절연막
612a: 도전막

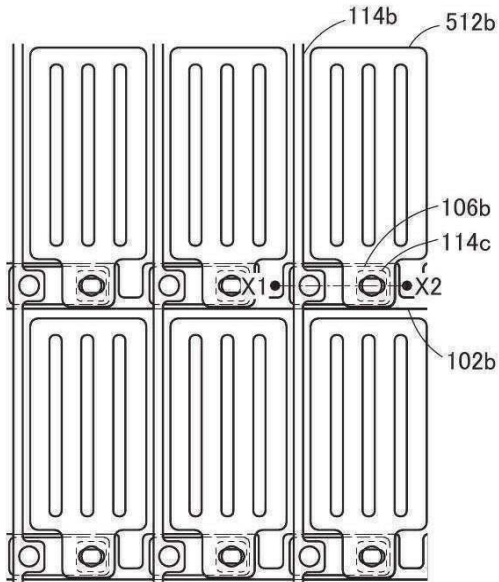
612b: 도전막
650: 접속부
660: 접속부
1000: 액정 표시 장치
1100: 터치 패널부
1111: 기관
1113: 도전막
1114: 컬러 필터
1115: 액정층
1121: 기관
1122: 전극
1123: 전극
1131: 기관
1155: 배향막
1156: 배향막
1161: 편광판
1162: 편광판
1163: 접착층
1165: 스페이서
1200: 드라이버
1201: 화소부
1202: 드라이버
1235: 도전막
1421: 실링 부재
1422: 도전막
1423: 도전막
1424: FPC
1431: 도전막
1432: 도전막
1433: FPC
7100: 텔레비전 장치
7101: 하우징
7102: 표시부
7103: 스탠드
7111: 리모트 컨트롤러
7200: 컴퓨터

7201: 본체
7202: 하우징
7203: 표시부
7204: 키보드
7205: 외부 접속 포트
7206: 포인팅 디바이스
7300: 휴대형 게임기
7301a: 하우징
7301b: 하우징
7302: 연결부
7303a: 표시부
7303b: 표시부
7304: 스피커부
7305: 기록 매체 삽입부
7306: 조작 키
7307: 접속 단자
7308: 센서
7400: 휴대 전화기
7401: 하우징
7402: 표시부
7403: 조작 버튼
7404: 외부 접속 포트
7405: 스피커
7406: 마이크
7500: 태블릿형 단말
7501a: 하우징
7501b: 하우징
7502a: 표시부
7502b: 표시부
7503: 축부
7504: 전원
7505: 조작 키
7506: 스피커

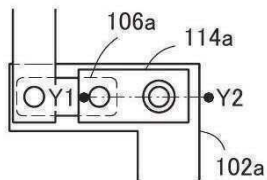
도면

도면1

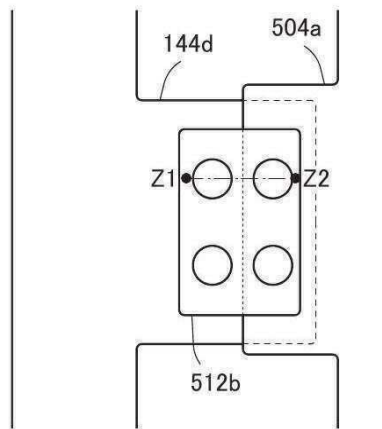
(A)



(B)

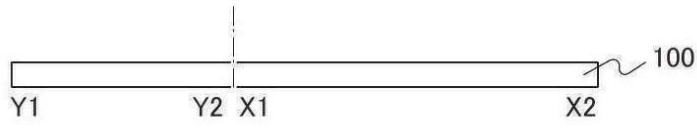


(C)

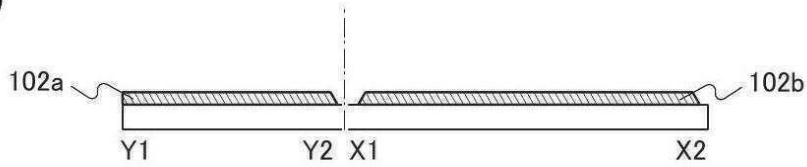


도면2

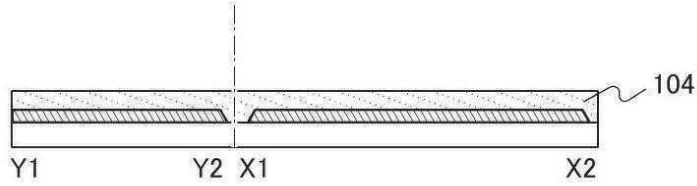
(A)



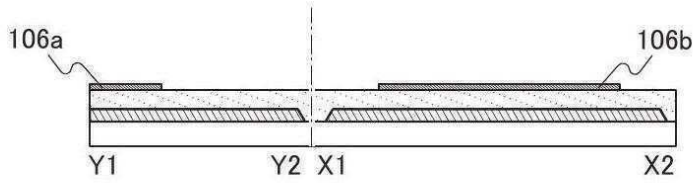
(B)



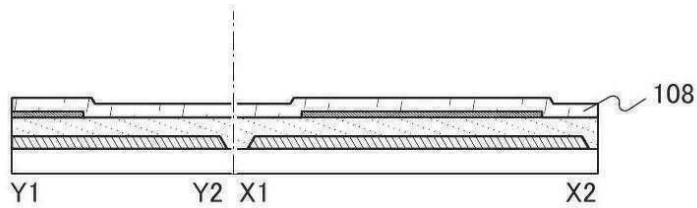
(C)



(D)

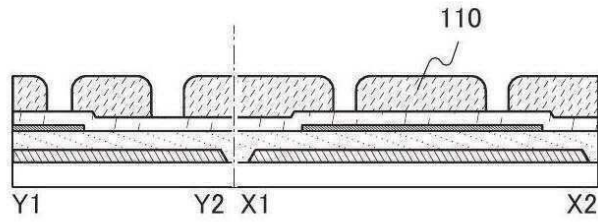


(E)

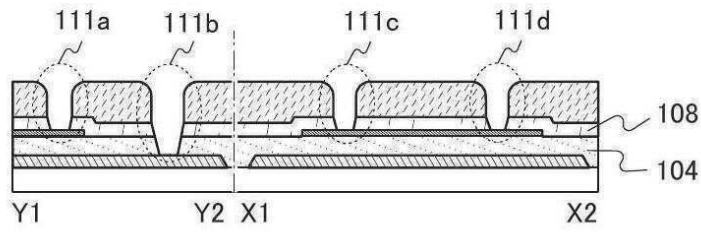


도면3

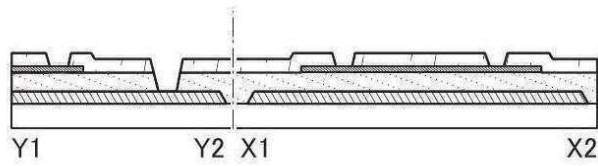
(A)



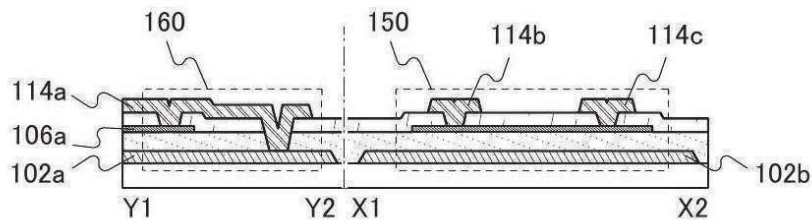
(B)



(C)

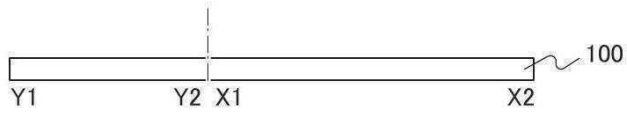


(D)

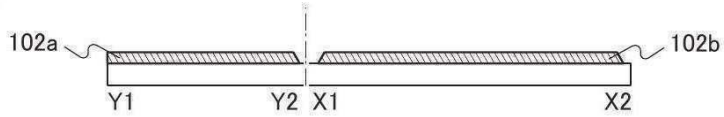


도면4

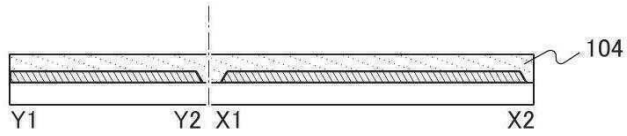
(A)



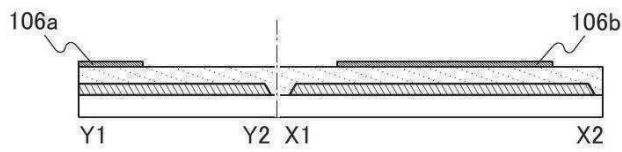
(B)



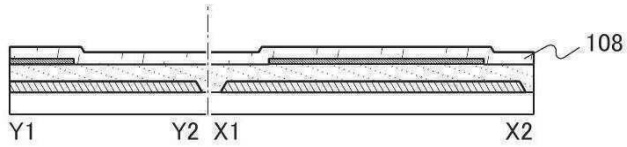
(C)



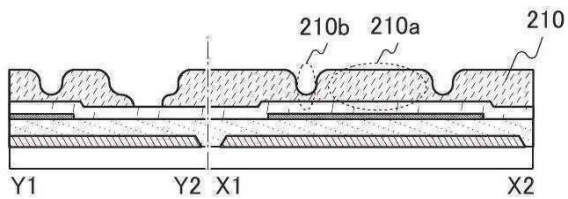
(D)



(E)

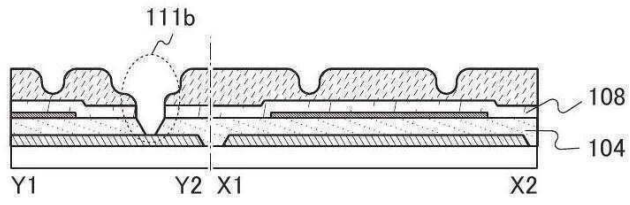


(F)

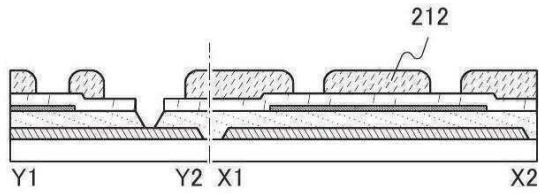


도면5

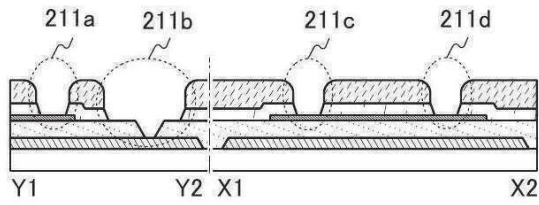
(A)



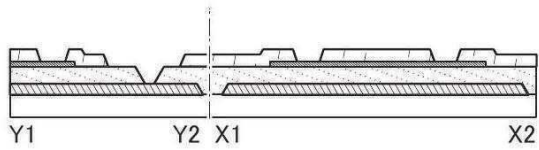
(B)



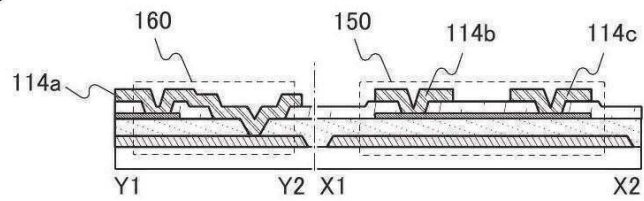
(C)



(D)

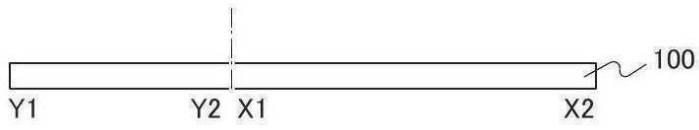


(E)

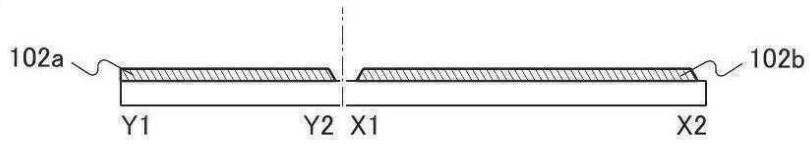


도면6

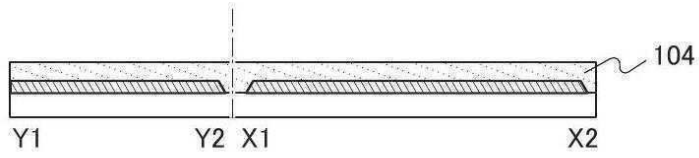
(A)



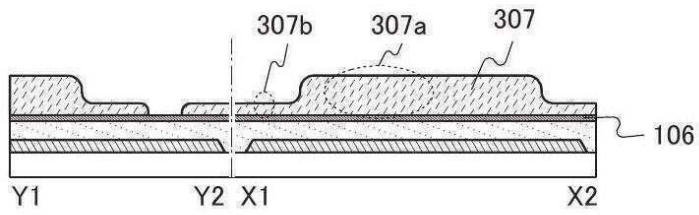
(B)



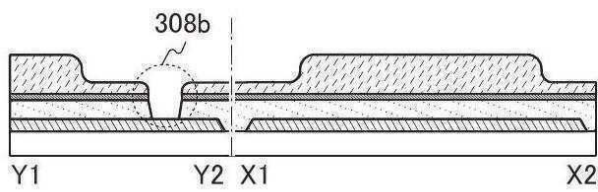
(C)



(D)

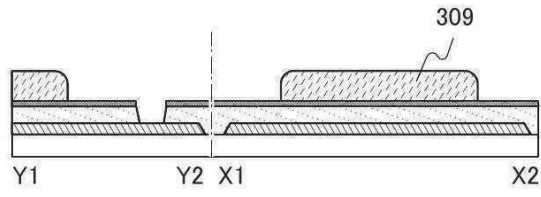


(E)

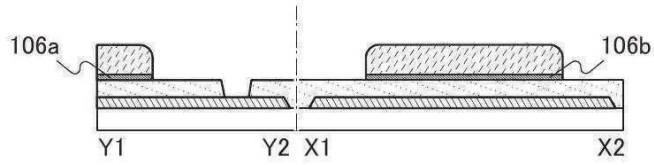


도면7

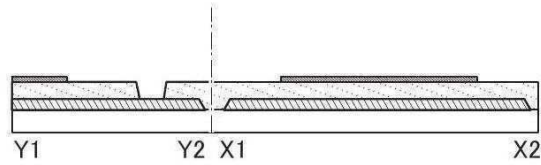
(A)



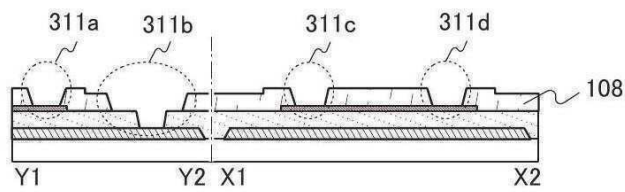
(B)



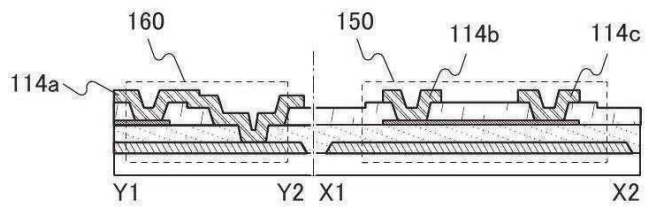
(C)



(D)

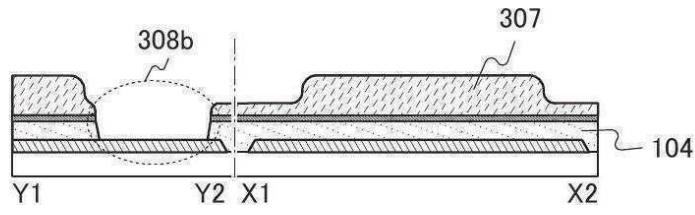


(E)

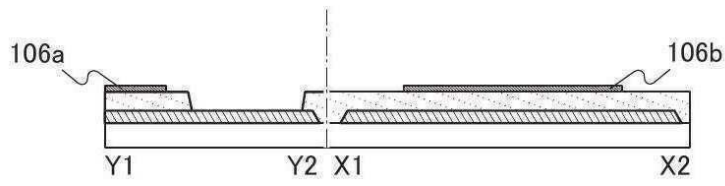


도면8

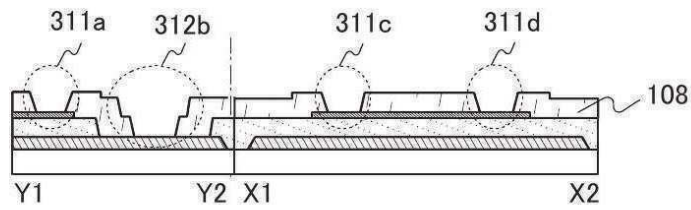
(A)



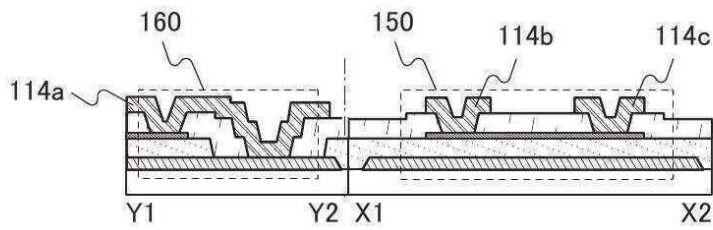
(B)



(C)

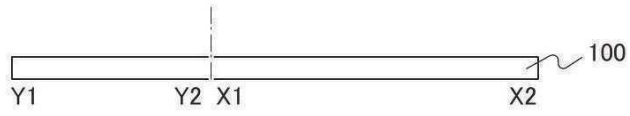


(D)

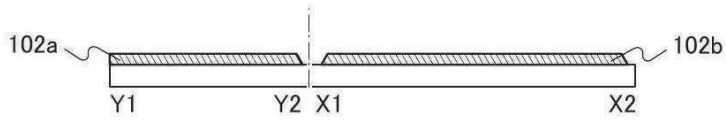


도면9

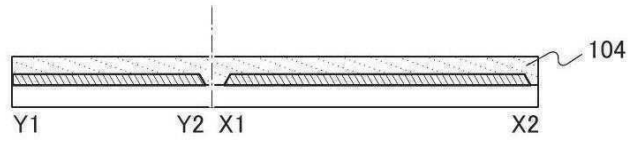
(A)



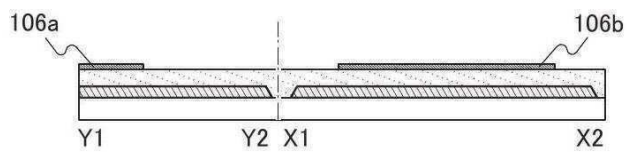
(B)



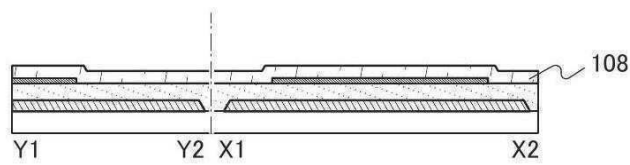
(C)



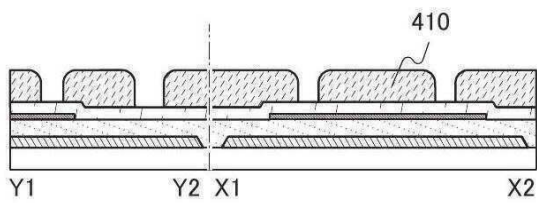
(D)



(E)

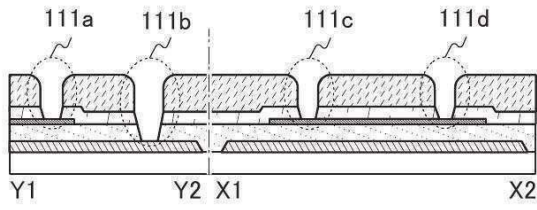


(F)

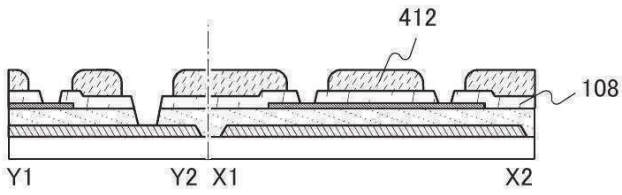


도면10

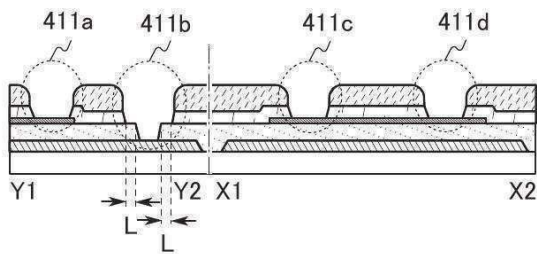
(A)



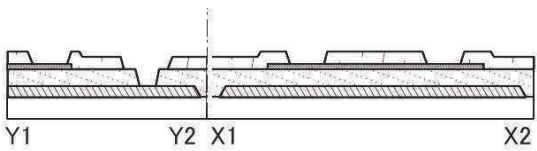
(B)



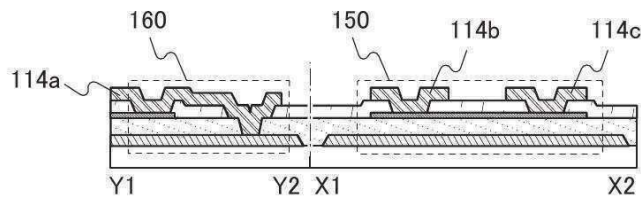
(C)



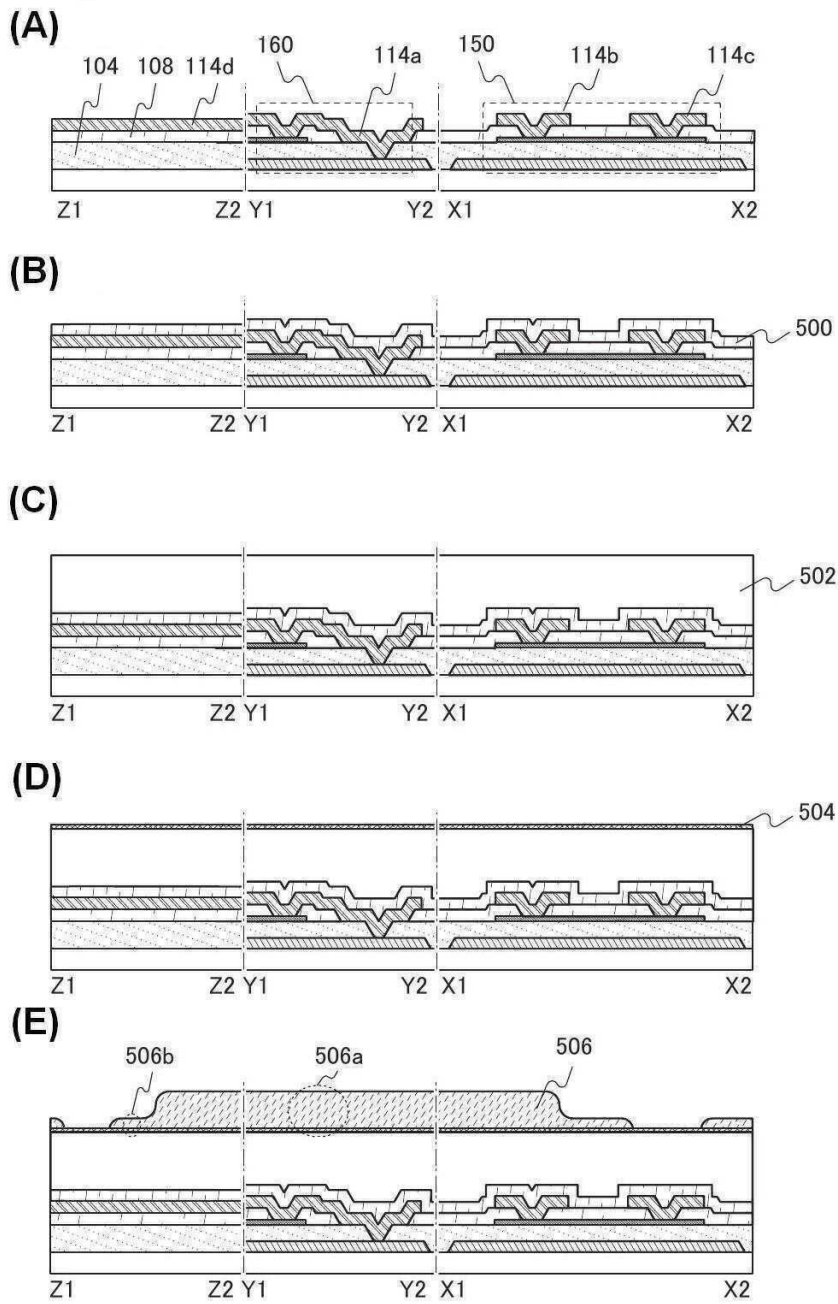
(D)



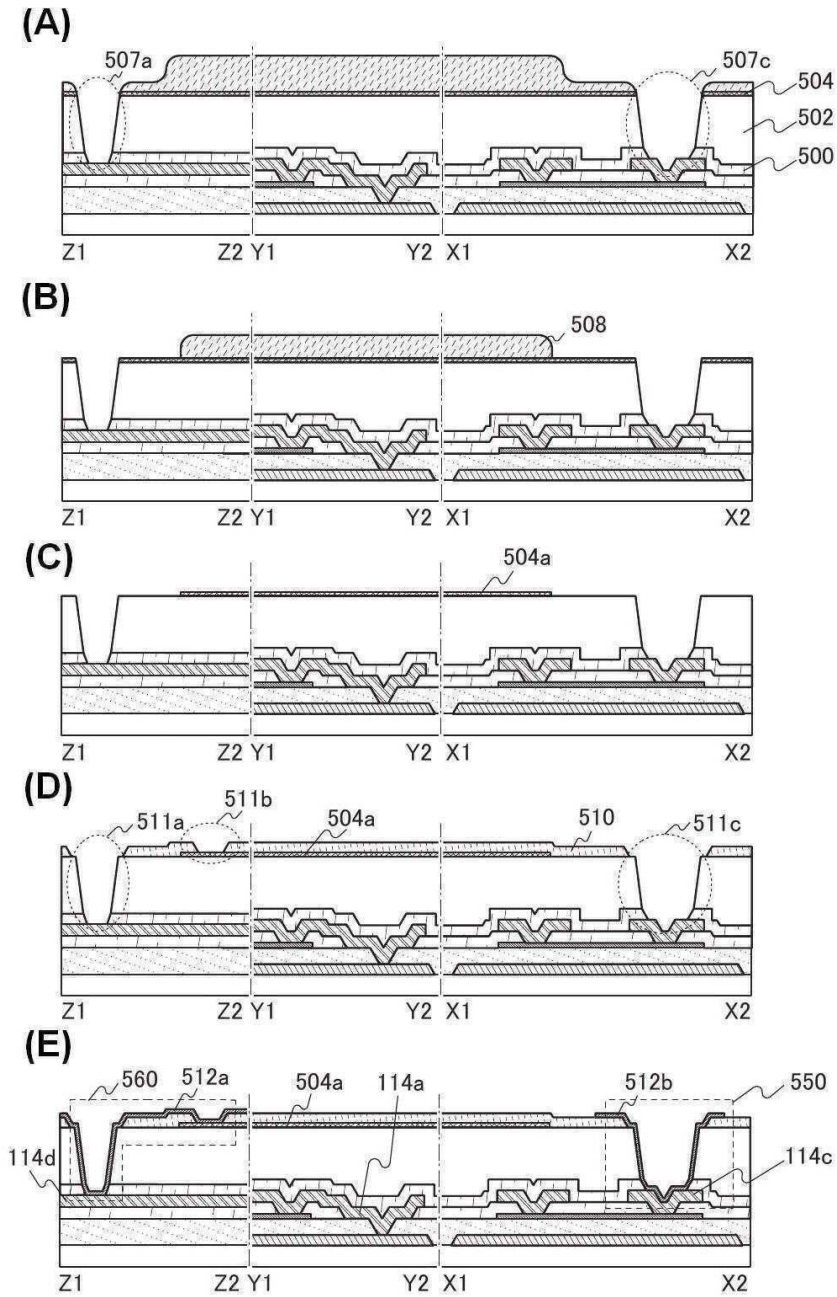
(E)



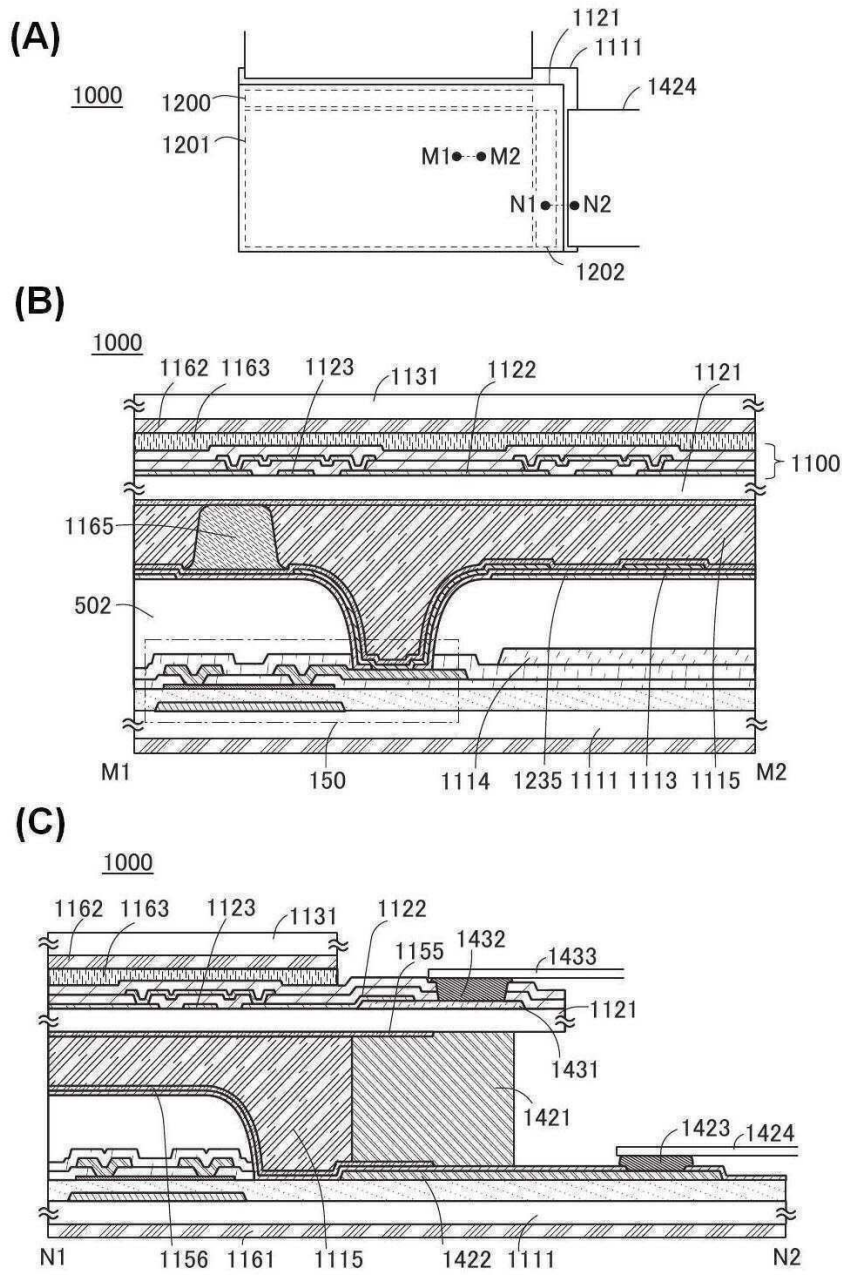
도면11



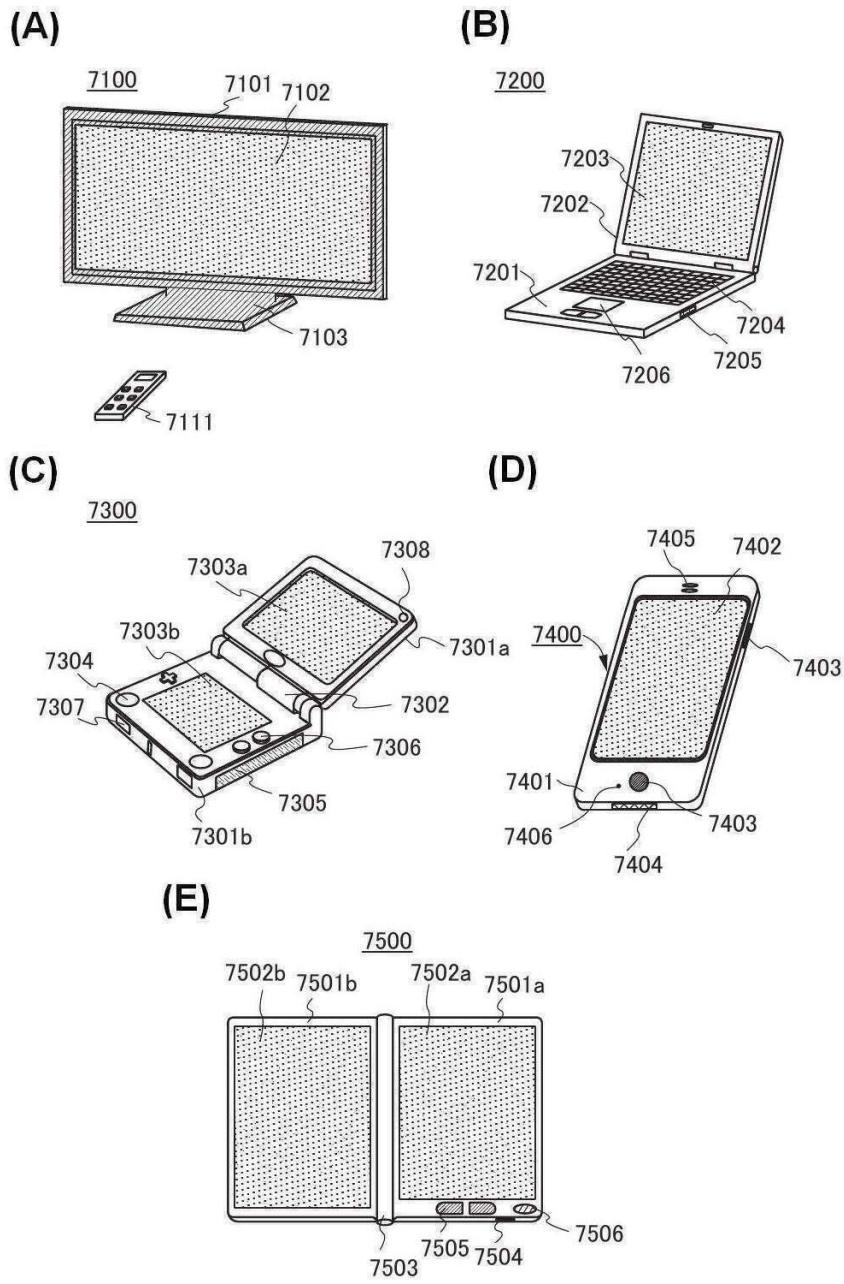
도면12



도면13

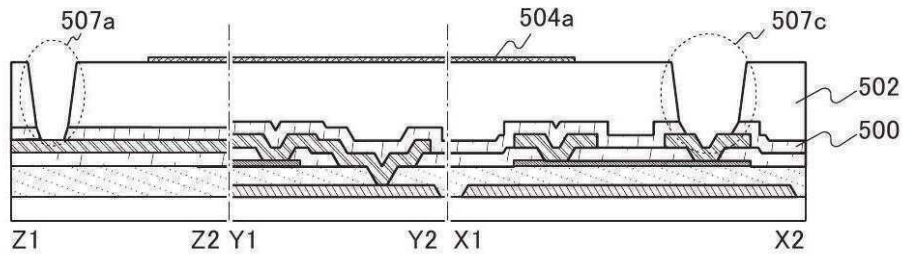


도면14

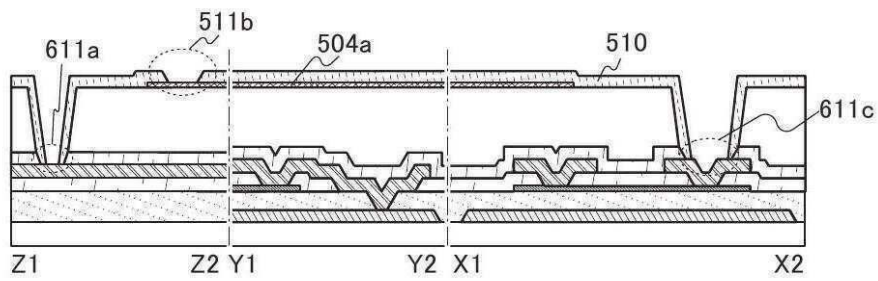


도면15

(A)



(B)



(C)

