

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93125082

※申請日期：93.8.20

※IPC 分類：

H01L⁹/₄₇

一、發明名稱：(中文/英文)

半導體裝置

SEMICONDUCTOR DEVICE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

三洋電機股份有限公司

SANYO ELECTRIC CO., LTD.

代表人：(中文/英文) 桑野幸德 / KUWANO, YUKINORI

住居所或營業所地址：(中文/英文)

日本國大阪府守口市京阪本通 2 丁目 5 番 5 號

2-5-5, Keihanhondori, Moriguchi-city, Osaka, Japan

國籍：(中文/英文) 日本國 / JAPAN

三、發明人：(共 2 人)

姓名：(中文/英文)

1. 岡田哲也 / OKADA, TETSUYA

2. 齋藤洋明(齋藤洋明) / SAITO, HIROAKI

國籍：(中文/英文) 1.2. 日本國 / JAPAN

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

日本國 2003 年 12 月 25 日 特願 2003-429802（主張優先權）

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於半導體裝置，尤其是關於提昇肖特基能障二極體 (Schottky barrier diode) 的低 VF 低 IR 特性之半導體裝置。

【先前技術】

第 7 圖係顯示習知肖特基能障二極體 D2、D3 的剖面圖。

第 7 圖(A)的肖特基能障二極體 D2，係在 n+ 型半導體基板 31 上積層 n- 型半導體層 32，並在周邊設置確保肖特基能障二極體 D2 之施加逆向電壓時的耐壓之保護環 (guard ring) 34，且設置與半導體層 32 表面形成肖特基接合的 Mo(鉬)等之肖特基金屬層 36。

在肖特基金屬層 36 上設置陽極電極 37，而在基板 31 背面設置陰極電極 38。於施加順向電壓時流通電流，而於施加逆向電壓時因肖特基能障而不能流通電流。

形成肖特基能障二極體 D2 的啟始電壓之順向電壓 VF 與施加逆向電壓時的漏電流 IR，係由肖特基金屬層 36 與半導體層 32 表面的肖特基接合所獲得的功函數差 (work function difference) (以下稱之為 ϕ_{Bn}) 來決定。一般而言，存在 ϕ_{Bn} 愈高則 VF 變高，IR 降低的相討 (Trade Off) 關係。

因此，亦有如第 7 圖(B) 所示構造的肖特基能障二極體 D3 為人所知。

肖特基能障二極體 D3，係在 n+ 型半導體基板上 21

積層 n-型半導體層 22。n-型半導體層 22 的電阻率，若為例如 40V 系的裝置，則在 $1\Omega\cdot\text{cm}$ 左右。

在該半導體層 22 進行擴散 p+型雜質等，而設置複數個 p+型區域 23。相互鄰接的 p+型區域 23 之間隔係空乏層會夾止 (pinch off) 的距離。

再者，為了確保肖特基能障二極體 D3 的施加逆向電壓時之耐壓，設置了包圍所有的 p+型區域 23 外圍之擴散有 p+型雜質等的保護環 24。配置在保護環 24 內側的所有 p+型區域 23 及半導體層 22 表面係與肖特基金屬層 26 接觸。

肖特基金屬層 26 為例如 Mo 等，與半導體層 22 表面形成肖特基接合。在該肖特基金屬層 26 之上設置例如 Al 層等以作為陽極電極 27，在 n+型半導體基板 21 背面設置陰極電極 28。

在此情況，由於肖特基金屬層 26 可視為擬似性 p 型區域，所以肖特基金屬層 26 及 p+型區域 23 可視作連續的 p 型區域。

肖特基能障二極體 D3 於施加順向電壓時流通電流，而於施加逆向電壓時，藉由 p+型區域 23 及肖特基金屬層 26 和 n-型半導體層 22 的 pn 接合而擴大空乏層。且此時，對應肖特基金屬層 26 的種類之漏電流產生在半導體層 22 與肖特基金屬層 26 的界面。

然而，由於以空乏層擴大並夾止之間隔距離分別配置 p+型區域 23，所以因空乏層而在界面產生的漏電流受到

抑制，而得以防止向陰極電極 28 側個洩漏。

亦即，於保持可獲得預定的順向電壓 V_F 之特性之同時，可抑制逆向電壓 (V_R) 增加引起的漏電流 (I_R) 增加 (參照例如日本特願 2002-285651 說明書)。

【發明內容】

[發明所欲解決之課題]

可是若以相同晶片尺寸 (肖特基接合面積) 比較時，肖特基能障二極體 D3 相較於肖特基能障二極體 D2 (第 7 圖 (A))，其實際的肖特基接合區域 (n -型半導體層的面積) 較少。

一般而言， n -型半導體層的電阻率及肖特基金屬層相同的情況，當肖特基接合面積小時，順向電壓 V_F 變高。

再者，於肖特基能障二極體 D3 中，相鄰的 $p+$ 區域 23 間的 n -型半導體層變成電流通道，所以在 n -型半導體層上方的區域電阻會變得比肖特基能障二極體 D2 高 (第 8 圖 (A))。

亦即，在晶片尺寸、 n -型半導體層的電阻率 ρ_1 及肖特基金屬層相同的情況，藉由形成肖特基能障二極體 D3 的構造，順向電壓 V_F 將變高。

因此，藉由降低 n -型半導體層 22 的電阻率 ρ_1 可減少窄電流通道的電阻值，而能達成低 V_F 化。不過在此方法中，決定耐壓的 $p+$ 型區域 23 下方之 n -型半導體層 22 的電阻率也會下降。因而使得空乏層的延伸變得不足，而有無法確保預定耐壓的問題 (第 8 圖 (B))。

[解決課題之手段]

本發明係有鑑於上述課題而研發，且係藉由以下手段來解決上述課題者，第 1 為具備：一導電型半導體基板；設在該基板上的第 1 一導電型半導體層；設在前述第 1 一導電型半導體層上，具有較該第 1 一導電型半導體層低的電阻率之第 2 一導電型半導體層；設在前述第 1 及第 2 一導電型半導體層的複數個逆導電型半導體區域；設在前述逆導電型半導體區域及前述第 2 一導電型半導體層的表面，且至少與該第 2 一導電型半導體層表面形成肖特基接合的金屬層，其中相鄰的前述逆導電型半導體區域，係以施加逆向電壓時從該逆導電型半導體區域延伸的空乏層會夾止 (pinch off) 之距離相間隔而配置者。

再者，前述逆導電型半導體區域係設置有貫穿前述第 2 一導電型半導體層而到達前述第 1 一導電型半導體層者。

再者，前述第 2 一導電型半導體層的厚度係與前述逆導電型半導體區域的深度相同或略淺者。

再者，前述第 1 一導電型半導體層係具有可確保預定耐壓的電阻率者。

再者，前述逆導電型半導體區域係於設在前述第 1 及第 2 一導電型半導體層的溝渠埋設逆導電型之半導體材料而成者。

再者，前述逆導電型半導體區域係於前述第 1 及第 2 一導電型半導體層擴散逆導電型雜質而成的區域者。

[發明之效果]

依據本發明，由於施加順向電壓時形成電流通道的 p+ 型半導體區域 3 間的第 2 n- 型半導體層之電阻率低，故可將施加順向電壓時的 VF-IF 特性斜度設成較陡而得以降低順向電壓 VF。再者，決定耐壓的 p+ 型半導體區域 3 下方的第 1 n- 型半導體層之電阻率可設定成能確保預定耐壓的值。亦即，能一面確保預定的耐壓，一面降低 VF。

再者，在要更加高耐壓化的情況，只要加大第 1 n- 型半導體層 11 的電阻率 ρ_1 即可。第 2 n- 型半導體層 12 因可保持能獲得預定 VF 特性的電阻率 ρ_2 ，故有利於高耐壓化。

【實施方式】

利用第 1 圖至第 6 圖詳細說明本發明之實施形態。

第 1 圖係顯示本發明之肖特基能障二極體，第 1 圖(A) 為平面圖，第 1 圖(B) 為第 1 圖(A) 的 A-A 線剖面圖。又，在第 1 圖(A) 中省略了基板表面的肖特基金屬層及陽極電極。

本發明之肖特基能障二極體 D1 係由：一導電型半導體基板 10、第 1 一導電型半導體層 11、第 2 一導電型半導體層 12、逆導電型半導體區域 3、高濃度雜質區域 4，以及肖特基金屬層 9 構成。

基板係在 n+ 型矽半導體基板 10 上藉由磊晶成長等積層第 1 n- 型半導體層 11，並在其上層積層第 2 n- 型半導體層 12 者。又第 2 n- 型半導體層 12 亦可為在第 1 n- 型半導體層 11 的上層部分，藉由離子植入提昇雜質濃度而形

成之第 2 n-型半導體層 12。

第 1 n-型半導體層 11 係為了確保預定的耐壓，而具有在例如耐壓為 40V 的肖特基能障二極體之情況為 $1 \Omega \cdot \text{cm}$ 左右的電阻率 $\rho 1$ 。

第 2 n-型半導體層 12，係具有較第 1 n-型半導體層 11 為低的例如 $0.5 \Omega \cdot \text{cm}$ 左右的電阻率 $\rho 2$ 。

在第 1 n-型半導體層 11 及第 2 n-型半導體層 12，係設置有複數個 p+型半導體區域 3。p+型半導體區域 3 具有例如開口寬度(對角線寬) $1 \mu\text{m}$ 的正六角形形狀，且分別間隔 $1 \mu\text{m}$ 至 $10 \mu\text{m}$ 左右的距離，而在 n-型半導體層 11、12 設置多數個。該距離為施加逆向電壓於肖特基能障二極體 D1 時空乏層會夾止之距離。隨後雖會詳加說明，但相鄰接的 p+型半導體區域 3 因需要等間隔配置，故其形狀以正六角形為佳。

p+型半導體區域 3 係設成貫穿第 2 n-型半導體層 12，並到達第 1 n-型半導體層 11。隨後雖有敘述，但為確保預定的耐壓與達到低 VF 化，第 2 n-型半導體層 12 的厚度，係設成與 p+型半導體區域 3 的深度相同或略淺的程度。p+型半導體區域 3 的深度係設成例如 $1 \mu\text{m}$ 左右。

再者，p+型半導體區域 3 係例如在溝渠內埋設含 p+型雜質的多晶矽而成的區域。

保護環 4 係為了確保施加逆向電壓於肖特基能障二極體時的耐壓，而包圍所有的 p+型半導體區域 3 外圍而設的 p+型高濃度雜質區域。該保護環 4 的一部分必須與肖

特基金屬層 9 接觸，故考慮遮罩的對準偏差而設為 $20\ \mu\text{m}$ 左右的寬度。保護環 4 內側的 n-型半導體層 12 表面，係與肖特基金屬層 9 形成肖特基接合。

保護環 4 係依照耐壓而設成與 p+型半導體區域 3 相同或更深。在本實施形態為確保高耐壓，將保護環 4 設成較 p+型半導體區域 3 為深，並離子植入及擴散 p+型雜質。又，保護環 4 亦可為與 p+型半導體區域 3 一樣在溝渠埋設 p+型多晶矽而成的區域。

肖特基金屬層 9 為例如 Mo 等，與 n-型半導體層 12 及所有的 p+型半導體區域 3 接觸，並與 n-型半導體層 12 形成肖特基接合。在該肖特基金屬層 9 上設置例如 Al 層等以作為陽極電極 13，而在 n+型半導體基板 1 背面設置陰極電極 14。

第 2 圖係顯示 p+型半導體區域 3 部分的放大剖面圖，第 2 圖(A) 係施加順向電壓時的樣子，第 2 圖(B) 係施加逆向電壓時的樣子。

如第 2 圖(A) 所示，施加順向電壓時雖流通電流(如箭號所示)，但此時形成狹窄電流通道的 p+型半導體區域 3 間之第 2 n-型半導體層 12 係具有較低電阻率 ρ_2 。因此，可降低狹窄電流通道的電阻，故可降低順向電壓 V_F 。又，p+型半導體區域 3 的下方雖為較高電阻率 ρ_1 的第 1 n-型半導體層 11，但電流通道足夠寬，故沒有影響。

另一方面，如第 2 圖(B) 所示，在肖特基能障二極體 D1 施加逆向電壓時，藉由 p+型半導體區域 3 及肖特基金屬

屬層 9 和第 2 n-型半導體層 12 的 pn 接合，於 p+型半導體區域 3 間的 n-型半導體層 11、12 會有空乏層 50 如虛線所示擴展。

如前所述，p+型半導體區域 3 係分別以預定的間隔均等地分隔配置。該預定距離，係指施加逆向電壓時從 p+型半導體區域 3 擴大到第 2 n-型半導體層 12 的空乏層 50 夾止 (pinch off) 之距離。亦即，p+型半導體區域 3 間的第 2 n-型半導體層 12 係完全由空乏層 50 填埋。

再者，決定耐壓的 p+型半導體區域 3 下方之第 1 n-型半導體層 11 具有可確保預定耐壓的電阻率 (例如 $1 \Omega \cdot \text{cm}$)，可使空乏層 50 充份地擴大。

亦即，藉由將施加順向電壓時形成狹窄電流通道的第 2 n-型半導體層 12 的電阻率 ρ_2 設成較第 1 n-型半導體層 11 為低，即可達到低 VF 化。再者，因 p+型半導體區域 3 下方的第 1 n-型半導體層 11 具有較高電阻率 ρ_1 ，故於施加逆向電壓時可充份確保預定的耐壓。

此外，p+型半導體區域 3 的深度係與第 2 n-型半導體層 12 相等或略深。當電阻率低之區域 (第 2 n-型半導體層 12) 過淺時，低電阻的電流通道變短，故無法充份降低 VF。又當電阻率低之區域過深時，施加逆向電壓時 p+型半導體區域 3 下方的空乏層的延伸會變得不足，而導致耐壓劣化。

在此，p+型半導體區域 3 的形狀，因需要以均等的間隔距離分別加以配置，俾於施加逆向電壓時空乏層 50

得以均等地擴大以完全填埋半導體層 12，故以正六角形為最佳(參照第 1 圖(A))。又只要有一處的空乏層之擴大不足也會從該處漏出電流到陰極電極側，所以在所有的 p+ 型半導體區域 3 間，如能確保施加逆向電壓時可藉由空乏層 50 的擴大而完全填埋的距離，則 p+ 型半導體區域 3 的形狀並不限定為正六角形。

再者，p+ 型半導體區域 3 的間隔距離可某種程度地確保的情況，亦可為使用形成有正六角形開口的遮罩於第 1 及第 2 n- 型半導體層 11、12 離子植入 p+ 型雜質並使之擴散而成的擴散區域。不過，間隔距離狹窄的情況因無法避免雜質擴散區域往橫向的擴大，故以採用在溝渠埋設多晶矽的 p+ 型半導體區域 3 為佳。

肖特基能障二極體 D1 的低 VF 化，係可藉由降低整個裝置的電阻來加以實現。如第 2 圖(A) 所示，肖特基能障二極體 D1 的幾乎所有電阻，係來自晶片尺寸(S1)×電阻率 ρ_1 ×第 1 n- 型半導體層 11 厚度(t1)+(S1×第 2 n- 型半導體層 12 的面積比率)×電阻率 ρ_2 ×第 2 n- 型半導體層 12 厚度(t2)。

亦即，在本實施形態藉由降低電阻率 ρ_2 ，即可在不改變晶片尺寸、耐壓及漏電流值的情況，降低肖特基能障二極體 D1 的電阻，而能實現低 VF 化。

第 3 圖係顯示本實施形態的 VF-IF 特性，實線 a 為本實施形態的肖特基能障二極體 D1 之特性，虛線為第 7 圖(B) 所示習知肖特基能障二極體 D3 之特性。

於採用相同肖特基金屬層的情況，習知虛線的特性在本實施形態為實線 a 的特性。亦即，本實施形態可使 IF-VF 的斜率較陡而達成低 VF 化。在此，如前所述，當降低 ϕ_{Bn} 時因可降低 VF，故於採用更低的 ϕ_{Bn} 物質作為肖特基金屬層 9 時，可如實線 b、實線 c 所示，降低順向啟始電壓 (VFb0、VFc0)。

再者，透過採用 ϕ_{Bn} 低的金屬層，雖漏電流 IR 會增加，但可藉由從 p+ 型半導體區域 3 延伸的空乏層抑制向陰極電極 14 洩漏的電流。

其次，利用第 4 圖至第 6 圖說明本發明肖特基能障二極體的製造方法之一例。

如第 4 圖(A) 所示，在 n+ 型半導體基板 10 藉由例如磊晶成長等，積層電阻率為例如 $1\ \Omega\cdot\text{cm}$ 左右的第 1 n- 型半導體層 11。在其上層再藉由磊晶成長(或離子植入) 等，積層電阻率為例如 $0.5\ \Omega\cdot\text{cm}$ 左右的第 2 n- 型半導體層 12。

全面形成氧化膜(未圖示)。又雖省略圖示，但在基板的最外周係使氧化膜開口而沈積 n+ 型雜質後加以擴散以形成環狀環。

如第 4 圖(B) 所示，藉由 p+ 型雜質的離子植入及擴散而形成用以確保耐壓的保護環 4。保護環 4 係以包圍 p+ 型半導體區域 3 周圍之方式形成，其深度係依據耐壓而形成為與 p+ 型半導體區域 3 相同或更深。

因為保護環 4 也需要與肖特基金屬層接觸，所以形成

考慮遮罩之對準偏差而需要某種程度(例如 $20\ \mu\text{m}$ 左右)之寬度。因是擴散區域，故從剖面形狀觀之其底部附近的曲率可較緩和，能抑制該部分的電場集中，而適用於高耐壓的機種。

其次在第 4 圖(C) 中，利用形成有開口寬度(對角線寬) $1\ \mu\text{m}$ 左右的六角形開口之遮罩，形成複數個溝渠 5 於第 1 n-型半導體層 11 及第 2 n-型半導體層 12。溝渠 5 係形成為貫穿第 2 n-型半導體層 12，而到達第 1 n-型半導體層 11。但是，為了達成確保耐壓及低 VF 化的目的，係以第 2 n-型半導體層 12 和 p+型半導體區域一樣或略淺的方式形成溝渠 5。

在第 5 圖(A) 中，於所有的溝渠 5 埋設導入 p+型雜質的多晶矽。亦即於全面堆積未摻雜的多晶矽後，導入 p+型雜質。或者，堆積導入有 p+型雜質的多晶矽。之後，對全面進行回蝕到多晶矽僅埋於溝渠 5 中，而形成 p+型半導體區域 3。p+型半導體區域 3 係以施加逆向電壓時能以空乏層完全填埋半導體層 12 的寬度，分別均等地間隔配置。

又雖省略圖示，於本實施形態中 p+型半導體區域 3 亦可為擴散區域。在該情況，利用形成有開口寬度(對角線寬) $1\ \mu\text{m}$ 左右的六角形開口之遮罩，藉由 p+型雜質的離子植入及擴散而形成 p+型半導體區域 3。在此情況也以貫穿第 2 n-型半導體層 12 並到達第 1 n-型半導體層 11 的方式形成。

在第 5 圖 (B) 中去除至此之由於擴散製程等而附著於全面的氧化膜，而使所有的 p+ 型半導體區域 3 與 n- 型半導體層 12 的表面露出。再者，藉由 CVD 法形成氧化膜 8，又為了使保護環 4 也與肖特基金屬層接觸而使其一部分露出。亦即，藉由蝕刻去除包含保護環 4 的一部分之保護環 4 內側的氧化膜 8，而使與肖特基金屬層 9 接觸的區域露出。

然後蒸鍍例如 Mo 等的肖特基金屬層 9，並於圖案化成至少覆蓋肖特基接合區域的希望形狀後，以 500 至 600 °C 進行矽化物化之退火處理。在此，本實施形態係藉由最佳化第 2 n- 型半導體層 12 的電阻率 ρ_2 而達到低 VF 化，但再進一步利用低 ϕ_{Bn} 的 Ti、Ni、Cr 等則可降低順向的啟始電壓(參照第 3 圖)。

之後，全面蒸鍍成為陽極電極 13 的 Al 層，並圖案化成希望的形狀，然後在背面形成例如 Ti/Ni/Au 等的陰極電極 14，而獲得第 1 圖所示的最終構造。

又如第 6 圖所示，保護環 4 亦可與 p+ 型半導體區域 3 一樣由埋設多晶矽於溝渠而形成。亦即，在保護環 4 的區域以例如 1 μ m 左右的線與空間(line and space)形成複數個溝渠 15(第 6 圖(A))，並埋設含 p+ 型雜質的多晶矽。之後，藉由熱處理從近接的溝渠以微量擴散 p+ 型雜質的方式使雜質區域一體化，而得以形成 20 μ m 左右寬度的寬保護環 4。

再者，以和 p+ 型半導體區域 3 相同的深度能確保預定的耐壓的話，也可以和形成 p+ 型半導體區域 3 的溝渠 5

及埋設多晶矽相同之製程形成保護環 4。

【圖式簡單說明】

第 1 圖係用以說明本發明半導體裝置之(A) 平面圖、(B) 剖面圖。

第 2 圖(A)及(B)係用以說明本發明半導體裝置之剖面圖。

第 3 圖係用以說明本發明半導體裝置之特性圖。

第 4 圖(A)至(C)係用以說明本發明半導體裝置的製造方法之剖面圖。

第 5 圖(A)及(B)係用以說明本發明半導體裝置的製造方法之剖面圖。

第 6 圖(A)及(B)係用以說明本發明半導體裝置的製造方法之剖面圖。

第 7 圖(A)及(B)係用以說明習知半導體裝置之剖面圖。

第 8 圖(A)及(B)係用以說明習知半導體裝置之剖面圖。

【主要元件符號說明】

- | | |
|---------|---------------------|
| 1 | n+型半導體基板 |
| 3 | p+型半導體區域(逆導電型半導體區域) |
| 4 | 保護環 |
| 5、15 | 溝渠 |
| 8 | 氧化膜 |
| 9、26、36 | 肖特基金屬層 |

10	n+型半導體基板(一導電型半導體基板)
11	第1 n-型半導體層
12	第2 n-型半導體層
13	陽極電極
14	陰極電極
21、31	n+型半導體基板
22、32	n-型半導體層
23	p+型區域
24、34	保護環
27、37	陽極電極
28、38	陰極電極
50	空乏層
D1、D2、D3	肖特基能障二極體

五、中文發明摘要：

於 n -磊晶層設 $p+$ 型半導體層的肖特基能障二極體雖可不用考慮 IR 而實現低 VF ，但與通常的肖特基能障二極體相較一般而言其 VF 較高。適切地選擇肖特基金屬層雖可降低 VF ，但要更加降低有其極限。另一方面，降低 n -型半導體層的電阻率雖可實現低 VF ，但存在耐壓劣化的問題。解決前述課題之本發明的方案，係在可確保預定耐壓的第 1 n -型半導體層上積層電阻率較低的第 2 n -型半導體層。 $p+$ 型半導體區域係設成與第 2 n -型半導體層相等或較其略深。藉此，於利用空乏層的夾止而能抑制 IR 的肖特基能障二極體中可降低 VF ，並確保預定的耐壓。

六、英文發明摘要：

A Schottky barrier diode formed by providing a p+ type semiconductor layer in a n- epitaxial layer can realize low VF without taking account of the IR, but generally, its VF is higher than regular Schottky barrier diodes. The VF can be reduced if a Schottky metal layer is adequately selected, however there is a limit in further reduction. Moreover, the reduction of VF can be realized if the specific resistance of n- type semiconductor is reduced, but its breakdown voltage deteriorates. In this invention, a second n- type semiconductor layer having low specific resistance is formed on a first n- type semiconductor layer capable of ensuring a prescribed breakdown voltage, and a p+ type semiconductor region is formed the same with or a little deeper than the second n- type semiconductor layer. Accordingly, the VF in a Schottky barrier diode capable of suppressing the IR by the pinch off of depletion layer is reduced so that the prescribed breakdown voltage can be ensured.

十、申請專利範圍：

1. 一種半導體裝置，係具備有：

一導電型半導體基板；

設在該基板上的第 1 一導電型半導體層；

設在前述第 1 一導電型半導體層上，具有較該第 1 一導電型半導體層低的電阻率之第 2 一導電型半導體層；

設在前述第 1 及第 2 一導電型半導體層之複數個逆導電型半導體區域；以及

設在前述逆導電型半導體區域及前述第 2 一導電型半導體層的表面，且至少與該第 2 一導電型半導體層表面形成肖特基接合的金屬層，其中

相鄰的前述逆導電型半導體區域，係以施加逆向電壓時從該逆導電型半導體區域延伸的空乏層會夾止 (pinch off) 的距離相間隔而配置。

2. 如申請專利範圍第 1 項的半導體裝置，其中，前述逆導電型半導體區域，係設成貫穿前述第 2 一導電型半導體層而到達前述第 1 一導電型半導體層。

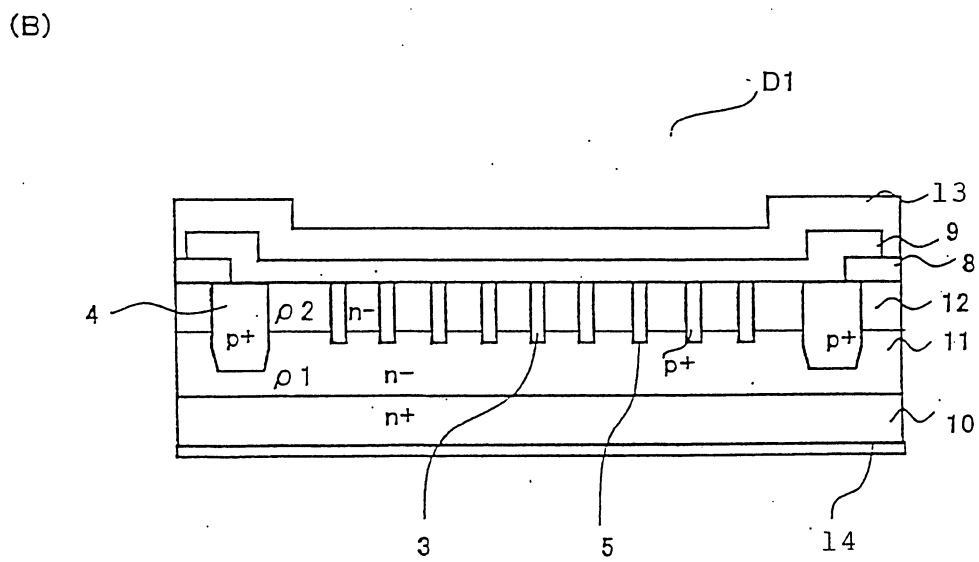
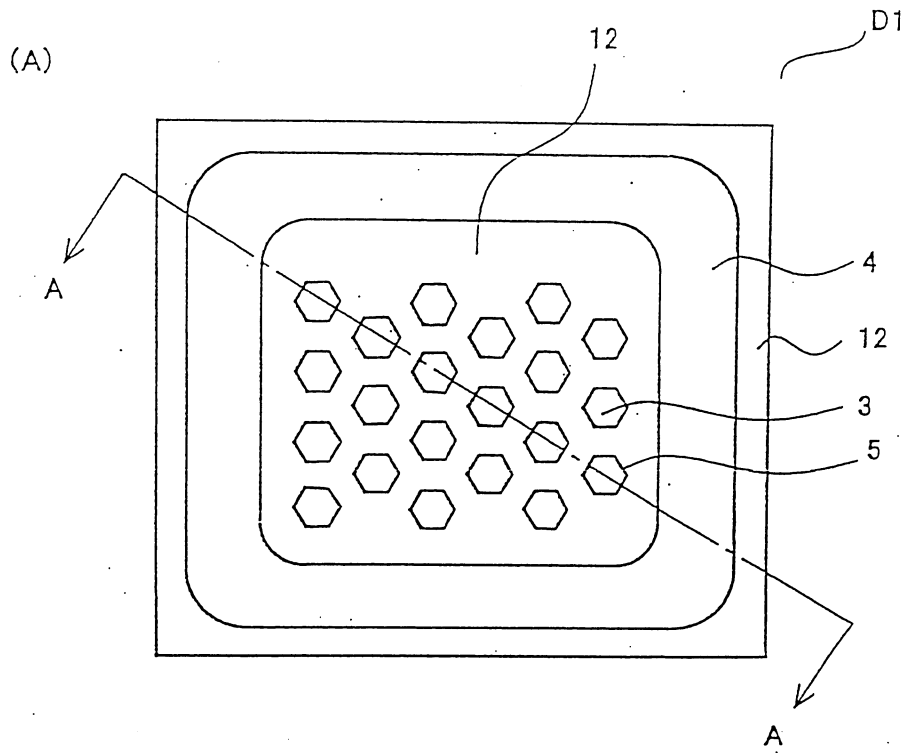
3. 如申請專利範圍第 1 項的半導體裝置，其中，前述第 2 一導電型半導體層的厚度，係與前述逆導電型半導體區域的深度相同或略淺。

4. 如申請專利範圍第 1 項的半導體裝置，其中，前述第 1 一導電型半導體層，係具有可確保預定耐壓的電阻率。

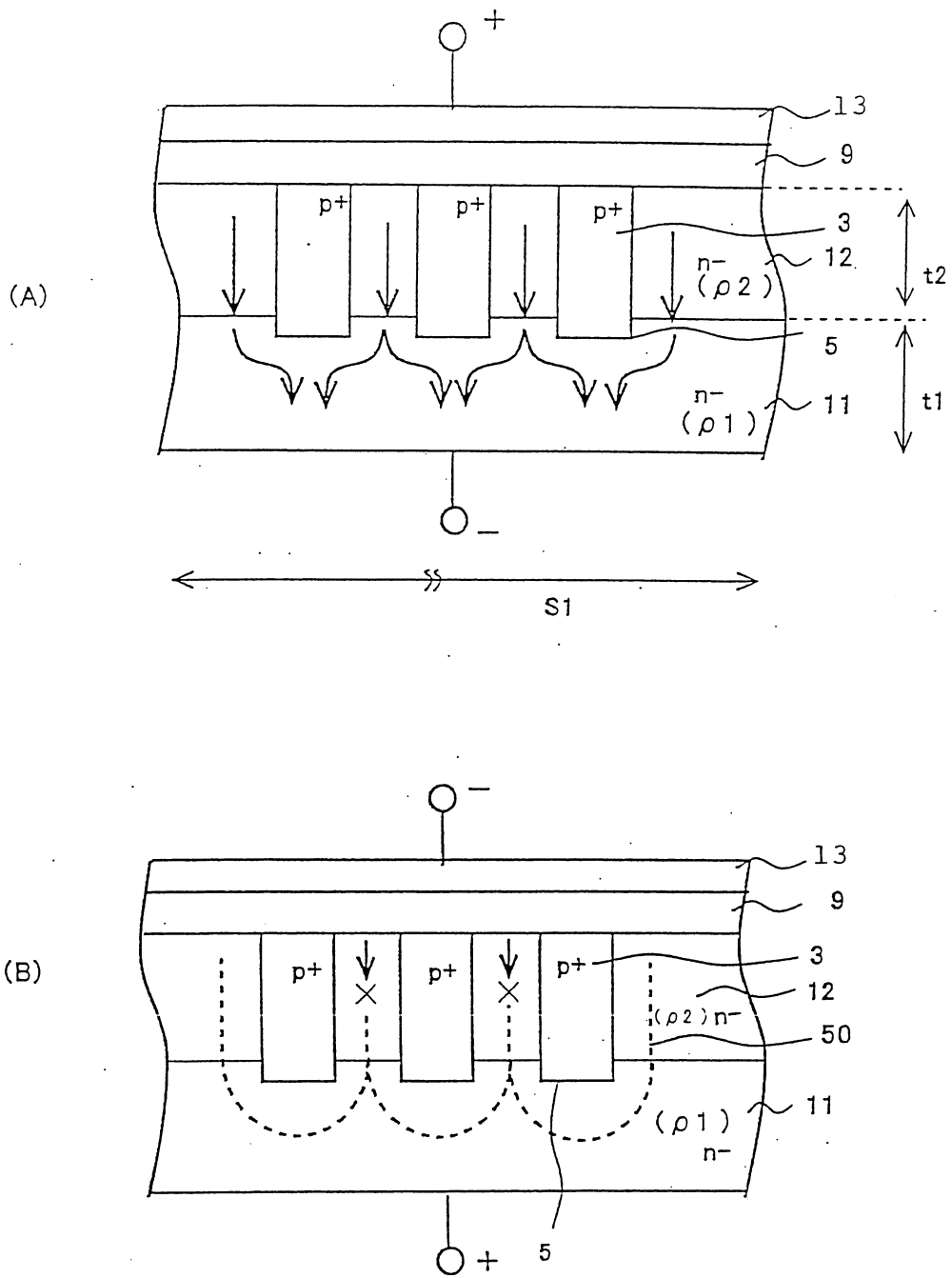
5. 如申請專利範圍第 1 項的半導體裝置，其中，前述逆導

電型半導體區域，係於設在前述第 1 及第 2 一導電型半導體層的溝渠埋設逆導電型之半導體材料而成。

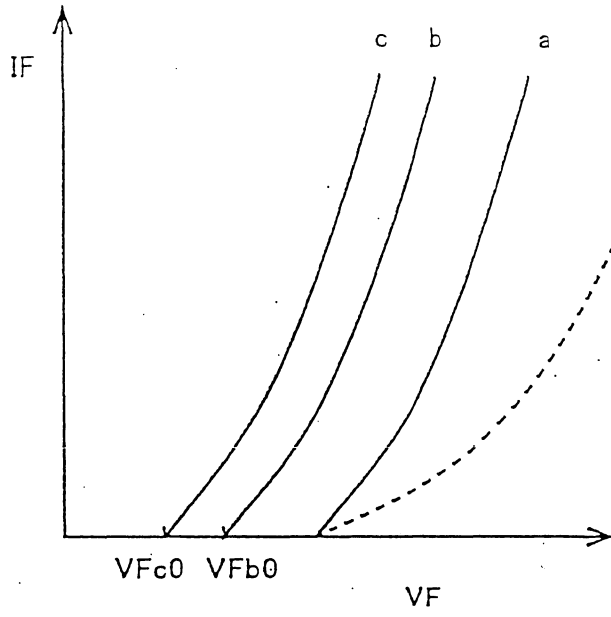
6. 如申請專利範圍第 1 項的半導體裝置，其中，前述逆導電型半導體區域，係於前述第 1 及第 2 一導電型半導體層擴散逆導電型雜質而成的區域。



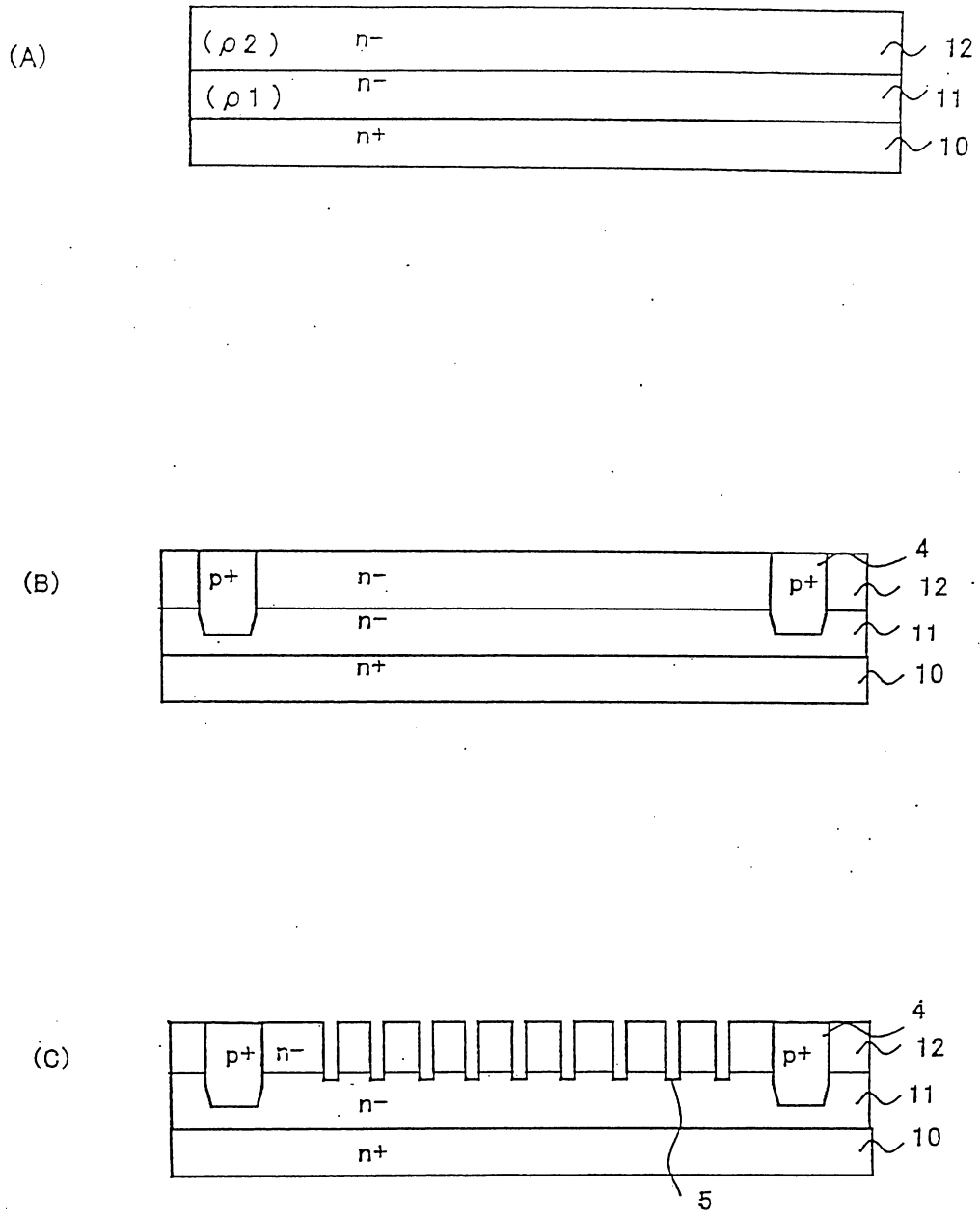
第 1 圖



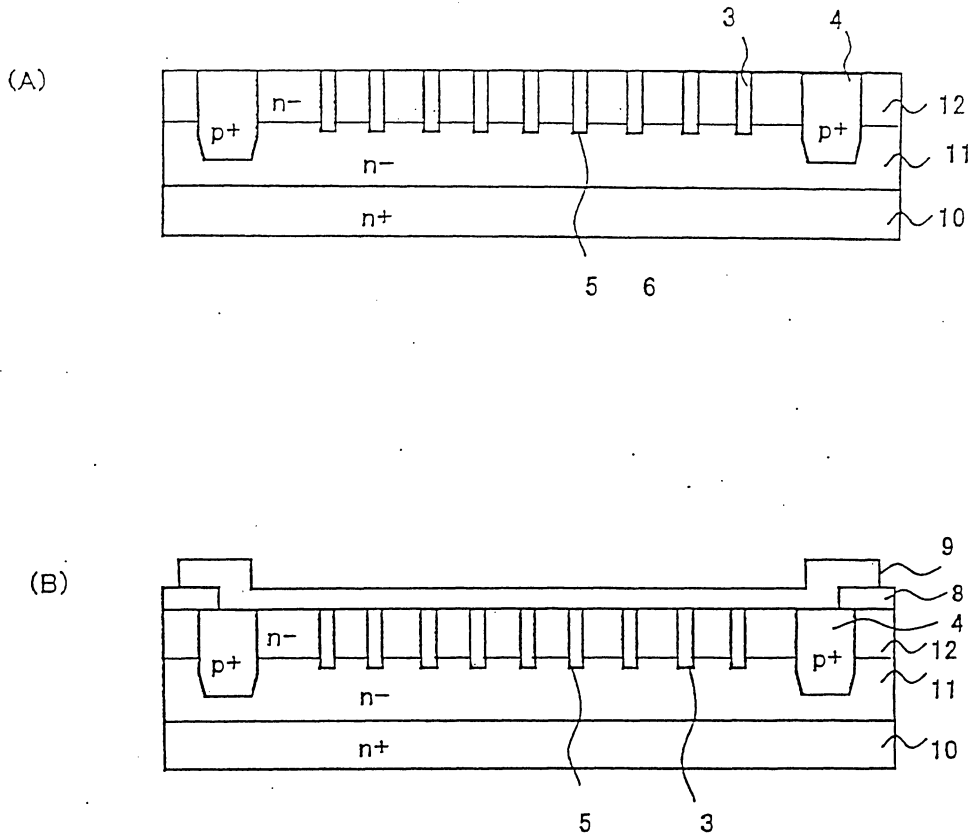
第 2 圖



第 3 圖

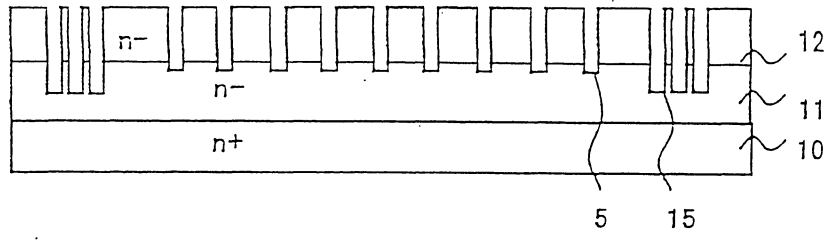


第 4 圖

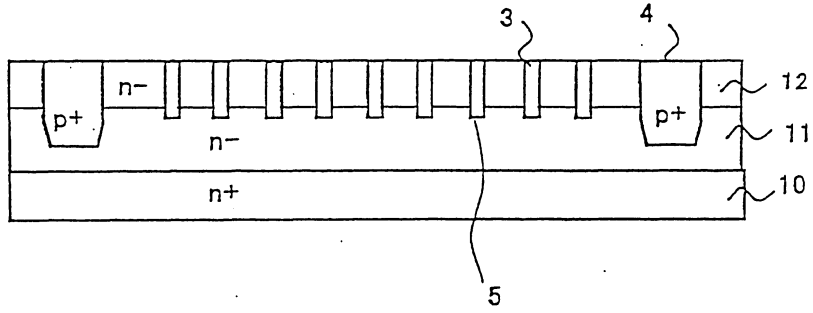


第 5 圖

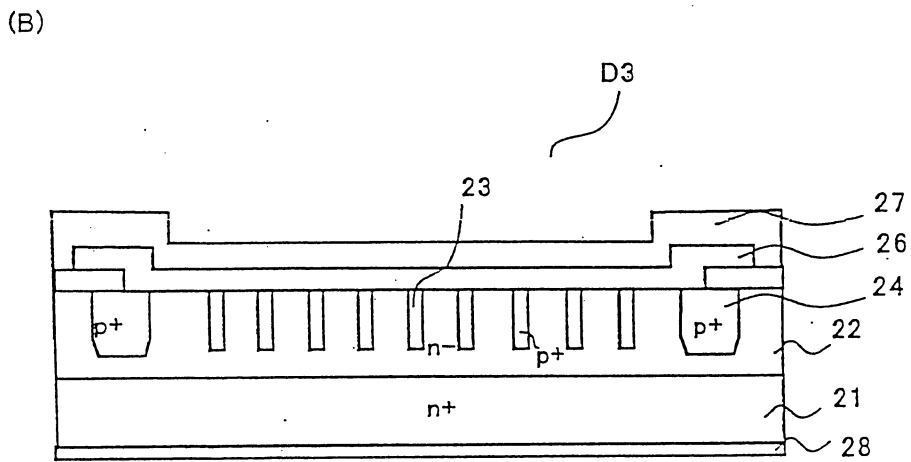
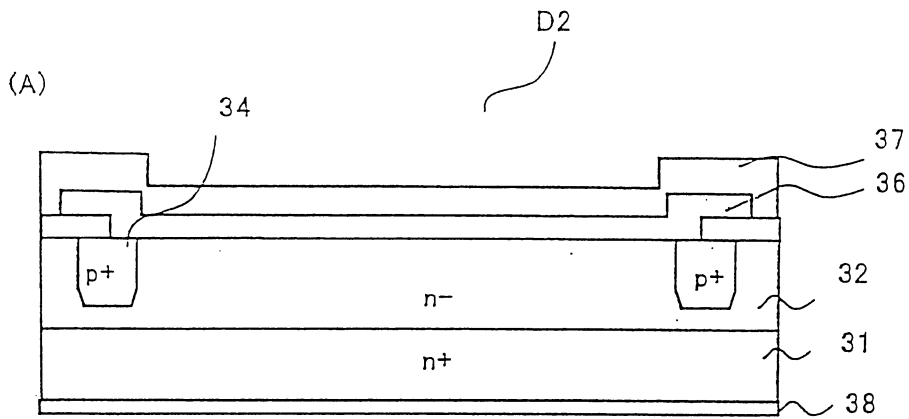
(A)



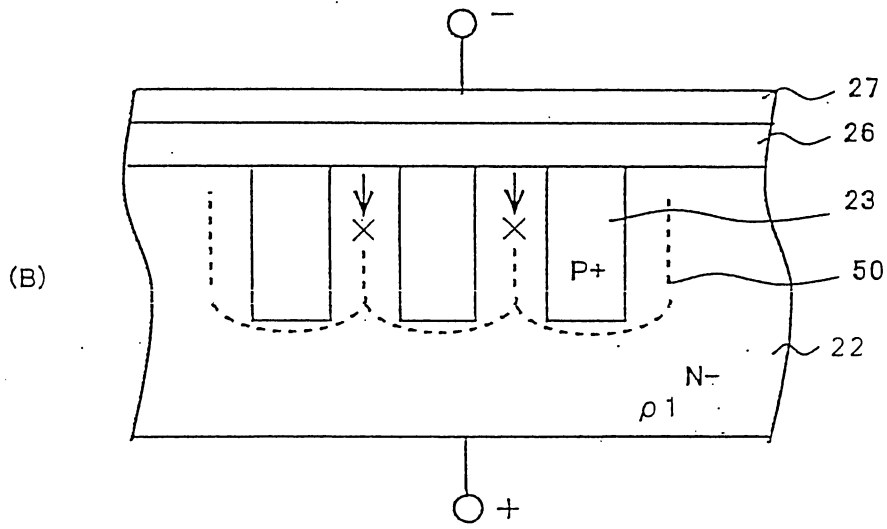
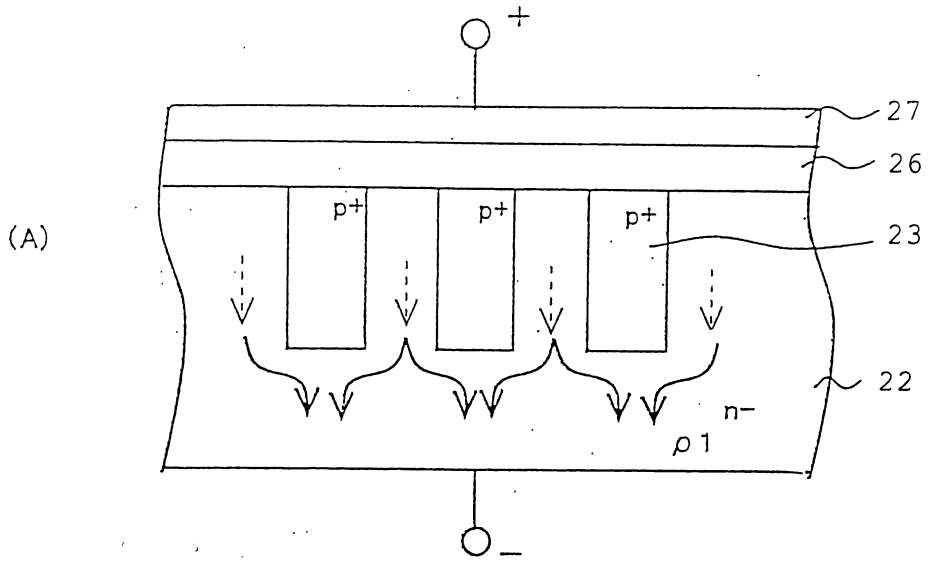
(B)



第 6 圖



第7圖



第 8 圖

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件代表符號簡單說明：

- 3 逆導電型半導體區域
- 4 保護環
- 5 溝渠
- 8 氧化膜
- 9 肖特基金屬層
- 10 一導電型半導體基板
- 11 第1一導電型半導體層
- 12 第2一導電型半導體層
- 13 陽極電極
- 14 陰極電極
- D1 肖特基能障二極體

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無化學式。