



## Beschreibung

Gebiet der vorliegenden Erfindung

**[0001]** Die vorliegende Erfindung betrifft allgemein das Gebiet der Herstellung integrierter Schaltungen und betrifft insbesondere komplexe integrierte Schaltungen, die Metallgateelektrodenstrukturen aufweist, die gemäß einem Austauschgateverfahren hergestellt sind.

Beschreibung des Stands der Technik

**[0002]** In modernen integrierten Schaltungen wird eine sehr große Anzahl einzelner Schaltungselemente, etwa Feldeffekttransistoren, Widerstände, Kondensatoren, und dergleichen, auf einer einzelnen Chipfläche hergestellt. Typischerweise werden die Strukturgrößen dieser Schaltungselemente stetig mit der Einführung jeder neuen Schaltungsgeneration verringert, so dass aktuell verfügbare integrierte Schaltungen mit hohem Leistungsvermögen im Hinblick auf Geschwindigkeit und/oder Leistungsaufnahme bereitgestellt werden. Eine Verringerung der Größe der Transistoren ist ein wichtiger Aspekt beim stetigen Verbessern des Leistungsverhaltens komplexer integrierter Schaltungen, etwa von CPU's. Die Verringerung der Größe bringt üblicherweise eine erhöhte Schaltgeschwindigkeit mit sich, wodurch das Signalverarbeitungsverhalten verbessert wird.

**[0003]** Mit der zunehmenden Reduzierung der Strukturgrößen von halbleiterbasierten Schaltungselementen, etwa von Transistoren, was zu einer deutlichen Erhöhung der Gesamtkomplexität der Fertigungsprozesse führt, muss auch die Komplexität eines Verdrahtungssystems, das die elektrische Verbindung der halbleiterbasierten Schaltungselemente und anderer Schaltungselemente herstellt, an die zunehmende Anzahl an Schaltungselementen und die deutlich erhöhte Packungsdichte angepasst werden. Folglich ist typischerweise in komplexen integrierten Schaltungen ein Vielzahl an gestapelten Verdrahtungsschichten oder Metallisierungsschichten erforderlich, in denen Metalleitungen und Kontaktdurchführungen gemeinsam die elektrischen Verbindungen herstellen, wie sie durch das Schaltbild des betrachteten Bauelements erforderlich sind. Auf Grund der insgesamt geringeren Strukturgrößen müssen auch die Abmessungen der Metalleitungen und Kontaktdurchführungen stetig reduziert werden, wodurch neue Strategien und Materialien für komplexe Metallisierungssysteme erforderlich werden.

**[0004]** Aus diesem Grunde wird Kupfer in Verbindung mit sogenannten dielektrischen Materialien mit kleinem  $\epsilon$  typischerweise in komplexen Metallisierungssystemen eingesetzt, was jedoch mit ausgeprägten Problemen im Hinblick auf die Handhabung des Kupfers in einer Halbleiterfertigungsstätte ver-

knüpft ist. Es ist gut bekannt, dass Kupfer effizient in einer Vielzahl an Materialien diffundiert, etwa in Siliziumdioxid, siliziumdioxidbasierten dielektrischen Materialien mit kleinem  $\epsilon$  und dergleichen. Kupfer kann bei Diffusion in empfindliche Bauteilbereiche, etwa in komplexe Transistorelemente, jedoch die Transistoreigenschaften signifikant ändern und kann schließlich zu einem Ausbeuteverlust und zu einer reduzierten Zuverlässigkeit komplexer Halbleiterbauelemente führen. Daher wurden aufwendige Fertigungsstrategien entwickelt, um komplexe Metallisierungssysteme herzustellen, in denen das Kupfermaterial typischerweise in Verbindung mit geeigneten leitenden und dielektrischen Barrierenmaterialien vorgesehen wird, um einen geeigneten Kupfereinschluss sicherzustellen. Obwohl allgemein Kupfer ein besseres elektrisches Verhalten bietet und für ein günstigeres Elektromigrationsverhalten sorgt im Vergleich zu einer Vielzahl anderer Materialien, etwa Aluminium und dergleichen, werden andere leitende Materialien und Metalle typischerweise verwendet, um eine direkte Verbindung zu den halbleiterbasierten Schaltungselementen herzustellen, um damit die Wahrscheinlichkeit der Kupferdiffusion in diese Halbleiterbauelemente zu verringern. Des weiteren erfordern die halbleiterbasierten Schaltungselemente, etwa Transistoren und dergleichen, typischerweise einen gewissen Grad an Passivierung, d. h. eine gewisse mechanische und chemische Widerstandsfähigkeit, und daher werden die Transistorstrukturen typischerweise in einem geeigneten dielektrischen Material eingebettet, das zwei oder mehr unterschiedliche Materialschichten abhängig von den gesamten Bauteilerfordernissen aufweisen kann. Das dielektrische Material zum Passivieren der halbleiterbasierten Schaltungselemente, das im Weiteren auch als ein dielektrisches Zwischenschichtmaterial bezeichnet wird, ist somit eine geeignete Schnittstelle zwischen den eigentlichen halbleiterbasierten Schaltungselementen und dem komplexen Metallisierungssystem, das häufig aus Kupfer und komplexen dielektrischen Materialien mit kleinem  $\epsilon$  aufgebaut ist. Um in geeigneter Weise die Schaltungselemente mit dem Metallisierungssystem zu verbinden, müssen somit geeignete Kontaktelemente in dem dielektrischen Zwischenschichtmaterial vorgesehen werden, so dass in einigen Fällen eine direkte Verbindung zwischen diversen Schaltungselementen entsteht und so dass auch eine Verbindung von Kontaktbereichen der Schaltungselemente mit Metalleitungen oder allgemein mit Metallgebieten in der ersten Metallisierungsschicht des Metallisierungssystems hergestellt wird. Die Kombination des passivierenden dielektrischen Materials und der Kontaktelemente, die darin hergestellt sind, wird auch als eine Kontaktstruktur oder Kontaktebene des Halbleiterbauelements bezeichnet. Beim Verringern der Abmessungen der Schaltungselemente in der Bauteilebene muss folglich auch eine entsprechende Anpassung der kritischen Abmessungen der Kontaktelemente vorgenommen werden, woraus sich ein

sehr komplexes Strukturierungsschema zur Herstellung der Kontaktelemente in dem dielektrischen Zwischenschichtmaterial ergibt. D. h., in dicht gepackten Bauteilbereichen sind die kritischen Abmessungen der Kontaktelemente von der gleichen Größenordnung wie die kritischen Abmessungen der Schaltungselemente, wodurch vergleichbare kritische Abmessungen in der ersten Metallisierungsschicht erforderlich sind, um nicht in unerwünschter Weise wertvolle Chipfläche zu verschwenden. Die Kontaktelemente werden typischerweise hergestellt, indem zunächst das dielektrische Zwischenschichtmaterial unter Anwendung aufwendiger Lithographie- und Ätztechniken strukturiert wird und indem die Kontaktöffnungen mit einem geeigneten leitenden Material, etwa Wolfram und dergleichen, gefüllt werden, möglicherweise in Verbindung mit leitenden Barrierematerialien, falls dies erforderlich ist. Abhängig von der Integrität des dielektrischen Zwischenschichtmaterials müssen somit die Kontaktöffnungen auf der Grundlage sehr kritischer Prozessbedingungen hergestellt werden, da Öffnungen mit einer lateralen Abmessung von 50 nm und weniger durch ein dielektrisches Zwischenschichtmaterial mit 150 nm und mehr, abhängig von der gesamten Bauteilarchitektur, herzustellen sind. Nach dem Vorsehen der Kontaktöffnungen mit den gewünschten kritischen Abmessungen ist ein weiterer kritischer Prozessschritt erforderlich, d. h. das Abscheiden eines geeigneten leitenden Materials, das zuverlässig die Kontaktöffnungen ohne unerwünschte Unregelmäßigkeiten auffüllt, etwa ohne Hohlräume innerhalb der Kontaktöffnungen und dergleichen, um damit einen geringen Kontaktwiderstand zu erreichen. In dieser Hinsicht sollte beachtet werden, dass in komplexen Anwendungen die Gesamtsignalverarbeitungsfähigkeit wesentlich von dem Gesamtwiderstand in der Bauteilebene und in der Kontaktebene abhängt, wobei in extrem skalierten Halbleiterbauelementen der Kontaktwiderstand der dominierende Faktor ist, der das endgültige elektrische Leistungsverhalten bestimmt. Nach dem Abscheiden des Kontaktmaterials wird ein überschüssiger Teil davon entfernt, was typischerweise auf der Grundlage chemisch-mechanischer Polier-(CMP)Techniken erfolgt, in denen geeignete Prozessparameter, etwa die Andruckkraft, die Relativgeschwindigkeit des Polierkissens, des Substrats und insbesondere die Chemie des Schleifmaterials geeignet ausgewählt wird, so dass das Überschussmaterial effizient entfernt wird, ohne dass eine unerwünschte Schädigung in anderen Bauteilbereichen, etwa dem dielektrischen Material der Kontaktebene, und dergleichen erfolgt. Während des Abtragungsprozesses wird das leitende Material von dielektrischen Oberflächenbereichen entfernt, um somit elektrisch isolierte Kontaktelemente zu schaffen, wozu ein gewisser Grad an Nachpolierzeit erforderlich ist, die von der gesamten Prozessgleichmäßigkeit abhängt. D. h., die Nachpolierzeit ist so zu wählen, dass das Überschussmaterial zuverlässig von jeg-

lichen Bauteilbereichen abgetragen wird, etwa von dicht gepackten Bauteilbereichen oder auch von Bauteilbereichen mit geringerer Packungsdichte. In dieser Phase des Abtragungsprozesses ist es wichtig, einen unerwünschten Materialabtrag des dielektrischen Materials zu vermeiden, was bewerkstelligt werden kann unter Anwendung sehr selektiver Schleifmaterialien, die somit eine chemische Reaktion mit dem leitenden Material hervorrufen, ohne dass das dielektrische Material wesentlich beeinflusst wird.

**[0005]** Die kontinuierliche Verringerung kritischer Abmessungen von Transistoren hat zu einer minimalen Gatelänge von Feldeffekttransistoren von 40 nm und weniger geführt. Es ist gut bekannt, dass Transistoren mit sehr kurzer Kanallänge zusätzliche Maßnahmen erfordern, um die Steuerbarkeit des Kanalgebiets aufrecht zu erhalten, was typischerweise dadurch gelöst wird, dass die Dicke eines Gatedielektrikumsmaterials verringert wird, das die Gateelektrodenstruktur des Feldeffekttransistors von dem darunter liegenden Kanalgebiet trennt. Durch Reduzierung der Dicke des Gatedielektrikumsmaterials kann somit die kapazitive Kopplung zwischen der Elektrode und dem Kanalgebiet erhöht werden, woraus sich in Verbindung mit sehr komplexen Dotierstoffprofilen für die Drain- und Sourcegebiete eine geeignete Steuerung des leitenden Kanals ergibt, der sich in dem Kanalgebiet beim Anlegen einer geeigneten Steuerspannung an die Gateelektrode ausbildet. Auf Grund der vielen Vorteile bei Verwendung von Siliziumdioxid als Basismaterial für Gateisolationsschichten, die auf einem siliziumbasierten Kanalgebiet hergestellt sind, werden siliziumdioxidbasierte dielektrische Materialien als ein Gatedielektrikumsmaterial verwendet. Bei einer Dicke von ungefähr 1,5 nm und weniger erreichen jedoch die entsprechenden Gateleckströme in den komplexen Transistoren Werte, die nicht mehr akzeptabel sind für viele Arten komplexer Halbleiterbauelemente. Aus diesem Grunde wurden neue Strategien entwickelt, in denen die Drain- und Sourcegebiete in einer selbstjustierenden Weise vorgesehen werden, wie dies auch in gut etablierten Polysilizium/Siliziumoxidgateelektrodenstrukturen der Fall ist, wobei dennoch die wirksame Dicke des Gatedielektrikumsmaterials erhöht wird, wobei dennoch für eine Oxidäquivalenzdicke von 1,5 nm und weniger gesorgt wird. Dazu werden sogenannte dielektrische Materialien mit großem  $\epsilon$ , d. h. dielektrische Materialien mit einer Dielektrizitätskonstante von 10, 0 oder höher, in die Gateisolationsschicht komplexer Transistoren eingebaut, wodurch die Leckströme reduziert werden, wobei dennoch die gewünschte kapazitive Kopplung geschaffen wird. Des Weiteren kann das Leistungsverhalten der Gateelektrodenstrukturen weiter verbessert werden, indem das Polysiliziummaterial durch ein Metall mit besserer Leitfähigkeit ersetzt wird, wodurch generell der Gatewiderstand verringert wird und wodurch auch das Er-

zeugen einer Verarmungszone in der Nähe des Gate-dielektrikumsmaterials vermieden wird, wie sie typischerweise in polysiliziumbasierten Gateelektrodenstrukturen beobachtet wird.

**[0006]** Das Vorsehen eines dielektrischen Materials mit großem  $\epsilon$  in Verbindung mit einem metallenthaltenden Elektrodenmaterial in einer frühen Fertigungsphase kann jedoch zu ausgeprägten Schwierigkeiten führen, beispielsweise beim Einstellen einer geeigneten Austrittsarbeit und beim Bewahren dieses Wertes über den gesamten Prozessablauf hinweg. Daher werden in sehr vielversprechenden Vorgehensweisen, d. h. in sogenannten Austauschgateverfahren, Gateelektrodenstrukturen mit einem hohen Grad an Kompatibilität zu konventionellen Siliziumgateelektroden hergestellt, und das gut leitende Elektrodenmetall, möglicherweise in Verbindung mit jeglichen austrittsarbeitseinstellenden Sorten und möglicherweise zusammen mit einem dielektrischen Material mit großem  $\epsilon$ , wird in einer sehr späten Fertigungsphase vorgesehen, d. h. nach Fertigstellung der grundlegenden Transistorstruktur und nach dem lateralen Einbetten der Gateelektrodenstruktur in dem dielektrischen Zwischenschichtmaterial. In dieser Fertigungsphase wird eine Öffnung oder ein Graben in der Gateelektrodenstruktur hergestellt, indem das Polysiliziummaterial entfernt wird, und es wird ein geeignetes Materialsystem in die Gateöffnung eingefüllt. Beispielsweise werden gut leitende Elektrodenmetalle, etwa Aluminium, häufig verwendet, um einen gewünschten geringen Widerstand der Metallgateelektrodenstrukturen mit großem  $\epsilon$  zu erreichen. Somit muss in einer abschließenden Phase des Austauschgateverfahrens das Elektrodenmetall abgeschieden und nachfolgend muss überschüssiges Material davon entfernt werden, was typischerweise auf der Grundlage eines CMP-Prozesses erfolgt. Es zeigt sich jedoch, dass insbesondere die abschließende Phase des Austauschgateverfahrens zu einer ausgeprägten Defektrate und sogar zu Bauteilausfällen beim Herstellen von Kontaktelementen führen kann, wie dies nachfolgend detaillierter mit Bezug zu den **Fig. 1a** bis **Fig. 1f** erläutert wird.

**[0007]** **Fig. 1a** zeigt schematisch eine Querschnittsansicht eines Halbleiterbauelements **100** in einer fortgeschrittenen Fertigungsphase. Wie gezeigt, umfasst das Bauelement ein Substrat **101** und eine Halbleiterschicht **102**, etwa ein siliziumbasiertes Halbleitermaterial und dergleichen. Die Halbleiterschicht **102** und das Substrat **101** stellen eine SOI-(Silizium-auf-Isolator-)Architektur dar, wenn ein vergrabenes isolierendes Material (nicht gezeigt) unter der Halbleiterschicht **102** ausgebildet ist. In anderen Fällen ist die Halbleiterschicht **102** zumindest in einer anfänglichen Fertigungsphase ein Teil eines kristallinen Materials des Substrats **101**, wodurch eine Vollsubstratkonfiguration gebildet wird. Mehrere Transistoren **150a**, **150b** sind in und über der Halbleiterschicht **102** aus-

gebildet wobei in dem gezeigten Beispiel eine planare Transistorarchitektur verwendet wird. In diesem Falle umfassen die Transistoren **150a**, **150b** Drain- und Sourcegebiete **153** in der Halbleiterschicht **102** und diese schließen ein Kanalgebiet **152** lateral ein, in welchem sich ein leitender Kanal beim Anlegen einer geeigneten Steuerspannung an eine Gateelektrodenstruktur **130** ausbildet, wie dies auch zuvor erläutert ist. Die Drain- und Sourcegebiete **153** umfassen geeignete Kontaktbereiche, in dem gezeigten Beispiel als Metallsilizidgebiete **154**. In anderen Fällen sind die Kontaktbereiche **154** stark dotierte Halbleitergebiete, die ein Metallsilizid in einer späteren Fertigungsphase erhalten, beispielsweise nach Fertigstellung der Gateelektrodenstrukturen **120**, wenn zusätzliche Hochtemperaturprozesse erforderlich sind, die nicht mit der thermischen Stabilität eines gewünschten Metallsilizidmaterials verträglich sind.

**[0008]** Die Gateelektrodenstrukturen **120** können zunächst auf der Grundlage eines Polysiliziummaterials vorgesehen werden, das auf der Basis von Entwurfsanforderungen strukturiert wird, so dass eine gewünschte kritische Abmessung der Gateelektrodenstruktur **130** eingestellt wird, die 40 nm und weniger in komplexen Anwendungen betragen kann. In der gezeigten Fertigungsphase sind die Gateelektrodenstrukturen **130** lateral durch eine Seitenwandabstandshalterstruktur **151** mit einer geeigneten Konfiguration in Verbindung mit einem dielektrischen Material **120** eingeschlossen, das auch als ein dielektrisches Zwischenschichtmaterial bezeichnet wird und das zwei oder mehr einzelne Materialschichten aufweisen kann, etwa Schichten **121**, **122**, wobei dies von den gesamten Prozess- und Bauteilerfordernissen abhängt. Beispielsweise ist die Schicht **121** ein siliziumnitridbasiertes Material, während die Schicht **122** Siliziumdioxid aufweist, das häufig als Material zum Einbetten von halbleiterbasierten Schaltungselementen komplexer Halbleiterbauelemente verwendet wird. Die Gateelektrodenstrukturen **130** umfassen eine Gateisolationsschicht **131**, die ein dielektrisches Material mit großem  $\epsilon$  aufweisen kann, beispielsweise in Form von Hafniumoxid, Hafniumsiliziumoxid, Zirkonoxid und dergleichen. Wie gezeigt, kann das Gatedielektrikumsmaterial **131** auch an Seitenwänden der Gateelektrodenstruktur **130** ausgebildet sein, während in anderen Fällen das Gatedielektrikumsmaterial lediglich an einer Unterseite der Gateöffnung gebildet ist. In dem gezeigten Beispiel ist ferner eine metallenthaltende Materialschicht **132**, beispielsweise in Form von Lanthanum, Aluminium, und dergleichen, vorgesehen und darin eingebaut ist eine geeignete Metallsorte, um die Austrittsarbeit der Gateelektrodenstruktur **130** einzustellen. Schließlich ist ein gut leitendes Elektrodenmaterial, **133**, etwa Aluminium, eine Aluminiumlegierung, beispielsweise Aluminium/Titan, und dergleichen, so vorgesehen, dass es als ein niederohmiges Elektrodenmaterial dient.

**[0009]** Das Halbleiterbauelement **100**, wie es in **Fig. 1a** gezeigt ist, kann auf der Grundlage der folgenden Prozessstrategie hergestellt werden. Es werden geeignete aktive Gebiete (nicht gezeigt) in der Halbleiterschicht **102** hergestellt, indem geeignete Isolationsstrukturen (nicht gezeigt) bereitgestellt werden, um die aktiven Gebiete lateral zu begrenzen. Daraufhin werden die Gateelektrodenstrukturen **130** hergestellt, indem ein geeigneter Stapel an Materialschichten gebildet wird, etwa mit einer Siliziumdioxidschicht, eine Polysiliziumschicht in Verbindung mit weiteren Materialien, etwa einem dielektrischen Deckmaterial, Hartmaskenmaterialien und dergleichen, wie dies für die weitere Bearbeitung des Bauelements **100** erforderlich ist. Als nächstes werden aufwendige Lithographie- und Ätztechniken angewendet, um die Gateelektrodenstrukturen **130** ähnlich zu konventionellen Prozessstrategien zur Anwendung von Siliziumdioxid/Polysilizium-Gateelektrodenstrukturen zu strukturieren, die keine komplexen Materialien mit großem  $\epsilon$  enthalten. In anderen Vorgehensweisen wird das dielektrische Material mit großem  $\epsilon$  in Verbindung mit einem leitenden Deckmaterial in dieser frühen Fertigungsphase zusammen mit einem Siliziummaterial vorgesehen. Nach dem Strukturieren der Gateelektrodenstrukturen mit beispielsweise einer kritischen Längen von 40 nm und weniger wird die Bearbeitung fortgesetzt auf der Grundlage eines geeigneten Prozessablaufes, um die Drain- und Sourcegebiete **153** in Verbindung mit der Seitenwandabstandshalterstruktur **151** herzustellen. Nach jeglichen Hochtemperaturprozessen zum Aktivieren der Dotiermittel und zum Einstellen des endgültigen Dotierstoffprofils der Drain- und Sourcegebiete **153** wird das Metallsilizid **154** auf der Grundlage einer geeigneten Silizidierungstechnik hergestellt.

**[0010]** Als nächstes wird das Material **120** hergestellt, beispielsweise zum Abscheiden der Schichten **121**, **122**, was die Abscheidung stark verspannter dielektrischer Materialien für eine weitere Steigerung des Leistungsverhaltens eines oder beider Transistoren **150a**, **150b**, und dergleichen beinhalten kann. Danach wird das Material **120** eingeebnet, so dass schließlich das Polysiliziummaterial in den Gateelektrodenstrukturen **130** freigelegt wird, das dann auf Basis sehr selektiver Ätzchemien entfernt wird, wodurch Gateöffnungen erzeugt werden. Es sollte beachtet werden, dass auch dielektrisches Material, das an der Unterseite der Gateöffnung vorgesehen ist, entfernt werden kann, zumindest teilweise, wenn dies als geeignet erachtet wird, und daraufhin wird das dielektrische Material mit großem Epsilon **131** abgeschieden. In anderen Fällen ist ein dielektrisches Material mit großem  $\epsilon$  bereits in einer frühen Fertigungsphase vorgesehen worden. Bei Bedarf, wird die Materialschicht **132** mittels geeigneter Abscheidetechniken aufgebracht, woran sich das Abscheiden des Elektrodenmetalls **133** anschließt,

was durch Sputter-Abscheidung, elektrochemische Abscheidung und dergleichen bewerkstelligt werden kann. Um die Gateöffnungen zuverlässig zu füllen, ist ein gewisser Grad an Überfüllung typischerweise erforderlich, wie dies in **Fig. 1a** durch die gestrichelten Linien dargestellt ist. Als nächstes wird überschüssiges Material der Schicht **133** und möglicherweise der Schicht **132** entfernt auf der Grundlage eines chemisch-mechanischen Polierprozesses **103**, in welchem vorzugsweise das Material der Schicht **133** abgetragen wird. Wie zuvor erläutert ist, wird typischerweise ein geeignetes Schleifmaterial, d. h. eine Lösung mit einer geeigneten chemisch aktiven Komponente aufgebracht, wobei Schleifeteilchen vorgesehen sind, um für eine ausgeprägte physikalische Komponente beim Entfernen der Materialien **133** und **132** zu sorgen. Wenn beispielsweise Aluminiummaterial oder Aluminiumlegierungen entfernt werden, wird typischerweise Alumina, d. h. Aluminiumoxid, als ein geeignetes Material für die Schleifeteilchen verwendet, die jedoch zum Verklumpen neigen, insbesondere in einer abschließenden Phase des Abtragsprozesses **103**, wenn typischerweise zwei unterschiedliche Metallsorten, etwa das Material der Schicht **133** und die Komponente **122** der Schicht **120**, zu polieren sind. Zusätzlich zu jeglichen Mikrorissen, die durch die Aluminateilchen in dem dielektrischen Material **120** hervorgerufen werden, d. h. nach dem Entfernen des sehr dünnen dielektrischen Materials **131**, falls dieses überhaupt vorgesehen ist, kann die zunehmende Agglomeration der Aluminateilchen ausgeprägte Risse in dem Material **122** hervorrufen, wie dies durch **124** angegeben ist. Da eine entsprechende Nachpolierzeit anzuwenden ist, um zuverlässig Metallreste zu entfernen, wird eine ausgeprägte Anzahl an Rissen **124** während des Abtragsprozesses **103** hervorgerufen.

**[0011]** Nach dem Abtragsprozess **103** sind die Gateelektrodenstrukturen **130** lateral von dem dielektrischen Zwischenschichtmaterial **120** umschlossen, während andererseits die gut leitenden Gateelektrodenstrukturen **130** eine freiliegende Metalloberfläche besitzen, wodurch eine Kontaktierung durch Metallgebiete eines Metallisierungssystems möglich ist. Andererseits erfordern die Kontaktbereiche **154** in den Drain- und Sourcegebieten **153** Kontaktelemente, die sich durch das dielektrische Zwischenschichtmaterial **120** erstrecken, wobei jedoch im Gegensatz zu vielen anderen konventionellen Vorgehensweisen diese Kontaktelemente durch ein moderat dünnes dielektrisches Material zu bilden sind, wodurch ein unerwünscht großes Aspektverhältnis vermieden wird und wodurch die Strukturierung der Kontaktöffnungen mit geringerer lateraler Abmessung möglich ist.

**[0012]** **Fig. 1b** zeigt schematisch das Halbleiterbauelement **100** in einer weiter fortgeschrittenen Fertigungsphase. Eine Ätzmaske **104**, etwa eine Lack-

maske und dergleichen, ist auf dem dielektrischen Zwischenschichtmaterial **120** ausgebildet und ist geeignet gestaltet, so dass die laterale Größe und die Lage von Kontaktöffnungen **123** festgelegt sind, die in dem Material **120** herzustellen sind. Da die Höhe der Kontaktöffnungen **123** im Wesentlichen durch die Höhe der Gateelektrodenstrukturen **120** beschränkt ist, können geringere laterale Abmessungen erreicht werden, wodurch das Halbleiterbauelement **100** mit einer erhöhten Packungsdichte bereitgestellt werden kann. D. h., der laterale Abstand der Transistoren **150a**, **150b** wird so gewählt, dass dieser mit den Strukturierungseigenschaften zur Herstellung der Kontaktöffnungen **123** durch die Schicht **120** mit einer Höhe verträglich ist, die im Wesentlichen der Höhe der Gateelektrodenstrukturen **130** entspricht. Die Ätzmaske **104** wird auf der Grundlage einer geeigneten Lithographietechnik bereitgestellt. Daraufhin wird eine geeignete Ätzsequenz angewendet, um durch die Materialien **122** und **121** zu ätzen, um schließlich das Metallsilizid in Kontaktbereichen **154** freizulegen. Daraufhin wird die Ätzmaske **104** abgetragen und bei Bedarf werden geeignete Reinigungsprozesse angewendet.

**[0013]** Fig. 1c zeigt schematisch eine Draufsicht des Halbleiterbauelements **100** nach der zuvor beschriebenen Prozesssequenz. Wie gezeigt, sind mehrere der Gateelektrodenstrukturen **120** vorgesehen und die Kontaktöffnungen **123** sind geeignet so positioniert, dass der erforderliche elektrische Kontakt zu den Transistoren **150a**, **150b** geschaffen wird, wie sie in den Fig. 1a und Fig. 1b gezeigt sind. Wie gezeigt, sind die Risse **124** in einer mehr oder minder ausgeprägten Weise vorhanden, wobei einige der Risse **124** sich zwischen zwei Kontaktöffnungen **123** erstrecken, wie dies auch auf der linken Seite auf Fig. 1c dargestellt ist.

**[0014]** Fig. 1d zeigt schematisch das Bauelement **100** wiederum in einer Querschnittsansicht in einer weiter fortgeschrittenen Fertigungsphase. Wie gezeigt, ist ein Kontaktmaterial **126**, möglicherweise in Verbindung mit einem leitenden Barrierenmaterial, über dem dielektrischen Material **120** und in den Kontaktöffnungen **123** ausgebildet. Beispielsweise weist das Kontaktmaterial **126** Wolfram auf, während das leitende Barrierenmaterial Titan, Titanitrid und dergleichen umfassen kann. Diese Materialien werden auf der Grundlage einer beliebigen geeigneten Abscheidetechnik aufgebracht, beispielsweise durch CVD und dergleichen.

**[0015]** Fig. 1e zeigt schematisch das Bauelement **100** während eines weiteren Abtragsprozesses **105**, der einen chemisch-mechanischen Polierprozess umfasst. Während des Prozesses **105** wird überschüssiges Material der Schicht **126** und der leitenden Barriere, falls diese vorgesehen ist (siehe Fig. 1d) abgetragen, wie dies auch zuvor erläu-

tert ist. Typischerweise wird ein spezielles Schleifmaterial ausgewählt, um einen gewünschten Grad an Selektivität während des Polierprozesses **105** zu erreichen. Während einer abschließenden Phase des Prozesses **105** sind jedoch mindestens zwei unterschiedliche Metalle vorhanden, d. h. das Elektrodenmetall **133**, etwa Aluminium, eine Aluminiumlegierung, und dergleichen, und auch das Kontaktmaterial **126**, beispielsweise in Form von Wolfram. Auf Grund des unterschiedlichen elektrochemischen Verhaltens der Metalle **133**, **126** reagieren diese Materialien auch folglich unterschiedlich auf das verwendete Schleifmittel, was zu einem unterschiedlichen Grad an Materialabtrag in der abschließenden Phase des Prozesses **105** führen kann. In einigen Fällen wird eine Metallagglomeration für eine Art an Metallen beobachtet, während eine ausgeprägte Metallverarmung für die andere Art an Metall während der abschließenden Polierphase beobachtet wird. Da ferner eine gewisse Nachpolierzeit anzuwenden ist, um elektrisch isolierte Kontaktelemente **125** zu schaffen, kann somit eine entsprechende unterschiedliche Reaktion auf das verwendete Schleifmaterial zu einer Metallverarmung, beispielsweise in den Kontaktelementen **125** führen. Andererseits können die zuvor erzeugten Risse **124** mit dem Kontaktmaterial gefüllt bleiben, wodurch effiziente „Leckstrompfade“ geschaffen werden.

**[0016]** Fig. 1f zeigt schematisch das Halbleiterbauelement **100** nach dem Polierprozess **105**, der in Fig. 1e gezeigt ist. Wie dargestellt, enthalten einige der Kontaktelemente **125** Unregelmäßigkeiten, etwa verarmte Zonen **125a**, die zu einem deutlich höheren Kontaktwiderstand führen. Andererseits können metallgefüllte Spalte oder Risse, etwa der Riss **124** auf der linken Seite in Fig. 2f zwei Kontaktelemente **125** verbinden, wodurch diese Kontakte **125** „kurzgeschlossen“ werden, was sogar zu einem Totalausfall des Bauelements **100** führen kann.

**[0017]** Folglich kann in einem Kontaktschema, in welchem das dielektrische Material **120** für die Herstellung mit reduzierter Höhe verwendet wird, die zuvor beschriebene konventionelle Strategie zu ausgeprägten Defektraten und Bauteilausfällen führen, was somit zu einer geringeren Produktionsausbeute beiträgt. In einigen konventionellen Vorgehensweisen werden verbesserte Schleifmaterialien während des Abtragsprozesses **105** in Fig. 1e verwendet, was jedoch zu erheblichen Forschungs- und Entwicklungsaufwand fordert, um eine geeignete chemische Lösung zu finden, wobei dennoch ein gewünschtes Gleichgewicht zwischen der chemischen Reaktion der beiden unterschiedlichen Metallmaterialien nur sehr schwer erreichbar ist. Ferner auch die metallgefüllten Risse zu ausgeprägten Kontaktausfällen beitragen.

**[0018]** In der EP 1 211 716 A2 wird ein Verfahren zur Herstellung einer Austauschelektrode in einer dielektrischen Schicht beschrieben, wobei in der dielektrischen Schicht auch Kontakte ausgebildet werden woraufhin eine weitere dielektrische Schicht über dieser dielektrischen Schicht ausgebildet wird.

**[0019]** In der DE 198 26 031 C2 wird ein Verfahren zur Ausbildung von Kontaktelementen eines Halbleiterbauteils beschrieben, in dem eine Isolierschicht über einer Gateelektrodenstruktur und Öffnungen in der Isolierschicht gebildet werden.

**[0020]** In der US 6 887 747 B2 wird ein Verfahren zur Ausbildung von Kontaktelementen in einer dielektrischen Zwischenschicht mithilfe einer strukturierten Photolackschicht beschrieben.

**[0021]** In der US 6 228 760 B1 wird das Ausbilden einer Photolackschicht auf einer dielektrischen antireflektierenden Schicht beschrieben, die auf einem Dielektrikum gebildet ist. Die Photolackschicht wird strukturiert und als Ätzmaske zum Ätzen der dielektrischen antireflektierenden Schicht und des Dielektrikums verwendet.

**[0022]** In der US 2005/0145894 A1 wird ein Replacement-Gate-Verfahren unter Verwendung eines Platzhaltermaterials beschrieben, in dem CMP-Kratzer mittels nassen Ätzens entfernt werden.

**[0023]** In der US 2002/0158340 A1 wird das Füllen von CMP-Kratzern mittels Deckschichten beschrieben.

**[0024]** Im Hinblick auf die zuvor beschriebene Situation betrifft die vorliegende Erfindung Prozessstrategien, in denen Kontaktelemente mit geringerem Aspektverhältnis in Austauschverfahren hergestellt werden, wobei eines oder mehrere der oben erkannten Probleme vermieden oder zumindest in der Auswirkung reduziert werden.

#### Überblick über die Erfindung

**[0025]** Im Allgemeinen stellt die vorliegende Erfindung Fertigungstechniken bereit, in denen Kontaktelemente in Anwesenheit komplexer Metallgateelektrodenstrukturen mit großem  $\epsilon$  hergestellt werden, wobei durch Metallabtragungsprozesse hervorgerufene Defekte verringert werden, indem die Metallgateelektrodenstrukturen maskiert werden, ohne dass das Aspektverhältnis der Kontaktöffnungen unerwünscht erhöht wird, wobei die Kontaktöffnungen in dem dielektrischen Zwischenschichtmaterial herzustellen sind. Gleichzeitig kann das Maskenmaterial zuverlässig jegliche Risse auffüllen, die während einer frühen Fertigungssequenz erzeugt werden, wodurch die Wahrscheinlichkeit verringert wird, dass zusätzliche Leckstrompfade erzeugt werden, wobei

die Möglichkeit besteht, gut etablierte polierbasierte Abtragungsprozesse während des Austauschgateverfahrens anzuwenden. In einigen anschaulichen hierin offenbarten Aspekten wird das Maskenmaterial gleichzeitig als ein Hartmaskenmaterial zum Ätzen der Kontaktöffnungen verwendet, wodurch zu einem sehr effizienten Gesamtprozessablauf beigetragen wird, ohne dass das Aspektverhältnis der resultierenden Kontaktöffnungen vergrößert wird.

**[0026]** Ein anschauliches hierin offenbartes Verfahren umfasst das Bilden einer dielektrischen Deckschicht über einer Gateelektrodenstruktur eines Transistors, die über dem Halbleitergebiet gebildet ist. Die Gateelektrodenstruktur ist lateral in einem dielektrischen Zwischenschichtmaterial eingebettet und weist ein dielektrisches Material mit großem  $\epsilon$  und ein Elektrodenmetall auf. Das Verfahren umfasst ferner das Bilden einer Kontaktöffnung lateral beabstandet zu der Gateelektrodenstruktur derart, dass dieses sich durch die dielektrische Deckschicht und das dielektrische Zwischenschichtmaterial erstreckt. Das Verfahren umfasst ferner das Bilden eines Kontaktmaterials in der Kontaktöffnung und das Entfernen von einem überschüssigen Teil des Kontaktmaterials, so dass die dielektrische Deckschicht freigelegt wird. Des weiteren umfasst das Verfahren das Ausführen eines Abtragungsprozesses derart, dass das Elektrodenmetall der Gateelektrodenstruktur freigelegt wird.

**[0027]** Ein noch weiteres anschauliches hierin offenbartes Verfahren umfasst das Bilden eines Elektrodenmetalls in einer Öffnung einer Gateelektrodenstruktur des Transistors, wobei die Gateelektrodenstruktur lateral in einem dielektrischen Material eingebettet ist. Das Verfahren umfasst des weiteren das Entfernen eines überschüssigen Teils des Elektrodenmetalls durch Ausführen eines ersten Abtragungsprozesses. Ferner umfasst das Verfahren das Bilden einer dielektrischen Deckschicht über dem Elektrodenmetall und dem dielektrischen Material. Des weiteren umfasst das Verfahren das Bilden einer Kontaktöffnung in der dielektrischen Deckschicht und dem dielektrischen Material, ohne dass das Elektrodenmetall freigelegt wird, wobei die Kontaktöffnung mit einem Draingebiet oder einem Sourcegebiet verbunden ist. Ferner umfasst das Verfahren das Bilden eines Kontaktmetalls in der Kontaktöffnung und über der dielektrischen Schicht. Das Verfahren umfasst des weiteren das Entfernen eines überschüssigen Teils des Kontaktmetalls durch Ausführen eines zweiten Abtragungsprozesses. In diesem Verfahren umfasst das Bilden der Kontaktöffnung Bilden einer Maskenöffnung in der dielektrischen Deckschicht und Verwenden der Maskenöffnung als eine Ätzmaske.

## Kurze Beschreibung der Zeichnungen

**[0028]** Weitere Ausführungsformen der vorliegenden Erfindung sind in den angefügten Patentansprüchen definiert und gehen deutlicher aus der folgenden detaillierten Beschreibung hervor, wenn diese mit Bezug zu den begleitenden Zeichnungen studiert wird, in denen:

**[0029]** Fig. 1a und Fig. 1b schematisch Querschnittsansichten eines Halbleiterbauelements zeigen, wenn eine Kontaktöffnung in einem dielektrischen Material mit einer Höhe gebildet wird, die vergleichbar ist zu der Höhe einer Metallgateelektrodenstruktur mit großem  $\epsilon$  gemäß einer konventionellen Strategie;

**[0030]** Fig. 1c schematisch eine Draufsicht des Halbleiterbauelements nach dem Ätzprozess zur Herstellung von Kontaktöffnungen zeigt;

**[0031]** Fig. 1d und Fig. 1e schematisch Querschnittsansichten des Halbleiterbauelements in weiter fortgeschrittenen Fertigungsphasen zeigen, in denen das Entfernen von überschüssigem Material des Kontaktmetalls zu einer hohen Defektrate gemäß konventioneller Strategien führt;

**[0032]** Fig. 1f schematisch eine Draufsicht des Halbleiterbauelements mit fehlerhaften Kontaktelementen und Leckstromwegen gemäß konventioneller Strategien zeigt;

**[0033]** Fig. 2a schematisch eine Querschnittsansicht eines Halbleiterbauelements mit Metallgateelektrodenstrukturen zeigt, die auf der Grundlage eines Austauschgateverfahrens mit einer dielektrischen Deckschicht und einer Maskenschicht hergestellt sind, die das Elektrodenmetall der Gateelektrodenstrukturen gemäß anschaulicher Ausführungsformen abdeckt;

**[0034]** Fig. 2b schematisch das Bauelement mit einer Ätzmaske zeigt, um gemeinsam die dielektrische Deckschicht und das dielektrische Zwischenschichtmaterial gemäß anschaulicher Ausführungsformen zu strukturieren;

**[0035]** Fig. 2c schematisch das Halbleiterbauelement mit der strukturierten Maskenschicht zeigt, die als eine Hartmaske zur Herstellung der Kontaktöffnungen dient, während gleichzeitig jegliche Risse zuverlässig gefüllt werden und das Elektrodenmetall gemäß noch weiterer anschaulicher Ausführungsformen abgedeckt wird; und

**[0036]** Fig. 2d bis Fig. 2g schematisch Querschnittsansichten eines Halbleiterbauelements während fortgeschrittener Fertigungsphasen zeigen, wenn überschüssiges Material des Kontaktmaterials entfernt

wird und wenn zumindest ein wesentlicher Teil des dielektrischen Deckmaterials oder der Ätzmaske gemäß noch weiteren anschaulichen Ausführungsformen abgetragen wird.

## Detaillierte Beschreibung

**[0037]** Die vorliegende Erfindung stellt allgemein Fertigungsstrategien bereit, in denen Kontaktelemente auf der Grundlage einer Bauteilgeometrie hergestellt werden, die im Wesentlichen durch die Höhe der Gateelektrodenstrukturen bestimmt ist, wobei die Gesamtdefektrate verringert wird, während das Entfernen von überschüssigem Material des Kontaktmetalls auf der Grundlage gut etablierter Abtragungsprozesse ermöglicht wird, etwa unter Anwendung von CMP und Verwendung verfügbarer Schleifmaterialien. Dazu erhält das Halbleiterbauelement eine moderat dünne dielektrische Materialschicht, die als eine Materialschicht zu verstehen ist, die eine Dicke besitzt, die einer Tiefe von Spalten und Rissen angepasst ist, die während der früheren Fertigungsphasen erzeugt wurden, um somit in zuverlässiger Weise derartige Risse zu versiegeln und auch um das Elektrodenmetall der Metallgateelektrodenstrukturen mit großem  $\epsilon$  abzudecken. Beispielsweise wird die dielektrische Deckschicht, die in einigen anschaulichen Ausführungsformen auch als eine Hartmaske verwendet wird, mit einer Dicke von ungefähr 20 nm bis mehrere 100 nm vorgesehen. Folglich kann die weitere Bearbeitung, d. h. die Herstellung der Kontaktöffnungen und das Ausfüllen davon mit einem geeigneten leitenden Material fortgesetzt werden, ohne dass das Gesamtaspektverhältnis der Kontaktöffnungen unnötig vergrößert wird, während gleichzeitig Fehlermechanismen, etwa Risse und eine unterschiedliche Reaktion auf den Abtragungsprozess von unterschiedlichen Arten von leitenden Materialien in einer abschließenden Phase des Abtragungsprozesses vermieden werden können, oder wobei diese Fehlermechanismen deutlich reduziert werden. Folglich können die Kontaktöffnungen und somit die Kontaktelemente mit geringeren kritischen Abmessungen vorgesehen werden und können im Zusammenhang mit komplexen Halbleiterbauelementen angewendet werden, die Schaltungselemente mit kritischen Abmessungen von 40 nm und weniger, etwa 30 nm und dergleichen enthalten.

**[0038]** Mit Bezug zu den Fig. 2a bis Fig. 2f werden nunmehr weitere anschauliche Ausführungsformen detaillierter beschrieben, wobei bei Bedarf auch auf die Fig. 1a bis Fig. 1f verwiesen wird. Es solle beachtet werden, dass insbesondere auf die Fig. 1a im Hinblick auf Fertigungstechniken und Eigenschaften und Strukturelemente für komplexe Transistoren verwiesen sein, die Metallgateelektrodenstrukturen mit großem  $\epsilon$  enthalten.

**[0039]** Fig. 2a zeigt schematisch eine Querschnittsansicht eines Halbleiterbauelements **200** mit einem Substrat **201**, einer Halbleiterschicht **202**, in und über welcher Transistorelemente **250a**, **250b** vorgesehen sind. Die Transistoren **250a**, **250b** umfassen Gateelektrodenstrukturen **230**, Drain- und Sourcegebiete **253**, Kanalgebiete **252** und Kontaktgebiete **254**. Die Gateelektrodenstrukturen **230** repräsentieren in dieser Fertigungsphase Metallgateelektrodenstrukturen mit großem  $\epsilon$ , die ein dielektrisches Material mit großem  $\epsilon$  **231** und ein Elektrodenmetall **233** möglicherweise in Verbindung mit einem Austrittsarbeitmetall **232** oder einer Art an leitendem Barrierenmaterial oder Ätzstoppmaterial, etwa Titanitrid, Tantalnitrid und dergleichen aufweisen. Die Transistoren **250a**, **250b** können komplexe planare Transistorbauelemente sein, in denen kritische Abmessungen, d. h. die Länge der Gateelektrodenstruktur **230**, 40 nm und weniger beträgt. Es sollte beachtet werden, dass im Hinblick auf Eigenschaften der bislang beschriebenen Komponenten auch die gleichen Kriterien gelten können, wie sie zuvor mit Bezug zu dem Halbleiterbauelement **100** erläutert sind, wenn ähnliche Komponenten mit Bezug zu Fig. 1a beschrieben sind.

**[0040]** In ähnliche Weise umfasst das Halbleiterbauelement **200** ein dielektrisches Zwischenschichtmaterial **220**, in welchem die Gateelektrodenstrukturen **230** lateral eingebettet sind, wie dies auch zuvor mit Bezug zu dem Halbleiterbauelement **100** erläutert ist. Beispielsweise umfasst das dielektrische Material **220** zwei oder mehr einzelne Materialschichten, etwa das Material **221**, beispielsweise aus Siliziumnitrid, und ein Material **222**, etwa eine Siliziumdioxidschicht und dergleichen. Wie gezeigt, besitzt das dielektrische Material **220** im Wesentlichen die gleiche Höhe wie die Gateelektrodenstrukturen **230**. Ferner ist eine dielektrische Deckschicht oder eine Maskenschicht **210** über dem dielektrischen Material **220** und den Gateelektrodenstrukturen **230** ausgebildet. Die Maskenschicht **210** ist aus einem geeigneten dielektrischen Material aufgebaut, etwa Siliziumnitrid, Siliziumoxinitrid, Siliziumdioxid und dergleichen. In anderen Fällen werden Materialien, etwa Polymermaterialien und dergleichen, eingesetzt, solange diese Materialien den Prozessbedingungen nachfolgender Prozesse widerstehen können, etwa einem Abscheidprozess und einem nachfolgenden Materialabtragsprozess. In noch anderen anschaulichen Ausführungsformen umfasst das Material **210** zwei oder mehr Materialschichten, die als ein Hartmaskenmaterial während der weiteren Bearbeitung verwendet werden können. Beispielsweise kann amorpher Kohlenstoff, Siliziumoxinitrid und dergleichen in diesem Falle eingesetzt werden.

**[0041]** Das Halbleiterbauelement **200** kann auf der Grundlage einer beliebigen geeigneten Fertigungstechnik hergestellt werden, um die Transistoren **250a**, **250b** und das dielektrische Material **220** bereit-

zustellen. Beispielsweise können die gleichen Prozesstechniken und Materialien eingesetzt werden, wie sie zuvor mit Bezug zu dem Halbleiterbauelement **100** beschrieben sind. Somit wird in einigen anschaulichen Ausführungsformen nach dem Abscheiden des dielektrischen Materials **220** ein Austauschgateverfahren angewendet und jegliche Platzhaltermaterialien werden zumindest durch das Elektrodenmetall **223** möglicherweise in Verbindung mit einem weiteren Metallmaterial **232** und der dielektrischen Schicht mit großem  $\epsilon$  **231** ersetzt. Daraufhin wird ein überschüssiger Anteil des Materials **233** und möglicherweise des Materials **232** abgetragen möglicherweise mittels eines Abtragsprozesses, etwa dem Prozess **103**, wie er zuvor mit Bezug zu Fig. 1a beschrieben ist. Somit kann ein beliebiges geeignetes Prozessrezept angewendet werden, was zur Erzeugung gewisser Oberflächenunregelmäßigkeiten führen kann, etwa von Rissen **224** innerhalb des dielektrischen Materials **220**, wie dies auch zuvor erläutert ist. Im Gegensatz zu konventionellen Strategien beeinflusst jedoch die Anwesenheit der Risse **224** die weitere Bearbeitung nicht negativ. Zu diesem Zweck wird ein Abscheidprozess **211** angewendet, um die dielektrische Deckschicht oder Maskenschicht **210** aufzubringen, beispielsweise durch CVD-Techniken, Aufschleudertechniken und dergleichen. Wie zuvor erläutert ist, wird die Schicht **210** mit einer Dicke von 20 nm bis zu mehreren 100 nm vorgesehen, wobei dies von der Oberflächentopographie der Schicht **220** nach dem vorhergehenden Abtragsprozess abhängt. D. h., die Dicke der Schicht **210** wird typischerweise so gewählt, dass sie größer als eine erwartete maximale Tiefe der Risse **224** ist, wodurch ein zuverlässiges Auffüllen der Risse **224** mit einem dielektrischen Material sichergestellt ist. Abhängig von der angewendeten Abscheidetechnik kann ein Polierprozess angewendet werden, um eine bessere Oberflächentopographie für die Schicht **210** zu erzeugen.

**[0042]** Fig. 2b zeigt schematisch das Halbleiterbauelement **200** in einer weiter fortgeschrittenen Fertigungsphase. Wie gezeigt, ist eine Ätzmaske **204** vorgesehen, beispielsweise in Form eines Lackmaterials, um die laterale Größe und Lage von Kontaktöffnungen **223** zu bestimmen, die in dem dielektrischen Material **220** und der dielektrischen Deckschicht **210** zu erzeugen sind. Dazu wird eine geeignete Lithografiertechnik eingesetzt. Daraufhin wird ein geeigneter Ätzprozess angewendet, um die Schicht **210** und durch die Schichten **220** zu ätzen, wodurch schließlich ein Bereich der Kontaktgebiete **254** freigelegt wird. Zu diesem Zweck können geeignete Prozessrezepte angewendet werden. Beispielsweise besitzt die dielektrische Deckschicht **210** ein ähnliches Ätzverhalten wie das Material **220**, wodurch die Anwendung gut etablierter Ätzrezepte möglich ist. In anderen Fällen wird eine geeignete Ätzchemie angewendet, um durch die Schicht **210** zu ätzen und nachfolgend wer-

den etablierte Ätzparameter angewendet, um durch das dielektrische Material **220** zu ätzen.

**[0043]** Fig. 2c zeigt schematisch das Halbleiterbauelement **200** gemäß noch weiterer anschaulicher Ausführungsformen, in denen die Schicht **210** als eine Ätzmaske verwendet wird. D. h., das dielektrische Material der Schicht **210** wird so strukturiert, dass es entsprechende Maskenöffnungen **210a** erhält, die den Kontaktöffnungen **223** entsprechen. Dazu wird eine Lackmaske verwendet, um die Schicht **210** zu strukturieren, die dann wiederum als die eigentliche Ätzmaske nach dem Entfernen des Lackmaterials verwendet wird. Beispielsweise ist die Schicht **210** aus amorphen Kohlenstoff aufgebaut, möglicherweise in Verbindung mit Siliziumoxinitrid und dergleichen, so dass eine geringere Dicke der Schicht **210** für eine ausreichende Ätzwiderstandsfähigkeit sorgt, um damit in zuverlässiger Weise die Kontaktöffnungen **223** mit den gewünschten lateralen Abmessungen zu erzeugen. Andererseits kann das Elektrodenmetall **233** zuverlässig von der Schicht **210** abgedeckt werden und auch die Risse **224** können versiegelt werden, mit Ausnahme von Riss-Bereichen, die in einem Bereich liegen, der den Kontaktöffnungen **223** entspricht. D. h., jegliche Riss-Bereiche, die innerhalb der Maskenöffnungen **210a** liegen, werden zuverlässig beim Strukturieren der Schicht **210** freigelegt. In anderen Fällen wird die Ätzmaske **210** in Form eines Polymermaterials vorgesehen, das in eine sehr nicht-konformen Weise aufgebracht wird und das so behandelt wird, dass es den Prozessbedingungen während des nachfolgenden Abscheidens des Kontaktmaterials widersteht.

**[0044]** Nach der Herstellung der Kontaktöffnungen **223** wird oder werden ein oder mehrere leitende Materialien auf der Grundlage einer geeigneten Abscheidetechnik aufgebracht, etwa durch CVD, elektrochemische Abscheidung, Sputter-Abscheidung, oder eine Kombination davon, während die Schicht **210** vorhanden ist und somit zuverlässig die Risse **224** versiegelt und das Elektrodenmetall **233** abdeckt. In einigen anschaulichen Ausführungsformen besitzt das in den Öffnungen **223** abzuscheidende Kontaktmaterial eine andere Materialzusammensetzung in Vergleich zu den Elektrodenmetall **233**, wodurch ein hoher Grad an Flexibilität bei der Auswahl eines geeigneten Materials für die Gateelektrodenstruktur **230** einerseits und für die in den Öffnungen **223** zu bildenden Kontaktelemente andererseits erreicht wird. In anderen Fällen wird ein ähnliches oder gleiches Material für die Kontaktelemente sowie das Elektrodenmetall **233** verwendet.

**[0045]** Fig. 2d zeigt schematisch das Halbleiterbauelement **200** mit einem Kontaktmaterial **226**, etwa Wolfram, Aluminium, Aluminiumlegierungen und dergleichen, das in den Kontaktöffnungen **223** und über der dielektrischen Deckschicht **210** gebildet ist.

Es sollte beachtet werden, dass bei Bedarf eine oder mehrere weitere Materialschichten, etwa leitende Barrierenmaterialien und dergleichen vorgesehen werden können, wie dies auch zuvor mit Bezug zu dem Halbleiterbauelement **100** erläutert ist. Ferner kann das Bauelement **200** einen Materialabtragungsprozess **205** unterworfen werden, der in einigen anschaulichen Ausführungsformen einen chemisch-mechanischen Prozess beinhaltet, wobei ein Schleifmaterial geeignet so ausgewählt ist, dass ein effizientes Entfernen eines überschüssigen Bereichs der Schicht **226** möglich ist. Auf Grund des Vorsehens der dielektrischen Deckschicht **210** können gut etablierte Schleifmaterialien angewendet werden, da die Schicht **210** als eine Stoppschicht dient oder zumindest einen direkten Kontakt der Materialien **226** und **233** in einer abschließenden Phase des Abtragungsprozesses **205** vermeidet. Somit können gut etablierte Materialsysteme und CMP-Rezepte während des Abtragens von überschüssigen Teilen der Schicht **226** angewendet werden.

**[0046]** Fig. 2e zeigt schematisch das Halbleiterbauelement **200** in einer abschließenden Phase des Abtragungsprozesses **205**, wobei unerwünschte Reste des leitenden Materials **226** von der Schicht **210** entfernt werden, wodurch elektrisch isolierte Kontaktelemente **225** geschaffen werden. Somit kann eine unerwünschte Wechselwirkung der Umgebung des Prozesses **205** mit dem Elektrodenmetall **233** auf Grund der Anwesenheit der Materialschicht **210** vermieden werden. In einigen anschaulichen Ausführungsformen wird der Prozess **205** mit einer geeigneten Nachpolierzeit ausgeführt, so dass ein gewisser Grad an Einsenkung bzw. Einkerbung **225d** erreicht wird, während das Elektrodenmetall **233** weiterhin zuverlässig von der Schicht **210** abgedeckt ist. In diesem Falle kann ein ähnliches Höhenniveau des Metalls **226** in den Kontaktelementen **225** und in den Gateelektrodenstrukturen **230** für das Elektrodenmetall **233** erreicht werden. In anderen Fällen wird ein ausgeprägter Grad an Einkerbung vermieden, beispielsweise, wenn das Material **210** und das Metall **226** ähnliche Abtragsraten während des Prozesses **205** besitzen.

**[0047]** Fig. 2f zeigt schematisch das Bauelement **200** während einer weiter fortgeschrittenen Fertigungsphase, in der die dielektrische Deckschicht **210** entfernt ist, um damit das Elektrodenmetall **233** der Gateelektrodenstrukturen **230** freizulegen. Dazu wird in einigen anschaulichen Ausführungsformen der Abtragungsprozess **206** als ein Polierprozess auf der Grundlage eines geeigneten Schleifmaterials mit „milden“ Prozessparametern ausgeführt, beispielsweise im Hinblick auf die Andruckkraft und dergleichen, wodurch das Material **210** effizient abgetragen wird, ohne dass die Metalle in den Gateelektrodenstrukturen **230** und in den Kontaktelementen **225** unnötig geschädigt werden. Es sollte beachtet werden,

dass während des Prozesses **206** Prozessparameter so gewählt werden, dass das Material **210** entfernt wird, wodurch Prozessrezepte zum Entfernen dielektrischer Materialien anwendbar sind, die nicht in unerwünschter Weise mit Metallmaterialien in Wechselwirkung treten. Des Weiteren ist die Lage des Prozesses **206** wesentlich anders im Vergleich zu dem Abtragungsprozess **105**, der in **Fig. 1e** beschrieben ist, da in der konventionellen Strategie eine im Wesentlichen kontinuierliche Metallschicht zuverlässig von dielektrischen Oberflächenbereichen zu entfernen ist, wobei das verwendete Schleifmittel effektiv mit jeglichen Metallmaterialien reagiert, jedoch in einer typischen unterschiedlichen Weise. Ferner ist eine ausgeprägte Nachpolierzeit erforderlich, da jegliche Metallreste zu unerwünschten Leckstromwegen führen können. Andererseits werden in **Fig. 2f**, obwohl schließlich das Elektrodenmetall **233** freigelegt wird, die Prozessbedingungen so gewählt, dass das dielektrische Material der Schicht **210** entfernt wird, ohne dass im Wesentlichen Metallmaterialien in den Komponenten **225** und **230** angegriffen werden. Andererseits können dielektrische Reste, beispielsweise in den Gateelektrodenstrukturen **230** effizient auf der Grundlage eines nachfolgenden Reinigungsprozesses entfernt werden, falls dies erforderlich ist.

**[0048]** In anderen anschaulichen Ausführungsformen ist der Abtragungsprozess **206** eine Nachpolierzeit des Prozesses **205**, der in **Fig. 2e** gezeigt ist, wobei zunehmend die Schicht **210** abgetragen wird, während gleichzeitig auch die Höhe der Kontaktelemente **225** verringert wird, während das Elektrodenmetall **233** in einer sehr fortgeschrittenen Phase freigelegt wird, in der überschüssiges Material der Kontaktelemente **225** bereits entfernt ist. Folglich werden auch in diesem Falle bessere Prozessbedingungen erreicht.

**[0049]** **Fig. 2g** zeigt schematisch das Halbleiterbauelement **200** während eines Materialabtragungsprozesses **206a**, der einen selektiven Ätzschritt umfasst, um damit die Schicht **210** zu entfernen. In diesem Falle wird die Schicht **210** mit einer geeigneten Materialzusammensetzung vorgesehen, so dass ein selektives Entfernen in Bezug auf das Material **220** und auch in Bezug auf die leitenden Materialien der Komponenten **225** und **230** möglich ist. Beispielsweise können effiziente nasschemische Ätzrezepte angewendet werden, beispielsweise um Polymermaterialien zu entfernen und dergleichen. Andererseits besitzen derartige Ätzchemie eine deutlich geringere Ätzrate in Bezug auf eine Vielzahl von Metallmaterialien, wodurch die Höhe der Kontaktelemente **225** und des Elektrodenmetalls **233** nicht unnötig verringert wird. Wie zuvor erläutert ist, kann eine geeignete Höhe der Kontaktelemente **225** auf der Grundlage des gewissen Grades an Einkerbung bereitgestellt werden, wenn eine zusätzliche Höhe entsprechend der Dicke der Schicht **210** für die Kontaktelemente **225** als un-

geeignet erachtet wird, wenn die Schicht **210** auf der Grundlage des Ätzprozesses **206a** entfernt wird.

**[0050]** In anderen Fällen umfasst der Prozess **206a** ein plasmaunterstütztes Ätzrezept, falls dies als geeignet erachtet wird. Es sollte beachtet werden, dass während des Ätzprozesses **206a** auch die Risse **224** freigelegt werden, dass jedoch die weitere Bearbeitung nicht negativ beeinflusst, da in diesem Falle typischerweise ein weiteres dielektrisches Material vorgesehen wird, beispielsweise zur Herstellung einer Metallisierungsschicht über dem dielektrischen Material **220**.

**[0051]** Es gilt also: Die vorliegende Erfindung stellt Fertigungstechniken bereit, in denen die Defektrate, die durch Risse und/oder Materialverarmung in Kontaktelementen hervorgerufen wird, verringert wird oder vollständig vermieden wird, indem das Elektrodenmetall komplexer Metallgateelektrodenstrukturen mit großem  $\epsilon$  in geeigneter Weise beim Strukturieren des dielektrischen Zwischenschichtmaterials und beim Wiederauffüllen der Kontaktöffnungen mit einem geeigneten leitenden Material abgedeckt wird. Folglich können jegliche Risse mit einem dielektrischen Material vor dem Abscheiden des Kontaktmaterials gefüllt werden, und das nachfolgende Entfernen von überschüssigen Anteilen des Kontaktmaterials führt nicht zu einer unerwünschten Wechselwirkung mit dem Elektrodenmetall.

## Patentansprüche

### 1. Verfahren mit:

Bilden einer dielektrischen Deckschicht (**210**) über einer Gateelektrodenstruktur (**230**) eines Transistors (**250a, 250b**), die über einem Halbleitergebiet ausgebildet ist, wobei die Gateelektrodenstruktur (**230**) lateral in einem dielektrischen Zwischenschichtmaterial (**220**) eingebettet ist und ein dielektrisches Material (**231**) mit großem  $\epsilon$  und ein Elektrodenmetall (**233**) aufweist;

Bilden einer Kontaktöffnung (**223**) lateral beabstandet zu der Gateelektrodenstruktur (**230**) derart, dass die Kontaktöffnung (**223**) sich durch die dielektrische Deckschicht (**210**) und das dielektrische Zwischenschichtmaterial (**220**) erstreckt;

Bilden eines Kontaktmaterials (**226**) in der Kontaktöffnung (**223**);

Entfernen eines überschüssigen Anteils des Kontaktmaterials (**226**) derart, dass die dielektrische Deckschicht (**210**) freigelegt wird; und

Ausführen eines Abtragungsprozesses derart, dass das Elektrodenmetall (**233**) der Gateelektrodenstruktur (**230**) freigelegt wird.

2. Verfahren nach Anspruch 1, wobei Entfernen des überschüssigen Anteils des Kontaktmaterials (**226**) umfasst: Ausführen eines chemisch-mechanischen Polierprozesses.

3. Verfahren nach Anspruch 1, wobei Ausführen des Abtragungsprozesses umfasst: Ausführen eines Polierprozesses.

4. Verfahren nach Anspruch 1, wobei Ausführen des Abtragungsprozesses umfasst: Ausführen eines Ätzprozesses.

5. Verfahren nach Anspruch 1, das ferner umfasst: Bilden der Gateelektrodenstruktur (**230**) durch Bereitstellen der Gateelektrodenstruktur (**230**) derart, dass diese ein Platzhaltermaterial aufweist, durch Entfernen des Platzhaltermaterials, durch Bilden zumindest des Elektrodenmetalls (**233**) und durch Entfernen eines überschüssigen Anteils des Elektrodenmetalls (**233**) durch Ausführen eines chemisch-mechanischen Polierprozesses.

6. Verfahren nach Anspruch 1, wobei Bilden der Kontaktöffnungen (**223**) umfasst: Strukturieren der dielektrischen Deckschicht (**210**) und Verwenden der strukturierten dielektrischen Deckschicht (**210**) als eine Ätzmaske.

7. Verfahren nach Anspruch 1, wobei das Elektrodenmetall (**233**) und das Kontaktmaterial (**226**) unterschiedliche Materialzusammensetzungen besitzen.

8. Verfahren nach Anspruch 1, wobei Entfernen eines überschüssigen Anteils des Kontaktmaterials (**226**) und Freilegen des Elektrodenmetalls (**233**) umfassen: Ausführen eines einzelnen chemisch-mechanischen Polierprozesses.

9. Verfahren nach Anspruch 1, wobei ein lateraler Abstand zwischen dem Elektrodenmetall (**233**) und dem Kontaktmaterial (**226**) 40 nm oder weniger beträgt nach dem Ausführen des Abtragungsprozesses.

10. Verfahren mit:  
 Bilden eines Elektrodenmetalls (**233**) in einer Öffnung einer Gateelektrodenstruktur (**230**) eines Transistors (**250a, 250b**), wobei die Gateelektrodenstruktur (**230**) in einem dielektrischen Material lateral eingebettet ist;  
 Entfernen eines überschüssigen Anteils des Elektrodenmetalls (**233**) durch Ausführen eines ersten Abtragungsprozesses;  
 Bilden einer dielektrischen Deckschicht (**210**) über dem Elektrodenmetall (**233**) und dem dielektrischen Material;  
 Bilden einer Kontaktöffnung (**223**) in der dielektrischen Deckschicht (**210**) und dem dielektrischen Material, ohne das Elektrodenmetall (**233**) freizulegen, wobei die Kontaktöffnung (**223**) in Verbindung ist mit einem Draingebiet (**253**) oder einem Sourcegebiet (**253**);  
 Bilden eines Kontaktmetalls in der Kontaktöffnung (**223**) und über der dielektrischen Deckschicht (**210**);  
 und

Entfernen eines überschüssigen Anteils des Kontaktmetalls durch Ausführen eines zweiten Abtragungsprozesses;  
 wobei Bilden der Kontaktöffnung (**223**) umfasst: Bilden einer Maskenöffnung in der dielektrischen Deckschicht (**210**) und Verwenden der Maskenöffnung als eine Ätzmaske.

11. Verfahren nach Anspruch 10, wobei Ausführen des ersten Abtragungsprozesses umfasst: Ausführen eines ersten chemisch-mechanischen Polierprozesses.

12. Verfahren nach Anspruch 11, wobei Ausführen des zweiten Abtragungsprozesses umfasst: Ausführen eines zweiten chemisch-mechanischen Polierprozesses.

13. Verfahren nach Anspruch 10, das ferner umfasst: Freilegen des Elektrodenmetalls (**233**) nach dem Ausführen des zweiten Abtragungsprozesses.

14. Verfahren nach Anspruch 13, wobei Freilegen des Elektrodenmetalls (**233**) umfasst: Ausführen eines Polierprozesses.

15. Verfahren nach Anspruch 13, wobei Freilegen des Elektrodenmetalls (**233**) umfasst: Ausführen eines Ätzprozesses.

16. Verfahren nach Anspruch 10, wobei ein lateraler Abstand der Kontaktöffnung (**223**) zu dem Elektrodenmetall (**233**) 40 nm oder weniger beträgt.

Es folgen 7 Seiten Zeichnungen

Anhängende Zeichnungen

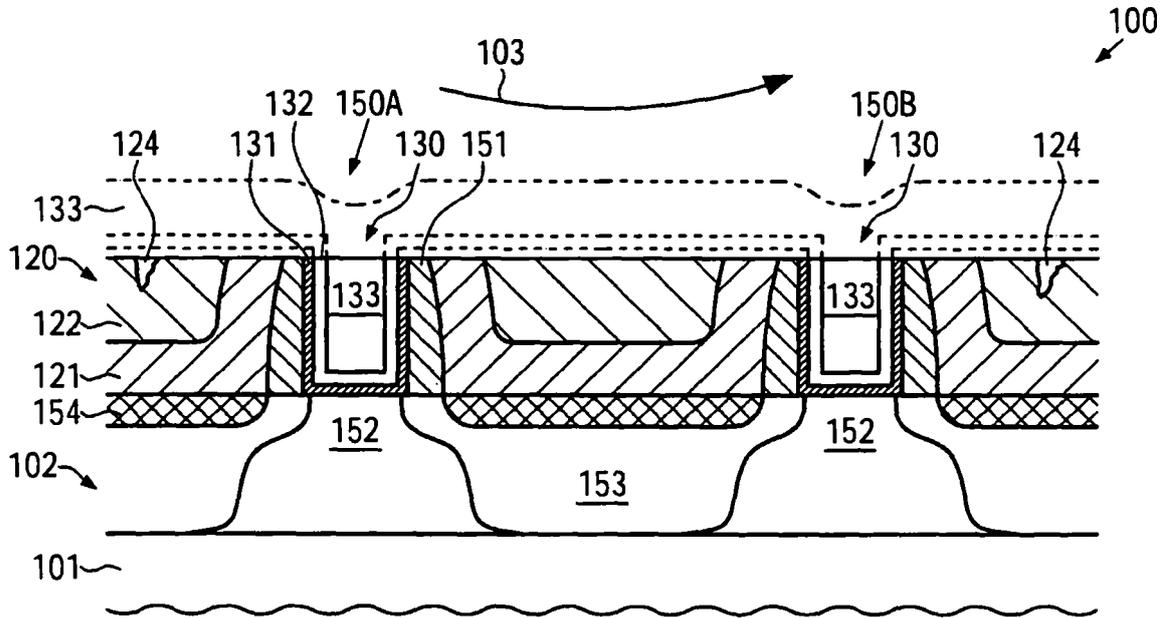


FIG. 1a

(Stand der Technik)

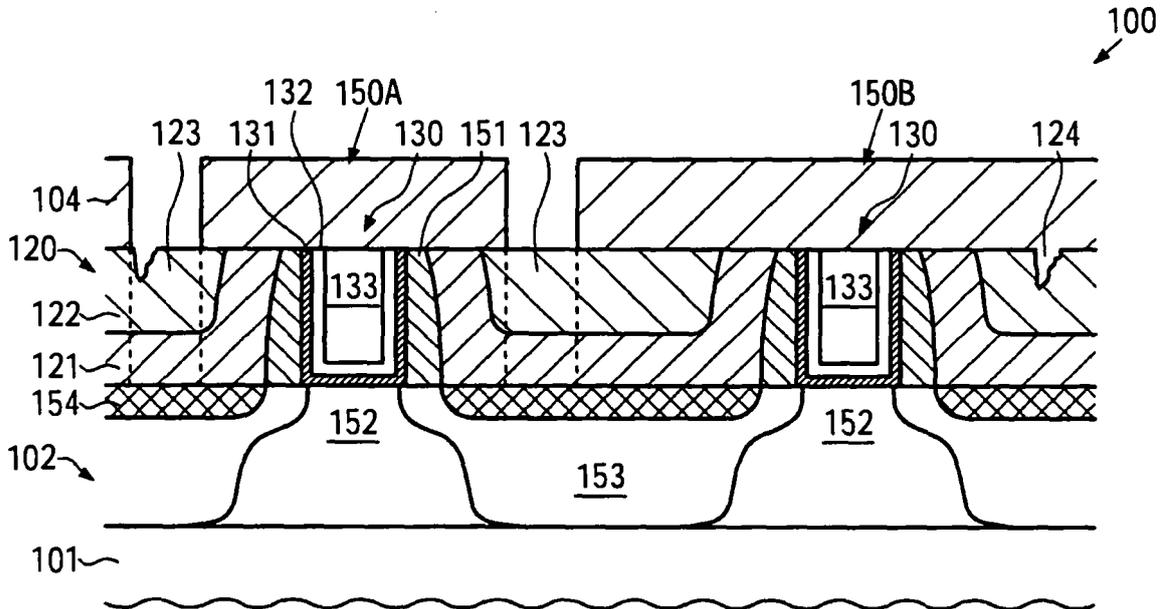


FIG. 1b

(Stand der Technik)

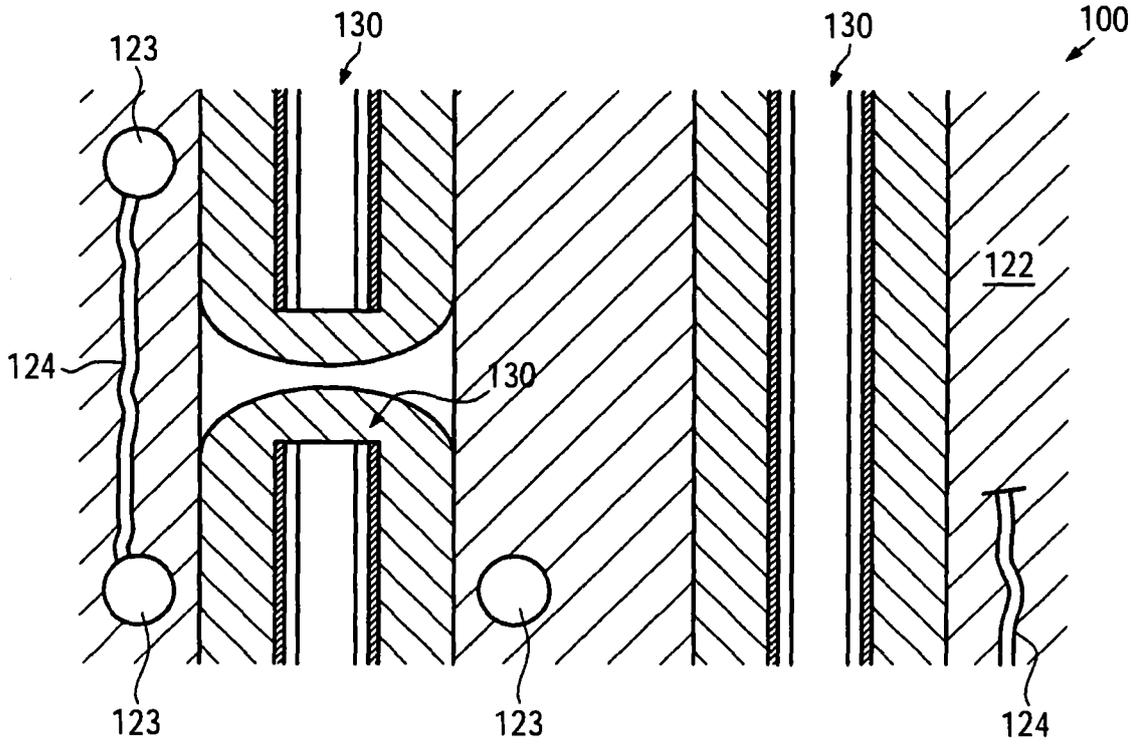


FIG. 1c  
(Stand der Technik)

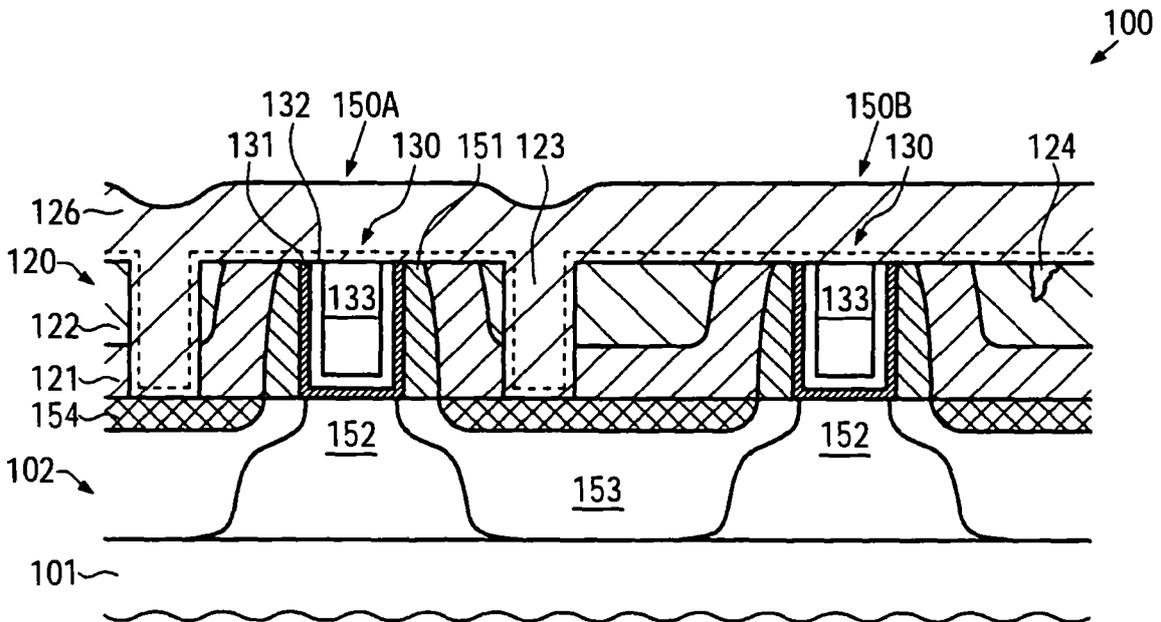


FIG. 1d  
(Stand der Technik)

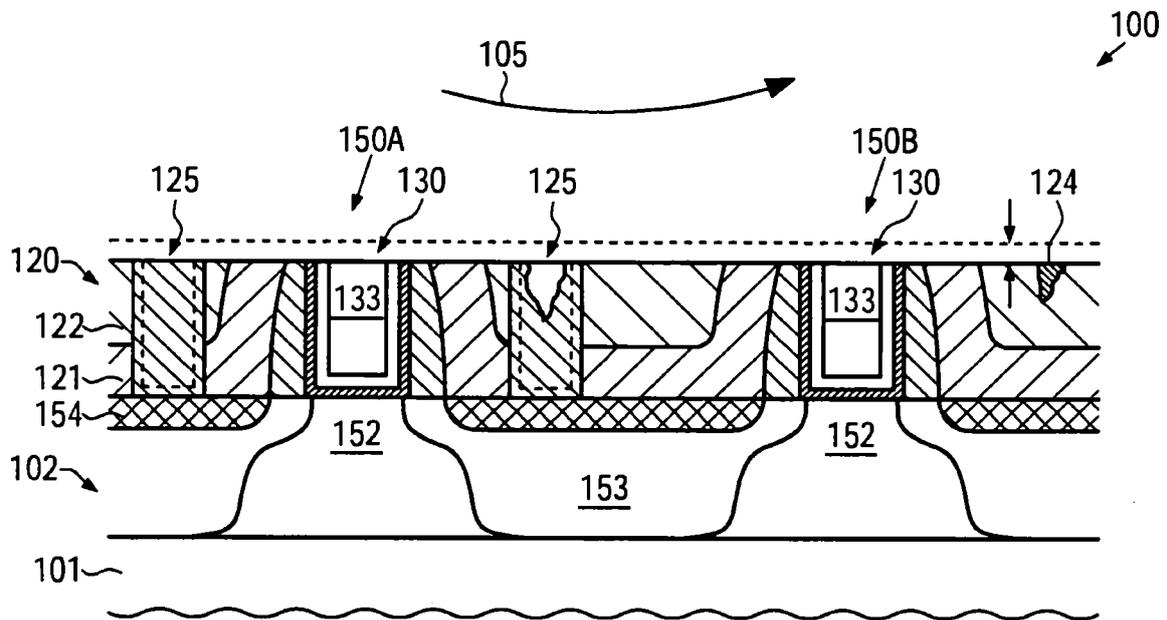


FIG. 1e

(Stand der Technik)

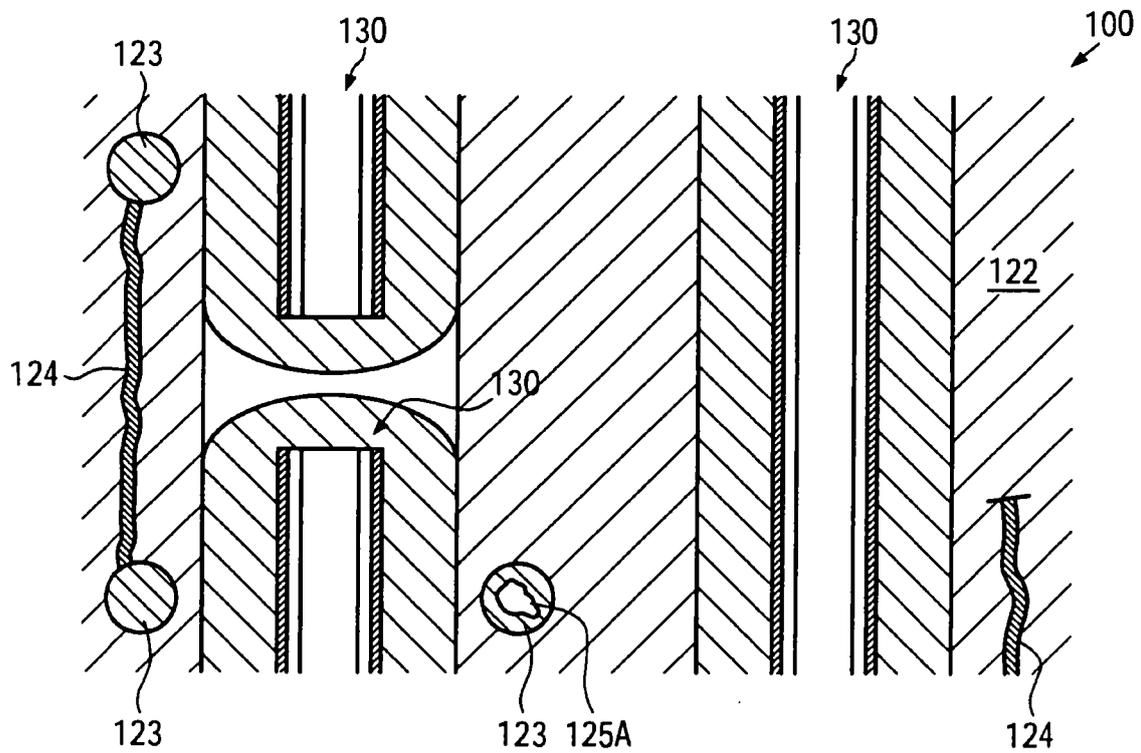


FIG. 1f

(Stand der Technik)

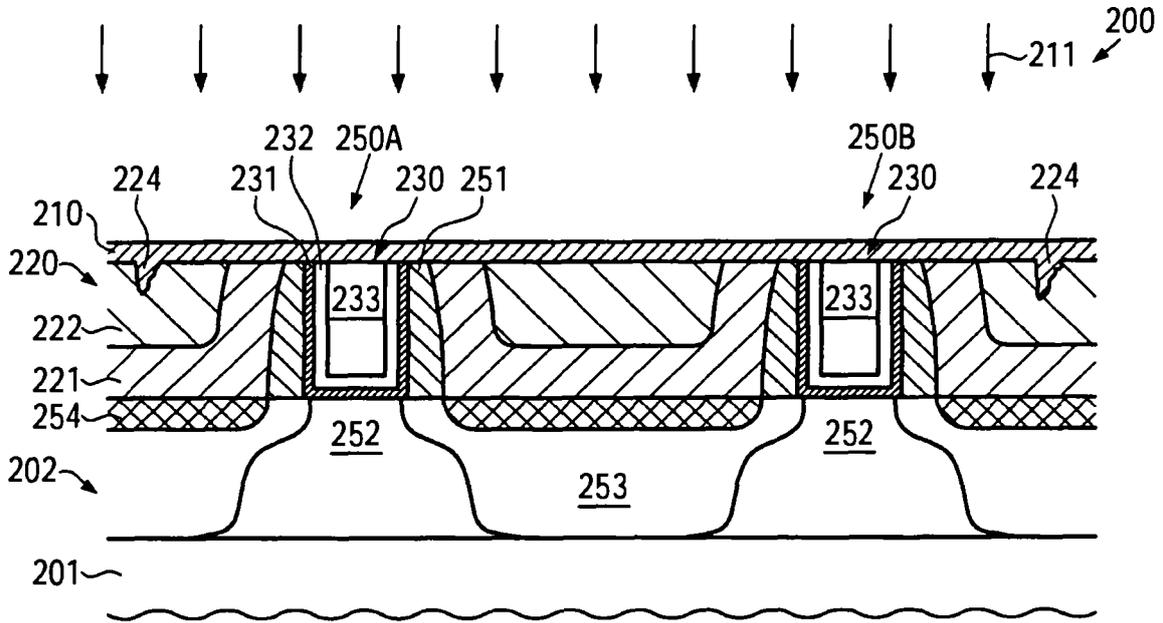


FIG. 2a

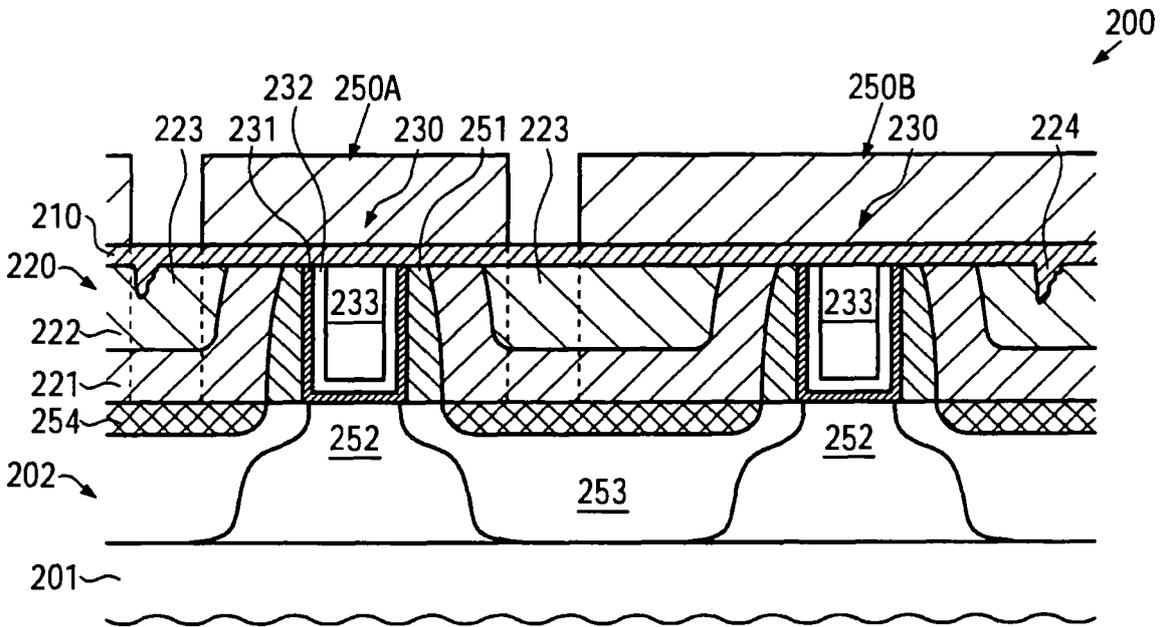
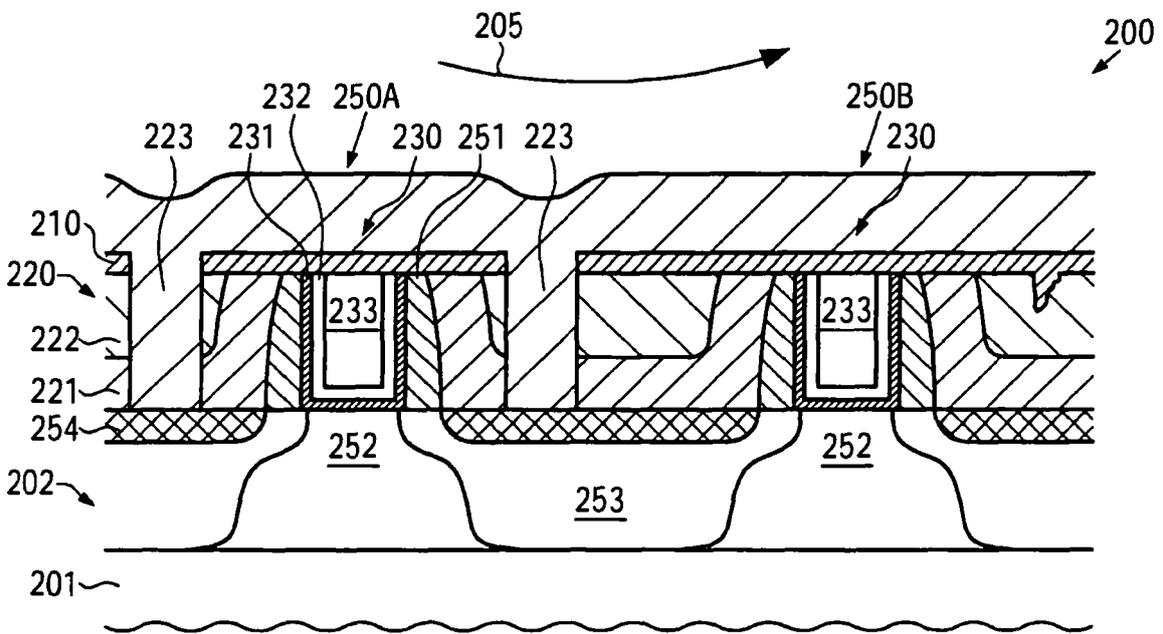
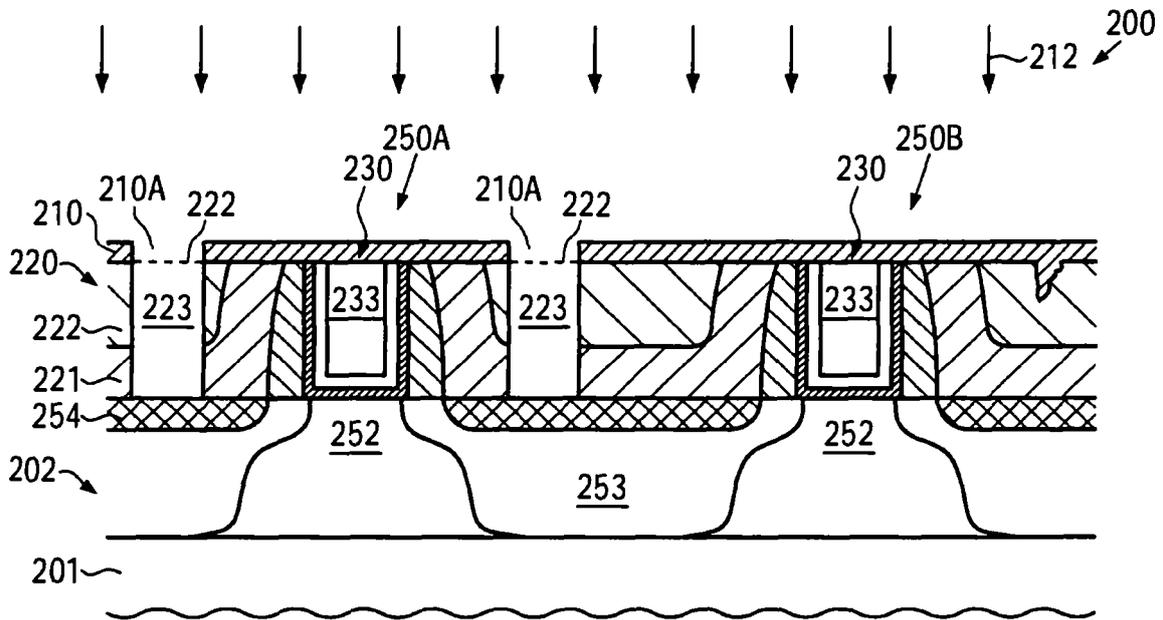


FIG. 2b



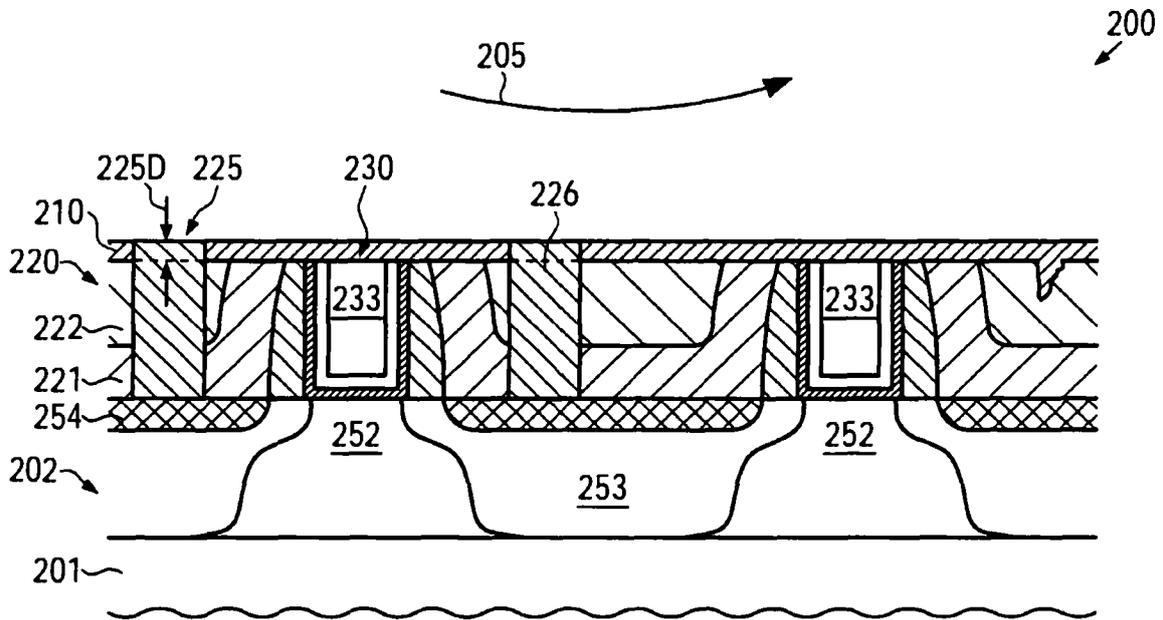


FIG. 2e

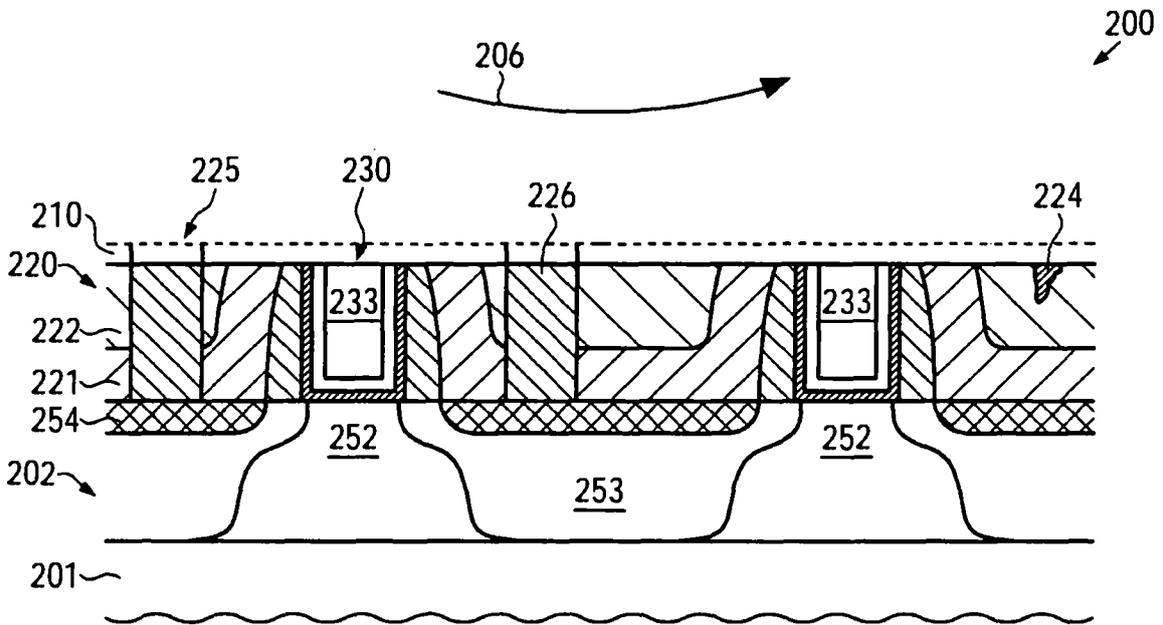


FIG. 2f

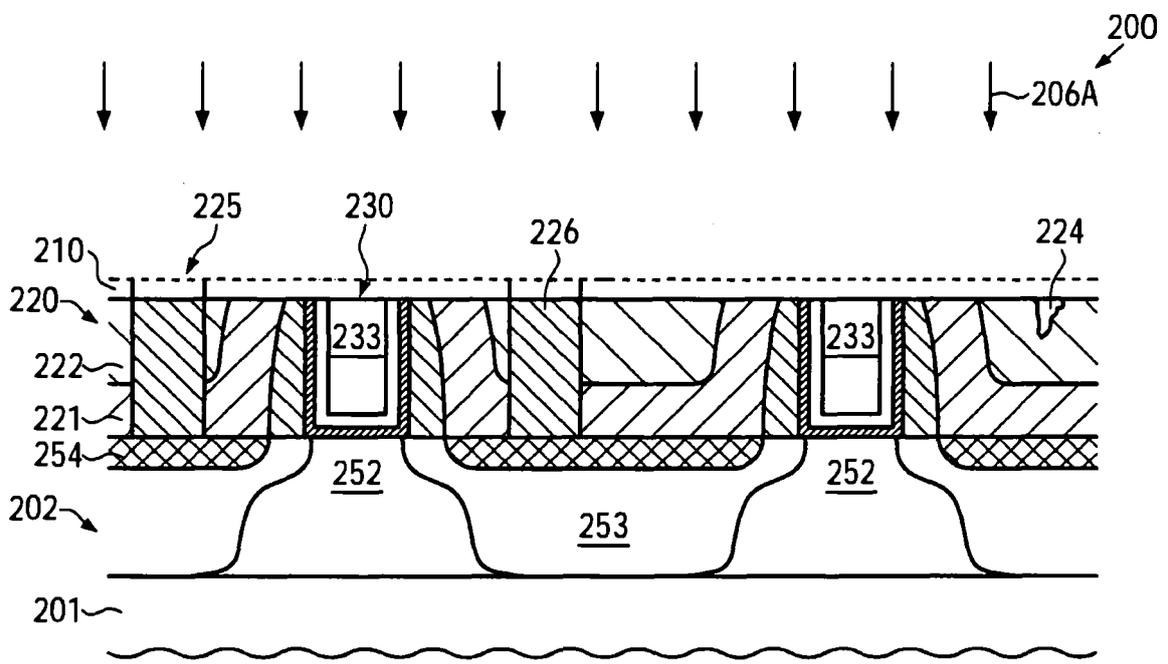


FIG. 2g