

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6168686号  
(P6168686)

(45) 発行日 平成29年7月26日(2017.7.26)

(24) 登録日 平成29年7月7日(2017.7.7)

(51) Int.Cl.

H01L 23/34 (2006.01)  
H01L 23/12 (2006.01)

F 1

H01L 23/34  
H01L 23/12  
H01L 23/12A  
501S  
J

請求項の数 5 (全 10 頁)

(21) 出願番号 特願2013-114003 (P2013-114003)  
 (22) 出願日 平成25年5月30日 (2013.5.30)  
 (65) 公開番号 特開2013-251545 (P2013-251545A)  
 (43) 公開日 平成25年12月12日 (2013.12.12)  
 審査請求日 平成28年5月24日 (2016.5.24)  
 (31) 優先権主張番号 13/485,886  
 (32) 優先日 平成24年5月31日 (2012.5.31)  
 (33) 優先権主張国 米国(US)

(73) 特許権者 504199127  
 エヌエックスピー ユーエスエイ インコ  
 ーポレイテッド  
 N X P U S A, I n c.  
 アメリカ合衆国 テキサス州 78735  
 オースティン ウィリアム キャノン  
 ドライブ ウエスト 6501  
 (74) 代理人 100142907  
 弁理士 本田 淳  
 (72) 発明者 マイケル ビー. マクシェーン  
 アメリカ合衆国 78750 テキサス州  
 オースティン スプリット レール コ  
 ーブ 12407

最終頁に続く

(54) 【発明の名称】熱に敏感な半導体デバイスの熱への露出を低減するための方法および構造体

## (57) 【特許請求の範囲】

## 【請求項1】

半導体デバイスであって、  
 热源回路と、  
 热に敏感な回路と、  
 前記熱源回路と前記熱に敏感な回路との間に配置される複数のシリコンスルービア(TS V)であって、熱伝導性のブラインドビアである複数の熱伝導性ブラインドTS Vとを備え、前記複数の熱伝導性ブラインドTS Vは、

前記熱源回路からの熱の少なくとも一部が前記熱に敏感な回路に影響を及ぼすことを防ぐための補助を行い、

該複数の熱伝導性ブラインドTS Vが形成される回路基板の一部分のみを通じて延在しており、

アクティブ回路には接続されておらず、  
 前記半導体デバイスは、  
 前記熱伝導性ブラインドTS Vと前記熱に敏感な回路との間に配置される複数の断熱性TS Vをさらに備える、半導体デバイス。

## 【請求項2】

半導体デバイスであって、  
 热源回路と、  
 热に敏感な回路と、

10

20

前記熱源回路と前記熱に敏感な回路との間に配置される複数のシリコンスルーピア (T S V) であって、熱伝導性のブラインドピアである複数の熱伝導性ブラインド T S Vとを備え、前記複数の熱伝導性ブラインド T S Vは、

前記熱源回路からの熱の少なくとも一部が前記熱に敏感な回路に影響を及ぼすことを防ぐための補助を行い、

該複数の熱伝導性ブラインド T S Vが形成される回路基板の一部分のみを通じて延在しており、

アクティブ回路には接続されておらず、

前記熱伝導性ブラインド T S Vは列を成すように形成されており、該列は断熱性 T S Vの列に対して互い違いである、半導体デバイス。

10

【請求項 3】

上面および裏面を有する回路基板を有する半導体デバイスであって、

該回路基板は、

熱源回路と、

熱に敏感な回路と、

該回路基板の前記上面に結合されるパッケージ基板と、

該回路基板の前記裏面から該回路基板の前記上面の近くまで、前記上面には貫通することなく形成される複数の熱伝導性シリコンスルーピア (T S V) と、を備えており、

前記複数の熱伝導性 T S Vは、前記回路基板の内部または外部のアクティブ回路とは接觸しておらず、

20

前記半導体デバイスは、

前記熱伝導性 T S Vと前記熱に敏感な回路との間に配置される複数の断熱性 T S Vをさらに備える、半導体デバイス。

【請求項 4】

上面および裏面を有する回路基板を有する半導体デバイスであって、

該回路基板は、

熱源回路と、

熱に敏感な回路と、

該回路基板の前記上面に結合されるパッケージ基板と、

該回路基板の前記裏面から該回路基板の前記上面の近くまで、前記上面には貫通することなく形成される複数の熱伝導性シリコンスルーピア (T S V) と、を備えており、

30

前記複数の熱伝導性 T S Vは、前記回路基板の内部または外部のアクティブ回路とは接觸しておらず、

前記熱伝導性 T S Vは列を成すように形成されており、該列は断熱性 T S Vの列に対して互い違いである、半導体デバイス。

【請求項 5】

回路基板の裏面における複数のサーマルピアのための配置を選択する工程であって、該工程によって、前記サーマルピアは

前記回路基板の上面まで部分的にのみ延在し、

前記回路基板におけるアクティブ回路に接続されず、

40

前記回路基板における熱源回路と熱に敏感な回路との間に配置される、前記選択する工程と、

前記サーマルピアを充填する工程と、

前記回路基板の上面をパッケージ基板に電気的に結合する工程と、を備え、

前記サーマルピアは、複数の熱伝導性シリコンスルーピア (T S V) と複数の断熱性 T S Vとを含み、前記選択する工程によって、前記熱伝導性 T S Vは列を成すように形成され、該列を断熱性 T S Vの列に対して互い違いとなる、方法。

【発明の詳細な説明】

【技術分野】

【0001】

50

本開示は、一般的に半導体デバイスに関し、より具体的には、熱に敏感な半導体デバイスの熱への露出を低減することに関する。

【背景技術】

【0002】

半導体チップのパッケージング技術について、特許文献1に記載されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】米国特許第6,190,943号明細書

【発明の概要】

【発明が解決しようとする課題】

【0004】

熱に敏感な半導体構成要素は、当該デバイス自体が多くの熱を発生させない場合であっても、ダイにおいて隣接する構成要素から伝達される熱の影響を受ける場合がある。たとえば、ダブルデータレートタイプ3(DDR3)ランダムアクセスメモリ(RAM)のメモリダイにおけるトランジスタは、隣接するセンスアンプ、書き回路およびプリチャージ回路からの熱に敏感であり得る。トランジスタの温度が上昇すると、トランジスタから電流が漏れるため、記憶されているデータがトランジスタから失われることを防ぐようにトランジスタのリフレッシュ速度を増大しなければならない。リフレッシュ速度を増大させると、リフレッシュ速度がより低いときよりも使用する電力が大きくなる。回路基板は常に増大する機能および速度要件によって設計されるため、電力消費を低減するとともに、ダイによって発生される熱を低減または除去する方法を見つけることが望ましい。

【課題を解決するための手段】

【0005】

本明細書において開示される方法および半導体デバイスの実施形態は、熱に敏感な回路を、熱を発生させる回路から保護するように、回路基板における熱源回路と熱に敏感な回路または要素との間に配置される熱伝導性のシリコンスルービア(TSV)を使用するコスト効率的な解決策を提供する。

【図面の簡単な説明】

【0006】

【図1】本発明に応じた半導体ダイの一実施形態の平面図。

【図2】図1の半導体ダイを含むパッケージ化された半導体デバイスの一実施形態の側断面図。

【図3】図1の半導体ダイを含む図2のパッケージ化された半導体デバイスの別の側断面図。

【発明を実施するための形態】

【0007】

本開示は例として示されており、添付の図面によって限定されない。図面において、同様の参照符号は類似の要素を示す。図面内の要素は簡潔かつ明瞭にするために示されており、必ずしも原寸に比例して描かれてはいない。

【0008】

図1は、1つまたは複数の熱源回路120、1つまたは複数の熱に敏感な回路104～118および熱源回路(複数の場合もあり)120と熱に敏感な回路(複数の場合もあり)104～118との間に配置される熱伝導性ブラインドTSV122を有する回路基板102を含むことができる、本発明に応じた半導体ダイ100の一実施形態の上から見た図を示す。ブラインドTSV122は、熱源回路(複数の場合もあり)120からの熱の少なくとも一部が熱に敏感な回路(複数の場合もあり)104～118に影響を及ぼすことを防ぐための補助をする。

【0009】

TSV122に関する使用の一例として、半導体ダイ100は、コンピュータ処理シス

10

20

30

40

50

テム（図示せず）においてデータを記憶するために使用されるダブルデータレートタイプ3（DDR3）ランダムアクセスメモリ（RAM）メモリダイであることができる。DDR3RAMメモリデバイスにおいて、熱に敏感なデバイス104～118は、コンピュータ処理システムにおいてデータを記憶するために使用される任意のタイプのダイナミックランダムアクセスメモリ（DRAM）ピットセルであることができる。DDR3メモリデバイスは、センスアンプ、書き回路、プリチャージ回路、I/O回路および熱を発生させる他の回路などの、熱源回路120のうちの1つ以上を含むこともできる。ダブルデータレートタイプ3（DDR3）ランダムアクセスメモリ（RAM）において、いくつかの熱源回路120は、ダイ100の中央基幹部（center spine）に沿って位置付けられることができ、ここで、熱に敏感な回路104～118のピットセルアレイは、メモリダイの片側もしくは両側または中心基幹部に実装されている。ピットセルは熱源回路120によって発生された上昇された温度に露出されるため、電流が漏れて、時間とともにデータを失い始める。データは、充電を回復するようにより高い頻度でリフレッシュされることができが、リフレッシュ動作は、電力消費を低減することがより望ましい状況において電力を消費する。いくつかの実施態様において、センスアンプ回路などの熱源回路120は、熱に敏感な回路104～118である、ピットセルアレイに組み込まれることができ、熱源回路120と熱に敏感な回路104～118との間に配置される熱伝導性TSV122によって少なくとも部分的に、熱から分離することができる。10

#### 【0010】

TSV122は、熱源回路（複数の場合もあり）120と熱に敏感な回路（複数の場合もあり）104～118との間で列、または、他の適切な配置を成すように形成されることができる。TSV122は、回路基板102の厚さ全体を貫通して延在するものではない。いくつかの実施態様において、TSV122は、アクティブ回路に接続されない。「アクティブ回路」という用語は、電子の流れを伝導することが可能である構成要素を指す。TSV122は、基板102が接地されると間接的にグランドに結合され得る。TSV122は、銅、タンゲステン、金、アルミニウム、銀などの任意の熱伝導性材料またはこれらの材料の組み合わせを充填することができる。他の適切な材料が使用されることができる。20

#### 【0011】

熱伝導性TSV122に加えて、断熱性TSV124が、熱伝導性TSV122と熱に敏感な回路（複数の場合もあり）104～118との間、熱伝導性TSV122と熱源回路（複数の場合もあり）120との間、またはその両方に配置されることができる。他の実施態様において、断熱性TSV124は、熱伝導性TSV122の代わりに使用されることができる。図1に示されるように、断熱性TSV124は、TSV122の列に対し互い違いの（staggered）列を成すように形成されることができる。互い違いに配列することは、TSV122、124が形成される基板の構造的完全性を維持することを補助できる。TSV122、124の他の適切な配列が使用されることがある。30

#### 【0012】

断熱性TSV124は、任意の適切な断熱性材料または材料の組み合わせを充填することができる。断熱性材料の例は、二酸化ケイ素、窒化ケイ素、シリカエーロゲル、またはそれらの組み合わせである。他の適切な断熱性材料が使用されることがある。40

#### 【0013】

TSV122、124は、回路基板102の厚さ全体を貫通して延在するものではないため、「ブラインド」ピアと称されることができる。TSV122、124は、エッティングまたはレーザを使用して回路基板102の層を部分的に貫く開口を形成し、当該開口にそれぞれの熱伝導性または断熱性材料を充填することによって形成されることがある。TSV122は、熱源回路120から約1マイクロメートル（ミクロン）～約10マイクロメートル（ミクロン）において形成されることがある。

#### 【0014】

図2は、図1の回路基板102を含むパッケージ化された半導体デバイス200の一実50

施形態の 2 - 2 線に沿った側断面図を示しており、 T S V 1 2 2 が回路基板 1 0 2 において形成される。 T S V 1 2 2 は半導体ダイ 1 0 0 の裏面 2 0 2 から半導体ダイ 1 0 0 の上面 2 0 4 近くまで、しかし貫通はせずに、延在する。なお、図 2 において破線で示される断熱性 T S V 1 2 4 は、本明細書において図 3 と関連してさらに説明される。 1 つまたは複数の T S V 1 2 2 は、熱源回路 1 2 0 と熱に敏感な回路 1 0 4 、 1 1 2 との間に位置している。熱源回路 1 2 0 および熱に敏感な回路 1 0 4 、 1 1 2 は、半導体ダイ 1 0 0 の上面 2 0 4 に位置する。熱に敏感な回路 1 0 4 は、熱伝導性 T S V 1 2 2 のうちの 1 つの片側に位置付けられ、一方で熱源回路 1 2 0 は第 1 の T S V 1 2 2 と第 2 の T S V 1 2 2 との間に位置付けられる。もう 1 つの熱に敏感な回路 1 1 2 は、第 2 の T S V 1 2 2 の反対側に位置付けられている。

10

## 【 0 0 1 5 】

封入区画 2 1 4 、 2 1 6 は、半導体ダイ 1 0 0 の外面の周りに位置付けられる。熱源回路 1 2 0 は、センスアンプ回路、メモリセル書き回路、メモリセルプリチャージ回路、 I / O 回路または他の発熱デバイスなどの、熱を発生させる 1 つまたは複数の回路を含む。

## 【 0 0 1 6 】

パッケージ化された半導体デバイス 2 0 0 は、熱伝導性接着層 ( 2 2 0 ) を使用して半導体ダイ 1 0 0 の裏面 2 0 2 に付着される熱伝導性ヒートプレッダ 2 1 8 を含むことができるか、または、他の適切な固定機構が使用されてもよい。ヒートプレッダ 2 1 8 は、 T S V 1 2 2 によって熱源回路 1 2 0 を離れて伝導される熱を消散させることを補助する。ヒートプレッダ 2 1 8 は、銅、タングステン、金、アルミニウム、または銀などの任意の適切な熱伝導性材料またはこれらの材料の組み合わせから形成されてもよい。他の実施態様において、ヒートプレッダ 2 1 8 は、窒化ホウ素、窒化アルミニウムなどの、熱伝導性材料、電気絶縁性材料、またはそれらの組み合わせから形成されてもよい。他の適切な材料が使用されることができる。

20

## 【 0 0 1 7 】

デバイス 2 0 0 は、図 2 に示されるウインドウ型ボールグリッドアレイ ( B G A ) 基板 2 0 8 などの、適切なパッケージ基板において付着または据え付けられるダイ 1 0 0 を含むことができる。ウインドウ型 B G A 基板 2 0 8 は、基板区画 2 3 4 、 2 3 6 と、ウインドウと称される、基板 2 0 8 の中央部分の開口における封入材料 2 2 4 とを含むことができる。熱源回路 1 2 0 における導電性コンタクトまたはパッド 2 2 6 、 2 2 8 を、基板区画 2 3 4 、 2 3 6 のそれぞれにおける伝導性コンタクト 2 3 8 、 2 4 0 に接続するように、ボンディングワイヤ 2 3 0 および 2 3 2 がウインドウを通じて形成されることができる。封入材料 2 2 4 は、ボンディングワイヤ 2 3 0 、 2 3 2 を保護するようにウインドウを充填する。導電性バンプ 2 4 2 のアレイが B G A 基板 2 0 8 の底部に形成され、半導体デバイス 2 0 0 をプリント回路基板などの別の基板に付着させるために使用されることができる。

30

## 【 0 0 1 8 】

半導体ダイ 1 0 0 は、トランジスタ、センスアンプ、プリチャージ回路、書き回路および I / O 回路などの電子回路を形成する、 1 つまたは複数の金属層 ( 図示せず ) および金属層間の 1 つまたは複数の絶縁層 ( 図示せず ) を含むことができる。熱伝導性 T S V 1 2 2 の上部はダイ 1 0 0 の裏面 2 0 2 において露出されることができ、よって、 T S V 1 2 2 は熱をヒートプレッダ 2 1 8 に伝導することができる。

40

## 【 0 0 1 9 】

熱伝導性 T S V 1 2 2 は、銅、タングステン、金、アルミニウム、銀および他の熱伝導性材料のうちの 1 つ以上を充填することができる。他の実施態様において、 T S V 1 2 2 は、窒化ホウ素、窒化アルミニウムなどの、熱伝導性材料、電気絶縁性材料、またはこれらの材料の組み合わせから形成されてもよい。他の適切な材料が使用されることができる。

## 【 0 0 2 0 】

T S V 1 2 2 は、熱源回路 1 2 0 が熱に敏感な回路 1 0 4 、 1 1 2 の動作に影響を及ぼ

50

すことを防ぐための補助をする。

図3は、パッケージ化された半導体デバイス200の3-3線に沿った別の側断面図を示しており、断熱性TSV124が回路基板102において形成される。TSV124は半導体ダイ100の裏面202から半導体ダイ100の上面204近くまで延在する。熱伝導性TSV122は、TSV122が断熱性TSV124に対して互い違いであることを示すように破線で示される。断熱性TSV124は、伝導性TSV122と熱に敏感な回路104、112との間に位置付けられる。伝導性TSV122および断熱性TSV124は、裏面202から半導体ダイ100の上面204および熱源回路120まで貫通して延在するものではない。代わりに、伝導性TSV122および断熱性TSV124は、半導体ダイ100の厚さの一部のみを通じて延在し、アクティブ回路と結合されない。

10

#### 【0021】

断熱性TSV124は、熱伝導性TSV122と熱に敏感な回路（複数の場合もあり）104、112との間に配置されることがある。熱伝導性TSV122は、断熱性TSV124と熱源回路120との間、または他の適切な配置に形成されることがある。伝導性TSV122および断熱性TSV124は、1つまたは複数のそれぞれの列を成すように、互いの間ににおいて散在するように、またはその両方であるように形成されることがある。伝導性TSV122の列（複数の場合もあり）は、断熱性TSV124の1つまたは複数の列に対して互い違いであることができる。

#### 【0022】

断熱性TSV124は、適切な断熱性材料または材料の組み合わせを充填することができる。断熱性材料の例は、二酸化ケイ素、窒化ケイ素、シリカエーロゲルまたはそれらの組み合わせである。他の適切な熱伝導性材料が使用されることがある。

20

#### 【0023】

ここまで、DDR3RAMが本明細書において一例として使用されてきたが、TSV122、TSV124またはその両方は、熱源回路120によって発生される熱が熱に敏感な回路104～118の動作に及ぼす影響を防ぐことが望ましい任意の半導体デバイスにおいて用いられることが予期され得ることを理解されたい。

#### 【0024】

いくつかの実施態様において、半導体デバイス200は、熱源回路120と、熱に敏感な回路104～118と、熱源回路120と熱に敏感な回路104～118との間に配置される複数の熱伝導性なブラインドのシリコンスルーピア（TSV）122とを備えることができる。TSVは、熱源回路120において発生される熱の少なくともいくらかが熱に敏感な回路104～118に影響を及ぼすことを防ぐための補助をする。TSVは、伝導性TSV122が形成される回路基板102の厚さ全体を貫通して延在するものではなく、いかなる回路とも接続されない。

30

#### 【0025】

別の態様において、複数のTSVにヒートシンクが結合されることがある。

別の態様において、複数の断熱性TSV124が、熱伝導性ブラインドTSV122と熱に敏感な回路104～118との間に配置されることがある。

#### 【0026】

40

別の態様において、熱伝導性ブラインドTSV122は列を成すように形成されることができ、この列は断熱性TSV124の列に対して互い違いであってもよい。

別の態様において、断熱性TSV124は、二酸化ケイ素および窒化ケイ素から成る材料群のうちの1つを充填されることがある。

#### 【0027】

別の態様において、熱源回路120、熱に敏感な回路104～118およびTSVは回路基板102に含まれることができ、回路基板102の上面204はウィンドウ型BGA基板208に結合されることがある。

#### 【0028】

別の態様において、熱に敏感な回路104～118はダイナミックランダムアクセスメ

50

モリセルであることができ、熱源回路 120 は、センスアンプ回路、メモリセル書込回路およびメモリセルプリチャージ回路から成る群のうちの少なくとも 1 つである。

【 0029 】

別の態様において、熱伝導性ブラインド TSV122 は、銅、タングステン、金、アルミニウムおよび銀から成る材料群からの 1 つを充填することができる。

別の態様において、半導体デバイス 200 は、上面 204 および裏面 202 を有する集積回路 (IC) モジュール 206 を備えることができる。回路基板 102 は、熱源回路 120 および熱に敏感な回路 104 ~ 118 を有する回路基板 102 を含むことができる。回路基板 102 の上面 204 にパッケージ基板 208 が結合されることができる。複数の熱伝導性シリコンスルーピア (TSV) 122 が、半導体基板 102 の裏面 202 から半導体ダイの上面 204 近くまで、しかし貫通はせずに、形成されることができる。TSV は半導体ダイの他の内部回路に接触しない。

【 0030 】

別の態様において、熱伝導性 TSV122 の上部は半導体ダイの裏面において露出されることができる。半導体デバイス 200 は、熱伝導性 TSV の上部に結合または付着されるヒートスプレッダをさらに含むことができる。

【 0031 】

別の態様において、複数の断熱性 TSV124 が、回路基板 102 における金属層および絶縁層の一部のみを通じて配置され、熱源回路 120 と熱に敏感な回路 104 ~ 118 との間に配置されることができる。

【 0032 】

別の態様において、熱伝導性 TSV122 は列を成すように形成されることができ、この列は断熱性 TSV124 の列に対して互い違いであることができる。

別の態様において、断熱性 TSV124 は、二酸化ケイ素および窒化ケイ素から成る材料群のうちの 1 つを充填することができる。

【 0033 】

別の態様において、パッケージ基板 208 はウインドウ型ボールグリッドアレイ (BGA) 基板であることができ、回路基板 102 は、ウインドウ型 BGA 基板における相互接続部にワイヤボンディングされることができる。

【 0034 】

別の態様において、熱に敏感な回路 104 はダイナミックランダムアクセスメモリセルであることができ、熱源回路 120 は、センスアンプ回路、メモリセル書込回路およびメモリセルプリチャージ回路から成る群のうちの少なくとも 1 つであることができる。

【 0035 】

別の態様において、熱伝導性 TSV122 は、銅、タングステン、金、アルミニウム、銀、窒化ホウ素および窒化アルミニウムから成る材料群からの 1 つを充填されることがある。

【 0036 】

別の態様において、熱伝導性 TSV122 は、熱源回路 120 からの熱が熱に敏感な回路 104 ~ 118 の動作に影響を及ぼすことを防ぐための補助をすることができる。

別の態様において、方法は、回路基板 102 の裏面 202 における複数のサーマルビア 122、124 のための配置を選択することを含むことができ、それによって、サーマルビアは回路基板 102 の上面 204 までは延在せず、回路基板 102 の他の回路に接続されず、回路基板 102 における熱源回路 120 と熱に敏感な回路 104 ~ 118 との間に配置される。次いで、サーマルビア 122、124 が形成され充填される。回路基板 102 の裏面 202 はパッケージ基板 208 に電気的に結合される。

【 0037 】

別の態様において、サーマルビアは、熱伝導性ビア 122 および断熱性ビア 124 から成る群のうちの少なくとも 1 つである。

別の態様において、方法は、ヒートスプレッダ 218 をパッケージ化された半導体デバ

10

20

30

40

50

イス 200 に付着させることをさらに含むことができる。

【0038】

本開示を実装する装置は、大部分について、当業者に既知の電子コンポーネントおよび回路から成っているため、本開示の基礎となる概念の理解および評価のために、ならびに本開示の教示を分かりにくくせず当該教示から注意を逸らせないために、回路の詳細は上記で例示されているように必要と考えられる範囲を超えては説明されない。

【0039】

本明細書において、具体的な実施形態を参照して本開示を説明したが、添付の特許請求の範囲に明記される本開示の範囲から逸脱することなくさまざまな改変および変更を為すことができる。したがって、本明細書および図面は限定的な意味ではなく例示とみなされるべきであり、すべてのこのような改変が本開示の範囲内に含まれることが意図されている。本明細書において具体的な実施形態に関して記載されているいかなる利益、利点、または問題に対する解決策も、任意のまたはすべての請求項の重要な、必要とされる、または基本的な特徴または要素として解釈されるようには意図されていない。

10

【0040】

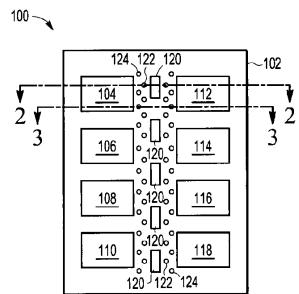
さらに、本明細書において使用される場合、「1つ（“a” or “an”）」という用語は、1つまたは2つ以上として定義される。さらに、特許請求の範囲における「少なくとも1つの」および「1つまたは複数の」などの前置きの語句の使用は、不定冠詞「1つの（“a” or “an”）」による別の請求項要素の導入が、このように導入された請求項要素を含む任意の特定の請求項を、たとえ同じ請求項が前置きの語句「1つまたは複数の」または「少なくとも1つの」および「1つの（“a” or “an”）」などの不定冠詞を含む場合であっても、1つだけのこののような要素を含む開示に限定することを暗示するように解釈されるべきではない。同じことが、定冠詞の使用についても当てはまる。

20

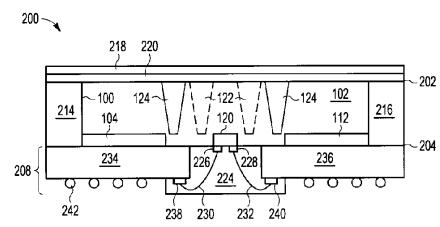
【0041】

別途記載されない限り、「第1の」および「第2の」などの用語は、そのような用語が説明する要素間で適宜区別するように使用される。したがって、これらの用語は必ずしも、このような要素の時間的なまたは他の優先順位付けを示すようには意図されていない。

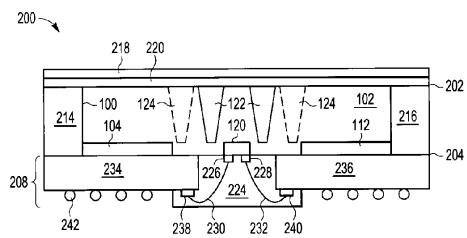
【図1】



【図3】



【図2】



---

フロントページの続き

(72)発明者 ケビン ジェイ.ヘス

アメリカ合衆国 78717 テキサス州 オースティン サッチャー ドライブ 15009

(72)発明者 ペリー エイチ.ペリー

アメリカ合衆国 78726 テキサス州 オースティン インディゴ ブラッシュ ドライブ  
9606

(72)発明者 タブ エイ.スティーブンス

アメリカ合衆国 78731 テキサス州 オースティン ストーンクリフ サークル 7509

審査官 豊島 洋介

(56)参考文献 特開2003-347488 (JP, A)

特開2005-294760 (JP, A)

特開2011-249430 (JP, A)

特開平06-061382 (JP, A)

特開2004-363602 (JP, A)

特開平08-222700 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L21/822

23/29

23/34 - 23/36

23/373 - 23/427

23/44

23/467 - 23/473

27/04