(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第5107085号
(P5107085)
(45)発行日　平成24年12月26日(2012.12.26)　(24)登録日　平成24年10月12日(2012.10.12)

(51)Int.Cl.　F I
H03L 7/095 (2006.01)　H03L 7/08 B

請求項の数 2 (全 11 頁)

(21)出願番号　特願2008-38174(P2008-38174)
(22)出願日　平成20年2月20日(2008.2.20)
(65)公開番号　特開2009-200662(P2009-200662A)
(43)公開日　平成21年9月3日(2009.9.3)
審査請求日　平成22年12月10日(2010.12.10)

(73)特許権者　501285133
川崎マイクロエレクトロニクス株式会社
千葉県千葉市美浜区中瀬一丁目３番地
(74)代理人　100079175
弁理士　小杉　佳男
(74)代理人　100094330
弁理士　山田　正紀
(72)発明者　山田　泰生
千葉県千葉市美浜区中瀬１丁目３番地　川崎マイクロエレクトロニクス株式会社内

審査官　畑中　博幸

最終頁に続く

(54)【発明の名称】ＰＬＬ回路

(57)【特許請求の範囲】
【請求項１】
基準信号とフィードバック信号との間の位相差を検出して制御信号を出力する位相比較器と、
前記制御信号に応じて、前記基準信号とフィードバック信号との間の位相差に応じたパルス幅を有する誤差信号を出力するチャージポンプと、
前記誤差信号のパルス幅に応じた電圧レベルを有するコントロール信号を出力するループフィルタと、
前記コントロール信号の電圧レベルに応じた発振周波数の出力信号を出力する電圧制御発振器と、
この電圧制御発振器の出力信号に基づいて動作するフィードバック信号を出力するロジック回路と、
デッドロック状態に陥ったことを検出して検出信号を出力するデッドロック検出回路と、
前記検出信号に応じて、前記コントロール信号の電圧レベルが低下するように前記制御信号を制御する制御信号制御回路と、
前記フィードバック信号が所定の閾値周波数未満の周波数にある状態から該閾値周波数を越えたことを検出して前記デッドロック検出回路を作用させる起動検出回路とを備えたことを特徴とするＰＬＬ回路。
【請求項２】

前記起動検出回路は、デッドロックに陥ったことを検出すると、前記デッドロック検出回路が前記検出信号を出力後に、前記フィードバック信号に変えて前記基準信号を前記移送比較器および前記デッドロック検出回路に出力する選択回路を備えたことを特徴とする請求項１記載のＰＬＬ回路。

【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、基準信号に位相同期された出力信号を生成するＰＬＬ（ｐｈａｓｅ　Ｌｏｃｋｅｄ　Ｌｏｏｐ）回路に関する。
【背景技術】
【０００２】
従来より、外部からの基準信号と内部からのフィードバック信号との間の位相差を検出して制御信号を出力する位相比較器と、その制御信号に応じた誤差信号を出力するチャージポンプと、その誤差信号を直流レベルのコントロール電圧に変換するループフィルタと、そのコントロール電圧に応じた発振周波数の出力信号を出力する電圧制御発振器と、その出力信号に基づいて上記フィードバック信号を生成するロジック回路（逓倍分周器）とを備えたＰＬＬ回路が知られている。
【０００３】
このようなＰＬＬ回路において、電圧制御発振器から出力される出力信号の発振周波数が高くなり過ぎると、フィードバック信号を生成するロジック回路がその発振周波数に追随することができず、フィードバック信号が停止状態になる場合がある。この場合、位相比較器においては、基準信号に対して電圧制御発振器からの出力信号の発振周波数が低いと判断され、出力信号の発振周波数をさらに高める方向に作用する。すると、ロジック回路が益々追随できなくなり、いわゆるデッドロック状態が発生する。
【０００４】
また、一般に、電圧制御発振器からの出力信号は小振幅動作している場合が多く、このため、後段のロジック回路への入力にあたり、その小振幅動作している信号を全振幅信号（電源電圧（ＶＤＤ）とグラウンド（ＧＮＤ）との間で振幅する信号）に変換するレベルシフタが備えられている場合がある。このレベルシフタにおいて、例えば小振幅している電圧範囲と、このレベルシフタが有するセンス範囲とがずれてしまった場合、そのレベルシフタでは小振幅動作している信号を正常に検出することができず、従って小振幅信号を全振幅信号に変換することができないという現象が発生する。このような場合も、デッドロック状態が発生する。
【０００５】
ここで、ＰＬＬ回路において、電圧制御発振器の出力信号が基準信号に位相同期（ロック）された状態では、基準信号とフィードバック信号との周波数（および位相）は一致しているため、基準信号を分周した信号の周期内にはフィードバック信号が確実に到来することとなる。そこで、基準信号を分周した信号の周期内にフィードバック信号が到来するか否かを監視するデッドロック検出回路を備え、基準信号を分周した信号の周期内にフィードバック信号が到来しない場合は、デッドロック状態に陥ったと判定し、電圧制御発振器の出力信号の発振周波数を制御するコントロール信号の電圧レベルを低下するように、位相比較器から出力される制御信号を制御することにより、正常なロック状態に復帰させる技術が提案されている（例えば、特許文献１参照）。
【特許文献１】特開平１１－１２２１０２号公報
【発明の開示】
【発明が解決しようとする課題】
【０００６】
しかし、上述した特許文献１に提案されたデッドロック検出回路では、発振起動中に誤ってデッドロック状態であると判定してしまう恐れがある。即ち、発振起動中においては

、電圧制御発振器からの出力信号の発振周波数（ＶＣＯ周波数と称する）は、目標とする周波数よりも低いため、基準信号を分周した信号の周期内にはフィードバック信号の到来がないことは当然であるにも関わらず、誤ってデッドロック状態であると誤認することで、ＶＣＯ周波数を下げる方向に作用する。このため、ＰＬＬ回路が正常に起動することができないという問題がある。そこで、発振起動中の一定時間について、デッドロック検出回路の機能を無効にすることが考えられる。以下、図４を参照して説明する。

【０００７】

図４は、ＰＬＬ回路の、発振起動時における発振周波数の変化を示す図である。

【０００８】

図４に示す横軸は、発振起動時における時間を示す。また、縦軸は、電圧制御発振器の出力信号の発振周波数（ＶＣＯ周波数）を示す。さらに、ＲｅｆＣＬＫはＰＬＬ回路に入力される基準信号を示し、ＦＢＣＬＫは電圧制御発振器の出力信号が分周されてなるフィードバック信号を示す。

【０００９】

ＰＬＬ回路では、発振が起動した時点からＶＣＯ周波数が目標周波数に達するまでの第１の時間領域（ＲｅｆＣＬＫ＞ＦＢＣＬＫ）においては、ＶＣＯ周波数を上げる方向に作用する。また、ＶＣＯ周波数が目標周波数を越える第２の時間領域（ＲｅｆＣＬＫ＜ＦＢＣＬＫ）においては、ＶＣＯ周波数を下げる方向に作用する。その結果、ＶＣＯ周波数が目標周波数を下回ってしまった場合は、再度ＶＣＯ周波数を上げる方向に作用する。このようにして、ＶＣＯ周波数を上げる方向や下げる方向に作用しながら目標周波数に収斂する。

【００１０】

ここで、第２の時間領域（ＲｅｆＣＬＫ＜ＦＢＣＬＫ）において、ＰＬＬ回路を構成するループフィルタでの遅れや電圧制御発振器の反応速度により、図４の破線に示すように、目標周波数を越えてＶＣＯ周波数が上昇してしまうことがある。ＰＬＬ回路やロジック回路の動作周波数に十分な余裕がある場合は、ＶＣＯ周波数が目標周波数を越えてしまったことが、位相比較器により検出され、基準信号ＲｅｆＣＬＫとフィードバック信号ＦＢＣＬＫとの間の位相差に基づいて、ＶＣＯ周波数を下げる方向に修正動作するため、ＶＣＯ周波数はいずれは目標周波数に収斂する。しかし、ＰＬＬ回路やロジック回路の動作周波数に余裕がない場合は、図４の破線に示すように、目標周波数を越えてＶＣＯ周波数が上昇してしまい、最終的にデッドロック状態に陥る恐れがある。従って、前述した、発振起動中に誤ってデッドロック状態であると判定してしまうことに起因してＰＬＬ回路が正常に起動することができないという問題を解決するために、発振起動中の一定時間について、デッドロック検出回路の機能を無効にすることは問題である。

【００１１】

本発明は、上記事情に鑑み、発振起動時におけるデッドロック状態の誤認を防止することができるとともに、発振起動終了後においてデッドロック状態に陥った場合であっても正常なロック状態に復帰することができるＰＬＬ回路を提供することを目的とする。

【課題を解決するための手段】

【００１２】

上記目的を達成する本発明のＰＬＬ回路は、

基準信号とフィードバック信号との間の位相差を検出して制御信号を出力する位相比較器と、

上記制御信号に応じて、上記基準信号とフィードバック信号との間の位相差に応じたパルス幅を有する誤差信号を出力するチャージポンプと、

上記誤差信号のパルス幅に応じた電圧レベルを有するコントロール信号を出力するループフィルタと、

上記コントロール信号の電圧レベルに応じた発振周波数の出力信号を出力する電圧制御発振器と、

この電圧制御発振器の出力信号に基づいて動作する上記フィードバック信号を出力する

ロジック回路と、
デッドロック状態に陥ったことを検出して検出信号を出力するデッドロック検出回路と、
上記検出信号に応じて、上記コントロール信号の電圧レベルが低下するように上記制御信号を制御する制御信号制御回路と、
上記フィードバック信号が所定の閾値周波数未満の周波数にある状態からその閾値周波数を越えたことを検出して上記デッドロック検出回路を作用させる起動検出回路とを備えたことを特徴とする。

【００１３】

本発明のＰＬＬ回路は、フィードバック信号が所定の閾値周波数未満の周波数にある状態からその閾値周波数を越えたことを検出してデッドロック検出回路を作用させる起動検出回路を備えたものであるため、発振起動時であるが故にフィードバック信号の周波数が低いことと、デッドロック状態であるが故にフィードバック信号が到来しないこととを、上記起動検出回路により区別し、起動発振時にはデッドロック救済動作（電圧制御発振器の発振周波数を下げる方向に作用する動作）を行なわないことで、ＰＬＬ回路が正常に起動できるように制御することができる。従って、発振起動時におけるデッドロック状態の誤認を防止することができるとともに、発振起動終了後においてデッドロック状態に陥った場合であっても正常なロック状態に復帰することができる。

【発明の効果】

【００１４】

本発明のＰＬＬ回路によれば、発振起動時におけるデッドロック状態の誤認を防止することができるとともに、発振起動終了後においてデッドロック状態に陥った場合であっても正常なロック状態に復帰することができる。

【発明を実施するための最良の形態】

【００１５】

以下、図面を参照して本発明の実施の形態を説明する。

【００１６】

図１は、本発明のＰＬＬ回路の一実施形態の構成を示す図である。

【００１７】

図１に示すＰＬＬ回路１には、位相比較器１０と、制御信号制御回路２０と、チャージポンプ３０と、ループフィルタ４０と、電圧制御発振器５０と、ロジック回路６０と、デッドロック検出回路７０と、起動検出回路８０とが備えられている。

【００１８】

位相比較器１０は、基準信号ＲｅｆＣＬＫとフィードバック信号ＦＢＣＬＫとの間の位相差を検出して制御信号ＵＰ１，ＤＯＷＮ１を出力する。

【００１９】

制御信号制御回路２０は、デッドロック検出回路７０からの、後述する検出信号ＤＥＴに応じて、ループフィルタ４０から出力されるコントロール信号ＣＮＴの電圧レベルが低下するように制御信号ＵＰ１，ＤＯＷＮ１を制御して、制御信号ＵＰ２，ＤＯＷＮ２を出力する。詳細には、制御信号制御回路２０はＯＲゲート２１，２２を有し、ＯＲゲート２１，２２の各一方の入力端子には、各制御信号ＵＰ１，ＤＯＷＮ１が入力され、各他方の入力端子には検出信号ＤＥＴが共通に入力される。また、ＯＲゲート２１，２２の各出力端子からは、上記制御信号ＵＰ２，ＤＯＷＮ２が出力される。

【００２０】

チャージポンプ３０は、制御信号ＵＰ２，ＤＯＷＮ２を入力し、これにより基準信号ＲｅｆＣＬＫとフィードバック信号ＦＢＣＬＫとの間の位相差に応じたパルス幅を有する誤差信号ＥＲＲを出力する。詳細には、チャージポンプ３０は、Ｐ型ＭＯＳトランジスタ３１およびＮ型ＭＯＳトランジスタ３２を有し、各ソースは、各電源（ＶＤＤ），グラウンド（ＧＮＤ）に接続され、各ゲートには、各制御信号ＵＰ２，ＤＯＷＮ２が入力される。また、各ドレインは互いに接続され、その接続点から誤差信号ＥＲＲが出力される。

【００２１】
ループフィルタ４０は、誤差信号ＥＲＲのパルス幅に応じた電圧レベルを有するコントロール信号ＣＮＴを出力する。
【００２２】
電圧制御発振器５０は、コントロール信号ＣＮＴの電圧レベルに応じた発振周波数の出力信号ＯＵＴを出力する。
【００２３】
ロジック回路６０は、電圧制御発振器５０の出力信号ＯＵＴに基づいて動作するフィードバック信号ＤｉｖＣＬＫを出力する。具体的には、ロジック回路６０は逓倍分周器であり、この逓倍分周器からは電圧制御発振器５０の出力信号ＯＵＴの発振周波数が基準信号ＲｅｆＣＬＫの周波数と同じ周波数まで分周されてなる周波数を有するフィードバック信号ＤｉｖＣＬＫが出力される。ここで、電圧制御発振器５０の出力信号ＯＵＴが基準信号ＲｅｆＣＬＫに位相同期（ロック）された状態では、基準信号ＲｅｆＣＬＫの周波数と同じ周波数のフィードバック信号ＤｉｖＣＬＫが出力される。また、この状態においては、フィードバック信号ＤｉｖＣＬＫの周波数とフィードバック信号ＦＢＣＬＫの周波数は同じになる。
【００２４】
デッドロック検出回路７０は、デッドロック状態に陥ったことを検出して検出信号ＤＥＴを出力する。詳細には、デッドロック検出回路７０は、分周回路７１、遅延回路７２、ＥｘＮＯＲ（エクスクルーシブノア）ゲート７３、および２つのフリップフロップ７４，７５を有する。
【００２５】
分周回路７１には基準信号ＲｅｆＣＬＫが入力され、この分周回路７１から出力される分周信号Ａは、フリップフロップ７４，７５のクロック入力端子に共通に入力される。遅延回路７２には、後述する起動検出回路８０からのフィードバック信号ＦＢＣＬＫが入力され、この遅延回路７２から出力される信号はＥｘＮＯＲゲート７３の一方の入力端子に入力される。また、ＥｘＮＯＲゲート７３の他方の入力端子にはフィードバック信号ＦＢＣＬＫが入力され、そのＥｘＮＯＲゲート７３から出力されるクリア信号Ｃは、フリップフロップ７４のクリア入力端子に入力される。フリップフロップ７４のデータ入力端子は電源ＶＤＤに接続され、そのフリップフロップ７４からの出力信号Ｂは、フリップフロップ７５のデータ入力端子に入力される。また、フリップフロップ７５のクリア入力端子には、後述するスリープ信号ｓｌｅｅｐが入力され、そのフリップフロップ７５からは検出信号ＤＥＴが出力される。
【００２６】
デッドロック検出回路７０において、分周回路７１は、基準信号ＲｅｆＣＬＫを分周して所定周波数の分周信号Ａを出力する。遅延回路７２およびＥｘＮＯＲゲート７３は、フィードバック信号ＦＢＣＬＫの遷移を検出する。即ち、フィードバック信号ＦＢＣＬＫは、遅延回路７２によって所定時間遅延され、ＥｘＮＯＲゲート７３からは、フィードバック信号ＦＢＣＬＫの立ち上がりエッジおよび立ち下がりエッジで、遅延回路７２の遅延時間に相当するパルス幅を有する‘Ｌ’レベルのクリア信号Ｃが出力される。
【００２７】
また、フリップフロップ７４は、分周回路７１から出力される分周信号Ａの立ち上がりエッジでセット（‘Ｈ’レベル）され、ＥｘＮＯＲゲート７３から出力される‘Ｌ’レベルのクリア信号Ｃによってリセット（‘Ｌ’レベル）される。フリップフロップ７５は、‘Ｌ’レベルのスリープ信号ｓｌｅｅｐによってクリアされ、その後、分周信号Ａの立ち下がりエッジでフリップフロップ７４の出力信号Ｂを保持し、これを検出信号ＤＥＴとして出力する。
【００２８】
このように、フリップフロップ７４は、分周信号Ａの立ち上がりエッジで‘Ｈ’レベルにセットされ、この‘Ｈ’レベルが分周信号Ａの立ち下がりエッジでフリップフロップ７

５に保持されて検出信号ＤＥＴとして出力される。即ち、このデッドロック検出回路７０では、分周信号Ａの立ち上がりエッジから立ち下がりエッジまでの間に、フィードバック信号ＦＢＣＬＫが遷移してクリア信号Ｃが出力されない場合、ＰＬＬ回路１がデッドロック状態に陥ったものと見なされ、‘Ｈ’レベルの検出信号ＤＥＴが出力される。

【００２９】

従って、基準信号ＲｅｆＣＬＫの分周数は、基準信号ＲｅｆＣＬＫおよびフィードバック信号ＦＢＣＬＫの発振周波数の関係から、デッドロック検出回路７０が誤動作しない最適な分周数を算出するのが好ましい。尚、分周回路７１は必ずしも必要なものではなく、基準信号ＲｅｆＣＬＫおよびフィードバック信号ＦＢＣＬＫの発振周波数に応じて適宜設けるようにすればよい。また、デッドロック検出回路７０は、図示例のものに限定されず、例えばマイコン等を用いて、基準信号ＲｅｆＣＬＫおよびフィードバック信号ＦＢＣＬＫの遷移をモニタして、ＰＬＬ回路１がデッドロック状態に陥ったことを検出するようにしてもよい。

【００３０】

デッドロック検出回路７０から出力された‘Ｈ’レベルの検出信号ＤＥＴは、制御信号制御回路２０に入力され、その制御信号制御回路２０から共に‘Ｈ’レベルの制御信号ＵＰ２，ＤＯＷＮ２が出力され、チャージポンプ３０を経由してループフィルタ４０から電圧レベルが低下したコントロール信号ＣＮＴが出力され、これにより電圧制御発振器５０の発振周波数が低下して、正常なロック状態に復帰させる。

【００３１】

起動検出回路８０は、フィードバック信号ＦＢＣＬＫが所定の閾値周波数未満の周波数にある状態からその閾値周波数を越えたことを検出してデッドロック検出回路７０を作用させる回路である。この起動検出回路８０の構成については、後述する。

【００３２】

一般に、ＰＬＬ回路の起動中には、電圧制御発振器の発振周波数は徐々に上昇し、それに伴ってロジック回路（逓倍分周器）で分周されたフィードバック信号の周波数も上昇する。やがて、目標とする周波数（＝基準信号の周波数）に達し、目標周波数を若干越える状態（オーバーシュート）を伴って、いずれは目標とする周波数に収斂する。本実施形態のデッドロック検出回路７０は、この発振起動時であるが故にフィードバック信号の周波数が低いことと、デッドロック状態であるが故にフィードバック信号が到来しないこととを、後述する起動検出回路８０からのスリープ信号ｓｌｅｅｐのレベルで区別し、起動発振時にはデッドロック救済動作（電圧制御発振器５０の発振周波数を下げる方向に作用する動作）を行なわないことで、ＰＬＬ回路１が正常に起動できるように制御する。以下、図２を参照して説明する。

【００３３】

図２は、図１に示すＰＬＬ回路の状態遷移図である。

【００３４】

発振起動中とデッドロック状態とを区別するために、ＰＬＬ回路１の動作の時間的な変化に着目する。ＰＬＬ回路１を構成するループフィルタ４０には、動作を平均化する作用がある。このため、電圧制御発振器５０の発振周波数は急激には変化しない。従って、発振起動時であるが故にフィードバック信号の周波数が低い状態から、いきなり、デッドロック状態になってフィードバック信号が到来しない状態に移行することはなく、一旦、目標とする周波数付近で正常にフィードバック信号が到来している状態（必ずしも位相は合っておらず、またロック状態とも異なる状態）を経由する。

【００３５】

そこで、図２に示す状態遷移図において、正常にフィードバック信号が到来している状態（ｗｏｒｋ状態と称する）からフィードバック信号が到来しない状況（ＤＥＡＤと称する）が発生すればデッドロック状態（ｈｕｎｇ状態と称する）であると判断することができる。

【００３６】

発振起動中の時は、必ず発振起動状態（ｓｌｅｅｐ状態と称する）に位置づけることにより、フィードバック信号が到来しなくても、図１に示すデッドロック検出回路７０のフリップフロップ７５がリセット状態に保たれるため、デッドロック状態とは判断せず、電圧制御発振器５０の発振周波数を下げる作用は行なわれないこととなる。

【００３７】

尚、ｓｌｅｅｐ状態において、フィードバック信号が到来している状況（ＬＩＶＥと称する）が発生すると、ｗｏｒｋ状態に遷移する。また、ｈｕｎｇ状態においても、フィードバック信号が到来している状況が発生すると、ｗｏｒｋ状態に遷移する。

【００３８】

このような状態遷移管理を行なう上では、フィードバック信号が到来しているか否かを判定する間隔が重要である。この間隔が短すぎると、電圧制御発振器５０の発振周波数が目標とする発振周波数を若干越えた状態（オーバーシュート状態）から低下してフィードバック信号の間隔が延びたことが、フィードバック信号が到来しないことと誤認される恐れがある。一方、この間隔が長すぎると、オーバーシュート状態を検出して電圧制御発振器の発振周波数を下げる作用を働かせた際、発振周波数が下がっているにもかかわらず、それを検出するのが遅れることで過度に発振周波数が下がり、ひいては、フィードバック信号が到来しないことと誤認される恐れがある。従って、デッドロック検出回路７０の分周回路７１の分周数は適切に定める必要があり、例えば２～４分周が好適である。

【００３９】

また、別の実施形態として、デッドロック状態であると判断して電圧制御発振器５０の発振周波数を下げる作用を継続しても、所定の時間内にフィードバック信号が到来しない（復帰しない）場合には、強制的に、ＰＬＬ回路１を一旦ディスエーブル状態にすることで停止させ、発振起動中の状態（ｓｌｅｅｐ状態）から再起動するという手段を採用してもよい（図２の破線で示した状態遷移パス（ｔｉｍｅｏｕｔ）の採用）。こうすれば、何らかの理由によりデッドロック状態であると誤認して電圧制御発振器５０の発振周波数を下げるように作用し、結果として、発振周波数が下り過ぎたとしても、所定時間経過後、再度、停止状態から起動することができるため、ＰＬＬ回路１を正常に起動することができる。

【００４０】

図３は、図１に示す起動検出回路の構成を示す図である。

【００４１】

図３に示す起動検出回路８０には、分周回路８１と、エッジ検出回路８２と、フィードバック信号監視回路８３と、状態遷移回路８４と、フィードバック信号出力回路８５とが備えられている。

【００４２】

分周回路８１には、入力された基準信号ＲｅｆＣＬＫを１／４に分周するフリップフロップ８１＿１，８１＿２が備えられている。ここで、１／４に分周された信号Ｓが有する周波数が、前述した閾値周波数である。

【００４３】

エッジ検出回路８２には、フリップフロップ８２＿１，８２＿２と、ＥｘＯＲ（エクスクルーシブオア）ゲート８２＿３が備えられている。これらフリップフロップ８２＿１，８２＿２，ＥｘＯＲゲート８２＿３は、基準信号ＲｅｆＣＬＫの周期×４の期間中に、フィードバック信号ＤｉｖＣＬＫが１つ以上入力されたか否かを検出する回路である。フリップフロップ８２＿１のクロック入力端子には、フリップフロップ８１＿２からの、基準信号ＲｅｆＣＬＫが１／４に分周されてなる信号Ｓが入力される。また、フリップフロップ８２＿２のクロック入力端子には、フィードバック信号ＤｉｖＣＬＫが入力される。さらに、フリップフロップ８２＿２のデータ入力端子には、フリップフロップ８２＿１の反転出力信号が入力される。

【００４４】

最初の時点（初期状態）では、フリップフロップ８２＿１，８２＿２の出力信号Ｅ，Ｆ

は、論理‘０’にある。従って、ＥｘＯＲゲート８２＿３の出力信号Ｈも論理‘０’にある。ここで、フリップフロップ８２＿１に信号Ｓが入力され、この信号Ｓの立ち上がりエッジによって、フリップフロップ８２＿１には、フリップフロップ８２＿２の出力信号Ｆ（論理‘０’）が取り込まれる。従って、フリップフロップ８２＿１の出力信号Ｅは同じ値（論理‘０’）に留まる。

【００４５】

次いで、信号Ｓの期間中（基準信号ＲｅｆＣＬＫの周期×４の期間中）に、フィードバック信号ＤｉｖＣＬＫがフリップフロップ８２＿２に入力される。すると、フリップフロップ８２＿２は、フィードバック信号ＤｉｖＣＬＫの立ち下がりエッジによってトリガされ、フリップフロップ８２＿１の反転出力信号（論理‘１’）を取り込む。この結果、フリップフロップ８２＿２の出力信号Ｆは、論理‘１’となる。一方、フリップフロップ８２＿１の出力信号Ｅは、論理‘０’に留まっている。従って、ＥｘＯＲゲート８２＿３の出力信号Ｈは、論理‘１’になる。このように、ＥｘＯＲゲート８２＿３の出力信号Ｈは、基準信号ＲｅｆＣＬＫの周期×４の期間中に、フィードバック信号ＤｉｖＣＬＫが到来（１つ以上の到来）すれば、論理‘１’になる。

【００４６】

フィードバック信号監視回路８３には、フリップフロップ８３＿１，８３＿２，８３＿３と、アンドゲート８３＿４，８３＿５が備えられている。ここで、フィードバック信号監視回路８３の最終段であるアンドゲート８３＿４の出力信号ＬＩＶＥが論理‘１’である場合は、フィードバック信号ＤｉｖＣＬＫが到来している状況（図２に示すＬＩＶＥ）となる。また、アンドゲート８３＿５の出力信号ＤＥＡＤが論理‘１’である場合は、フィードバック信号ＤｉｖＣＬＫが到来していない状況（図２に示すＤＥＡＤ）となる。詳細には、このフィードバック信号監視回路８３では、ＥｘＯＲゲート８２＿３の出力信号Ｈが論理‘１’になっている状態で、信号Ｓの立上がりエッジが３回到来すると、出力信号ＬＩＶＥが論理‘１’になり、これにより図２に示すｗｏｒｋ状態に遷移する。

【００４７】

状態遷移回路８４には、インバータ８４＿１と、アンドゲート８４＿２，８４＿３と、オアゲート８４＿４，８４＿５と、フリップフロップ８４＿６，８４＿７と、ナンドゲート８４＿８とが備えられている。この状態遷移回路８４では、フィードバック信号監視回路８３からの出力信号ＬＩＶＥ，ＤＥＡＤを入力し、これら出力信号ＬＩＶＥ，ＤＥＡＤに基づいてフリップフロップ８４＿６，８４＿７から出力される出力信号Ｑ０，Ｑ１の論理値の組合せにより、図２に示すｓｌｅｅｐ状態，ｗｏｒｋ状態，ｈｕｎｇ状態が区別される。具体的には、出力信号Ｑ０，Ｑ１が共に論理‘０’の場合はｓｌｅｅｐ状態であり、また出力信号Ｑ０，Ｑ１が論理‘１’，‘０’の場合はｗｏｒｋ状態であり、さらに出力信号Ｑ０，Ｑ１が共に論理‘１’の場合はｈｕｎｇ状態である。ナンドゲート８４＿８は、出力信号Ｑ０，Ｑ１が共に論理‘０’の場合に、ｓｌｅｅｐ状態であることを示す‘Ｌ’レベルのスリープ信号ｓｌｅｅｐを、図１に示すフリップフロップ７５のクリア入力端子に向けて出力する。

【００４８】

フィードバック信号出力回路８５には、バッファ８５＿１と、ＥｘＯＲゲート８５＿２と、マルチプレクサ８５＿３とが備えられている。バッファ８５＿１およびＥｘＯＲゲート８５＿２には基準信号ＲｅｆＣＬＫが入力され、マルチプレクサ８５＿３には、フィードバック信号ＤｉｖＣＬＫが入力される。バッファ８５＿１およびＥｘＯＲゲート８５＿２は、基準信号ＲｅｆＣＬＫの遷移を検出する。即ち、基準信号ＲｅｆＣＬＫは、バッファ８５＿１によって所定時間遅延され、ＥｘＯＲゲート８５＿２からは、基準信号ＲｅｆＣＬＫの立ち上がりエッジおよび立ち下がりエッジで、バッファ８５＿１の遅延時間に相当するパルス幅を有する‘Ｌ’レベルの信号が出力される。マルチプレクサ８５＿３は、ｈｕｎｇ状態（出力信号Ｑ１が論理‘１’）になった場合は、基準信号ＲｅｆＣＬＫの立ち上がりエッジおよび立ち下がりエッジの両エッジをフィードバック信号ＦＢＣＬＫとして出力する。これにより、電圧制御発振器５０の発振周波数を下げる。一方、ｗｏｒｋ状

態やｓｌｅｅｐ状態（出力信号Ｑ１が論理‘０’）になった場合は、フィードバック信号ＤｉｖＣＬＫをフィードバック信号ＦＢＣＬＫとして出力する。

【００４９】

このように、本実施形態のＰＬＬ回路１は、フィードバック信号が所定の閾値周波数未満の周波数にある状態からその閾値周波数を越えたことを検出してデッドロック検出回路７０を作用させる起動検出回路８０を備えたものであるため、発振起動時であるが故にフィードバック信号の周波数が低いことと、デッドロック状態であるが故にフィードバック信号が到来しないこととを、起動検出回路８０により区別し、起動発振時にはデッドロック救済動作（電圧制御発振器５０の発振周波数を下げる方向に作用する動作）を行なわないことで、ＰＬＬ回路１が正常に起動できるように制御することができる。従って、発振起動時におけるデッドロック状態の誤認を防止することができるとともに、発振起動終了後においてデッドロック状態に陥った場合であっても正常なロック状態に復帰することができる。

【図面の簡単な説明】

【００５０】

【図１】本発明のＰＬＬ回路の一実施形態の構成を示す図である。

【図２】図１に示すＰＬＬ回路の状態遷移図である。

【図３】図１に示す起動検出回路の構成を示す図である。

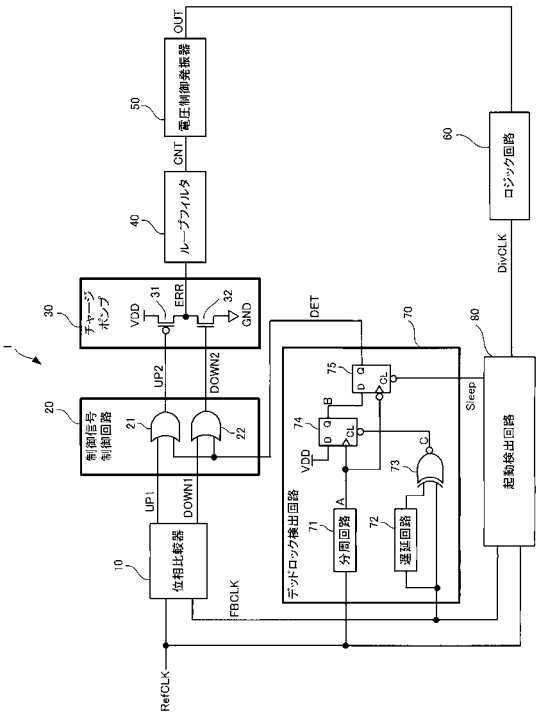
【図４】ＰＬＬ回路の、発振起動時における発振周波数の変化を示す図である。

【符号の説明】

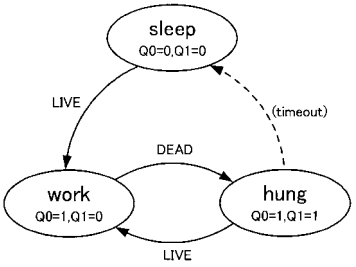
【００５１】

１　ＰＬＬ回路
１０　位相比較器
２０　制御信号制御回路
２１，２２　ＯＲゲート
３０　チャージポンプ
３１　Ｐ型ＭＯＳトランジスタ
３２　Ｎ型ＭＯＳトランジスタ
４０　ループフィルタ
５０　電圧制御発振器
６０　ロジック回路
７０　デッドロック検出回路
７１　分周回路
７２　遅延回路
７３　ＥｘＮＯＲゲート
７４，７５，８１＿１，８１＿２，８２＿１，８２＿２，８３＿１，８３＿２，８３＿３，８４＿６，８４＿７　フリップフロップ
８０　起動検出回路
８１　分周回路
８２　エッジ検出回路
８２＿３，８５＿２　ＥｘＯＲゲート
８３　フィードバック信号監視回路
８３＿４，８３＿５，８４＿２，８４＿３　アンドゲート
８４　状態遷移回路
８４＿１　インバータ
８４＿４，８４＿５　オアゲート
８４＿８　ナンドゲート
８５　フィードバック信号出力回路
８５＿１　バッファ
８５＿３　マルチプレクサ

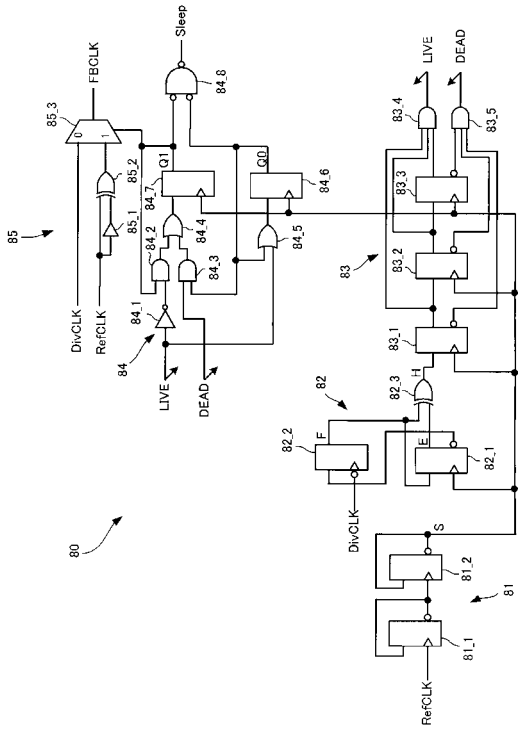
【図１】


OUT
電圧制御発振器
50
CNT
ループフィルタ
40
60
ロジック回路
DivCLK
チャージポンプ
30
VDD
31
ERR
32
GND
DET
70
80
Sleep
起動検出回路
UP2
DOWN2
制御信号制御回路
20
21
22
75
74
73
VDD
B
C
A
UP1
DOWN1
位相比較器
10
デッドロック検出回路
71
分周回路
72
遅延回路
FBCLK
RefCLK

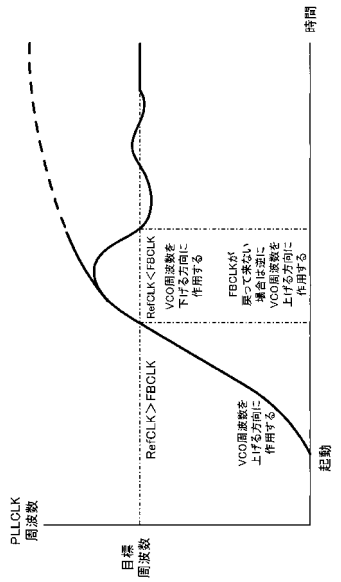
【図２】


sleep
Q0=0,Q1=0
LIVE
(timeout)
DEAD
work
Q0=1,Q1=0
hung
Q0=1,Q1=1
LIVE

【図３】


Sleep
FBCLK
85_3
84_8
LIVE
DEAD
83_4
83_5
85
85_2
Q1
Q0
84_7
84_6
83_3
85_1
84_2
84_4
84_5
83
83_2
DivCLK
RefCLK
84_1
84
83_1
LIVE
DEAD
82
82_3
H
82_2
F
E
82_1
DivCLK
S
80
81_2
81
81_1
RefCLK

【図４】


時間
RefCLK<FBCLK
VCO周波数を
下げる方向に
作用する
FBCLKが
戻って来ない
場合は逆に
VCO周波数を
上げる方向に
作用する
RefCLK>FBCLK
VCO周波数を
上げる方向に
作用する
起動
PLLCLK
周波数
目標
周波数

フロントページの続き

(56)参考文献 特開２００３－０１８００４（ＪＰ，Ａ）
特開平１１－１２２１０２（ＪＰ，Ａ）
特開平１１－１０３２４９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０３Ｌ　　７／０９５