



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I430127 B

(45)公告日：中華民國 103 (2014) 年 03 月 11 日

(21)申請案號：100143864

(22)申請日：中華民國 100 (2011) 年 11 月 30 日

(51)Int. Cl. : G06F17/50 (2006.01)

(30)優先權：2011/10/18 美國

13/275348

(71)申請人：國立台灣大學(中華民國) NATIONAL TAIWAN UNIVERSITY (TW)

臺北市大安區羅斯福路4段1號

(72)發明人：包偉力 BALABANOV, VALERIY (UA)；徐孟楷 HSU, MENG KAI (TW)；張耀文 CHANG, YAO WEN (TW)

(74)代理人：鄧民立

(56)參考文獻：

TW 514804

TW I320536

US 6671859B1

US 2009/0031269A1

審查人員：馮耀嘉

申請專利範圍項數：15 項 圖式數：8 共 0 頁

(54)名稱

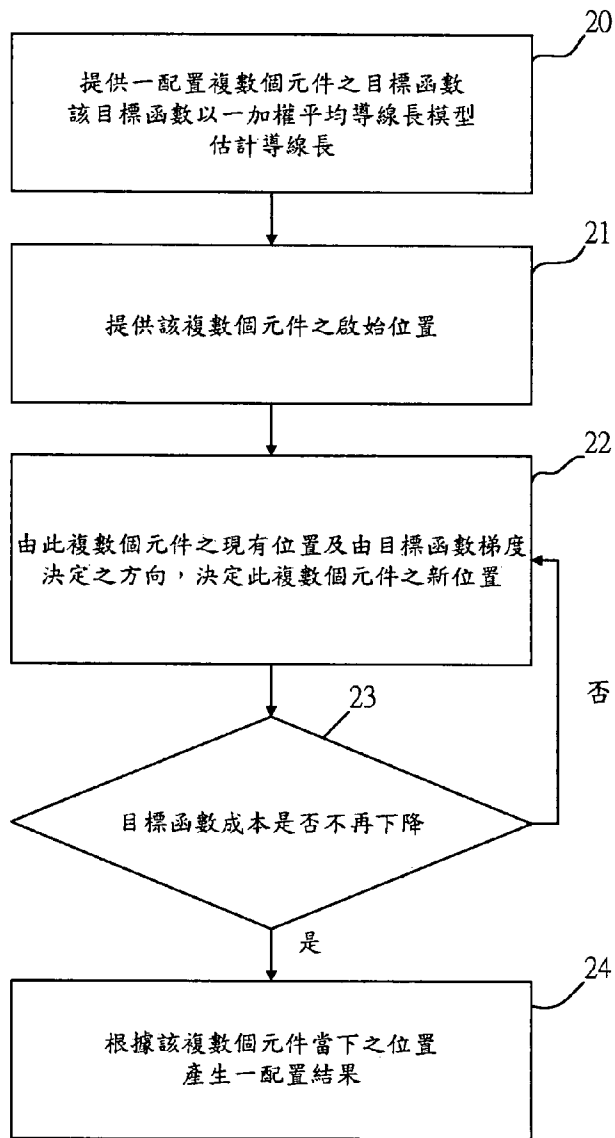
以加權平均線長模型實現之解析配置演算法

METHOD OF ANALYTICAL PLACEMENT WITH WEIGHTED-AVERAGE WIRELENGTH MODEL

(57)摘要

本發明係一種用以產生積體電路中複數個元件佈局之電腦實現法，藉由使用一加權平均線長模型估算總線長以達成目標。藉由對一目標函數進行最佳化流程可決定此一佈局，該函數包括一由加權平均線長模型估算之線長函數。此法可進一步用於三維積體電路中複數個元件之佈局，此法同時考量矽穿孔之大小及其實體位置。由於矽穿孔之實體位置已於佈局時決定，三維繞線可輕易地在繞線長、矽穿孔數量及矽晶總面積等方面達到更佳之成果。

A computer-implemented method to generate a placement for a plurality of instances for an integrated circuit (IC) by utilizing a novel weighted-average (WA) wirelength model, which outperforms a well-known log-sum-exp wirelength model, to approximate the total wirelength. The placement is determined by performing an optimization process on an objective function which includes a wirelength function approximated by the WA wirelength model. The method can be extended to generate a placement for a plurality of instances for a three-dimensional (3D) integrated circuit (IC) which considers the sizes of through-silicon vias (TSVs) and the physical positions for TSV insertion. With the physical positions of TSVs determined during placement, 3D routing can easily be accomplished with better routed wirelength, TSV counts, and total silicon area.



第2圖

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

公告本

※申請案號： 100143864

※申請日： 100.11.30

※IPC 分類：

G06F 17/50 2006.01

## 一、發明名稱：(中文/英文)

以加權平均線長模型實現之解析配置演算法

METHOD OF ANALYTICAL PLACEMENT WITH  
WEIGHTED-AVERAGE WIRELENGTH MODEL

## 二、中文發明摘要：

本發明係一種用以產生積體電路中複數個元件佈局之電腦實現法，藉由使用一加權平均線長模型估算總線長以達成目標。藉由對一目標函數進行最佳化流程可決定此一佈局，該函數包括一由加權平均線長模型估算之線長函數。此法可進一步用於三維積體電路中複數個元件之佈局，此法同時考量矽穿孔之大小及其實體位置。由於矽穿孔之實體位置已於佈局時決定，三維繞線可輕易地在繞線長、矽穿孔數量及矽晶總面積等方面達到更佳之成果。

## 三、英文發明摘要：

A computer-implemented method to generate a placement for a plurality of instances for an integrated circuit (IC) by utilizing a novel weighted-average (WA) wirelength model, which outperforms a well-known log-sum-exp wirelength model, to approximate the total wirelength. The placement is determined by performing an optimization process on an objective function which includes a wirelength function approximated by the WA wirelength model. The

method can be extended to generate a placement for a plurality of instances for a three-dimensional (3D) integrated circuit (IC) which considers the sizes of through-silicon vias (TSVs) and the physical positions for TSV insertion. With the physical positions of TSVs determined during placement, 3D routing can easily be accomplished with better routed wirelength, TSV counts, and total silicon area.

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

20~24 步驟

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於一以電腦輔助積體電路佈局法，特別指一種以數值分析佈局演算法實現之電腦輔助積體電路佈局法。

### 【先前技術】

蓋，佈局問題係將複數個元件放置到一或複數個固定晶片上，且使元件彼此間不重疊，並針對某些成本（比如線長）進行最佳化。在數十年的實體設計領域，佈局係一主要步驟。然而作為一主要課題，直到現在許多設計考量仍賦予此問題一嶄新面貌。由於實體設計尺度相較於以往成長許多，因此目前佈局問題變得非常難以克服。

在現有之佈局演算法中，數值分析佈局演算法已經被證實為對大尺度積體電路設計最有效率的。此一演算法係將佈局問題轉換為一由目標函數及一組佈局限制條件組成的數學方程式，並藉由數值分析法把目標最佳化。

在目標函數中，線長係一待最佳化的重要因素，現今多使用半周長線長模型解決此一問題。然而，因為此模型不可微分，所以難以達到最佳化。因此，多數狀況下用一些平滑之線長模型以近似半周長線長模型，比如二次方模型、對數指數和模型（LSE）、陳-哈克模型（CHKS）。

然而，此等進展仍然導致了許多研究上的挑戰。因此，后有進

者，仍希望發展一準確且有效率的數值分析線長模型來處理佈局問題。

此外，在現代積體電路設計中，針對克服電路連結及整合複雜度此等問題，三維積體電路技術（3D IC）可望作為一最有進展的解決方法。三維積體電路技術能有效地降低全域電路連結線長，同時能大幅提昇電路表現；然而，此一技術同時帶來一些挑戰，比如用來連結不同電路層之間的矽穿孔、熱效應、封裝、功率密度…等。

一般常見的三維積體電路結構中，電路層層相疊，彼此間以矽穿孔連結。此等矽穿孔負責連結不同電路層中的元件，然而卻造成了一些影響深遠的問題。在現有的技術之下，矽穿孔相較於一般金屬導線顯得特別大；因此，越多的矽穿孔會佔用越大的面積，從而降低了產出率及最終晶片之可靠度。

此外，矽穿孔通常被置放於大區塊或元件之間之空白區間，因此，矽穿孔可能會影響繞線，同時增加整體晶片或封裝的面積。被矽穿孔所佔據之巨大面積，以及因此衍生之產出率及可靠度課題成為三維積體電路佈局中一嚴重問題。

過去有一利用現有二維佈局技術之結果之折疊/層疊三維佈局法，以對電路層中的元件進行重佈局以達到更佳之三維佈局結果。

另有一以分割法為基礎之擺置法將線長、溫度、矽穿孔數量，

以及熱效應等考量整合至所切割之目標。然而，如同在二維佈局問題中所熟知，分割擺置法不如數值分析法優秀。

此外，尚有一用以解決離散電路層佈局之三維積體電路之多層數值分析佈局法，基於此法，元件在鉛直方向之位置得為任意值。其基本概念在於利用跨電路層密度懲罰原則來移除跨電路層之元件；然而，在佈局時，矽穿孔所佔有之面積未被列入考量。

由此可知，傳統上，矽穿孔係於繞線時置放於整個三維積體電路中尚有空間處，因此，繞線品質大大地取決於佈局完成後剩餘的空間。然而，由於矽穿孔大小未於佈局時納入考量，上述方法之效率通常並不好。

更有先前技術提出一用於三維積體電路之力導向二次方演算法。在此演算法中，於分割階段先將元件佈局到複數個電路層，然後，對每一電路層產生獨立之元件及矽穿孔佈局以達到線長最佳化。由於進行分割時並沒有元件實際的位置資訊，此一方法可能會限制佈局結果之品質。

鑑於前述各種先前技術所產生的問題，本發明提出一種運用等效線長模型，同時將矽穿孔列入考量的三維積體電路元件佈局法，以產生一高品質三維積體電路佈局。

### 【發明內容】

本發明之一目的為使用一種加權平均線長模型產生積體電路



中複數個元件之佈局。

在本發明之一實施例中，藉由對一目標函數進行最佳化流程以決定佈局結果。該目標函數包含一以加權平均線長模型估計線長之函數以及一用於估計該複數個元件密度之密度函數。

本發明另一目的係提供一種以佈局演算法產生三維積體電路中複數個元件之佈局，該演算法兼具有考量矽穿孔大小及其實際位置。

在一實施例中，該演算法係以下列步驟實現：

(1) 在考量密度最佳化及預留矽穿孔空間之狀況下，進行三維全域佈局；

(2) 插入矽穿孔，並執行移位(Legalization)，同時考量矽穿孔之位置；以及

(3) 對每一電路層進行微調佈局。

在一實施例中，將加權平均線長模型應用於全域佈局階段。同時，於建立三維佈局之密度模型時，使用一立方體而非一平面形狀來代替元件。而在最小化矽穿孔數量同時，該三維數值分析佈局方程式亦包含一矽穿孔大小影響元件密度之模型。

在插入矽穿孔時，使用一演算法以決定每一所需矽穿孔之位置，該演算法係基於對相鄰電路層間物件重疊之估算。

由於矽穿孔之實體位置係於佈局時決定，三維繞線可以用傳統二維繞線工具完成，藉由這樣做法以達到更優異之導線總長、矽穿孔數量以及矽晶總面積。

從以下對某些具體實施例之解說及其相應之圖示，將可輕易瞭解本發明其他目標、技術內容、技術特徵及優點。

### 【實施方式】

本發明詳述如下。所述之例係用以呈現最佳實施例而非用以限縮本發明之範疇。

一般而言，積體電路的佈局係可用以下三個步驟來執行：

- 一、全域佈局；
- 二、移位(Legalization)；以及
- 三、微調。

在全域佈局時，係平均地放置元件，並同時找出每一元件的最佳位置及電路層，以使目標成本（比如線長）最小化。然後移動元件使電路層之間的元件不會相互重疊。最後，微調元件的位置得到最佳的佈局結果。

### 加權平均線長模型

在本發明中，係提出一種用於數值分析全域佈局的加權平均線

長模型。

一般來說，佈局問題可以表示成超圖 (hypergraph)  $H = (V, E)$  的佈局問題。令  $V = \{v_1, v_2, \dots, v_n\}$  代表元件，超邊界條件  $E = \{e_1, e_2, \dots, e_n\}$  代表電路連結。令  $x_i$  及  $y_i$  為  $v_i$  元件中心點之  $x$  及  $y$  座標。給定一佈局區，決定可動元件之最佳位置以最小化總線長，並同時滿足元件互不重疊的限制條件。

因此，該數值分析全域佈局問題可以表示為  $\min W(x, y)$ ，其中  $W(x, y)$  係為線長函數。

在一實施例中，將佈局區切割成互不重疊之標準區間，則此數值分析全域佈局問題可以重新表示為限制性最佳化問題如下：

$$\begin{aligned} \min W(x, y) \\ \text{s. t. } D_b(x, y) \leq M_b \quad \forall \text{ 區間 } b, \end{aligned} \quad (1)$$

其中  $D_b(x, y)$  為一用以計算區間  $b$  中可動元件總面積之密度函數而  $M_b$  可表示為

$$M_b = t_{density}(w_b h_b - P_b)$$

其中  $t_{density}$  為使用者所定義每一區間之目標密度值， $w_b (h_b)$  係區間  $b$  之寬 (高)，而  $P_b$  為區間  $b$  中預置元件之面積。

在一實施例中，線長  $W(x, y)$  定義為半周長線長 (HPWL)，

$$W(x, y) = \sum_{n \in e} (\max_{v, v_j \in e} |x_i - x_j| + \max_{v, v_j \in e} |y_i - y_j|) \quad (2)$$

因方程式(2)中之  $W(x, y)$  並非一平滑曲線，故難以直接將其最小化。本發明提出一加權平均導線模型以近似方程式(2)中諸多最大值函數。給定一  $x$  座標之集合  $x_e$ ，去計算電路連結  $e$  之線長，則加權平均給定如下：

$$\bar{X}(x_e) = \frac{\sum_{v_i \in e} x_i F(x_i)}{\sum_{v_i \in e} F(x_i)}, \quad (3)$$

其中  $F(x_i)$  為  $x_i$  之非負加權函數，使  $x_{\min} \leq \bar{X}(x_e) \leq x_{\max}$ ，其中  $x_{\max}$  及  $x_{\min}$  為  $x_e$  之最大值及最小值。

欲近似  $x_e$  之最大值， $F(x_i)$  應快速增長，同時能區隔出較大之數值。在一實施例中，為達此一目的，使用指數函數如下：

$$F(x_i) = \exp(x_i / \gamma), \quad (4)$$

其中  $\gamma$  為一預設之平滑因子。

在此，應注意其他與指數函數有類似性質之函數亦能應用於此。由此，最大值之估計函數定義如下：

$$X_{\max}(x_e) = \frac{\sum_{v_i \in e} x_i \exp(x_i / \gamma)}{\sum_{v_i \in e} \exp(x_i / \gamma)}. \quad (5)$$

最小值之估計函數亦可以類似之方法定義。故，基於加權平均線長模型之  $W(x, y)$  給定如下：

$$\sum_{e \in E} \left( \frac{\sum_{v_i \in e} x_i \exp(\frac{x_i}{\gamma})}{\sum_{v_i \in e} \exp(\frac{x_i}{\gamma})} - \frac{\sum_{v_i \in e} x_i \exp(\frac{-x_i}{\gamma})}{\sum_{v_i \in e} \exp(\frac{-x_i}{\gamma})} + \frac{\sum_{v_i \in e} y_i \exp(\frac{y_i}{\gamma})}{\sum_{v_i \in e} \exp(\frac{y_i}{\gamma})} - \frac{\sum_{v_i \in e} y_i \exp(\frac{-y_i}{\gamma})}{\sum_{v_i \in e} \exp(\frac{-y_i}{\gamma})} \right) .$$

第 1 圖係為各種線長模型與加權平均線長模型模擬結果之比較圖。曲線 10、11、12、13 及 14 分別代表了半周長線長模型 (HPWL Model)、加權平均線長模型 (WA wirelength Model)、陳-哈克模型 (CHKS Model)、對數指數和模型 (LSE Model)，以及二次方模型 (Quadratic Model) 模擬之結果。此一比較基於兩個變數 (元件) 以及一座標軸上位置之計算。如圖所示，加權平均線長模型對半周長線長模型之趨近結果優於其他線長模型。

由圖可知，當  $\gamma$  收斂至 0 時，加權平均線長模型收斂至方程式 (2) 中之半周長線長模型。此外，對方程式 (5) 以所有  $x_i \in X_e$  微分兩次，可以得知加權平均線長模型係一凸型且連續可微分之模型。

同時亦可由圖得知，加權平均線長模型估計誤差之上限為：

$$\varepsilon_{WA}(x_e) \leq \frac{\lambda \Delta x}{1 + \exp(\Delta x)/n} < \gamma \ln n, \quad \forall n \geq 2$$

其中  $\Delta X = (X_{\max} - X_{\min}) / \gamma$ ，相較於對數指數和線長模型，可知加權平

均線長模型之估計誤差較小，特別當變數數量增加時更為明顯。

嗣後，為估計佈局密度，先計算區塊及元件之重疊。區塊  $b$  之密度可定義如下：

$$D_b(x, y) = \sum_{v \in V} (P_x(b, v) P_y(b, v)) \quad (6)$$

其中  $P_x(b, v)$  及  $P_y(b, v)$  分別表示元件  $v$  及區塊  $b$  在  $x$  及  $y$  方向上的重疊。藉此，可在密度限制下將元件平均分佈至電路層上。

由於  $D_b(x, y)$  並非平滑、可微分，在一實施例中，應用一鐘型平滑模型將密度函數  $D_b(x, y)$  轉換為一平滑可微分之函數  $\hat{D}_b(x, y)$  以便進行數值分析佈局。

因此，可用一個二次方懲罰法 (Quadratic penalty method) 求解方程式(1)，即可對一目標函數進行一最佳化流程如下：

$$\min W(x, y) + \lambda \sum_b (\hat{D}_b(x, y) - M_b)^2, \quad (7)$$

其中  $\lambda$  為一懲罰係數。

藉由方程式(7)所定義之目標函數，請參閱第 2 圖，係一應用加權平均線長模型數值分析全域佈局之流程示意圖。

於一開始，提供一用於積體電路中產生複數個元件佈局之可微分目標函數 (步驟 20)。嗣後，使用一最佳化流程找出該目標函數成本最小值之解。

開始執行此一最佳化流程時，先給定複數個元件之位置作為啟始狀態（步驟 21）。由該複數個元件的現有位置及由該目標函數的梯度所決定的方向，決定該複數個元件的新位置（步驟 22）。如圖所示，在步驟 23 中，若目標函數之成本不再降低，則可認為找到此目標函數之解；否則，回到步驟 22 重複其動作。最後，藉由重複執行上述步驟，以完成該複數個元件之佈局（步驟 24）。

在一實施例中，此最佳化流程包括應用一共軛梯度法。此處不再詳述共軛梯度法之內容。

應用加權平均線長模型同時將矽穿孔（TSV）列入考量之三維佈局法（3D placement）

在一實施例中，可將上述之二維數值分析佈局法延伸至一將矽穿孔列入考量之三維佈局法。

請參照第 3 圖，其係一將矽穿孔列入佈局考量之數值分析佈局法流程示意圖。最初，在考量密度最佳化同時預留矽穿孔空間之狀況下執行一三維全域佈局（步驟 30）。嗣後，將矽穿孔插入前述預留之空間，並將矽穿孔納入考量後執行移位（Legalization）（步驟 31）。最後，對經過移位（Legalization）之佈局進行進一步微調（步驟 32）。

前述步驟 30，係一同時考量密度最佳化及預留矽穿孔空間之三維全域佈局。

類似於二維全域佈局問題，一三維之數值分析全域佈局問題可重新表現為一限制性最佳化問題如下：

$$\begin{aligned} \min \quad & W(x, y) + \alpha \cdot Z(z) \\ \text{s. t.} \quad & D_{b,k}(x, y, z) + T_{b,k}(x, y, z) \leq M_{b,k} \quad \forall \text{ bin } b \text{ of layer } k, \end{aligned} \quad (8)$$

其中， $W(x, y)$ 係線長函數， $Z(z)$ 係所使用之矽穿孔數量， $\alpha$ 係一加權值， $D_{b,k}(x, y, z)$ 及  $T_{b,k}(x, y, z)$ 分別為電路層  $k$  之區塊  $b$  中可移動元件及矽穿孔之面積，且  $M_{b,k}$ 可表示為：

$$M_{b,k} = t_{density}(W_{b,k}h_{b,k} - P_{b,k})$$

其中， $t_{density}$  係為每一區塊之目標密度值， $W_{b,k}$  ( $h_{b,k}$ )為電路層  $k$  中區塊  $b$  之寬 (高)，而  $P_{b,k}$ 為電路層  $k$  中區塊  $b$  內預置元件之面積。相較於傳統之二維佈局及以往之三維佈局，此一公式不僅考慮可移動元件之密度  $D_{b,k}$ ，亦將矽穿孔之面積列入考量。

如方程式(2)所示，此一線長  $W(x, y)$ 被定義為半周長導線總長 (Total half-perimeter wirelength (HPWL))。

由於在全域佈局時，矽穿孔之確切位置尚屬未知，矽穿孔之數量係由其所跨接之電路層數量所估算。因此，可使用類似於估計線長之方法以估計矽穿孔之數量  $Z(z)$ 。

$$W(z) = \sum_{net \in e} \max_{v, v' \in e} |z_i - z_j| \quad (9)$$



對  $W(x, y)$  及  $W(z)$  而言，可用加權平均線長模型近似方程式(2)及方程式(9)中之最大值函數。在此不再詳述其細節。

在本發明中，使用三維密度模型去估計三維佈局之密度，而為了估計佈局之密度，需先計算區塊與元件間的重疊量。將  $z$  軸列入考量，則元件及長方形區塊變為立方體及長方體，而彼此在  $x$ 、 $y$  及/或  $z$  軸重疊。電路層  $k$  中立方體  $b$  之密度可定義如下：

$$D_{b,k}(x, y, z) = \sum_{v \in V} (P_x(b, v, k) P_y(b, v, k) P_z(b, v, k)) \quad (10)$$

其中  $P_x(b, v, k)$ 、 $P_y(b, v, k)$  及  $P_z(b, v, k)$  分別代表元件  $k$  與電路層  $k$  中區塊  $b$  在  $x$ 、 $y$  及  $z$  方向上之重疊量。這樣，就可在密度限制下將元件平均分佈於諸多電路層中。

在一實施例中，由於  $D_{b,k}(x, y, z)$  非一平滑可微分函數，因此使用一鐘型平滑模型將密度函數  $D_{b,k}(x, y, z)$  轉換為一平滑可微分函數  $\hat{D}_{b,k}(x, y, z)$  以利數值分析佈局之進行。

故，可應用一二次方懲罰法以求得方程式(8)之解，亦即可對一目標函數進行一最佳化流程如下：

$$\min W(x, y) + \alpha Z(z) + \lambda \sum_{b,k} (\hat{D}_{b,k}(x, y, z) + T_{b,k} - M_b)^2 \quad (11)$$

其中  $\lambda$  係一懲罰係數。

在一實施例中，最佳化流程之中可包括一共軛梯度法。

在方程式(11)中應注意因矽穿孔之確切位置尚未決定，故  $T_{b,k}$  非定值。欲估計被矽穿孔所佔據之空間，得合理假設相鄰兩電路層之間電路連結係藉由一矽穿孔。如第 4 圖所示，電路連結方塊為一被電路連結所跨越之區域。一如傳統二維繞線，對一電路連結而言，將一對應之矽穿孔放入其電路連結方塊可使繞線之長度降至最短。給定一電路連結及其接腳，可求出其電路連結方塊。為預留足夠之空間以供矽穿孔使用，將矽穿孔所需之空間平均分佈至電路連結方塊中。以這樣的方式完成三維數值分析全域佈局後，將能保留較多的空間供矽穿孔使用。

如第 5 圖所述，完成三維數值分析全域佈局後，執行下列三步驟以插入矽穿孔同時進行移位( legalization )。首先，在不考慮矽穿孔之情形下，將每一電路層中之元件以最小移動量進行移位( legalization ) ( 步驟 50 )。嗣後，插入所需之矽穿孔，同時使元件與矽穿孔間之重疊量最小化 ( 步驟 51 )。最後，固定矽穿孔之位置，再次執行移位( legalization )，使所有元件及矽穿孔之間皆不互相重疊 ( 步驟 52 )。此三步驟之細節詳述如下。

首先，對每一電路層進行標準化元件移位( legalization )，此時可沿用傳統二維移位( legalization )之技術。然而，與二維移位( legalization )不同者在於，在三維積體電路移位( legalization )時，不同電路層之間的連結關係必須納入考量。

嗣後，給定一經移位( legalization )之佈局結果，插入矽穿

孔，並讓矽穿孔與元件間之重疊最小化。矽穿孔插入後，為使元件與矽穿孔互不重疊所需之移動量將被最小化。

在一實施例中，如第 6A 圖所示，每一電路連結先以最小成本生成樹演算法解構成一雙接腳電路連結。其中，所有元件被投影至單一電路層，使生成圖之幾何關係可由元件間之水平距離求得。不同於傳統生成樹之架構，矽穿孔之數量亦被作為結構之成本。一邊界  $e$  之成本定義為  $\beta * L(e) + Z(e)$ ，其中  $L(e)$  為  $e$  之水平線長， $Z(e)$  係  $e$  所需之矽穿孔數目，而  $\beta$  及  $\delta$  為使用者定義之參數。在一實施例中，應用克魯斯克爾演算法 (Kruskal's algorithm) 建構一最小成本生成樹。再者，由於對每一電路連結，在每一電路層僅使用一矽穿孔，於此等狀況下，用較大之  $\delta$  以優先選擇同一電路層中頂點間邊界連結。

如第 6B 圖所示，將每一電路連結解構成雙接腳電路連結後，將所有雙接腳電路連結依照其電路連結方塊之大小，以一非遞減序列排序，再將矽穿孔依序放入最小未被佔據之電路連結方塊內。

接下來考慮矽穿孔位置之限制。請參照第 7 圖，其係一三維積體電路切面圖之一部分，70、71 及 72 分別代表圖中三層疊電路層中之金屬層、元件層及介電質層，而 75 代表元件層中之元件。一般而言，矽穿孔有兩種主流型態，分別為先鑽孔矽穿孔及後鑽孔矽穿孔。如第 7 圖所述，受元件層及金屬層所影響，後鑽孔矽穿孔 73 需放置在相鄰元件層之間，因此其條件更為嚴格。相對而言，

先鑽孔矽穿孔 74 只受元件層影響，因此能置於每一電路層；然而，考量先鑽孔矽穿孔之設置，矽穿孔與相鄰電路層之連結得以最小化。

對每一電路連結，先估計每一相鄰電路層中被其電路連結方塊所佔據之空間。嗣後，計算被該等電路連結方塊所包圍之電路層中重疊之空間。進一步將該被電路連結方塊包圍之區域分割為更小之區塊，使每一區塊最多容納一矽穿孔。在此必須注意，若考慮矽穿孔之最小空間限制，則此等區塊之大小應稍大於矽穿孔之大小，以令矽穿孔可在不違反空間限制條件之下放置於區塊中。在計算重疊空間後，在該被包圍之區域中找尋一區塊，使元件與矽穿孔之重疊量最小化，且任意兩穿孔之間不重疊，由此，可決定矽穿孔之位置。若無法在電路連結方塊中找到足夠之空間，則將搜尋區域加倍，再次進行上述流程。

最後，在矽穿孔插入後，執行一後移位(Post- legalization)流程使所有元件及所有矽穿孔互不重疊。再次使用如上所述之移位(Legalization)技術；此時，執行移位(Legalization)時，矽穿孔被視為一固定障礙物。

移位(Legalization)與矽穿孔置放完成後，針對每個電路層進行微調。

藉由上述，包含矽穿孔佈局之二維/三維數值分析佈局程序可同時完成對線長、矽穿孔及晶片總面積之最佳化。

本發明之最佳實施例詳述如上。然而此實施例非用以限制本發明，顯而易見地，在不脫離本發明之精神與範圍內，任何熟習技藝者得以完成許多更動及潤飾。本發明之專利保護範圍須視本說明書所附之申請專利範圍所界定者為準。

### 【圖式簡單說明】

第 1 圖係為各種線長模型與加權平均線長模型模擬結果之比較圖；

第 2 圖係為應用加權平均線長模型之數值分析全域佈局法流程示意圖；

第 3 圖係為將矽穿孔列入佈局考量之數值分析佈局法流程示意圖；

第 4 圖係為電路連結方塊之示意圖；

第 5 圖係為將矽穿孔列入考量之移位(Legalization)流程示意圖；

第 6A 圖及第 6B 圖係表示如何將矽穿孔插入預留空間之示意圖；以及

第 7 圖係為三維積體電路切面圖之一部分，用以表示矽穿孔位置限制。

## 【主要元件符號說明】

- 10 . . . 半周長線長模型之線長估計結果
- 11 . . . 加權平均線長模型之線長估計結果
- 12 . . . 陳-哈克模型之線長估計結果
- 13 . . . 對數指數和模型之線長估計結果
- 14 . . . 二次方模型之線長估計結果
- 20~24 . . . 步驟
- 30~32 . . . 步驟
- 50~52 . . . 步驟
- 61~62 . . . 矽穿孔
- 70 . . . 金屬層
- 71 . . . 元件層
- 72 . . . 介電質層
- 73 . . . 後鑽孔矽穿孔
- 74 . . . 前鑽孔矽穿孔
- 75 . . . 元件層中之元件

## 七、【發明申請專利範圍】

【第1項】一種以電腦執行之方法，係用以產生一積體電路內複數個元件之佈局，其中該複數個元件之位置係由一複數個座標所定義，其中每一元件之位置在該複數個座標中之每一座標軸上具有一座標值，該方法包括使用一電腦執行下列步驟：

a. 提供一目標函數，該目標函數包含一連續可微分加權平均線長模型，係用於模擬該佈局的總線長，該加權平均線長模型包含針對該複數個元件中每一元件在每一座標軸上之座標值，分別賦予一加權值，從而得出該複數個元件在每一座標軸上最小座標值與最座標大值的距離之估計值，其中相對應一座標軸上之每一座標值之加權值係分別依據一僅為該座標值之函數；以及

b. 重複根據該目標函數的梯度所決定的方向移動該複數個元件，以得到該目標函數之最小成本，進而產生該複數個元件之佈局。

【第2項】如申請專利範圍第1項所述之方法，其中步驟b包含使用共軛梯度方法。

【第3項】如申請專利範圍第1項所述之方法，其中該複數個座標包含x座標及y座標。

【第4項】如申請專利範圍第3項所述之方法，其中該複數個座標進一步包含z座標。

【第5項】如申請專利範圍第1項所述之方法，其中該函數係為一指數函數。

【第6項】如申請專利範圍第5項所述之方法，其中所述之指數函數為 $\exp(x_i/\gamma)$ ，其中 $x_i$ 為所述複數個元件中每一元件在每一座標軸之座標值，而 $\gamma$ 為一預設之平

滑因子。

【第7項】如申請專利範圍第1項所述之方法，其中所述目標函數進一步包含一懲罰函數，此一函數包含一用於估計此複數個元件密度之密度函數，其中此密度函數描述此複數個元件及預設複數個區塊之重疊。

【第8項】如申請專利範圍第7項所述之方法，其中密度函數係一鐘狀曲線。

【第9項】如申請專利範圍第7項所述之方法，其中該懲罰函數包括一懲罰常數 $\lambda$ ，該懲罰常數 $\lambda$ 隨重複次數上升。

【第10項】如申請專利範圍第1項所述之方法，其中該積體電路係一三維積體電路，該三維積體電路包含複數個層疊之電路層，及至少一預留空間使矽穿孔得以連接不同電路層之元件。

【第11項】如申請專利範圍第10項所述之方法，其中該目標函數進一步包括一懲罰函數，該懲罰函數包含一密度函數，該密度函數用於估計該等元件之密度及欲插入之矽穿孔之密度。

【第12項】如申請專利範圍第11項所述之方法，其中該密度函數係藉由根據該複數個元件及複數個預設方塊在x、y及z座標軸上空間重疊以估計密度。

【第13項】如申請專利範圍第11項所述之方法，其中矽穿孔之密度係根據被電路連結方塊佔據之空間求得，其中電路連結方塊係一被跨電路層電路連結所佔據之區塊。

【第14項】如申請專利範圍第10項所述之方法，進一步包含下列步驟：

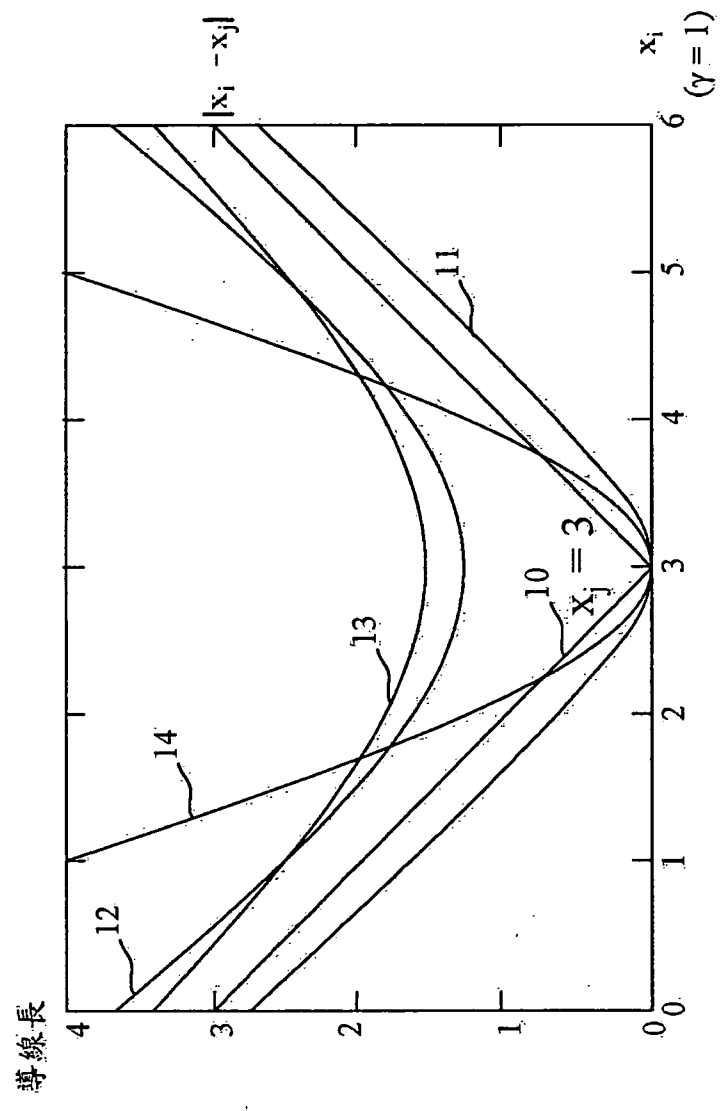
- c. 對被產生佈局中每一電路層執行移位流程；
- d. 在前述經過移位之佈局中插入矽穿孔；以及
- e. 對該已被插入矽穿孔之佈局執行一後移位流程。



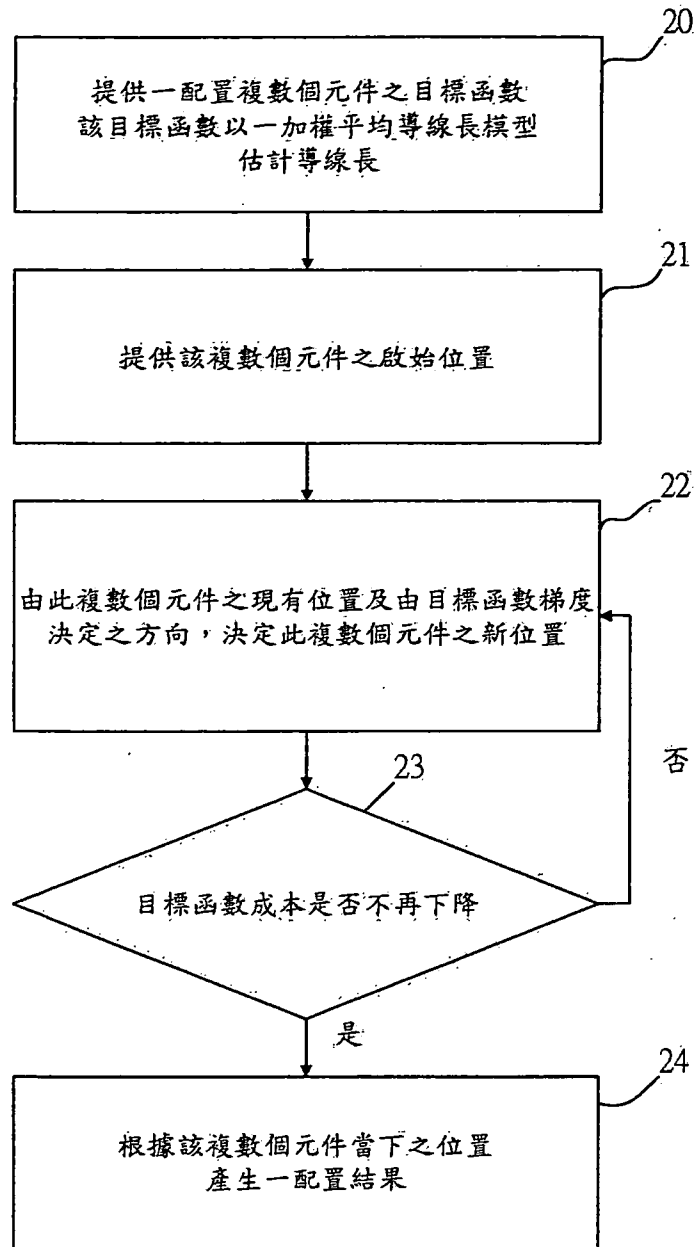
【第15項】一種電腦可讀取媒體，該媒體係儲存一個或複數個用以產生一積體電路內複數個元件佈局之程式，其中該複數個元件之位置係由一複數個座標所定義，其中每一元件之位置在該複數個座標中之每一座標軸上具有一座標值，前述一或複數個程式包含指令，當該等指令被電腦執行時，令電腦執行下列步驟：

- a. 提供一目標函數，該目標函數包含一連續可微分加權平均線長模型，係用於模擬該佈局的總線長，該加權平均線長模型包含針對該複數個元件中每一元件在每一座標軸上之座標值，分別賦予一加權值，從而得出該複數個元件在每一座標軸上最小座標值與最大座標值的距離之估計值，其中相對應一座標軸上之每一座標值之加權值係分別依據一僅為該座標值之函數；以及
- b. 重複根據該目標函數的梯度所決定的方向移動該複數個元件，以得到該目標函數之最小成本，進而產生該複數個元件之佈局。

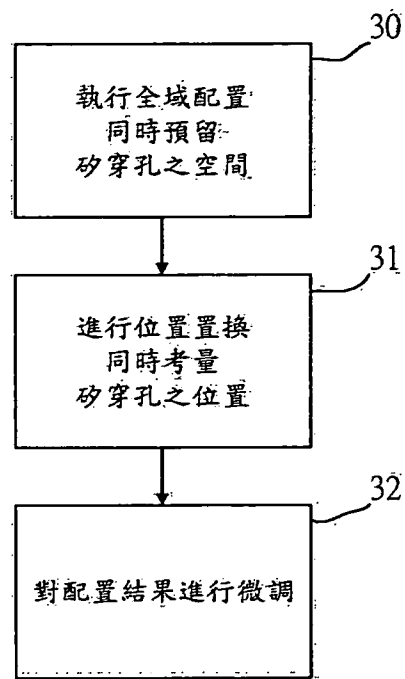
八、圖式：



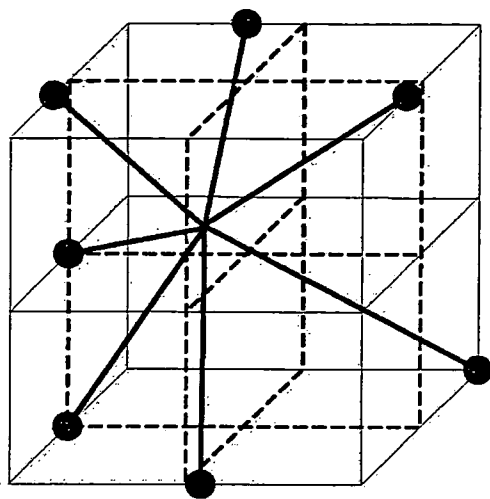
第1圖



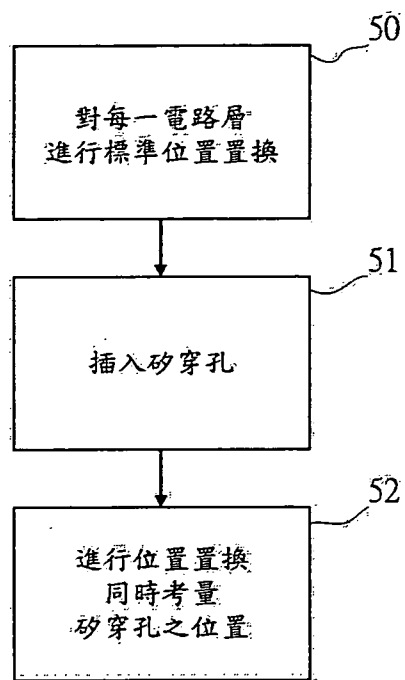
第2圖



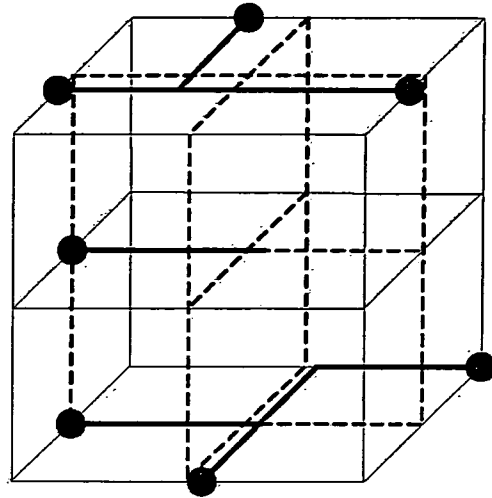
第3圖



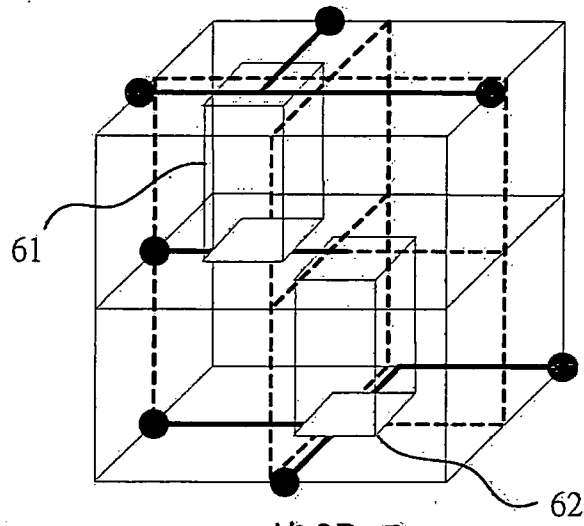
第4圖



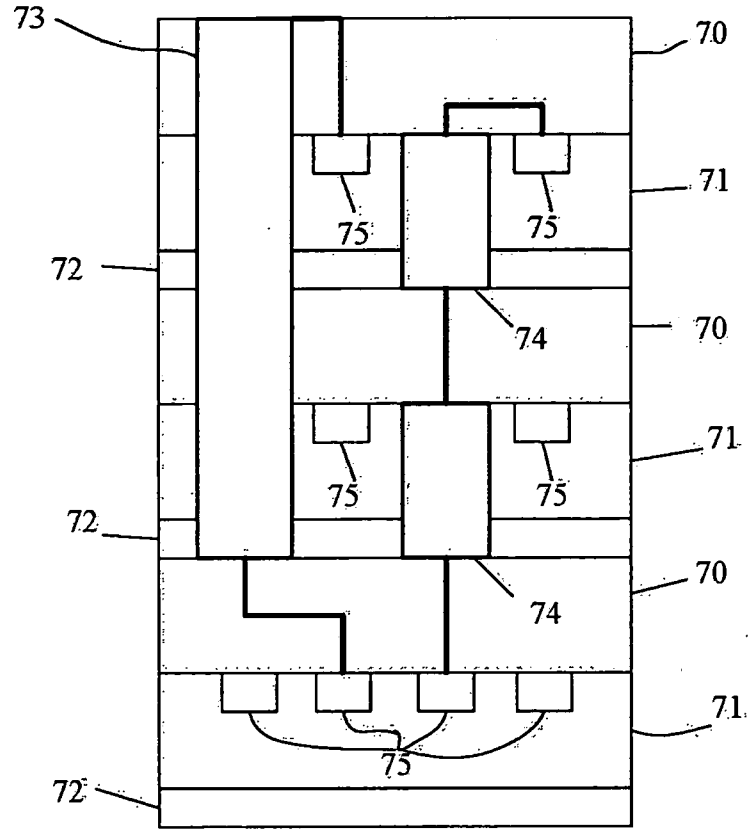
第5圖



第6A圖



第6B圖



第7圖