



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 27/108 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년11월28일 10-0650468 2006년11월21일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2000-0032336 2000년06월13일 2005년06월03일	(65) 공개번호 (43) 공개일자	10-2001-0020983 2001년03월15일
----------------------------------	---	------------------------	--------------------------------

(30) 우선권주장 1999-166320 1999년06월14일 일본(JP)

(73) 특허권자 가부시키키가이샤 히타치세이사쿠쇼
일본국 도쿄도 치요다쿠 마루노우치 1초메 6반 6고

(72) 발명자 마쯔오까히데유키
일본도쿄도호우야시스미요시쵸6-8-25

야마다사토루
일본도쿄도오우메시모리시따쵸478-1그린우드202

아사노이사무
일본사이따마켄이루마시시모후지사와1314-3-804

나가이료
일본도쿄도니시따마궁미즈호마찌이시하따786-6

세끼구찌도모노리
일본도쿄도고구분지시니시쵸이가꾸보4-14-6히따찌다이온쵸신료

다께무라리이찌로
일본도쿄도스기나미꾸가미오기2-12-12

(74) 대리인 장수길
구영창

(56) 선행기술조사문헌
KR1019940007876 A KR1019980012469 A
KR1019990083078 A KR1020010003628 A
* 심사관에 의하여 인용된 문헌

심사관 : 최봉묵

전체 청구항 수 : 총 11 항

(54) 반도체 집적 회로 장치 및 그 제조 방법

(57) 요약

개방형 비트선 배치를 갖는 DRAM은 폴드 비트선 배치를 갖는 DRAM에 비해 셀 면적을 저감시킬 수 있는 특징을 갖지만, 노이즈에 약하다는 문제점이 있다. 종래의 개방형 비트선 배치를 갖는 DRAM은 비트선 용량이 크기 때문에 노이즈에 약하고, 또한 셀 면적이 크다는 문제가 있으며, 비트선 용량이 작은 결과로 하여 노이즈에 강하고, 또한 셀 면적이 작은 개방형 비트선을 갖는 DRAM은 없었다. 본 발명에서는 비트선 용량을 저감시키기 위해, 캐패시터 하부 전극 플러그 개구 공정을 비트선에 대해 비자기 정합 프로세스로 한다. 동시에 셀 면적을 증대시키지 않기 위해, 비트선을 세선화하고, 게다가 캐패시터 하부 전극 플러그를 비트선과의 간격을 증대시키는 방향으로 어긋나게 하고, 또한 콘택트 직경을 축소하는 구조로 한다. 이에 따라, 노이즈 내성에 우수하고, 셀 면적이 작은 개방형 비트선 배치를 갖는 반도체 기억 장치를 실현할 수 있다.

대표도

도 20

특허청구의 범위

청구항 1.

제1 방향으로 연장되는 복수의 워드선과, 상기 제1 방향과 교차하는 제2 방향으로 연장되는 복수의 비트선과, 각각이 1개의 트랜지스터와 1개의 용량 소자를 갖는 복수의 메모리셀을 구비하고, 상기 비트선 상에 상기 용량 소자를 배치한 반도체 집적 회로 장치에 있어서,

반도체 기관의 표면에 형성되고, 상기 복수의 워드선 내의 인접하는 제1 및 제2 워드선과 상기 복수의 비트선 내의 제1 비트선과 교차하고, 상기 제1 및 제2 방향과 다른 제3 방향으로 연장되고, 상기 제3 방향에 대해 직교하는 제4 방향으로 소정의 폭을 갖는 활성 영역과,

상기 활성 영역 내에 형성되고, 상기 트랜지스터의 소스 및 드레인으로서 기능하는 제1 및 제2 반도체 영역과,

상기 각각의 용량 소자를 위한 제1 및 제2 전극과,

상기 용량 소자의 상기 제1 및 제2 전극 사이에 형성되는 유전체막과,

상기 비트선과 상기 제1 전극 사이에 형성되는 제1 절연막과,

상기 제1 절연막과, 상기 제1 및 제2 반도체 영역 중 하나 사이에 형성되는 제2 절연막과,

상기 제1 절연막에 형성된 제1 개공 내에 형성되고, 상기 용량 소자의 상기 제1 전극과 전기적으로 접속하는 제1 도체층의 일부분, 및

상기 제2 절연막에 형성된 제2 개공 내에 형성되고, 상기 제1 및 제2 반도체 영역과 접속하는 제2 도체층의 일부분-상기 제1 도체층은 상기 제2 도체층과 전기적으로 접속함-

을 포함하고,

상기 제1 도체층의 일부분은 위에서 볼 때 상기 워드선과 비트선에 의해 둘러싸인 영역에 배치되고, 위에서 본 상기 제1 도체층의 일부분의 인접한 중심 간의 거리는 위에서 본 상기 제2 도체층의 일부분의 인접한 중심 간의 거리보다 작은 반도체 집적 회로 장치.

청구항 2.

제1항에 있어서,

상기 제1 방향에서 상기 제2 도체층의 일부분의 폭은 상기 제1 도체층의 일부분의 폭보다 큰 반도체 집적 회로 장치.

청구항 3.

제2항에 있어서,

상기 워드선에 평행한 상기 제1 방향에서 상기 제2 도체층의 인접한 일부분 간의 중심 거리는 상기 제2 도체층 상에 배치된 상기 제1 도체층의 인접한 일부분 간의 중심 거리보다 작은 반도체 집적 회로 장치.

청구항 4.

제2항에 있어서,

상기 비트선에 평행한 상기 제2 방향에서 상기 제2 도체층의 인접한 일부분 간의 중심 거리는 상기 제2 도체층 상에 배치된 상기 제1 도체층의 인접한 일부분 간의 중심 거리보다 큰 반도체 집적 회로 장치.

청구항 5.

제2항에 있어서,

상기 워드선과 상기 제2 도체층은 절연막인 질화규소막에 의해 분리되고, 상기 비트선과 상기 제1 도체층은 그 사이에 질화규소막을 삽입하지 않고 절연막인 산화규소막에 의해 분리되는 반도체 집적 회로 장치.

청구항 6.

제1 방향으로 연장되는 복수의 워드선과, 상기 제1 방향과 교차하는 제2 방향으로 연장되는 복수의 비트선과, 각각이 1개의 트랜지스터와 1개의 용량 소자를 갖는 복수의 메모리셀을 구비하고, 상기 비트선 상에 상기 용량 소자를 배치한 반도체 집적 회로 장치에 있어서,

반도체 기판에 형성되고, 상기 제1 및 제2 방향과 다른 제3 방향으로 연장되고, 2개의 워드선 및 1개의 비트선과 교차하는 활성 영역과,

상기 활성 영역 내에 형성되고, 상기 트랜지스터의 소스 및 드레인으로서 기능하는 제1 및 제2 반도체 영역과,

상기 용량 소자를 형성하기 위한 제1 및 제2 전극과,

상기 제1 및 제2 전극 사이에 형성되는 유전체막과,

상기 비트선과 상기 제1 전극 사이에 형성되는 제1 절연막, 및

상기 제1 절연막에 형성된 제1 개공 내에 형성되고, 상기 제1 및 제2 반도체 영역 중 하나와 상기 제1 전극을 전기적으로 접속하는 제1 도체층의 일부분

을 포함하고,

상기 제1 도체층의 일부분은 상기 워드선과 비트선에 의해 둘러싸인 영역에 각각 배치되고, 상기 제2 방향에서 상기 제1 도체층의 일부분은 상기 워드선의 폭보다 작은 폭을 구비하고, 상기 제1 도체층의 일부분의 중심은 상기 제3 방향으로 향하는 상기 활성 영역의 중심선에서 떨어져 위치하는 반도체 집적 회로 장치.

청구항 7.

제6항에 있어서,

상기 비트선의 폭은 상기 워드선의 폭보다 작은 반도체 집적 회로 장치.

청구항 8.

제6항에 있어서,

상기 제1 도체층과, 상기 제1 및 제2 반도체 영역 중 하나 사이에 형성되는 제2 도체층을 더 포함하고,

상기 제1 방향에서 상기 제2 도체층의 일부분의 폭은 상기 제1 도체층의 일부분의 폭보다 큰 반도체 집적 회로 장치.

청구항 9.

제8항에 있어서,

상기 제1 방향에서 상기 제2 도체층의 인접한 일부분 간의 중심 거리는 상기 제2 도체층 상에 배치된 상기 제1 도체층의 인접한 일부분 간의 중심 거리보다 작은 반도체 집적 회로 장치.

청구항 10.

제8항에 있어서,

상기 제2 방향에서 상기 제2 도체층의 인접한 일부분 간의 중심 거리는 상기 제2 도체층 상에 배치된 상기 제1 도체층의 인접한 일부분 간의 중심 거리보다 큰 반도체 집적 회로 장치.

청구항 11.

제8항에 있어서,

상기 워드선과 상기 제2 도체층 사이에는 질화규소막이 형성되고, 상기 비트선과 상기 제1 도체층 사이에는 질화규소막이 형성되지 않는 반도체 집적 회로 장치.

청구항 12.

삭제

청구항 13.

삭제

청구항 14.

삭제

청구항 15.

삭제

청구항 16.

삭제

청구항 17.

삭제

청구항 18.

삭제

청구항 19.

삭제

청구항 20.

삭제

청구항 21.

삭제

청구항 22.

삭제

청구항 23.

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 미세하고 또한 축적 용량이 큰 반도체 기억 장치에 관한 것이다. 특히, 고집적화에 적합한 다이내믹 랜덤 액세스 메모리(DRAM)에 관한 것이다.

최근 3년 사이에, 4배의 페이스로 집적화의 향상을 실현하여 온 다이내믹 랜덤 액세스 메모리(DRAM : Dynamic Random Access Memory)는 최근의 퍼스널 컴퓨터의 폭발적인 매출에 힘입어, 그 수요가 점점 더 높아지고 있다.

DRAM의 메모리셀의 배열에는 폴드 비트선 배치와 개방형 비트선 배치의 2개가 있다. 도 1에는 대표적인 폴드 비트선 배치 구조를 갖는 DRAM의 메모리셀 레이아웃을 나타내고 있다. 메모리셀 면적을 최소화 하기 위해, 워드선 및 비트선은 최소 치수를 F로 하여, 선 폭=F, 피치=2F로 레이아웃되어 있다. 가로 길이의 액티브 영역에 2개의 메모리셀이 형성되고, 세로 길이의 비트선 콘택트가 이들 2개의 셀에 공유되어 있다. 한편, 도 2에는 1993 Symposium on VLSI circuits P.91'에 기록된 대표적인 개방형 비트선 배치의 경우에서의 메모리셀 레이아웃을 나타낸다. 이 경우, 워드선은 선 폭=F, 피치=2F가 되지만, 비트선은 선 폭=F, 피치=3F가 된다. 그런데, 이들 2개의 비트선 배치 구조에 대해, 데이터 판독 공정을 고려한다. 1개의 워드선이 온(ON)인 경우를 고려하면, 폴드 비트선 구조의 경우, 비트선으로부터는 하나 걸러 데이터가 나온다. 즉, 도 3의 (a)에 도시된 바와 같이, 1개의 감지 증폭기에 연결되는 한 쌍의 비트선이 동일 매트 중에 인접하는 2개의 비트

선이 된다. 이러한 것으로부터, 폴드 비트선 구조라고 한다. 한편, 개방형 비트선 배치의 경우에는 모든 비트선으로부터 데이터가 나오므로, 쌍으로 이루어지는 비트선은 도 3의 (b)에 도시된 바와 같이, 다른 매트에 개방적으로 존재하게 된다. 즉, 쌍 비트선과 커풀을 이루는 구동 워드가 폴드 비트선 배치에서는 공통적인데 비해, 개방형에서는 공통이 아니다. 이것은, 노이즈라는 관점에서 바꿔 말하면, 워드선 구동 잡음이 폴드 비트선 배치에서는 쌍 비트선 사이에서 캔슬(cancel)하는데 비해, 개방형에서는 캔슬하지 않는다는 것으로, 폴드 비트선 구조가 노이즈에 강하다는 것을 의미한다. 이와 같이, 개방형 비트선 배치는 노이즈에 대해 약하지만, 그 최대의 특징은 셀 면적이 작다는 데 있다.

폴드 비트선 배치에서는 도 1에 도시된 바와 같이 $8F^2$ 인데 비해, 개방형으로는 도 2와 같이 $6F^2$ 이다.

양산이라는 것을 생각하면, 제품 비용을 내리기 위해서 칩 면적의 축소, 즉 메모리셀 면적의 축소가 매우 효과적이다. 이 관점으로부터 봤을 때, 개방형 비트선 배치 방법이 폴드 배치보다도 바람직하다. 과제는 내노이즈 성능을 얼마나 향상시킬 지이다.

실제의 제품에서는 16K의 세대까지는 개방형 비트선 배치가 이용되었지만, 이후에는 노이즈에 강한 폴드 비트선 배치가 이용되고 있어, 현재에 이르고 있다.

개방형 비트선 배치를 갖는 DRAM에 관한 것으로, 도 2와 유사한 구조의 제안이 특개평 07-066299에도 있다. 이 경우, 원리적인 셀 레이아웃은 도 2에 도시한 것에 매우 유사하지만, 비트선 피치가 4F로 완화되고, 그 결과로서, 인접 캐패시터 하부 전극 콘택트의 간격을 넓혀, 셀간 누설 전류를 저감시키고 있다.

발명이 이루고자 하는 기술적 과제

상술된 종래 기술에는 다음에 도시된 바와 같은 과제가 있다.

우선, 상술된 1993 Symposium on VLSI circuits'에 기록된 실시예에서는 다음과 같은 문제점이 있다. 도 2로부터 분명히 알 수 있듯이, 캐패시터 하부 전극 콘택트(5)가 비트선(3)에 근접한 레이아웃으로 되어 있고, 비트선(3)과 접하지 않고, 캐패시터 하부 전극 콘택트(5)를 개구하기 위해서, 소위 자기 정합 콘택트 기술이 필수이다. 자기 정합 콘택트 기술이란 이하와 같다. 도 2의 AA방향의 단면에 대하여 비트선 형성 이후의 프로세스를 설명한다. 도 4에 도시된 바와 같이, 비트선 콘택트 플러그(10) 형성 후, 비트선이 되는 텅스텐 및 실리콘 나이트라이드의 적층막을 피착시킨다. 다음에 리소그래피, 드라이 에칭 공정을 거쳐 비트선(11)을 형성하여, 도 5와 동일해진다. 또한, 실리콘 나이트라이드(1201)를 피착시켜, 도 6과 동일해진다. 계속해서, 실리콘 산화막으로 이루어지는 층간막(901)을 피착시켜 평탄화한 후에, 실리콘 나이트라이드에 대해 고선택성을 갖는 산화막 에칭으로, 캐패시터 하부 전극 콘택트를 개구한다. 또한, 플러그(13)를 형성하여, 도 7과 동일해진다. 이와 같이, 자기 정합 콘택트 개구 기술을 이용함으로써, 비트선(11)에 단락하지 않고 하부 전극 콘택트를 개구할 수 있다. 본 기술에 의한 여유가 충분하지 않을 때에도, 면적을 증대시키지 않으면서 콘택트 개구가 가능하다. 그러나, 자기 정합 콘택트 개구 기술에는 다음과 같은 문제점이 있다. 실리콘 나이트라이드의 유전율은 실리콘 산화막의 약 2배이다. 자기 정합 콘택트 기술에서는 도 7에 도시된 바와 같이, 비트선(11)을 실리콘 나이트라이드(12, 1201)로 둘러싼 구조가 되고, 또한 하부 전극 플러그와 비트선 사이를 실리콘 나이트라이드로 절연되게 되므로, 비트선 용량이 증대하는 것을 의미한다. 이미 진술한 바와 같이, 개방형 비트선 배치는 폴드 배치보다 노이즈에 대해 약하므로, 이러한 구조에서는 비트선 용량을 저감시키는 것이 매우 중요하다. 이 점에서, 개방형 비트선 배치를 갖는 DRAM에서, 자기 정합 콘택트 형성 프로세스를 이용하는 것이 적절하지 않다.

또한, 특개평 07-066299에서는 도 2에 유사한 레이아웃으로, 비트선 피치를 넓임에 따라, 캐패시터 하부 전극 콘택트의 간격을 넓이고 있다. 그러나, 이렇게 해서는 셀 면적이 증대하여, 개방형 비트선 배치의 최대의 특징을 살릴 수 없다.

본 발명은 상기 과제를 동시에 해결하는 것이다. 즉, 비트선 용량이 작은 결과 노이즈 내성에 우수하고, 또한 셀 면적이 작은 개방형 비트선 배치를 갖는 DRAM의 레이아웃 및 제조 방법을 제안하는 것이다.

본원에 있어서 개시되는 발명 중, 대표적인 개요를 간단히 설명하면, 이하와 같다.

즉, 본 발명은 제1 방향으로 연장되는 복수의 워드선과, 상기 제1 방향과 교차하는 제2 방향으로 연장되는 복수의 비트선과, 각각이 1개의 트랜지스터와 1개의 용량 소자를 갖는 복수의 메모리셀을 구비하고, 상기 비트선 상에 상기 용량 소자를 배치한 반도체 집적 회로 장치로서, 반도체 기판 상에서 상기 복수의 워드선 중 인접하는 제1, 제2 워드선 및 상기 복수의 비트선 중 제1 비트선과 교차하고, 상기 제1 및 제2 방향과 다른 제3 방향으로 연장되고, 상기 제3 방향에 대해 직교하는

제4 방향으로 소정의 폭을 갖는 활성 영역과, 상기 활성 영역 내에 형성되고, 상기 트랜지스터의 소스 및 드레인으로서 기능하는 제1 및 제2 반도체 영역과, 상기 용량 소자를 구성하는 제1(캐패시터 하부 전극) 및 제2 전극(플레이트)과, 상기 제1 및 제2 전극 사이에 위치하는 유전체막과, 상기 비트선과 상기 제1 전극 사이에 위치하는 제1 절연막과, 상기 제1 절연막에 형성된 제1 개공 내에 형성되고, 상기 제1(소스) 및 제2 반도체 영역(드레인)의 한쪽과, 상기 제1 전극(캐패시터 하부 전극)을 전기적으로 접속하기 위한 제1 도체층(SNCT)으로 이루어지고, 상기 제1 도체층은 상기 워드선과 비트선에 의해 둘러싸인 영역의 각각에 배치되고, 상기 제1 도체층(SNCT)의 중심은 상기 제3 방향을 따르는 상기 활성 영역의 중심선으로부터 어긋난 반도체 집적 회로 장치 구조로 하는 것이다.

또한, 본 발명은 각각이 제1 방향으로 연장되고, 상호 인접하는 제1 및 제2 워드선과, 상기 제1 워드선에 인접하여 상기 제2 워드선과 반대측에 배치된 제3 워드선과, 상기 제2 워드선에 인접하여 상기 제1 워드선과 반대측에 배치된 제4 워드선과, 상기 제1 방향과 교차하며 제2 방향으로 연장되고, 연속적으로 인접하는 제1, 제2, 및 제3 비트선과, 상기 제1 및 제2 방향과 교차하는 제3 방향으로 연장되는 활성 영역과, 상기 활성 영역내에서 상기 제1과 제2 워드선 사이에 위치하는 제1 반도체 영역과, 상기 활성 영역내에서, 상기 제1과 제3 워드선 사이 및 제2, 제4 워드선사이에 위치하는 제2 반도체 영역과, 상기 용량 소자를 구성하는 제1 및 제2 전극과, 상기 제1과 제2 전극 사이에 위치하는 유전체막과, 상기 제2 반도체 영역과 상기 제1 전극을 전기적으로 접속하는 복수의 제1 도체층을 지니고, 상기 제1 도체층은 상기 워드선과 상기 비트선으로 둘러싸인 영역의 각각에 배치되고, 상기 제1, 제3 워드선 사이에 배치된 제1 도체층의 중심과, 상기 제2, 제4 워드선 사이에 배치된 제1 도체층의 중심을 연결하는 직선이 상기 제1 방향에 대해 이루는 각도는 상기 제3 방향이 상기 제1 방향에 대해 이루는 각도보다도 적은 반도체 집적 회로 장치 구조로 하는 것이다.

또한, 본 발명은 제1 방향으로 연장되는 복수의 워드선과, 상기 제1 방향과 교차하는 제2 방향으로 연장되는 복수의 비트선과, 각각이 1개의 트랜지스터와 1개의 용량 소자를 갖는 복수의 메모리셀을 구비하고, 상기 비트선 상에 상기 용량 소자를 배치한 반도체 집적 회로 장치로서, 반도체 기판 상에서 2개의 워드선 및 1개의 비트선과 교차하고, 상기 제1 및 제2 방향과 다른 제3 방향으로 연장되는 활성 영역과, 상기 활성 영역 내에 형성되고, 상기 트랜지스터의 소스 및 드레인으로서 기능하는 제1 및 제2 반도체 영역과, 상기 용량 소자를 구성하는 제1 및 제2 전극과, 상기 제1 및 제2 전극사이에 위치하는 유전체막과, 상기 비트선과 상기 제1 전극 사이에 위치하는 제1 절연막과, 상기 제1 절연막에 설치된 제1 개공 내에 형성되고, 상기 제1 및 제2 반도체 영역의 한쪽과, 상기 제1 전극을 전기적으로 접속하기 위한 제1 도체층으로 이루어지고, 상기 제1 도체층은 상기 워드선과 비트선으로 둘러싸인 영역의 각각에 배치되고, 상기 제1 도체층의 상기 제2 방향에서의 폭은 상기 워드선의 폭보다도 적은 반도체 집적 회로 장치 구조로 하는 것이다.

또한, 본 발명은 제1 방향으로 연장되는 복수의 워드선과, 상기 제1 방향과 교차하며 제2 방향으로 연장되는 복수의 비트선과, 각각이 1개의 트랜지스터와 하나의 용량 소자를 갖는 복수의 메모리셀을 구비하고, 상기 비트선 상에 상기 용량 소자를 배치한 반도체 집적 회로 장치로서, 반도체 기판 상에 형성된 상기 용량 소자를 구성하는 제1 및 제2 전극과, 상기 제1 및 제2 전극 사이에 위치하는 유전체막과, 상기 비트선과 상기 제1 전극 사이에 위치하는 제1 절연막과, 상기 제1 절연막에 형성된 제1 개공 내에 형성되고, 상기 트랜지스터와, 상기 제1 전극을 전기적으로 접속하기 위한 제1 도체층으로 이루어지고, 상기 제1 도체층은 상기 워드선과 비트선에 의해 둘러싸인 영역의 각각에 배치되고, 상기 비트선의 폭은 상기 워드선의 폭보다도 적은 반도체 집적 회로 장치 구조로 하는 것이다.

또한, 본 발명은 상기 반도체 집적 회로 장치의 제조 방법으로서, 반도체 기판 상에 인접하는 제1, 제2 및 제3도체층을 형성하는 공정과, 상기 제1, 제2, 및 제3 도체층의 상부 및 측벽에 제1 절연막을 형성하는 공정과, 상기 제1, 제2, 및 제3 도체층간이 매립되도록 상기 제1 절연막 상에 제2 절연막을 형성하는 공정과, 상기 제1 및 제2 도체층간의 반도체 기판 표면이 노출되도록, 상기 제2 절연막 및 제1 절연막에 제1 개공을 형성하는 공정과, 상기 제1 개공 내에 제4 도체층을 형성하는 공정과, 상기 제2 및 제3 도체층간의 반도체 기판 표면이 노출되도록 상기 제2 절연막 및 제1 절연막에 제2 개공을 형성하는 공정과, 상기 제2 개공 내에 제5 도체층을 형성하는 공정을 갖는 반도체 집적 회로 장치의 제조 방법이다.

또한, 본 발명은 상기 반도체 집적 회로 장치의 제조 방법으로서, 반도체 기판 상의 메모리셀 형성 영역에 제1 및 제2 도체층을 주면 회로 형성 영역에 제3 도체층을 형성하는 공정과, 상기 제1, 제2, 및 제3 도체층 상에 상기 제1 및 제2 도체층간이 매립되지 않을 정도의 막 두께인 제1 절연막을 형성하는 공정과, 상기 제1, 제2, 및 제3 도체층 상에 상기 제1 및 제2 도체층간이 매립될 정도의 막 두께인 제2 절연막을 형성하는 공정과, 상기 메모리셀 영역을 제3 절연막으로 덮은 상태에서 상기 제3 도체층 상의 제1, 제2 절연막에 대해 이방성 에칭을 실시하고, 상기 제3 도체층의 측벽에 측벽 절연막을 형성하는 공정을 갖는 반도체 집적 회로 장치의 제조 방법이다.

상기 반도체 집적 회로 장치의 구조 및 제조 방법에 따라, 비트선 용량을 작게 할 수 있어 노이즈 내성에 우수하며, 또한 셀 면적이 작은 반도체 집적 회로 장치를 제공 및 제조할 수 있다.

본 발명의 상기 및 다른 목적, 장점, 동작 방식, 및 신규의 특징이 첨부하는 도면과 관련된 다음의 자세한 설명으로부터 이해될 것이다.

발명의 구성

(실시예1)

이하, 본 발명의 실시예를 레이아웃을 나타내는 도면 및 프로세스 플로우 단면도를 이용하여 설명한다.

우선 처음에, 반도체 기판(7)을 준비하여, 도 8에 도시된 바와 같은 얇은 홈 소자 분리 영역(8)을 형성한다. 계속해서, 웰 및 펀치스루 스톱퍼 영역을 형성하기 위해, 불순물 이온을 주입한다. 게이트 산화막을 형성한 후에, 50nm의 비도핑의 폴리실리콘을 공지의 CVD(Chemical Vapor Deposition)법을 이용하여 피착시킨다. 2극성 게이트 형성을 위하여, N 게이트 영역에는 인 이온을 에너지 -5keV, 도우즈량 $2e15cm^{-2}$ 의 조건으로 주입하고, P 게이트 영역에는 붕소 이온을 에너지 2keV, 도우즈량 $2e15cm^{-2}$ 의 조건으로 주입한다. 물론, 인 대신에 비소를, 붕소 대신에 BF_2 를 이용해도 상관없다.

계속해서, 워드선 저항을 저감시키기 위해 TiN을 10nm, W를 80nm 스퍼터한다. TiN은 폴리실리콘과 W사이의 실리사이드화 반응을 억제하기 위해서이고, WN을 대신하여 이용할 수도 있다. 또한, 자기 정합 컨택트용으로서, CVD법을 이용하여 SiN을 100nm 피착시킨다. 계속해서, 공지의 드라이 에칭법을 이용하여, SiN/W/TiN/폴리-Si를 가공하고, 게이트 전극(14)을 형성하여 도 9와 같이 되었다. 워드선(2) 레이아웃은 도 10에 도시된 바와 같다. 다음에, 주변 MOSFET의 확산층 형성을 위해, 레지스트 마스크를 이용하여, N형 MOSFET에는 비소 이온을 에너지 20keV 및 도우즈량 $1e14cm^{-2}$ 의 조건으로, P형의 MOSFET에는 BF_2 이온을 에너지 20keV 및 도우즈량 $1e14cm^{-2}$ 의 조건으로 주입한다. 또한 CVD법을 이용하여 SiN(1203)을 30nm 피착시키고, 도 11과 동일해진다. 계속해서, 게이트 측벽막을 형성하기 위해, 주변 회로 영역의 SiN을 에치백(etchback)하고, 레지스트를 마스크로서 이용하여 확산층 저항 저감을 목적으로 이온 주입을 행한다. 우선, P형 확산층 영역을 레지스트로 개구하고, BF_2 이온을 에너지 20keV, 도우즈량 $2e15cm^{-2}$ 의 조건으로 주입한다. 계속해서, 레지스트를 제거한 후, N형 확산층 영역을 레지스트로 개구하고, 비소 이온을 에너지 15keV, 도우즈량 $2e15cm^{-2}$ 로 주입한다.

이어서, 350nm의 산화막을 CVD법을 이용하여 피착하여 평탄화를 행하고, 레지스트를 마스크로 하여 메모리 어레이 내에서, 비트선이나 캐패시터 전극용의 직경 약 0.2μ 의 플러그 홀을 개구하고, 하지 SiN을 노출시킨다. 게이트 전극은 SiN으로 완전히 피복되므로, 산화막 가공시에 게이트 전극이 노출하는 일은 없었다. 이 때의 플러그의 레이아웃 패턴(16)을 도 12에 도시된다. 계속해서, 30nm의 SiN 드라이 에칭을 행하고, 기판에 형성된 확산층 표면을 노출시켜 도 13과 같이 된다. 계속해서, 메모리셀 트랜지스터의 전계 완화를 목적으로 하여, 인을 에너지 25keV 및 도우즈량 $6e12cm^{-2}$ 의 조건으로 주입한다. 이어서, 메모리셀 플러그가 되는 폴리실리콘을 500nm 피착시킨다. 물론, 이 폴리실리콘에는 인을 $4e20cm^{-3}$ 의 농도로 도핑되어 있다. 이어서 폴리실리콘의 평탄화를 행하고, 도 14와 같이 메모리셀 하부 전극 플러그(16)가 형성되었다.

이어서, CVD에 의해 실리콘 산화막(903)을 50nm 피착시킨 후에, 도 15와 같이 직경 0.18μ 의 메모리셀 어레이부의 비트선 컨택트와, 주변 회로의 컨택트를 개구한다. 이 때의 비트선 컨택트의 레이아웃 패턴(17)을 도 16에 도시한다. 이어서, TiN 플러그의 형성을 행한다. CVD에 의해 100nm의 TiN (18)을 피착하고, 또한 TiN 에치백 공정을 행하고, TiN 플러그(18 및 19)를 형성하여 도 17을 얻는다. 본 실시예에서는 TiN 플러그를 이용했지만, 플러그 재료로서 W/TiN 적층막을 이용해도 상관없다.

이어서 비트선에 이용하는 W를 50nm 스퍼터한다. 계속해서, 레지스트를 마스크로 하여 W를 드라이 에칭하고, 메모리셀 어레이부에서는 비트선(20), 주변 회로부에서는 인터커넥트(interconnect) 배선(21)이 도 18와 같이 형성된다. 또한, 도 19에는 메모리셀 어레이에서의 비트선(20) 레이아웃을 나타내고 있다. 비트선 피치는 워드선 피치를 2F로 하여 3F이다.

이 때, 후의 캐패시터 하부 전극 컨택트 개구시에, 비트선과의 단락을 막기 위해, 비트선을 레지스트 애싱에 의해 약 50nm 세선화(細線化)하고, 그 폭은 80nm로 하였다. 또한, 층간 절연막으로서 산화막(904)을 200nm 피착시키고, 에치백 공정에 따라 평탄화하였다. 이어서, 캐패시터 하부 전극 컨택트를 형성한다. 자기 정합 프로세스를 이용하지 않고, 컨택트를 개구하는 목적으로, 캐패시터 하부 전극 컨택트(22)는 도 20에 도시된 바와 같이, 하부 전극 플러그에 대해 비트선으로부터 떨

어진 방향으로 오프셋하고, 또한 그 직경을 하지 플러그보다도 작게 한다. 메모리셀 콘택트의 레이아웃의 특징을 다시 말하면 다음과 같다. 우선, 워드선 방향에 대해서는 인접 상부 캐패시터 전극 플러그(22)의 중심 거리가, 인접 하부 캐패시터 전극 플러그(16)의 중심 거리보다도 크다. 또한 비트선 방향에 대해서는 인접 상부 캐패시터 전극 플러그(22)의 중심 거리가 인접 하부 캐패시터 전극 플러그(16)의 중심 거리보다도 작아진다. 이 결과, 자기 정합 콘택트 형성 기술을 이용하지 않고, 비트선과의 단락을 방지하는 것이 가능해진다. 또한, 하부 캐패시터 전극 플러그(16)가 크게 개구되는 결과, 비록 상부 캐패시터 하부 전극 플러그(22)가 오프셋되어도, 필요 충분한 플러그의 중첩이 확보되어 있다. 계속해서, 인을 고농도로 포함하는 다결정 실리콘을 300nm 피착시키고, 에치백 공정에 따라 평탄화하고, 플러그(22)를 형성하여, 도 20 내의 BB 방향의 단면도는 도 21처럼 되었다.

계속해서, 공지의 제조 방법을 이용하여, 메모리 캐패시터(23) 및 배선(2(26))의 형성을 행하고, 도 22에 도시된 원하는 반도체 기억 장치를 얻었다. 물론, 필요에 따라 배선층을 늘리는 것은 가능하다.

이상 상술한 바와 같이 본 실시예에 따르면, 캐패시터 하부 전극 플러그를 하지 플러그로부터 오프셋시키고, 또한 그 직경을 하지 플러그보다도 작게 함으로써, 셀 면적을 증대시키지 않고, 자기 정합 프로세스를 이용하지 않고 개방형 비트선 배치의 DRAM을 형성할 수 있었다. 또한, 본 실시예에는 이하와 같은 특징도 있다. 즉, 개방형 비트선 배치를 갖는 DRAM에서는 기생 저항 및 용량의 저감이 노이즈의 관점으로부터 매우 중요하다. 본 실시예에서는 워드에 폴리 실리콘과 텅스텐의 적층막을, 비트선에 텅스텐을 이용함으로써, 워드선과 비트선의 저저항화를 달성하고, 그 결과 노이즈에 대해 강한 구조를 만들 수 있다.

(실시예2)

본 실시예의 목적은 실시예 1과 마찬가지로, 노이즈에 대해 강하고, 셀 면적이 작은 개방형 비트선 배치를 갖는 DRAM의 제조 방법을 제안하는 것이다. 실시예 1과의 차이는 제조 공정의 간략화, 즉 마스크 매수의 삭감에 있다. 구체적으로, 실시예 1에서는 캐패시터 하부 전극 플러그가 적층 플러그 구조로 되어 있지만, 본 실시예에서는 단일 플러그 구조로 이루어져 있다. 그 제조 공정을 이하, 도면을 이용하여 설명한다.

도 11에 도시된 워드선 형성까지는 실시예 1과 동일하다. 계속해서, 층간 절연막(902)을 피착시키고, 비트선 콘택트 및 주변 회로 콘택트를 개구한다. 이어서, 플러그 전극(18 및 19)을 형성하고, 텅스텐으로 이루어지는 비트선(20) 및 로컬 인터커넥트 배선(21)을 형성하여, 도 23과 같이 되었다. 이 때, 실시예 1과 마찬가지로 비트선은 세선화되고, 그 폭은 약 80nm 이었다. 또한, 층간 절연막으로서, 실리콘 산화막(904)을 피착 평탄화하고, 캐패시터 전극 플러그 콘택트(22)를 개구한다. 이 때의 평면 레이아웃을 도 24에 도시한다. 이 특징은 캐패시터 플러그 콘택트가 하지의 소자 형성 영역에 대해, 비트선과의 단락 여부를 증대시키는 방향으로 오프셋되는 점이다. 또한, 캐패시터 플러그 콘택트의 직경은 약 100nm이다.

이 결과, 비트선 간격을 넓이지 않고, 비트선과의 단락을 회피하여, 도 25에 도시된 바와 같이 캐패시터 하부 전극 플러그 콘택트를 개구하고, 플러그 전극(22)을 형성할 수 있었다. 이 실시예에는 플러그와 소자 형성 영역간의 중첩이 감소하는 결과, 콘택트 저항이 증대한다는 우려가 있다. 그러나, 실제로는 메모리셀의 특성을 열화시키는 정도의 콘택트 저항의 증대는 관측되지 않았다. 이후의 캐패시터 형성 및 배선 공정은 실시예 1과 동일하다. 이렇게 해서, 원하는 반도체 기억 장치를 얻었다.

이상 상술된 바와 같이, 본 실시예에서는 캐패시터 하부 전극과 기관 활성화 영역을 연결하는 플러그를 단일 구조로 하고, 플러그의 레이아웃을 워드선이 달리는 방향으로, 비트선과의 거리를 증대시키는 방향으로 오프셋시키고, 또한 그 직경을 100nm로 함에 따라, 셀 면적을 증대시키지 않고, 또한 자기 정합 프로세스를 이용하지 않은 결과로 비트선 용량이 작은 개방형 비트선 배치의 DRAM을 형성할 수 있었다.

(실시예3)

본 실시예는 개방형 비트선 배치를 갖는 DRAM에 있어서, 특히 실시예 1의 프로세스 플로우에 대해, 메모리셀 주위의 맞춤 여유를 증대시키는 것이다.

실시예1에서는 다음과 같은 순서로 메모리셀 플러그를 형성하고 있다. 즉, 우선 비트선 및 캐패시터의 하부 플러그(16)를 형성(도 26), 비트선 상부 플러그(18)를 형성(도 27), 비트선(20)을 형성하고, 캐패시터 전극의 상부 플러그(22)를 형성하고(도 28)의 순으로 되어 있다. 이에 대해, 본 실시예에서는 다음과 같은 플로우로 형성하였다. 우선, 도 29에 도시된 바와 같이, 다결정 Si로 이루어지는 캐패시터 하부 전극 플러그(16)를 형성한다. 이어서, 도 30에 도시된 바와 같이, 층간막을 피착시킨 후에, 비트선 콘택트를 개구하고, 다결정 Si로 이루어지는 비트선 플러그를 형성하게 하고, 계속해서 비트선 플

러그를 에치백함으로써 오목하게 하고, 그 중에 W/TiN 플러그(18)를 형성하여 도 31와 같아진다. 이 때, 동시에 주변 회로 콘택트 플러그(19)도 형성한다. 계속해서, W로 이루어지는 비트선(20)을 형성하고, 또한 캐패시터 하부 플러그(22)를 형성하고, 도 32를 얻는다. 본 실시예에서는 플러그와 확산층간의 접촉부에는 전부 다결정 Si를 이용했지만, 공정 간략화의 관점에서는, W/TiN 등의 메탈 재료를 이용하는 것도 물론 가능하다.

본 실시예에서는 비트선 상부 콘택트 플러그(18)를 실효적으로 비트선 하부 콘택트 플러그(16)에 대해 자기 정합적으로 형성하게 한다. 이 결과, 실시예 1보다 메모리셀의 플러그 형성 프로세스에 있어서, 정합 마진을 크게 확보하는 것에 성공하였다.

(실시예4)

본 실시예는 개방형 비트선 배치를 갖는 DRAM에서, 주변 회로의 고성능화를 실현하는 수법에 관한 것이다. 실시예1에 도시된 바와 같이, 픽처 사이즈 0.13nm을 갖는 DRAM에서는 메모리셀 플러그의 확산층과의 콘택트 면적 확보의 관점으로부터, 메모리셀에서의 측벽막은 30nm정도로 제한된다. 공정 간략화의 관점으로부터, 이것을 주변 회로의 측벽막으로서 사용하는 것이 바람직하다. 그러나, 트랜지스터의 고성능화와 신뢰성 양립을 위해서, 측벽막은 100nm정도 필요하다. 그래서, 본 실시예에서는 메모리셀 트랜지스터와 주변 회로 트랜지스터의 측벽막의 막 두께를 다른 것으로 하였다. 구체적으로는, 도 33에 도시된 바와 같이 메모리셀에서는 측벽막으로서 30nm의 실리콘 나이트라이드(1203)를, 주변 회로에서는 실리콘 나이트라이드 30nm(1203)와 실리콘 산화막 40nm(27)의 적층막으로 하였다.

이렇게 함으로써, 본 실시예에서는 주변 회로 트랜지스터의 측벽막을 메모리셀 트랜지스터의 그것보다도 두껍게 형성함으로써, 고성능화와 신뢰성의 양립을 가능하게 하였다.

(실시예5)

본 실시예는 개방형 비트선 배치를 갖는 DRAM의 감지 증폭기 레이아웃에 관한 것이다. 종래의 폴드 비트선 배치를 갖는 DRAM에서는 감지 증폭기는 도 34의 (a)에 도시된 바와 같이, 비트선 피치를 2F로 하여, 8F 내에 두면 된다. 이 경우의 전형적인 감지 증폭기의 레이아웃을 도 35의 (a)에 도시한다. 그러나, 개방형 비트선 배치를 갖는 DRAM에서는 셀 면적을 증대시키지 않기 위해서는, 도 34의 (b)에 도시된 바와 같이 6F의 범위에 넣을 필요가 있다. 즉, 감지 증폭기의 짧은 변 방향의 길이를 단축할 필요가 있다. 그래서, 감지 증폭기를 형성하는 트랜지스터에 대해서, 게이트 전극과 콘택트의 간격을 축소할 수 있는 자기 정합 콘택트 프로세스를 적용하였다. 이 때의 레이아웃을 도 35의 (b)에 도시한다. 이 결과, 원하는 피치 속에 감지 증폭기를 배치할 수 있었다. 종래는 감지 증폭기에서 기술적으로 난도가 높은 자기 정합 콘택트 기술을 이용하는 일은 없었다.

이와 같이, 본 실시예에서는 개방형 비트선 배치를 갖는 DRAM의 감지 증폭기에서, 게이트에 대한 자기 정합 콘택트 개구 프로세스를 적용함으로써, 6F의 피치 중에서의 레이아웃을 가능하게 하였다. 이 결과, 비트선 피치를 완화시키지 않고, 원하는 반도체 기억 장치를 실현할 수 있었다.

(실시예6)

본 실시예는 개방형 비트선 배치를 갖는 DRAM의 메모리셀 레이아웃에 관한 것이다. 실시예 1이나 2에서의 레이아웃에서는 워드선과 비트선이 상호 직교하고, 이들에 대해 소자 형성 영역이 비스듬하게 교차하였다. 본 실시예에서는 워드선과 소자 형성 영역이 상호 직교하고, 비트선이 이들에 대해 비스듬히 교차하는 레이아웃을 제안한다.

도 36에 본 실시예에서의 메모리셀의 일 레이아웃을 나타내는 도면을 도시한다. 셀 면적은 실시예 1과 마찬가지로, 형상(feature)사이즈를 F로 하여, $6F^2$ 이다. 실시예 1과 동일한 제조 공정을 거쳐, 원하는 반도체 기억 장치를 얻었다. 또한, 도 37에는 다른 메모리셀 레이아웃을 나타낸다. 이 경우, 실시예 2와 동일한 제조 공정을 거쳐, 원하는 반도체 기억 장치를 얻었다. 도 36과 도 37의 레이아웃의 차이는 캐패시터 하부 전극에 연결되는 플러그가 도 36의 경우에는 적층 구조인데 비해, 도 37의 경우에는 단층 구조인 점이다. 어느 경우나 캐패시터 하부 전극 플러그를 비트선으로부터 분리하는 방향으로 오프셋함으로써, 셀 면적을 증대시키지 않고, 노이즈에 강한 개방형 비트선 배치를 갖는 반도체 기억 장치를 실현할 수 있었다. 또한, 본 실시예에는 소자 형성 영역의 분리 폭을 실시예 1이나 2보다도 크게 확보할 수 있고, 그 결과로서 메모리셀 사이의 누설을 저감시킬 수 있다는 특징도 갖는다.

발명의 효과

본 발명에는 개방형 비트선 배치를 갖는 DRAM에 있어서, 노이즈에 대한 내성을 향상시키고, 동시에 셀 면적의 축소를 가능하게 하는 효과가 있다.

도면의 간단한 설명

도 1은 종래의 폴드 비트선 배치 구조를 갖는 DRAM의 메모리셀 레이아웃을 나타내는 도면.

도 2는 종래의 개방형 비트선 배치를 갖는 DRAM의 메모리셀 레이아웃을 나타내는 도면.

도 3의 (a)는 폴드 비트선 배치 구조의 원리도이고, 도 3의 (b)는 개방형 비트선 배치 구조의 원리도.

도 4는 자기(self) 정합 컨택트 프로세스의 설명도.

도 5는 자기 정합 컨택트 프로세스의 설명도.

도 6은 자기 정합 컨택트 프로세스의 설명도.

도 7은 자기 정합 컨택트 프로세스의 설명도.

도 8은 본 발명의 반도체 기억 장치의 일 제조 공정에서의 단면도.

도 9는 본 발명의 반도체 기억 장치의 일 제조 공정에서의 단면도.

도 10은 본 발명의 반도체 기억 장치의 일 제조 공정에서의 레이아웃을 나타내는 도면.

도 11은 본 발명의 반도체 기억 장치의 일 제조 공정에서의 단면도.

도 12는 본 발명의 반도체 기억 장치의 일 제조 공정에서의 레이아웃을 나타내는 도면.

도 13은 본 발명의 반도체 기억 장치의 일 제조 공정에서의 단면도.

도 14는 본 발명의 반도체 기억 장치의 일 제조 공정에서의 단면도.

도 15는 본 발명의 반도체 기억 장치의 일 제조 공정에서의 단면도.

도 16은 본 발명의 반도체 기억 장치의 일 제조 공정에서의 레이아웃을 나타내는 도.

도 17은 본 발명의 반도체 기억 장치의 일 제조 공정에서의 단면도.

도 18은 본 발명의 반도체 기억 장치의 일 제조 공정에서의 단면도.

도 19는 본 발명의 반도체 기억 장치의 일 제조 공정에서의 레이아웃을 나타내는 도면.

도 20은 본 발명의 반도체 기억 장치의 일 제조 공정에서의 레이아웃을 나타내는 도면.

도 21은 본 발명의 반도체 기억 장치의 일 제조 공정에서의 단면도.

도 22는 본 발명의 반도체 기억 장치의 일 제조 공정에서의 단면도.

도 23은 본 발명의 반도체 기억 장치의 일 제조 공정에서의 단면도.

도 24는 본 발명의 반도체 기억 장치의 일 제조 공정에서의 레이아웃을 나타내는 도면.

도 25는 본 발명의 반도체 기억 장치의 일 제조 공정에서의 단면도.

도 26은 본 발명의 반도체 기억 장치의 일 제조 공정에서의 단면도.

도 27은 본 발명의 반도체 기억 장치의 일 제조 공정에서의 단면도.

도 28은 본 발명의 반도체 기억 장치의 일 제조 공정에서의 단면도.

도 29는 본 발명의 반도체 기억 장치의 일 제조 공정에서의 단면도.

도 30은 본 발명의 반도체 기억 장치의 일 제조 공정에서의 단면도.

도 31은 본 발명의 반도체 기억 장치의 일 제조 공정에서의 단면도.

도 32는 본 발명의 반도체 기억 장치의 일 제조 공정에서의 단면도.

도 33은 본 발명의 반도체 기억 장치의 일 제조 공정에서의 단면도.

도 34의 (a)는 폴드 비트선 구조에 있어서의 감지 증폭기(sense amplifier) 배치도이고, 도 34의 (b)는 개방형 비트선 구조에 있어서의 감지 증폭기 배치도.

도 35의 (a)는 종래의 감지 증폭기 레이아웃도이고, 도 35의 (b)는 본 발명의 1 실시예에 있어서의 감지 증폭기 레이아웃을 나타내는 도면.

도 36은 본 발명의 반도체 기억 장치의 일 실시예에 있어서의 메모리 레이아웃을 나타내는 도면.

도 37은 본 발명의 반도체 기억 장치의 일 실시예에 있어서의 메모리 레이아웃을 나타내는 도면.

<도면의 주요 부분에 대한 부호의 설명>

1 : 활성화 영역

2 : 워드선

3 : 비트선

4 : 비트선 콘택트

5 : 캐패시터 하부 전극 콘택트

6 : 감지 증폭기

7 : 메모리셀

7 : Si 기판

8 : 소자 분리 영역

9 : 층간 절연막

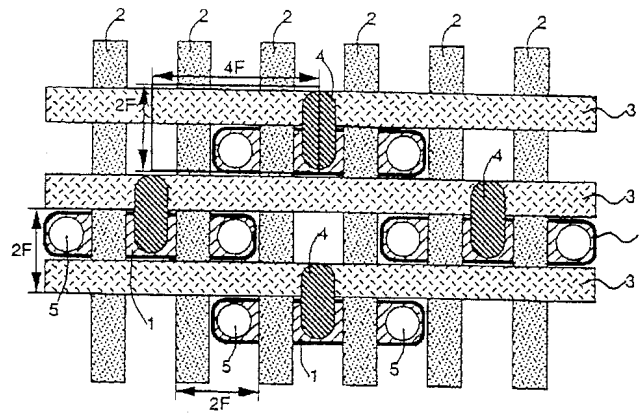
15 : 게이트 전극(주변 회로)

24 : 플레이트 전극

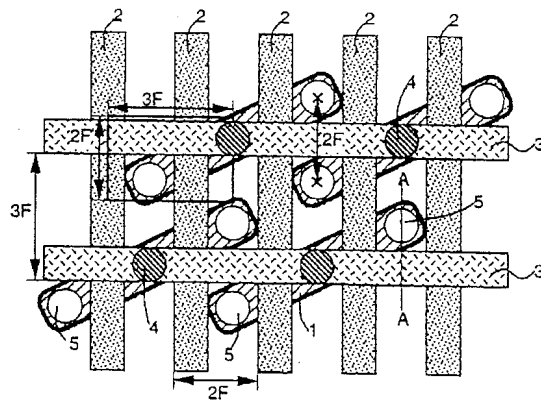
- 2, 27 : 측벽 산화막
- 28 : Y 선택 게이트
- 29 : 프리차지 회로
- 32 : N형 웰 영역

도면

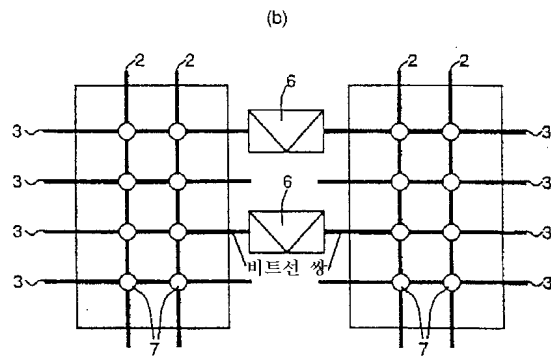
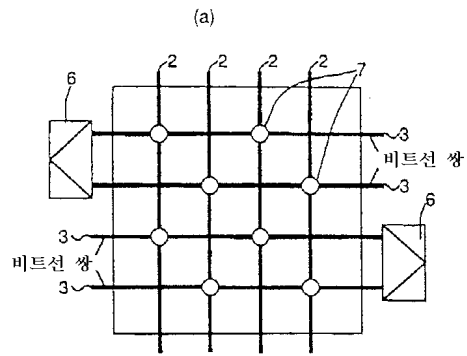
도면1



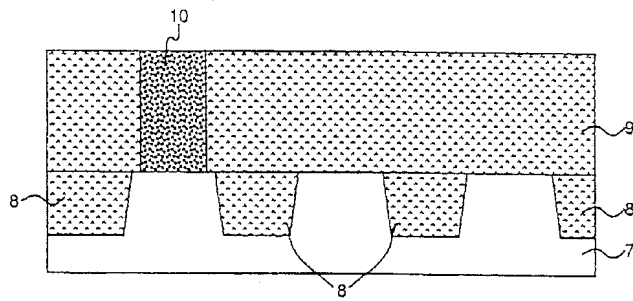
도면2



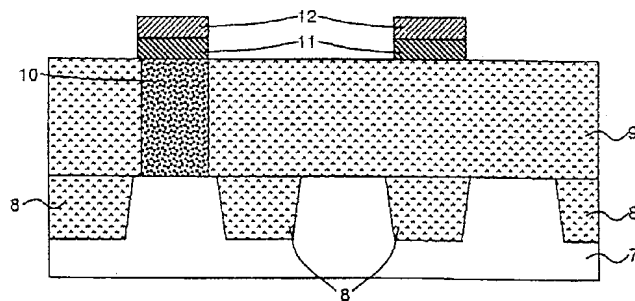
도면3



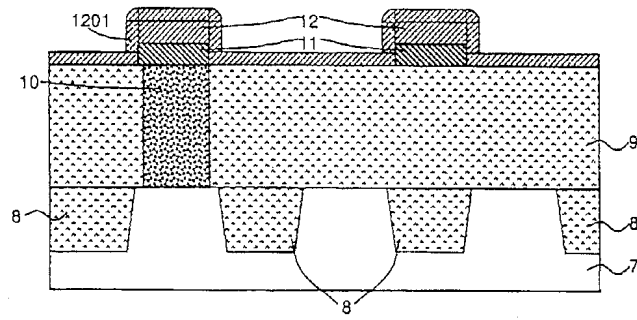
도면4



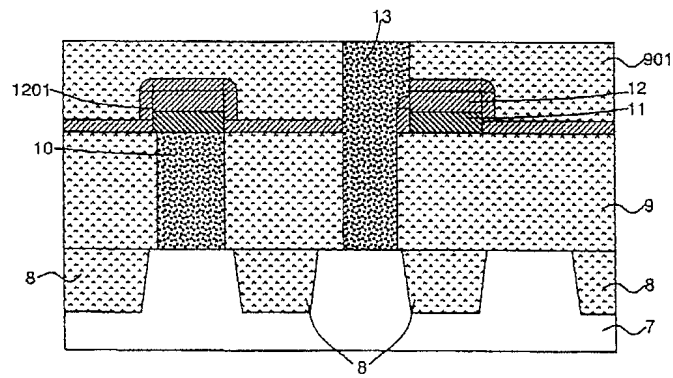
도면5



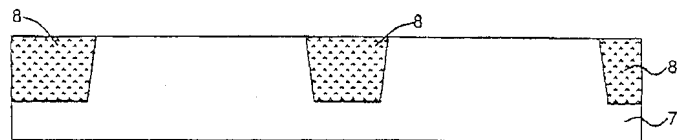
도면6



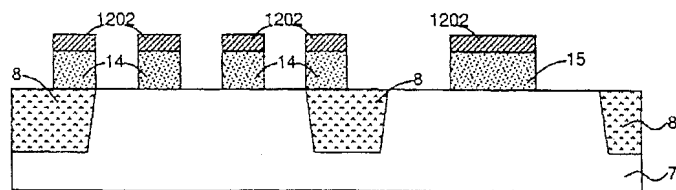
도면7



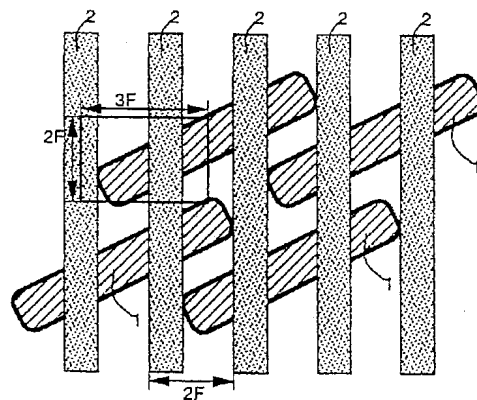
도면8



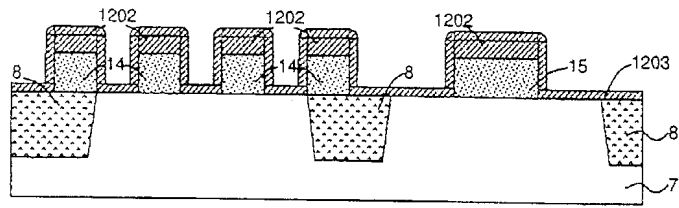
도면9



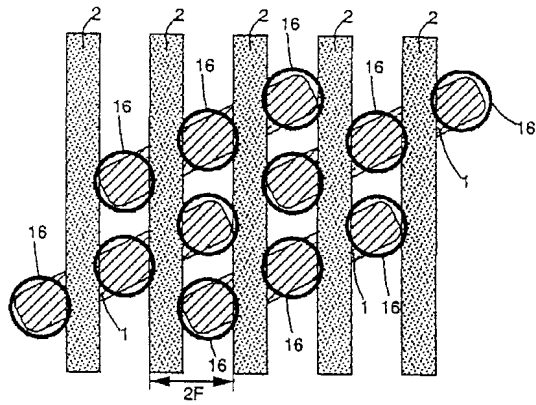
도면10



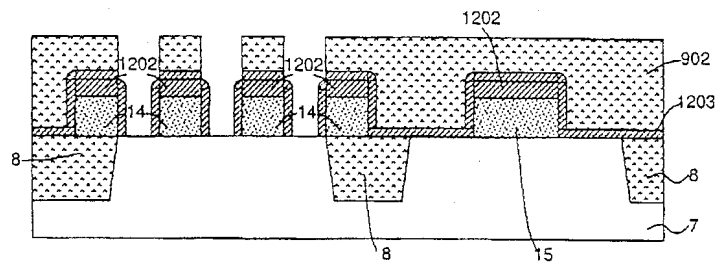
도면11



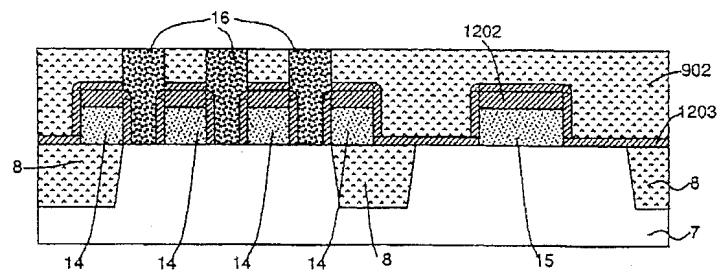
도면12



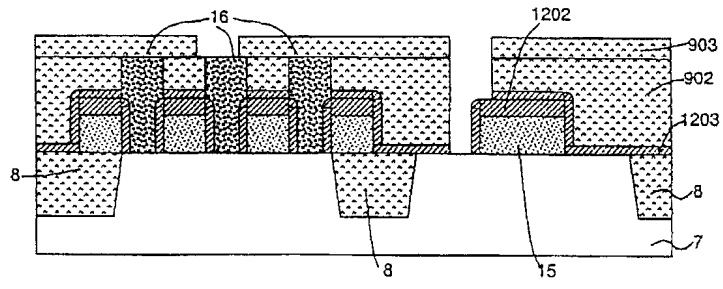
도면13



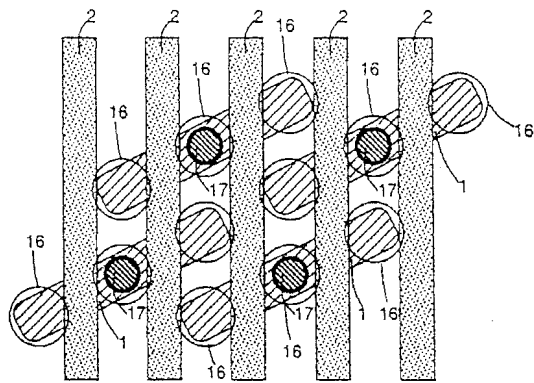
도면14



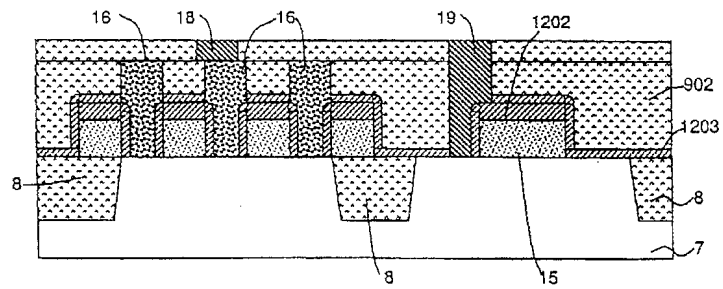
도면15



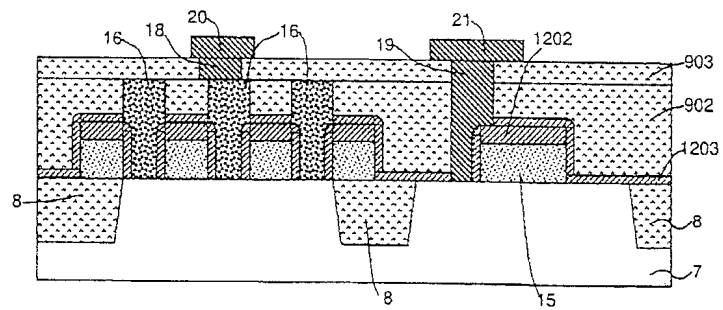
도면16



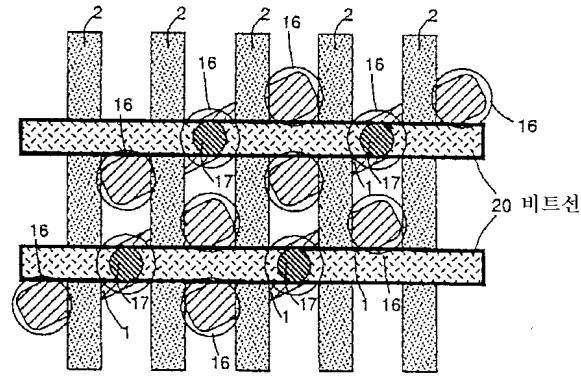
도면17



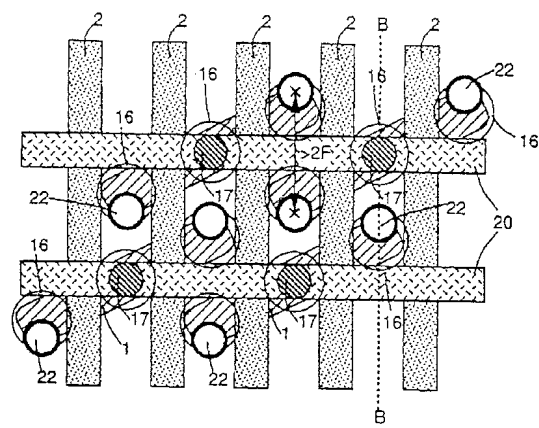
도면18



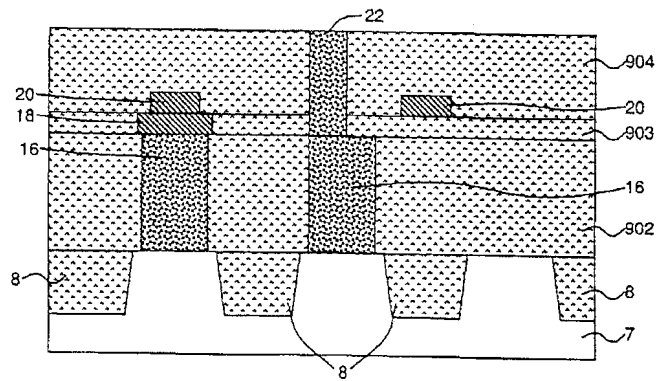
도면19



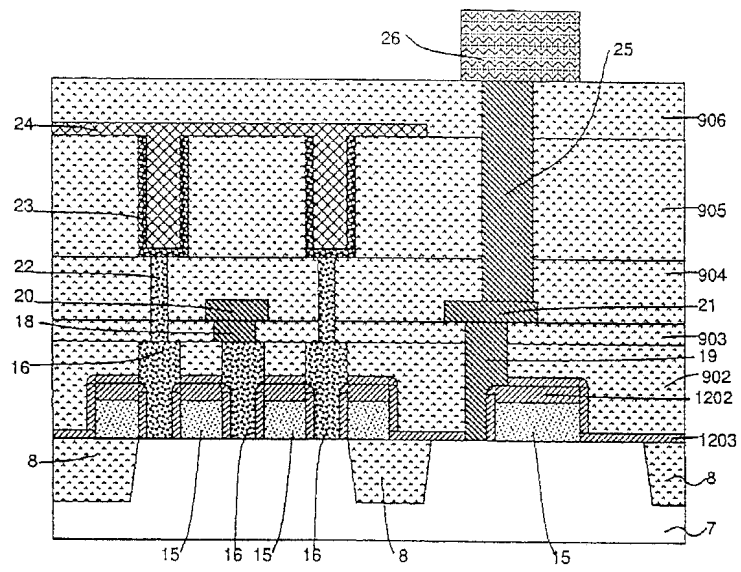
도면20



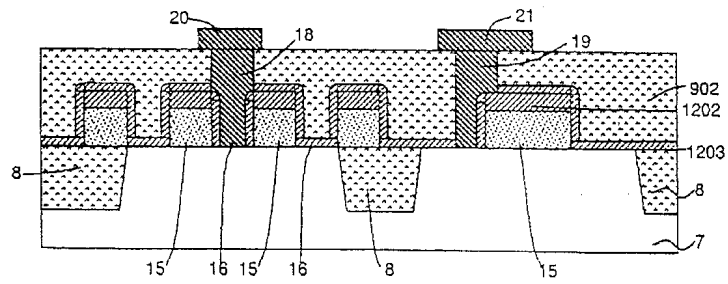
도면21



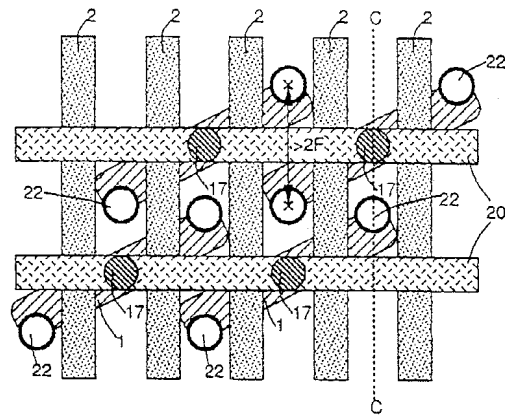
도면22



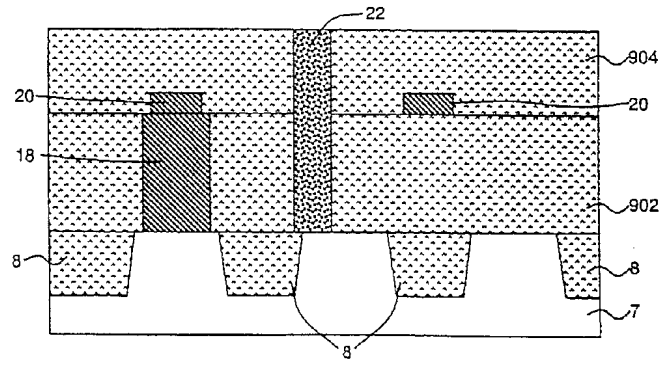
도면23



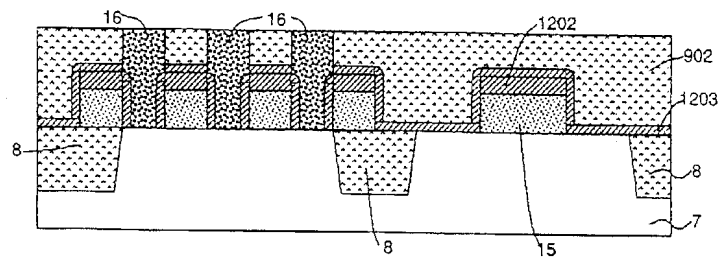
도면24



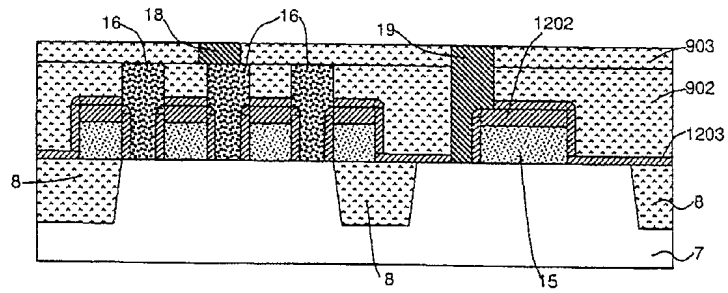
도면25



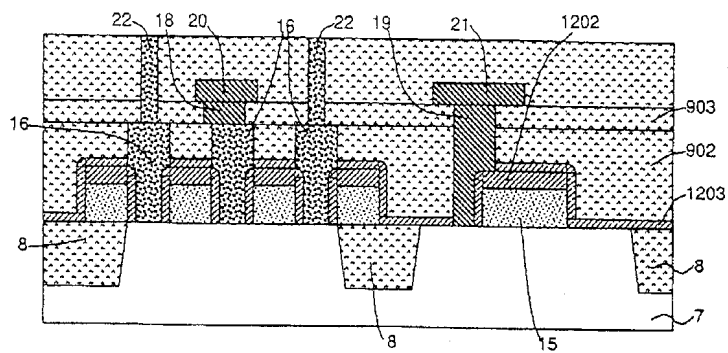
도면26



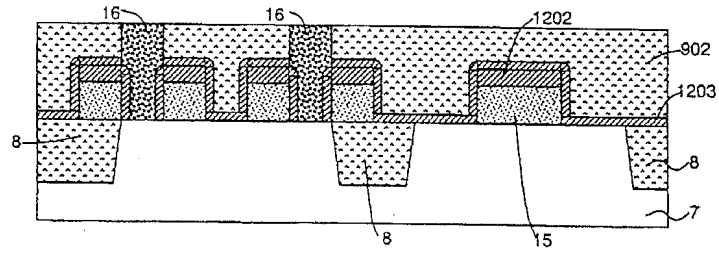
도면27



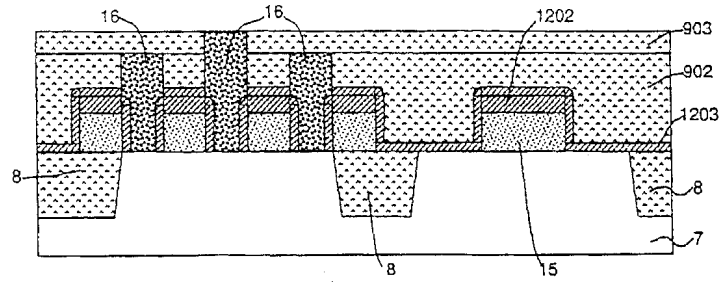
도면28



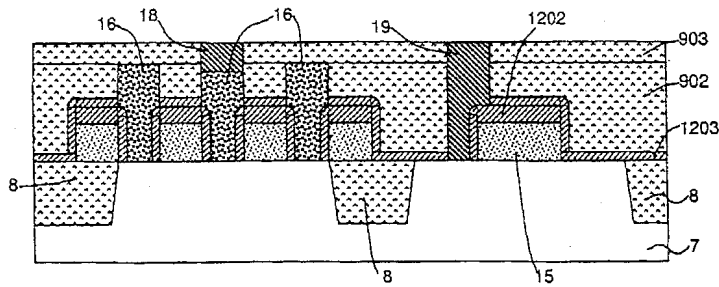
도면29



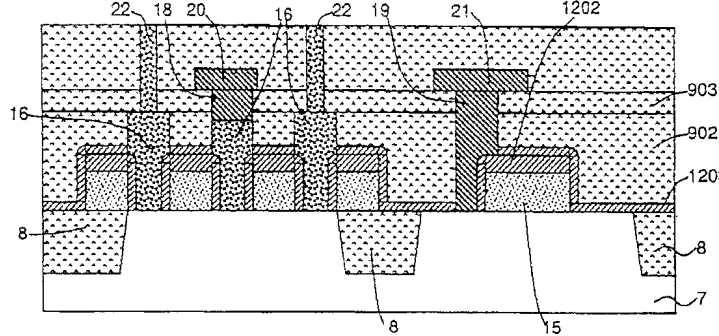
도면30



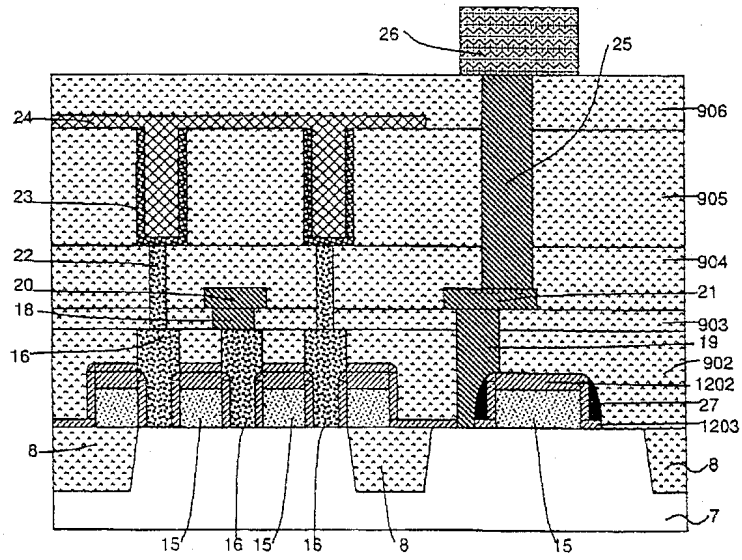
도면31



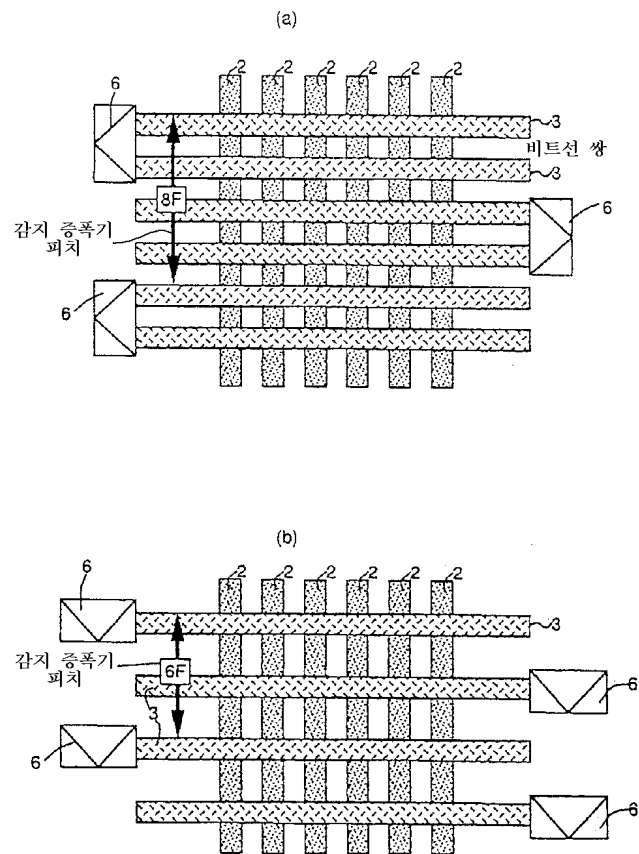
도면32



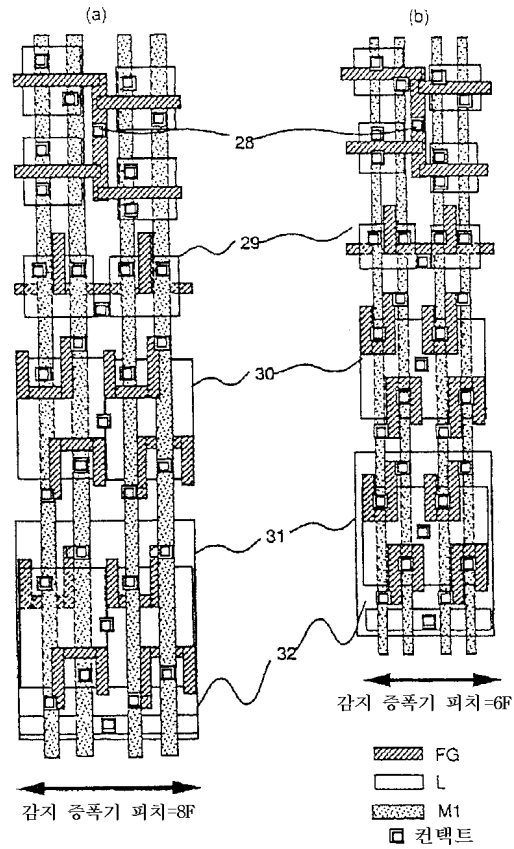
도면33



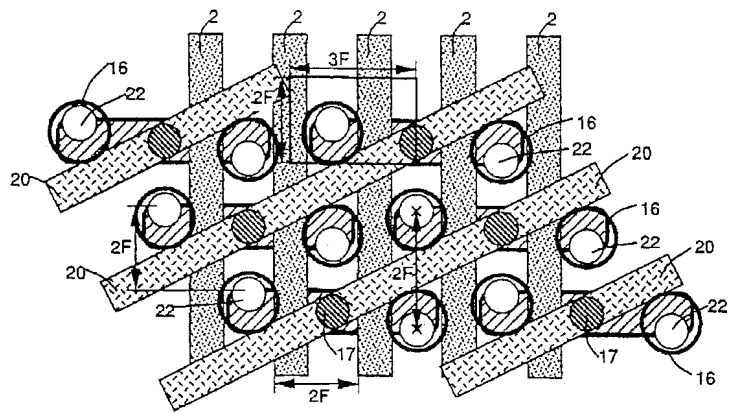
도면34



도면35



도면36



도면37

