公告本

412747

732909

申請日期	87 年 12 月 14 日
案號	87120756
類別	G11C 11/34

A4
C4

（以上各欄由本局填註）

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	半導體儲存裝置 412747
	英文	Semiconductor storage device
二、發明 ~~創作~~ 人	姓名	(1) 島崎靖久 (2) 長田健一 (3) 丸山博史
	國籍	(1) 日本　(2) 日本　(3) 日本
	住、居所	(1) 日本國東京都立川市若葉町一一三一一七若葉社區四〇二號 (2) 美國加州聖喬西#三〇七伊蘭村莊路三三〇號 330 Elan Village Lane #307, San Jose, CA 95134 U. S. A. (3) 日本國神奈川縣橫浜市南區永田台九－三日立是西利亞永田台
三、申請人	姓名（名稱）	(1) 日立製作所股份有限公司 株式会社日立製作所 (2) 日立超愛爾・愛斯・愛・系統股份有限公司 株式会社日立超エル・エス・アイ・システムズ
	國籍	(1) 日本　(2) 日本
	住、居所（事務所）	(1) 日本國東京都千代田區神田駿河台四丁目六番地 (2) 日本國東京都小平市上水本町五丁目二二番一號
	代表人姓名	(1) 金井務 (2) 鈴木仁一郎

裝 訂 線

經濟部中央標準局員工消費合作社印製

412747

申請日期	87 年 12 月 14 日
案號	87120756
類別	

A4
C4

（以上各欄由本局填註）

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	
	英文	
二、發明 ~~創作~~ 人	姓名	⑷ 西岡直俊
	國籍	⑷ 日本
	住、居所	⑷ 日本國東京都府中市北山町二－六　日立超ＬＳＩ西國分寺寮
三、申請人	姓名（名稱）	
	國籍	
	住、居所（事務所）	
	代表人姓名	

裝 訂 線

經濟部中央標準局員工消費合作社印製

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有 □無主張優先權
日本	1997 年 12 月 26 日	9-359276	☑有主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（1）

發明領域：

本發明係關於一種半導體儲存裝置，尤指一種快取記憶體，其可使用於例如微處理器或微電腦之資料處理器中。

相關技藝之背景：

爲了增加快取記憶體之操作速度，最好可同時執行快取記憶體的寫入與讀取操作。在相關的日本專利申請案16223／1997中揭示一種構造，用於藉著使用兩條整體位元線來執行此目的的讀取／寫入平行處理。

發明節要：

在相關技藝中，藉著平行地操作兩條整體位元線會發生串音之問題。本發明的一個目的在於實現在半導體儲存裝置中的快速存取，而同時避免串音之問題。依據本發明，適於快取記憶體之半導體儲存裝置的構造布局有助於增加裝置的操作速度。

依據本發明的一個觀點之半導體儲存裝置包括許多字線、許多位元線、連接至字線與位元線之記憶格、連接至感測放大器之感測（讀取）整體位元線、連接至寫入放大器之寫入整體位元線、及選擇性地連接感測與寫入整體位元線的至少其中之一與位元線的選擇電路。

依據此觀點，第一與第二寫入整體位元線被擺設於第一與第二感測整體位元線之間，第一寫入整體位元線固定

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（2）

成與第一感測整體位元線相鄰，且第二寫入整體位元線固定成與第二感測整體位元線相鄰；且第一寫入整體位元線與第一感測整體位元線之間，或第二寫入整體位元線與第二感測整體位元線之間的距離，被設定成大於第一與第二寫入整體位元線之間的距離。以此構造，可免除寫入與讀取整體位元線之間的串音，特別是寫入位元線對於讀取位元線的影響。

在本發明的實際裝置應用中，寫入整體位元線與感測整體位元線是由相同寫入層做成，且寫入整體位元線之間的距離大於相鄰對的寫入與感測整體位元線之間的距離。在此情形，從基體側計算可形成：用於製造位元線之第一寫入層、用於製造字線之第二寫入層、用於製造寫入與感測整體位元線之第三寫入層。

作爲另一個例子，寫入整體位元線與感測整體位元線是由不同的寫入層做成，且寫入整體位元線與感測整體位元線之間的水平距離大致相同。以此擺設，藉著使用不同層而不需改變位元線間的間距，可得到免於串音之效果。

作爲一實際的裝置，半導體儲存裝置可被做成從基體側計算形成：用於製造位元線之第一寫入層、用於製造字線之第二寫入層、用於製造感測整體位元線之第三寫入層、及用於製造寫入整體位元線之第四寫入層。

此外，可提供一部份的擺設，其中第一寫入整體位元線與第二寫入整體位元線彼此橫越。特別是，第一寫入整體位元線與第二寫入整體位元線橫越使得它們的位置（位

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（3）

元線位置）周期性地交替。由於此擺設，可免於寫入整體位元線的串音影響。

依據本發明的實際應用，提供一裝置具有許多字線、許多位元線、連接至字線與位元線之記憶格、連接至感測放大器之感測整體位元線、連接至寫入放大器之寫入整體位元線、及選擇性地連接感測與寫入整體位元線的至少其中之一與位元線的選擇電路；與整體位元線的一部份擺設，其中兩個相鄰的寫入整體位元線彼此橫越。

這裡，兩個相鄰的寫入整體位元線可被擺設於兩個感測整體位元線之間。此外，寫入整體位元線間的最短距離最好比寫入整體位元線與感測整體位元線之間的最短距離長。

在實際的電路布局中，許多字線、許多位元線、及連接至字線與位元線之記憶格，形成矩形的第一區域及矩形的第二區域，其中選擇電路被擺設成沿著第一區域的一側被定位，且感測整體位元線與寫入整體位元線橫移第一及第二區域，其方向是在與一側正交的方向。

這裡，兩條寫入整體位元線可在第二區域中彼此橫越。此外，許多組各包括第一與第二區域可被擺設在一方向上，其中延伸感測整體位元線與寫入整體位元線，以界定一列記憶體組。此外，包括感測放大器與寫入放大器的第三區域可被設在記憶體組的一端。由本發明亦可想到平行地擺設兩個此記憶體組並在兩組之間插入解碼器／字驅動器。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（4）

由本發明所提出的半導體儲存裝置之布局包括矩形的第一區域，由許多字線、許多位元線、連接至字線與位元線之記憶格、連接至感測放大器之感測整體位元線、連接至寫入放大器之寫入整體位元線、及選擇性地連接感測與寫入整體位元線的至少其中之一與位元線的選擇電路形成。

這裡，沿著第一區域的一側定位一矩形的第二區域，其中擺設選擇電路，且感測整體位元線與寫入整體位元線橫移第一與第二區域，其方向是在與一側正交的方向。此外，許多組各包括第一與第二區域被擺設於一方向，其中延伸感測整體位元線與寫入整體位元線，以界定一列的記憶體組，且在記憶體組的一端設置第三區域，其包括感測放大器與寫入放大器。

特別是，感測放大器最好被定位成比寫入放大器更靠近記憶體組。其理由是感測放大器處理較弱的信號。亦可想到感測放大器包括第一級、中間級、後級的感測放大器，從最靠近記憶體組的一側來看依序地排列，且構成第一級的各電晶體之閘長度大於構成中間級與後級的各電晶體之閘長度。從製造的觀點來看，沒有操作之虛擬電晶體可被包括於構成第一級的電晶體之間。

構成中間級或後級的電晶體在一擺設中可使它們的源極、閘極與汲極排列於一方向，其中延伸感測整體位元線與寫入整體位元線。選擇電路包括一讀取選定開關及一寫入選定開關，讀取選定開關最好被擺設成比寫入選定開關

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（5）

更靠近第一區域。

此外，當兩條寫入整體位元線被平行地擺設而橫越以周期性地改變它們的側位置，可免於寫入整體位元線對於感測整體位元線之影響。在此情形中，寫入整體位元線橫越第二區域是適當的。

此外，如果寫入整體位元線橫越其中一個第二區域的位置比選擇電路更靠近第一區域，則寫入整體位元線在不同的相鄰第二區域中之位置，被設定成比選擇電路更遠於第一區域。以此交替擺設，兩條整體位元線的側位置關係在全部的記憶體組中相同，使得可簡化半導體儲存裝置之設計與製造。

執行本發明之模式

現在參見圖形將敘述依據本發明之半導體儲存裝置的數個較佳實施例。

圖形之簡要敘述：

圖1是依據本發明之半導體儲存裝置的電路圖。

圖2是圖1所示的儲存裝置中之格的電路圖。

圖3是在對於四組局部位元線形成一組整體位元線的情形中，Y開關與局部位元線預充電電路的電路圖。

圖4是讀取整體位元線預充電電路與感測放大器的電路圖。

圖5是寫入整體位元線預充電電路與寫入放大器之電

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（6）

路圖。

圖6是寫入放大器的修改實施例之電路圖。

圖7是圖1所示的實施例之操作波形圖。

圖8是記憶體墊部份的布局之平面圖。

圖9是記憶體墊部份的布局之剖面。

圖10A是容易產生寫入資料的串音之記憶體墊部份的布局之圖形。

圖10B是圖10A所示之記憶體墊部份取自沿著剖面線10－10之剖面。

圖11是寫入資料的串音破壞讀取資料之情形中的操作波形圖。

圖12A是依據本發明之記憶體墊部份的布局之圖形。

圖12B是圖12A所示的記憶體墊部份取自剖面線12－12之剖面。

圖13是應用本發明的儲存裝置之布局的平面圖。

圖14是扭曲位元線之情形的布局之平面圖。

圖15是感測放大器部份與寫入放大器部份之布局圖。

圖16是Y開關的布局圖。

圖17是Y開關的另一布局圖。

圖18是感測放大器的布局圖。

圖19是第一級感測放大器的布局圖。

圖20是一方塊圖，指出本發明的另一實施例中的快

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（７）

取記憶體。

圖２１是對應圖２０之操作波形圖。

元件符號說明：

１００	半導體儲存裝置，		
１０１	解碼器／字驅動器		
１１１	區域，	１１２	區域
１２０	寫入資料匯流排，	１２２	位址匯流排
１２３	快取標籤陣列，	１２４	快取資料陣列
１２５	比較器，	１２６	適配信號
１２７	控制電路，	１２８	讀取緩衝器
１２９	資料匯流排，	１３０	位址
１３１	選定器，	１３２	選定器
１３３	控制信號，	１３４	控制信號
１３５	資料，	１３６	實際位址
２００	快取記憶體。		

較佳實施例之詳細敘述：

圖１是一電路圖，指出依據本發明之半導體儲存裝置的一個實施例。藉著使用製造半導體積體電路之技術，在例如單晶矽的單石半導體基體中形成半導體儲存裝置１００。許多記憶格ＣＥＬＬ被擺設成矩陣形狀以構成一記憶體陣列。記憶體陣列被分成ｎ組（組１至組ｎ）。

這裡，符號ＰＣ１至ＰＣｎ代表預充電電路，符號

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（８）

ＹＳＷ１至ＹＳＷｎ代表Ｙ開關，符號ＳＡ代表由各別組分享的感測放大器，符號ＷＡ代表由各別組分享的寫入放大器，符號ＲＰＣ代表預充電讀取整體位元線之電路，符號ＷＰＣ代表預充電寫入整體位元線之電路，符號ＲＥＡＤ　ＤＡＴＡ代表欲被寫入的資料，符號ＷＧＢＬ與ＷＧＢＬＢ代表寫入整體位元線，符號ＬＢＬ０、ＬＢＬ１、ＬＢＬ２、ＬＢＬ３與ＬＢＬＢ３代表局部位元線，且數字１０１代表解碼器／字驅動器。

圖２詳細地指出圖１所示的記憶格ＣＥＬＬ之構造。記憶格ＣＥＬＬ包括一正反器（由Ｐ通道型ＭＯＳ電晶體ＭＰＯ１、ＭＰＯ２與Ｎ通道形電晶體ＭＮＯ１、ＭＮＯ２做成），其被如此建造使得一對ＣＭＯＳ反向器的輸入與輸出被交叉連接，且Ｎ通道型ＭＯＳ電晶體ＭＮＯ３、ＭＮＯ４其選擇性地連接正反器的節點Ｎ與節點ＮＢ至局部位元線（ＬＢＬ０、ＬＯＬＢ０）。字線ＷＬ被連接至Ｎ通道型ＭＯＳ電晶體ＭＮＯ３、ＭＮＯ４之閘極。

圖３詳細指出預充電電路ＰＣ１與圖１所示的Ｙ開關電路ＹＳＷ１之構造。局部位元線（ＬＢＬ０、ＬＢＬＢ０、ＬＢＬ１、ＬＢＬＢ１、ＬＢＬ２、ＬＢＬＢ２、ＬＢＬ３、ＬＢＬＢ３）其爲組內的位元線，可藉由使用Ｐ通道型ＭＯＳ電晶體ＭＰ１－ＭＰ１２而被預充電成“ＨＩＧＨ”位準。此外，局部位元線（ＬＢＬ０、ＬＢＬＢ０、ＬＢＬ１、ＬＢＬＢ１、

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（9）

ＬＢＬ２、ＬＢＬＢ２、ＬＢＬ３、ＬＢＬＢ３）被連接至整體位元線（ＲＧＢＬ、ＲＧＢＬＢ、ＷＧＢＬ、ＷＧＢＬＢ），其與局部位元線平行地形成以橫移這些組，經過做成四行單元的Ｐ通道型ＭＯＳ電晶體ＭＰ１３－ＭＰ２０及Ｎ通道型ＭＯＳ電晶體ＭＮ１－ＭＮ８。

整體位元線被分成讀取或感測位元線（ＲＧＢＬ、ＲＧＢＬＢ）與寫入位元線（ＷＧＢＬ、ＷＧＢＬＢ）。信號線ＲＳＷ０被連接至Ｐ通道型ＭＯＳ電晶體ＭＰ１３與ＭＰ１４之閘極。在讀取資料的模式中，局部位元線（ＬＢＬ０、ＬＢＬＢ０）被預充電電路ＰＣ１預充電一次成“ＨＩＧＫ”，且它們僅振盪於“ＨＩＧＨ”位準附近，使得局部位元線（ＬＢＬ０，ＬＢＬＢ０）的信號可被傳送至資料讀取整體位元線（ＲＧＢＬ，ＲＧＢＬＢ），只藉著Ｐ通道型ＭＯＳ電晶體。對於相對於局部位元線ＬＢＬ１、ＬＢＬＢ１、ＬＢＬ２、ＬＢＬＢ２與ＬＢＬ３、ＬＢＬＢ３之信號線ＲＳＷ１、ＲＳＷ２與ＲＳＷ３分別經由電晶體ＭＰ１５至ＭＰ２０，如圖３所示提供類似的連接。

信號線ＷＳＷ０被連接至Ｎ通道型ＭＯＳ電晶體ＭＮ１與ＭＮ２之閘極。在寫入資料的模式中，在“ＬＯＷ”位準之資料寫入整體位元線（ＷＧＢＬ、ＷＧＢＬＢ）之信號需要被精確地傳送至局部位元線（ＬＢＬ０、ＬＢＬＢ０），但是即使當以降低位準來傳送在“ＨＩＧＨ”位準的信號不會產生問題，所以局部位元

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（10）

線（ＬＢＬ０、ＬＢＬＢ０）與資料寫入整體位元線（ＷＧＢＬ、ＷＧＢＬＢ）可只藉由Ｎ通道型ＭＯＳ電晶體ＭＮ１、ＭＮ２被連接。對於相對於局部位元線ＬＢＬ１、ＬＢＬＢ１、ＬＢＬ２、ＬＢＬＢ２與ＬＢＬ３、ＬＢＬＢ３之信號線ＷＳＷ１、ＷＳＷ２與ＲＳＷ３分別經由電晶體ＭＮ３至ＭＮ８，如圖３所示提供類似的連接。資料讀取整體位元線（ＲＧＢＬ、ＲＧＢＬＢ）被連接至局部位元線經過Ｙ開關（ＹＳＷ１～ＹＳＷｎ），且它們亦被連接至讀取整體位元線預充電電路ＲＰＣ及感測放大器／閂鎖電路ＳＡ，如圖１所示。

圖４詳細指出圖１所示之讀取整體位元線預充電電路ＲＰＣ與感測放大器／閂鎖電路ＳＡ的擺設。讀取整體位元線預充電電路ＲＰＣ包括Ｐ通道型ＭＯＳ電晶體ＭＰ２１、ＭＰ２２與ＭＰ２３，且它可將讀取整體位元線（ＲＧＢＬ、ＲＧＢＬＢ）預充電成“ＨＩＧＨ”位準。感測放大器／閂鎖電路ＳＡ包括一差分型式的感測放大器（第一級），其是由Ｐ通道型ＭＯＳ電晶體ＭＰ２４、ＭＰ２５及Ｎ通道型ＭＯＳ電晶體ＭＮ９、ＭＮ１０、ＭＮ１１、ＭＮ１２、ＭＮ１３做成；一差分型式的感測放大器（中間級），其是由電晶體ＭＰ２６、ＭＰ２７及ＭＮ１４、ＭＮ１５、ＭＮ１６、ＭＮ１７、ＭＮ１８做成；一差分型式的感測放大器（後級），其是由電晶體ＭＰ２８、ＭＰ２９及ＭＮ１９、ＭＮ２０、ＭＮ２１、ＭＮ２２、ＭＮ２３做成；一閂鎖電路ＬＴ，其是由兩個

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（11）

ＮＡＮＤ電路做成；及一輸出緩衝器ＢＵＦ。整體位元線（ＲＧＢＬ、ＲＧＢＬＢ）分別被連接至Ｎ通道型ＭＯＳ電晶體ＭＮ９與ＭＮ１０的閘極。一接地電位ＶＳＳ被連接至Ｐ通道型ＭＯＳ電晶體ＭＰ２４與ＭＰ２５之閘極。被讀出的資料ＲＥＡＤ　ＤＡＴＡ從輸出緩衝器ＢＵＦ被向外傳送。

資料寫入整體位元線（ＷＧＢＬ、ＷＧＢＬＢ）被連接至局部位元線經過Ｙ開關（ＹＳＷ１～ＹＳＷｎ）之Ｎ通道型ＭＯＳ電晶體，且它們亦被連接至寫入整體位元線預充電電路ＷＰＣ及寫入放大器／閂鎖電路ＷＡ，如圖１所示。

圖５詳細指出圖１所示之寫入整體位元線預充電電路ＷＰＣ與寫入放大器／閂鎖電路ＷＡ的擺設。寫入整體位元線預充電電路ＷＰＣ包括Ｐ通道型ＭＯＳ電晶體ＭＰ３０、ＭＰ３１與ＭＰ３２，且它可將寫入整體位元線（ＷＧＢＬ、ＷＧＢＬＢ）預充電成“ＨＩＧＨ”位準。寫入放大器／閂鎖電路ＷＡ包括反向器電路ＩＮＶ１、ＩＮＶ２、ＩＮＶ３及電晶體ＭＮ２４、ＭＮ２５。欲被寫入的資料ＷＲＩＴＥ　ＤＡＴＡ被傳送至寫入整體位元線（ＷＧＢＬ、ＷＧＢＬＢ），經過ＩＮＶ１、ＩＮＶ２、ＩＮＶ３及ＭＮ２４、ＭＮ２５。

如圖６所示，它亦可以電晶體ＭＮ２６、ＭＮ２７來取代各別的反向器ＩＮＶ１與ＩＮＶ３。在此一擺設中，當線ＷＴ＿ＥＮ到達“ＨＩＧＨ”位準時，線ＷＧＢＬ與

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（12）

WGBLB的其中之一被帶至“LOW”位準，且另一條線被保持在預充電位準（亦即，“HIGH”位準），使得資料被寫入記憶格。解碼器／字驅動器101（圖1）是一電路，其選定任何組的一條字線。

圖7指出對於圖1所示之半導體儲存裝置中相同位址之連續的讀取與寫入操作之情形中的操作波形。首先執行資料讀取操作，隨後執行資料寫入操作。

在操作開始之前，讀取整體位元線（RGBL、RGBLB）信號線REQ（參見圖3）與EQ、WEQ（參見圖5）被帶至“L”（“LOW”位準），使得局部位元線（LBL0、LBLB0、LBL1、LBLB1、LBL2、LBLB2、LBL3、LBLB3）與寫入整體位元線（WGBL、WGBLB）分別被預充電電路RPC、PC、WEQ預充電至“H”（“HIGH”位準），使得事先連接讀取整體位元線（RGBL、RGBLB）與局部位元線（LBL0、LBLB0）。

在讀取操作中，信號線REQ與EQ首先是在“H”以抑制預充電。同時，字線WL是在“H”，使得預充電的局部位元線（LBL0、LBLB0）被記憶格CELL預充電以發展電位差。由於局部位元線（LBL0、LBLB0）與讀取整體位元線（RGBL、RGBLB）被連接，被記憶格CELL發展的局部位元線LBL0、LBLB0）之間的電位差被傳送至讀取整

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（13）

體位元線（ＲＧＢＬ、ＲＧＢＬＢ）。此外，電位差被傳送至感測放大器／閂鎖電路ＳＡ，且藉著設定感測放大器致能信號ＳＡ＿ＥＮ（參見圖４）在“Ｈ”而被放大，結果的資料被傳送至信號線ＲＥＡＤ　ＤＡＴＡ。

在電位差已被傳送至感測放大器的時間點，Ｙ開關ＹＳＷ１之控制信號ＲＳＷ０從“Ｌ”被移位至“Ｈ”位準，使得Ｙ開關ＹＳＷ１之Ｐ通道型ＭＯＳ電晶體被關掉以分離局部位元線（ＬＢＬ０、ＬＢＬＢ０）與讀取整體位元線（ＲＧＢＬ、ＲＧＢＬＢ）。同時，Ｙ開關ＹＳＷ１之控制信號ＷＳＷ０從“Ｌ”被移位至“Ｈ”，使得Ｙ開關ＹＳＷ１之Ｎ通道型ＭＯＳ電晶體被打開以連接局部位元線（ＬＢＬ０、ＬＢＬＢ０）與寫入整體位元線（ＷＧＢＬ、ＷＧＢＬＢ），以開始寫入操作。寫入整體位元線（ＷＧＢＬ、ＷＧＢＬＢ）分別被充電及放電，藉著於讀取操作期間設定寫入放大器致能信號ＷＴ＿ＥＮ（參見圖５）在“Ｈ”位準。所以在寫入操作開始之後，一信號被傳送至並寫入於記憶格ＣＥＬＬ中，藉著只充電及放電小電容的各別局部位元線（ＬＢＬ０、ＬＢＬＢ０）。

在寫入操作結束之後，字線ＷＬ被設定在“Ｌ”，控制信號ＲＳＷ０被設定在“Ｌ”，控制信號ＷＳＷ０被設定在“Ｌ”，且信號線ＲＥＱ、ＥＱ與ＷＥＱ被設定在“Ｌ”，使得對於下一個循環，預充電讀取整體位元線（ＲＧＢＬ、ＲＧＢＬＢ）、局部位元線（ＬＢＬ０、

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（14）

ＬＢＬＢ０、ＬＢＬ１、ＬＢＬＢ１、ＬＢＬ２、ＬＢＬＢ２、ＬＢＬ３、ＬＢＬＢ３）及寫入整體位元線（ＷＧＢＬ、ＷＧＢＬＢ）。在一個循環中作用讀取、寫入與預充電操作。

雖然在圖７中，在一個循環的最後部份完成預充電，它可以在讀取操作之前被完成。亦即，亦可以在一個循環的第一部份完成預充電。

在此實施例中，於操作期間被連接至位元線的記憶格ＣＥＬＬ的數目，與沒有使用整體位元線的方法中之數目相比小１／ｎ，所以可減小位元線的電容以加速充電與放電操作。此實施例因此亦產生可提高讀取與寫入操作的速度之效果。而且功率散失可以降低，申於位元線的電容之減小。

圖８指出圖１所示的半導體儲存裝置之記憶體墊部份的金屬層之布局。用於讀取資料之整體位元線（ＲＧＢＬ、ＲＧＢＬＢ）及用於寫入資料之整體位元線（ＷＧＢＬ、ＷＧＢＬＢ）分別被連接至四對的局部位元線（ＬＢＬ０、ＬＢＬＢ０、ＬＢＬ１、ＬＢＬＢ１、ＬＢＬ２、ＬＢＬＢ２、ＬＢＬ３、ＬＢＬＢ３）。

圖９指出取自圖８中的虛線之剖面圖。第一層（未示，但被定位在圖形的底部）被使用作爲記憶格部份ＣＥＬＬ。局部位元線（ＬＢＬ０、ＬＢＬＢ０、ＬＢＬ１、ＬＢＬＢ１、ＬＢＬ２、ＬＢＬＢ２、ＬＢＬ３、ＬＢＬＢ３）使用第二層的金屬（稱爲金屬接

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（15）

線）而被做成。使用第三層的金屬而做成用於減小字線的電阻之加強線ＷＬＧ。使用第三層的金屬做成接地線ＶＳＳ與電源線ＶＤＤ。使用第四層的金屬做成讀取整體位元線（ＲＧＢＬ、ＲＧＢＬＢ）。使用第五層的金屬做成寫入整體位元線（ＷＧＢＬ、ＷＧＢＬＢ）。附帶一提，雖然未示，第一層的金屬被使用於記憶格部份中。此外，由實線所包圍之區域表示一記憶格ＣＥＬＬ。

整體位元線（ＲＧＢＬ、ＲＧＢＬＢ、ＷＧＢＬ、ＷＧＢＬＢ）被形成一線對一行的記憶格（例如，一對的位元線（ＬＢＬ０、ＬＢＬＢ０），使得整體位元線（ＲＧＢＬ、ＲＧＢＬＢ、ＷＧＢＬ、ＷＧＢＬＢ）的內線電容被減小，以對應地增加操作之速度。

圖１０Ａ指出一記憶體墊的布局，其中沿著線１０－１０取圖１０Ｂ所示的記憶體墊部份之剖面。如圖所示，使用第四層的金屬接線做成寫入整體位元線（ＷＧＢＬ、ＷＧＢＬＢ）。在此情形中，在相同的金屬層中形成讀取整體位元線（ＲＧＢＬ、ＲＧＢＬＢ）與寫入整體位元線（ＷＧＢＬ、ＷＧＢＬＢ），使得內接線電容Ｃｎ０取一非常大的值，爲了以下敘述的比較。

圖１１指出在讀取整體位元線（ＲＧＢＬ、ＲＧＢＬＢ）與寫入整體位元線（ＷＧＢＬ、ＷＧＢＬＢ）之間的內接線電容Ｃｎ０很大的情形中之操作波形。於前面的讀取操作期間，寫入整體位元線（ＷＧＢＬ、ＷＧＢＬＢ）各別地被充電放電。在此情形中，由於大的

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（16）

內接線電容Ｃｎ０，在讀取整體位元線（ＲＧＢＬ、ＲＧＢＬＢ）中發生寫入資料的串音。

讀取整體位元線（ＲＧＢＬ、ＲＧＢＬＢ）從一記憶格傳送一弱的電壓振幅，而寫入整體位元線（ＷＧＢＬ、ＷＧＢＬＢ）傳送具有與供給電壓相同振幅的寫入資料。所以，當串音發生時，讀取整體位元線（ＲＧＢＬ、ＲＧＢＬＢ）上的資料容易地被破壞，結果傳送錯誤的資料。

相對地，在圖８與９的布局中，讀取整體位元線（ＲＧＢＬ、ＲＧＢＬＢ）與寫入整體位元線（ＷＧＢＬ、ＷＧＢＬＢ）的接線層被做成不同，所以內接線電容Ｃｎ２小於Ｃｎ０，且可以抑制寫入資料的串音。

圖１２Ａ指出依據本發明的另一個實施例之記憶體墊部份的布局。圖１２Ｂ指出圖１２Ａ所示的記憶體墊之對應剖面圖，取自圖１２Ａ中的剖面線１２－１２。如圖所示，讀取整體位元線（ＲＧＢＬ、ＲＧＢＬＢ）與寫入整體位元線（ＷＧＢＬ、ＷＧＢＬＢ）使用第四層金屬被做成，且兩者的接線間距並不相等。

特別是，如圖１２Ａ與１２Ｂ所示，第一及第二寫入整體位元線ＷＧＢＬ、ＷＧＢＬＢ被擺設於第一及第二讀取整體位元線ＲＧＢＬ、ＲＧＢＬＢ之間，第一寫入整體位元線ＷＧＢＬ被固定成與第一讀取整體位元線ＲＧＢＬ相鄰，第二寫入整體位元線ＷＧＢＬＢ被固定成與第二讀取整體位元線ＲＧＢＬＢ相鄰；且第一寫入整體位元線

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（17）

ＷＧＢＬ與第一讀取整體位元線ＲＧＢＬ之間，或第二寫入整體位元線ＷＧＢＬＢ與第二讀取整體位元線ＲＧＢＬＢ之間的距離，被設定成比第一與第二寫入整體位元線ＷＧＢＬ與ＷＧＢＬＢ之間的距離長。在此情形中，讀取整體位元線（ＲＧＢＬ、ＲＧＢＬＢ）與寫入整體位元線（ＷＧＢＬ、ＷＧＢＬＢ）之間的內接線電容Ｃｎ１可以做成小於Ｃｎ０，所以可抑制寫入資料的串音。此外，在圖８與９及圖１２Ａ的實施例中，相對於圖１０Ｂ所示的Ｃｎ０減小內接線電容Ｃｎ２或Ｃｎ１，所以整體位元線的操作可增加速度並降低功率耗散。

此外，在圖８與９及圖１２的實施例中，寫入整體位元線（ＷＧＢＬ、ＷＧＢＬＢ）位於讀取整體位元線（ＲＧＢＬ、ＲＧＢＬＢ）之間，使得可避免具有與供給電壓相同振幅的寫入資料減小所示的相鄰整體位元線中之串音。通常，串音發生不必要的電位改變（雜訊脈衝），所以耗散浪費的功率。因此在此實施例中，可同時達成降低的功率耗散。

在圖８與９的實施例中，使用第五層的金屬做成寫入整體位元線（ＷＧＢＬ、ＷＧＢＬＢ）是重要的。讀取整體位元線（ＲＧＢＬ、ＲＧＢＬＢ）與寫入整體位元線（ＷＧＢＬ、ＷＧＢＬＢ）之間的串音，在讀取整體位元線（ＲＧＢＬ、ＲＧＢＬＢ）的寄生電容（例如Ｃｎ０與Ｃｎ２）、相對於寫入整體位元線（ＷＧＢＬ、ＷＧＢＬＢ）的寄生電容（Ｃｎ２）具有不能忽略之大值

（請先閱讀背面之注意事項再填寫本頁）

經濟部中央標準局員工消費合作社印製

五、發明說明（18）

的情形中會發展。

假設在不同的擺設中，使用第五層金屬做成讀取整體位元線（ＲＧＢＬ、ＲＧＢＬＢ），對應圖９所示的電容Ｃｄ０之內線電容變成一小值，但是電容Ｃｎ２似乎具有非常大的值，所以寫入資料的串音發展。此外，從記憶格與整體位元線之間的資料之傳送的觀點來看，具有從記憶格傳送弱的信號之目的之讀取整體位元線（ＲＧＢＬ、ＲＧＢＬＢ）需要使用位在靠近記憶格的一層之金屬。其理由是當記憶格被連接至距記憶格的層（第一層）之遠層的金屬時，信號必須通過“ｖｉａｓ”（內金屬接點）許多次，所以“ｖｉａｓ”的寄生電容與電阻降低儲存裝置的操作速度，且增加其功率耗散。

圖１３指出使用本發明之電路技術而製造的記憶體之布局。區域１１０是一記憶體陣列區，且被廣泛地分成兩個部份，各被次分成八個組（ＢＡＮＫ１～ＢＡＮＫ８）。區域１１１包括預充電電路ＰＣｉ與Ｙ開關ＹＳＷｉ（ｉ＝１～８），且它們各別地被擺設成與８個組（ＢＡＮＫ１～ＢＡＮＫ８），且它們各別地被擺設成與八個組相鄰。此外，在區域１１３中擺設解碼器／字驅動器１０１。

擺設於區域１１２中的是一電路ＲＰＣ，其預充電讀取整體位元線；感測放大器／閂鎖電路ＳＡ；一電路ＷＰＣ，其預充電寫入整體位元線；及寫入放大器電路ＷＡ。附帶一提，爲了簡化，在圖形中只指出一組的讀取

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（19）

整體位元線（RGBL、RGBLB）與寫入整體位元線（WGBL、WGBLB）。寫入整體位元線（WGBL、WGBLB）在區域111中被扭曲。在寫入整體位元線（WGBL、WGBLB）沒有被扭曲的情形中，讀取整體位元線RGBL與寫入整體位元線WGBL平行地跑於一段長的距離上，所以在兩條位元線之間的內接線電容變大。

在圖13中，A1、A2、B1、B2、B3指出在整體位元線（WGBL、WGBLB）之扭曲點之間的長度。而且A0、A4指出從整體位元線（WGBL、WGBLB）的尾端邊緣至整體位元線（WGBL、WGBLB）之橫越點之長度。因此，布局最好滿足以下等式：

$$A0+A1+A2+A3+A4=B0+B1+B2+B3$$

以此方式，用於讀取的整體位元線（RGBL）連同用於寫入的整體位元線（WGBLB）之長度，等於用於讀取的整體位元線（RGBLB）連同用於寫入的整體位元線（WGBL）之長度。

依據以上布局，從用於寫入的整體位元線（WGBLB）至用於讀取的整體位元線（RGBL）之串音雜訊，等於從用於寫入的整體位元線（WGBL）至用於讀取的整體位元線（RGBLB）之串音雜訊。所以，此布局容易消除串音雜訊並避免讀出錯誤。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（20）

如圖7所示，於先前的讀取操作，寫入整體位元線（WGBL、WGBLB）被各別地充電放電。所以，當寫入整體位元線相對於讀取整體位元線之內接線電容很大時，寫入資料的串音之影響增加。欲避免此缺點，記憶體可置於外部，使得寫入整體位元線（WGBL、WGBLB）平行地跑於相同的長度上，相對於兩條讀取整體位元線（RGBL、RGBLB）。

圖14指出一部份（例如區域111中）的布局，其中寫入整體位元線（WGBL、WGBLB）被扭曲（以彼此橫越）以移位其側向位置。圖中描述的是第五層金屬做成的線WGBLB被擺設於中央部份的右下側上之情形中的布局，在此情形它被改變一次成第四層的金屬（如"X"所表示），並被接線至左跑通道（未示），且在此情形它隨後再度被改變成第五層的金屬（由其它的"X"來表示）。在橫越部份中，在第五層的金屬中形成線WGBL。

圖15更詳細地指出如圖13所示之相鄰的區域112與區域111之布局影像。圖15的上側對應在圖13中表示爲"BANK8"的記憶體陣列側。局部位元線預充電電路PC8、Y開關YS8、讀取整體位元線預充電電路RPC、感測放大器SA、閂鎖電路LT、寫入整體位元線預充電電路WPC、寫入放大器WA及輸出緩衝器BUF從上側來看依此順序被布局。這裡，局部位元線欲被連接至局部位元線預充電電路PC8與Y開關

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（21）

ＹＳ８，所以其必須被定位成與記憶體陣列相鄰。此外，讀取整體位元線預充電電路ＲＰＣ、感測放大器ＳＡ與閂鎖電路ＬＴ（在下文中ＲＰＣ、ＳＡ與ＬＴ之構成稱爲“感測放大器部份”）處理在讀取整體位元線上弱振幅的信號，所以被擺設在較靠近記憶體陣列的一側上。

相反地，寫入整體位元線預充電電路ＷＰＣ與寫入放大器ＷＡ（下文中ＷＰＣ與ＷＡ之構成稱爲“寫入放大器部份”）被擺設於比感測放大器部份更遠離記憶體陣列的側面上。其理由是寫入放大器部份處理具有與供給電壓相同振幅的寫入資料，所以預期雜訊等等的效果會施加在感測放大器部份上。在感測放大器部份的閂鎖電路ＬＴ下方，讀取資料具有與供給電壓相同的振幅，所以輸出緩衝器被定位在布局的最尾端位置。於是，被連接在輸出緩衝器的後面之輸出信號接線可以被縮短。

圖１６是在圖１５所示的局部位元線預充電電路ＰＣ８與Ｙ開關ＹＳＷ８之電晶體位準的布局圖。此外，在此圖形中，爲了簡化只指出一組的整體位元線（四組局部位元線）。符號ＦＧ代表多晶矽，其形成電晶體的閘極，符號Ｌ代表一擴散層，且符號ＣＯＮＴ代表用於連接多晶矽與第一層金屬的接觸孔或擴散層。構成Ｙ開關ＹＳＷ８之Ｐ通道型ＭＯＳ電晶體與Ｎ通道型ＭＯＳ電晶體被各別地擺設成具有電晶體之閘寬方向側向地延伸。

圖１７指出構成Ｙ開關的電晶體被擺設成具有其閘寬向垂直地延伸之情形的一個例子。決定欲使用圖１７中的

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（22）

布局或圖１６中的布局，使得Ｙ開關部份的布局之垂直長度可變得更小，視構成Ｙ開關的電晶體之閘寬度的尺寸而定。

圖１８指出感測放大器ＳＡ的電晶體位準之布局。第一級感測放大器及中間級與後級感測放大器，從上側來看依此順序被擺設。構成第一級感測放大器的電晶體使其閘長度被設定成，大於構成中間級與後級的感測放大器之電晶體之閘長度。這是要抑制由於第一級的感測放大器之電晶體的製造所造成的感測放大器之偏移，並實現快速的讀取操作。由於從記憶格輸出的弱信號被輸入至第一級感測放大器，即使輕微的偏移會導致讀取時間的增加。此外，是虛擬電晶體的Ｎ通道型ＭＯＳ電晶體被擺設在Ｎ通道型ＭＯＳ電晶體ＭＮ９與ＭＮ１０的上方與下方，讀取整體位元線被連接至Ｎ通道型ＭＯＳ電晶體ＭＮ９與ＭＮ１０。虛擬電晶體使其全部的源極、汲極與閘極連接至接地電位ＶＳＳ。當電晶體ＭＮ９與ＭＮ１０以此方式被保持在虛擬電晶體之間時，可以抑制閘長度的製造不符，以免於感測放大器的偏移。此外，由於感測放大器可被擺設成一對四組局部位元線，它們可在側向上彼此放置，如同中間級與後級感測放大器。於是，可以縮短感測放大器的垂直長度。

圖１９指出第一級感測放大器的金屬層之布局。供給電壓線ＶＤＤ、接地線ＶＳＳ與感測放大器致能之線ＳＡ＿ＥＮ是由第三層金屬做成而彼此交叉，與讀取整體

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（23）

位元線（ＲＧＢＬ、ＲＧＢＬＢ）正交，其是由第四層金屬做成。附帶一提，雖然在此實施例中，讀取整體位元線（ＲＧＢＬ、ＲＧＢＬＢ）與寫入整體位元線（ＷＧＢＬ、ＷＧＢＬＢ）被各別地擺設成一對四組局部位元線（ＬＢＬ０、ＬＢＬＢ０、ＬＢＬ１、ＬＢＬＢ１、ＬＢＬ２、ＬＢＬＢ２、ＬＢＬ３、ＬＢＬＢ３），它們可被擺設成一對八組局部位元線或一對兩組。

＜實施例２＞

圖２０是直接映射系統的快取記憶體之方塊圖，其中實施例１所述之依據本發明的半導體儲存裝置被使用作爲快取記憶體的資料陣列。藉著使用製造半導體積體電路之技術，以例如單晶矽之單石半導體基體來形成快取記憶體２００。快取資料陣列１２４被連接至１２位元長度的位址匯流排１２２。此外，寫入資料從用於寫入資料之３２位元長的匯流排１２０選擇性地被供給，或形成用於主記憶體之３２位元長的資料匯流排１２９，而讀取資料被傳送至３２位元長的匯流排１２１或至讀取緩衝器１２８。至／自快取資料陣列之資料的輸入／輸出作用於３２位元寬度。

讀取緩衝器１２８被使用於閂鎖快取資料陣列１２４的讀取資料，且藉由例如以３２位元寬的暫存器做成。選定器１３１選定是否來自寫入資料匯流排１２０之資料或來自主記憶體資料匯流排１２９之資料，欲被寫入快取資

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（24）

料陣列１２４。選定器１３２選定是否快取資料陣列１２４讀取的資料１３５或讀取緩衝器１２８的資料，欲被傳送至主記憶體資料匯流排１２９。選定器１３２是由一控制信號１３３來控制。

快取標籤陣列１２３接收來自位址匯流排１２２之標籤位址，並將一位址１３０傳送至一比較器１２５。比較器１２５比較從快取標籤陣列１２３接收的位址１３０，與從未示的記憶體擺設單元之位址翻譯緩衝器ＴＬＢ接收的實際位址１３６。在位址符合的情形中，比較器１２５傳送“Ｈ”（適配）作爲一適配信號１２６，並將它送至一控制電路１２７。在位址不符合的情形中，比較器１２５傳送“Ｌ”（不符合）作爲一適配信號１２６，並將它送至一控制電路１２７。控制電路１２７分別藉著控制信號１３４與１３３來控制選定器１３１與１３２。

圖２１指出圖２０中之快取記憶體２００已受到寫入操作且發生快取不符合之情形中的操作波形。

在寫入模式中，位址與寫入資料分別從位址匯流排１２２與寫入資料匯流排１２０被接收，且記憶格之資料被取入恢復緩衝器１２８，資料被寫入記憶格中。在寫入操作已結束的時間點，對於寫入操作被允許（適配）或拒絕（不符合）設定適配信號１２６。在適配信號１２６是“適配”的情形，可執行隨後的處理沒有問題。相對地，在適配信號表示“不符合”的情形，需要將快取資料陣列１２４之對應表目寫回至主記憶體。在此情形中，不需要

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（25）

執行寫回處理，將說明如下。

在寫回處理中，控制選定器１３２以選定讀取緩衝器１２８的資料，使得讀取緩衝器１２８的資料被傳送至主記憶體匯流排，且一寫入要求被發出至未示的主記憶體。然而，適配信號１２６表示“不符合”的可能性通常很低，所以幾乎不需要執行寫回處理。因此通常在一循環結束寫入操作。

在習知技術的寫入操作中，在已設定適配信號之後寫入資料。所以，直到寫入操作結束需要兩個循環。相對地，此實施例只要有習知系統的一半信儲處理時間就夠了。亦即，微處理器的管道之記憶存取階段在一循環結束，且管道的流動不會被擾動，所以可達成高速特性的加強。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

412747

A5
B5

四、中文發明摘要（發明之名稱：半導體儲存裝置）

一種半導體儲存裝置控制寫入資料的串音，以在相同的循環中執行讀取與寫入操作期間讀取資料。此裝置具有許多字線ＷＬ、許多位元線ＬＢＬ、連接至字線與位元線的記憶格ＣＥＬＬ、連接至感測放大器ＳＡ的讀取整體位元線ＲＧＢＬ、及連接至寫入放大器ＷＡ的寫入整體位元線ＷＧＢＬ。一選擇電路ＹＳＷｎ選擇性地連接讀取與寫入整體位元線與局部的位元線。對於擺設於第一與第二讀取整體位元線之間的第一及第二寫入整體位元線，第一寫入整體位元線與第一讀取整體位元線之間，或第二寫入整體位元線與第二讀取整體位元線之間的距離，大於第一與第二寫入整體位元線之間的距離。另一種方式，寫入與讀取整體位元線形成於裝置的基體中之不同接線層。

英文發明摘要（發明之名稱：SEMICONDUCTOR STORAGE DEVICE）

A semiconductor storage device controls crosstalk of write data to read data during reading and writing operations performed in the same cycle. The device has a plurality of word lines WL, a plurality of bit lines LBL, memory cells CELL which are connected to the word lines and the bit lines, reading global bit lines RGBL connected to a sense amplifier SA and writing global bit lines WBGL connected to a write amplifier WA. A selection circuit YSWn selectively connects the reading and writing global bit lines with the local bit lines. For first and second writing global bit lines arranged between first and second reading global bit lines, a distance between the first writing global bit line and the first reading global bit line, or a distance between the second writing global bit line and the second reading global bit line being is longer than a distance between the first and second writing global bit lines. Alternatively, the writing and reading global bit lines are formed in different wiring layers in the substrate of the device.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

1．一種半導體儲存裝置，包含：

許多字線；

許多位元線；

記憶格，其被連接至該字線與該位元線；

至少第一及第二感測整體位元線，連接至感測放大器；

至少第一及第二寫入整體位元線，連接至寫入放大器；及

一選擇電路，其選擇性地連接至少感測與寫入整體位元線的其中之一與位元線；

第一及第二寫入整體位元線被擺設於第一與第二感測整體位元線之間，第一寫入整體位元線位於與第一感測整體位元線相鄰，第二寫入整體位元線位於與第二感測整體位元線相鄰；

其中該第一寫入整體位元線與該第一感測整體位元線之間，或該第二寫入整體位元線與該第二感測整體位元線之間的第一距離，比該第一與第二寫入整體位元線之間的第二距離長。

2．如申請專利範圍第1項之半導體儲存裝置，其中該寫入整體位元線與該感測整體位元線形成於相同的接線層中，且該第一與第二距離是在該接線層的平面內決定。

3．如申請專利範圍第2項之半導體儲存裝置，進一步包括第一接線層，其中形成該位元線，第二接線層，其中形成該字線，及第三接線層，其中形成該寫入及感測整

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

體位元線，其中該第一接線層最靠近基體形成半導體儲存裝置的一側。

4．如申請專利範圍第1項之半導體儲存裝置，其中該寫入整體位元線與該感測整體位元線形成於不同的接線層中。

5．如申請專利範圍第4項之半導體儲存裝置，進一步包括第一接線層，其中形成該位元線，第二接線層，其中形成該字線，第三接線層，其中形成該感測整體位元線，及第四接線層，其中形成該寫入整體位元線，其中該第一接線層最靠近基體形成半導體儲存裝置的一側。

6．如申請專利範圍第1項之半導體儲存裝置，進一步包括一部份，其中第一寫入整體位元線與第二寫入整體位元線彼此橫越。

7．如申請專利範圍第6項之半導體儲存裝置，其中第一寫入整體位元線與第二寫入整體位元線彼此橫越，使得它們的位置周期性地交替。

8．一種半導體儲存裝置，包含：

許多字線；

許多位元線；

記憶格，其被連接至該字線與該位元線；

感測整體位元線，連接至感測放大器；

寫入整體位元線，連接至寫入放大器；及

一選擇電路，其選擇性地連接至少感測與寫入整體位元線的其中之一與位元線；

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

其中兩個相鄰的該寫入整體位元線彼此周期性地橫越。

9．如申請專利範圍第8項之半導體儲存裝置，其中兩個相鄰的寫入整體位元線被擺設於兩個該感測整體位元線之間。

10．如申請專利範圍第8或9項之半導體儲存裝置，其中該寫入整體位元線之間的最短距離，比寫入整體位元線與感測整體位元線之間的最矩距離長。

11．如申請專利範圍第8項之半導體儲存裝置，其中：

該許多字線、該許多位元線及連接至該字線與該位元線之該記憶格，形成矩形的第一區域；

擺設該選擇電路的矩形第二區域定位於沿著該第一區域的一側；

該感測整體位元線與該寫入整體位元線橫移第一與第二區域，其方向是在與該第一區域的該側正交之方向上；且

該兩個相鄰的寫入整體位元線在該第二區域中彼此橫越。

12．如申請專利範圍第11項之半導體儲存裝置，其中許多組的第一與第二區域被擺設於一方向，其中延伸該感測整體位元線及該寫入整體位元線，以界定一列記憶體組。

13．如申請專利範圍第12項之半導體儲存裝置，

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

其中在記憶體組的一端設置一第三區域，包括該感測放大器與該寫入放大器。

１４．如申請專利範圍第１３項之半導體儲存裝置，其中平行地擺設兩個該記憶體組，且在兩個記憶體組之間插入一解碼器／字驅動器。

１５．一種半導體儲存裝置，包含：

矩形的第一區域，其是由許多字線、許多位元線及連接至該字線與該位元線的記憶格所形成；

感測整體位元線，其被連接至感測放大器；

寫入整體位元線，其被連接至寫入放大器；及

一選擇電路，其選擇性地連接感測及寫入整體位元線的至少其中之一與位元線；

沿著該第一區域的一側定位矩形的第二區域，其中擺設該選擇電路；

該感測整體位元線與該寫入整體位元線橫移第一與第二區域，其方向是與側面正交；

許多組第一及第二區域被擺設於一方向，其中延伸該感測整體位元線與該寫入整體位元線，以界定一列記憶體組；

在此列記憶體組的一端設置第三區域，其包括該感測放大器與該寫入放大器，該感測放大器被定位在比該寫入放大器更靠近該記憶體組。

１６．如申請專利範圍第１５項之半導體儲存裝置，其中該感測放大器包括從一側來看擺設順序爲第一級、中

（請先閱請背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

間級及後級之感測放大器，此側最靠近該記憶體組，且第一級的電晶體之閘長度，大於中間級與後級的電晶體之閘長度。

１７．如申請專利範圍第１６項之半導體儲存裝置，進一步在該第一級的該電晶體之間包括虛擬電晶體。

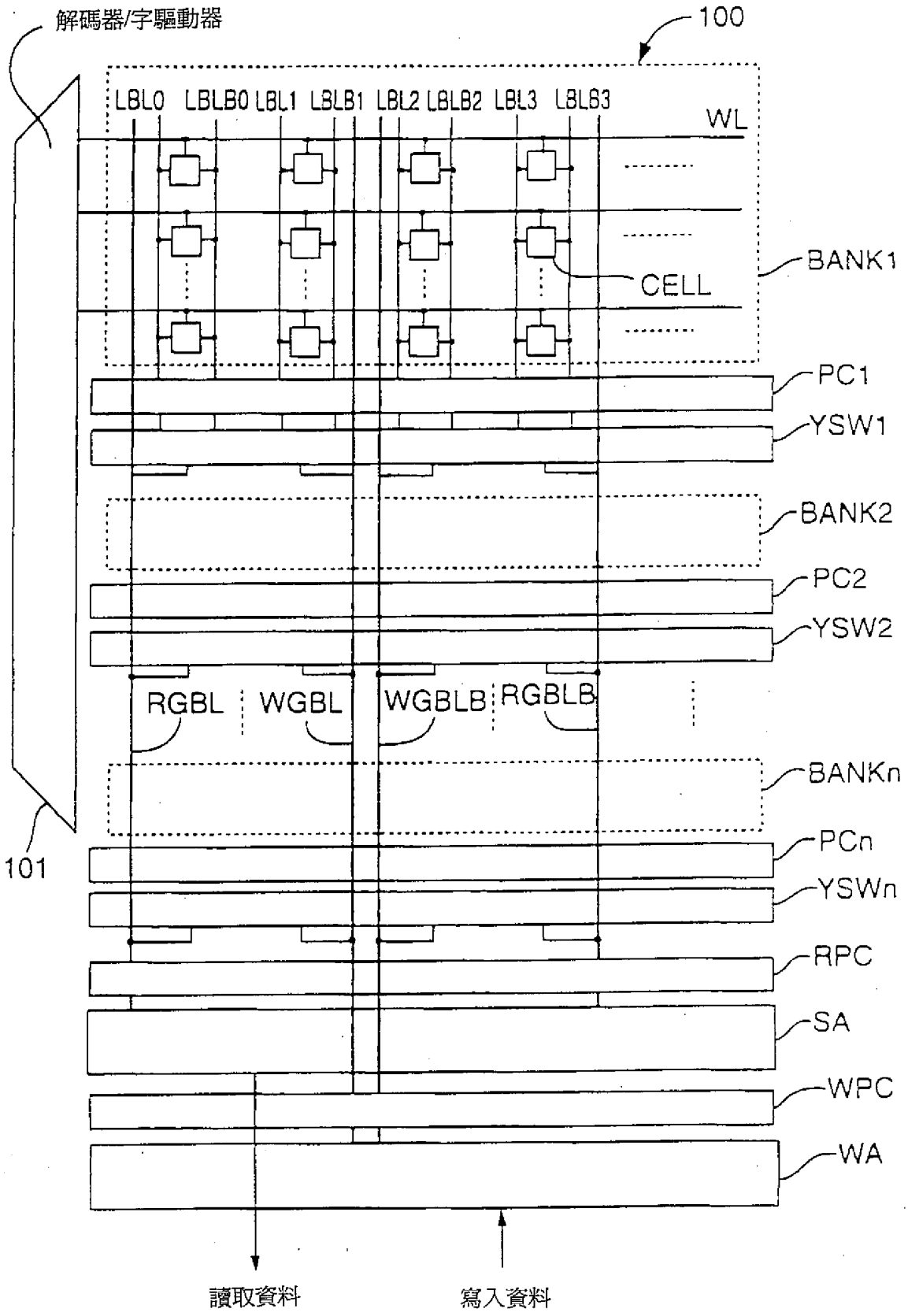
１８．如申請專利範圍第１６或１７項之半導體儲存裝置，其中該中間級或該後級之該電晶體，使它們的各別源極、閘極與汲極擺設於一方向，其中延伸該感測整體位元線與該寫入整體位元線。

１９．如申請專利範圍第１４項之半導體儲存裝置，其中該選擇電路包括一讀取選定開關及一寫入選定開關，且該讀取選定開關被擺設成比該寫入選定開關更靠近該第一區域。

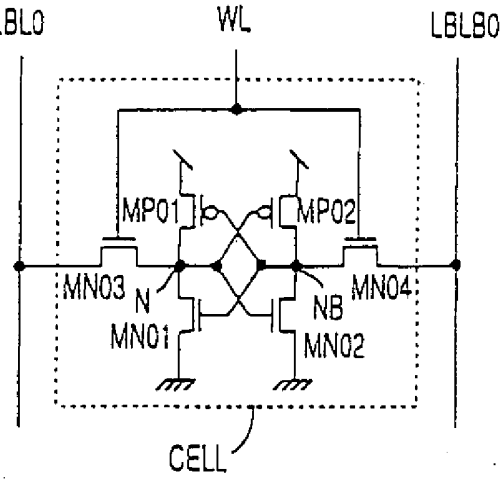
２０．如申請專利範圍第１９項之半導體儲存裝置，其中第一與第二寫入整體位元線彼此橫越，使得它們的側向位置周期性地橫越。

２１．如申請專利範圍第２０項之半導體儲存裝置，其中該寫入整體位元線橫越在該第二區域中。

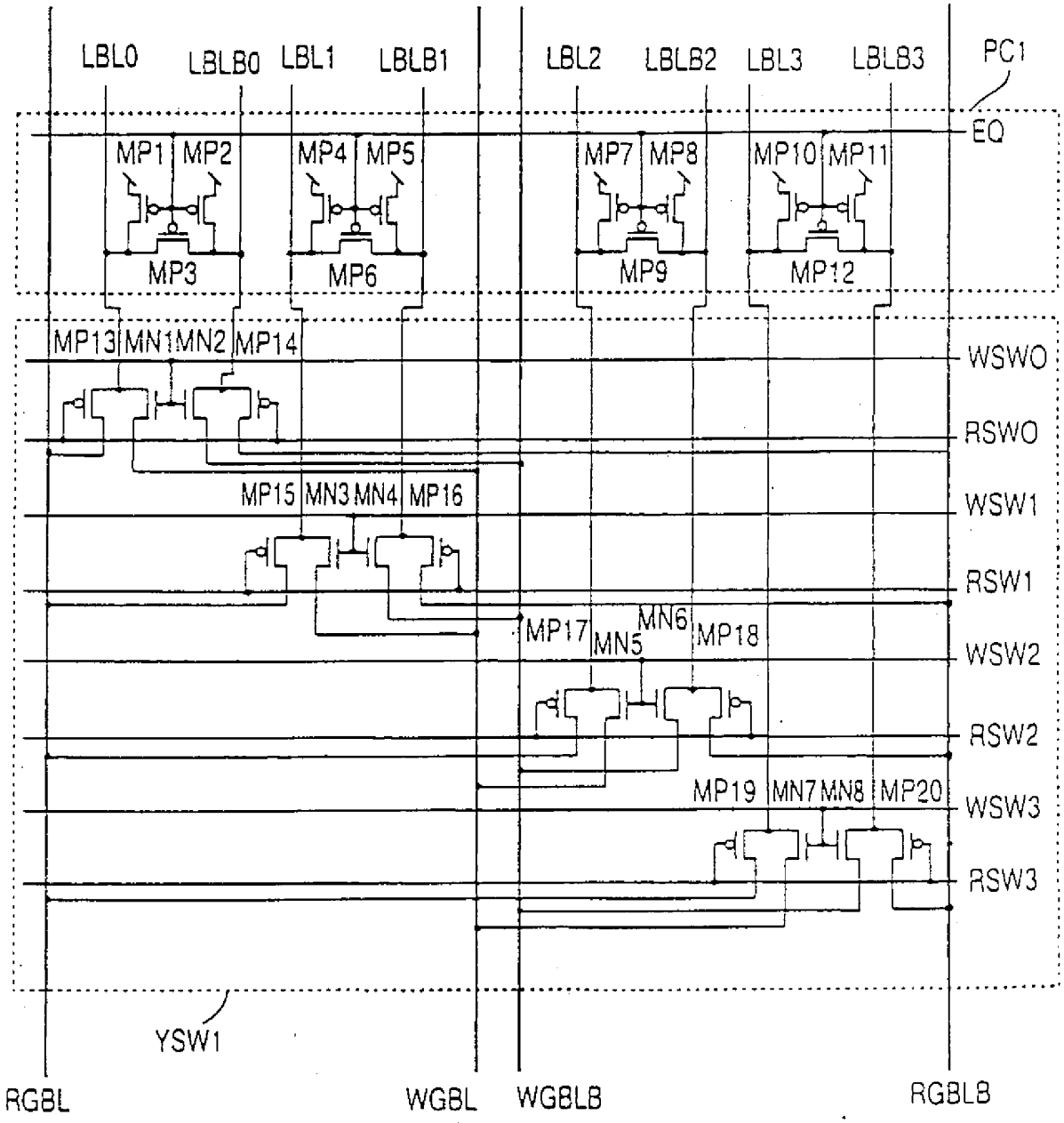
（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製


解碼器/字驅動器
100
LBL0 LBLB0 LBL1 LBLB1 LBL2 LBLB2 LBL3 LBLB3
WL
CELL
BANK1
PC1
YSW1
BANK2
PC2
YSW2
RGBL WGBL WGBLB RGBLB
BANKn
PCn
YSWn
RPC
SA
WPC
WA
101
讀取資料
寫入資料

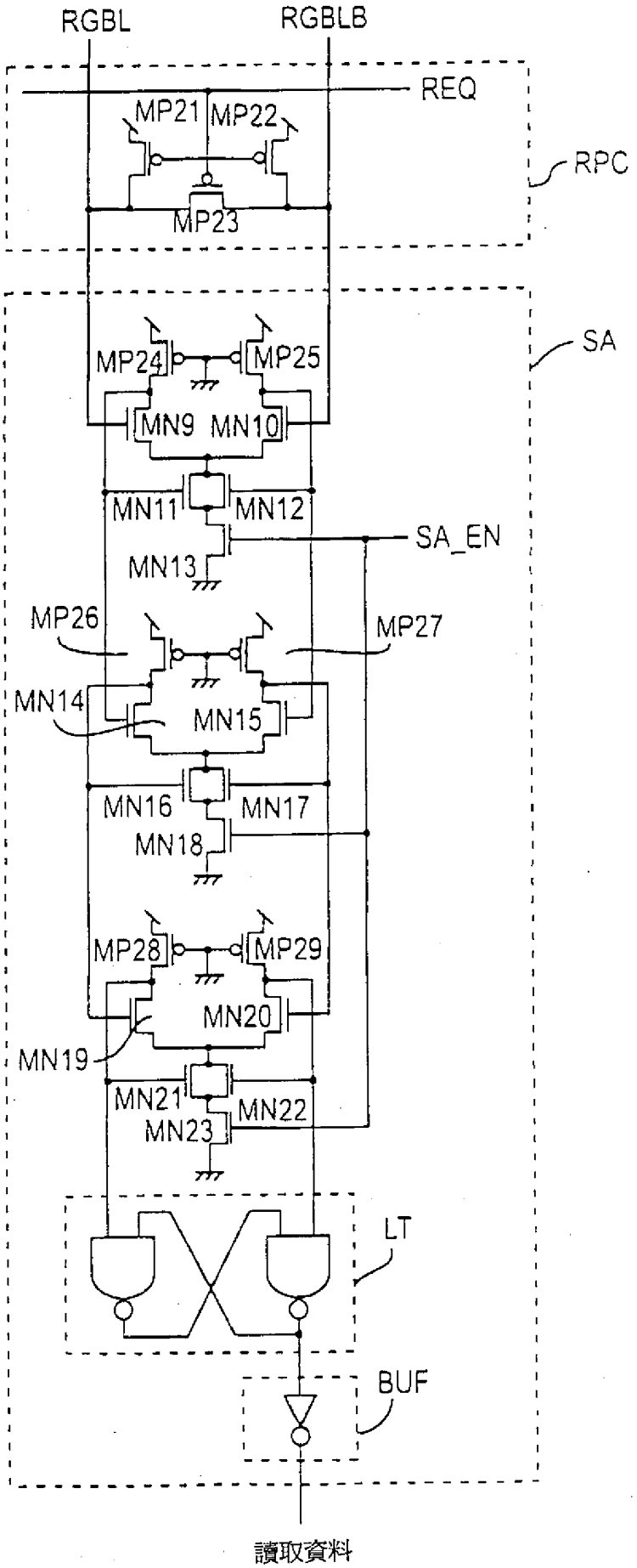
第 1 圖


LBL0
WL
LBLB0
MP01
MP02
MN03
N
NB
MN04
MN01
MN02
CELL

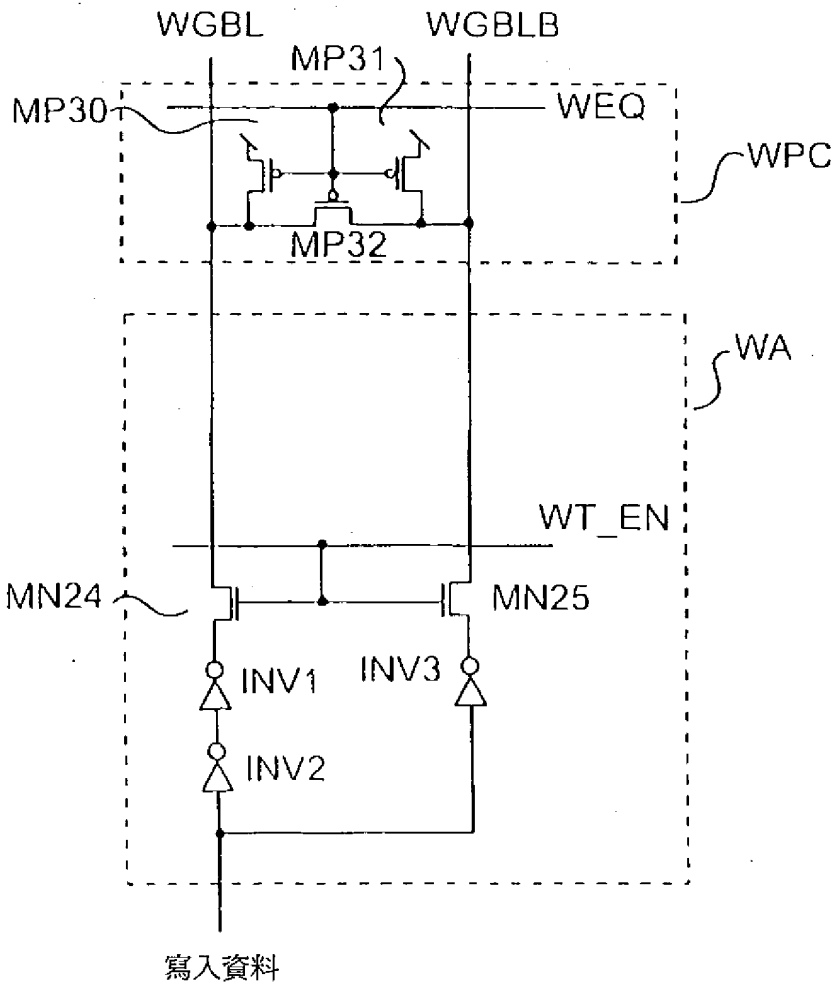
第 2 圖


LBL0
LBLB0
LBL1
LBLB1
LBL2
LBLB2
LBL3
LBLB3
PC1
EQ
MP1
MP2
MP4
MP5
MP7
MP8
MP10
MP11
MP3
MP6
MP9
MP12
MP13
MN1
MN2
MP14
WSWO
RSWO
MP15
MN3
MN4
MP16
WSW1
RSW1
MP17
MN5
MN6
MP18
WSW2
RSW2
MP19
MN7
MN8
MP20
WSW3
RSW3
YSW1
RGBL
WGBL
WGBLB
RGBLB

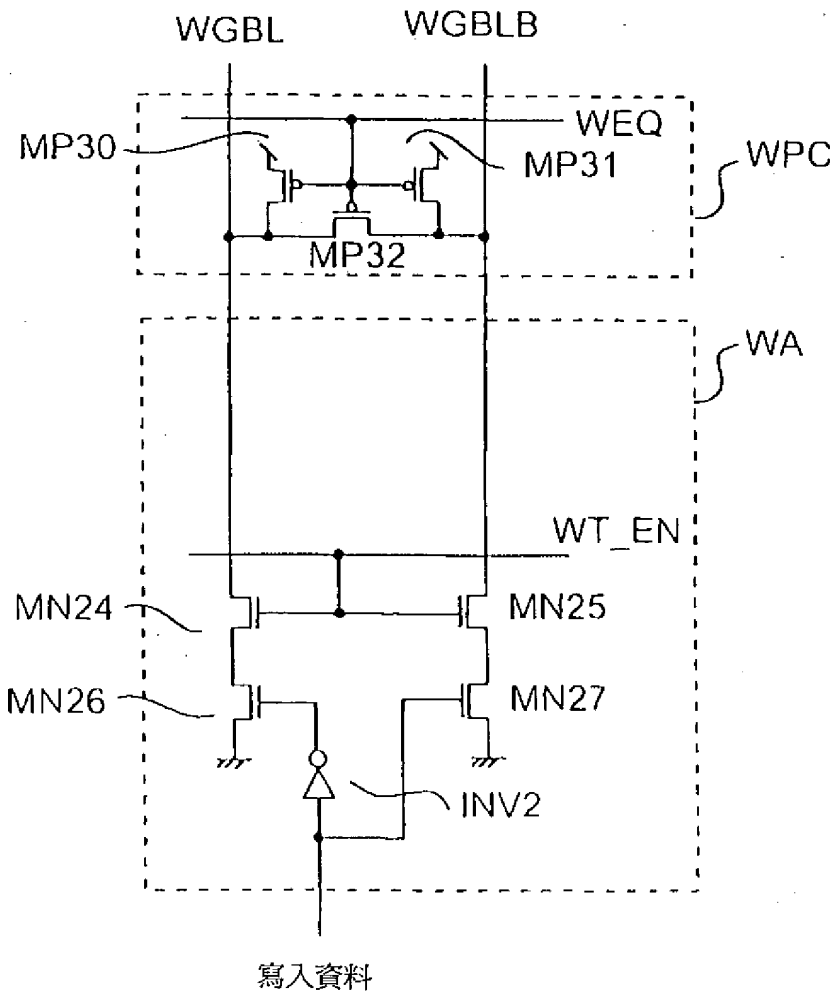
第 3 圖


RGBL
RGBLB
REQ
MP21
MP22
MP23
RPC
SA
MP24
MP25
MN9
MN10
MN11
MN12
SA_EN
MN13
MP26
MP27
MN14
MN15
MN16
MN17
MN18
MP28
MP29
MN20
MN19
MN21
MN22
MN23
LT
BUF
讀取資料

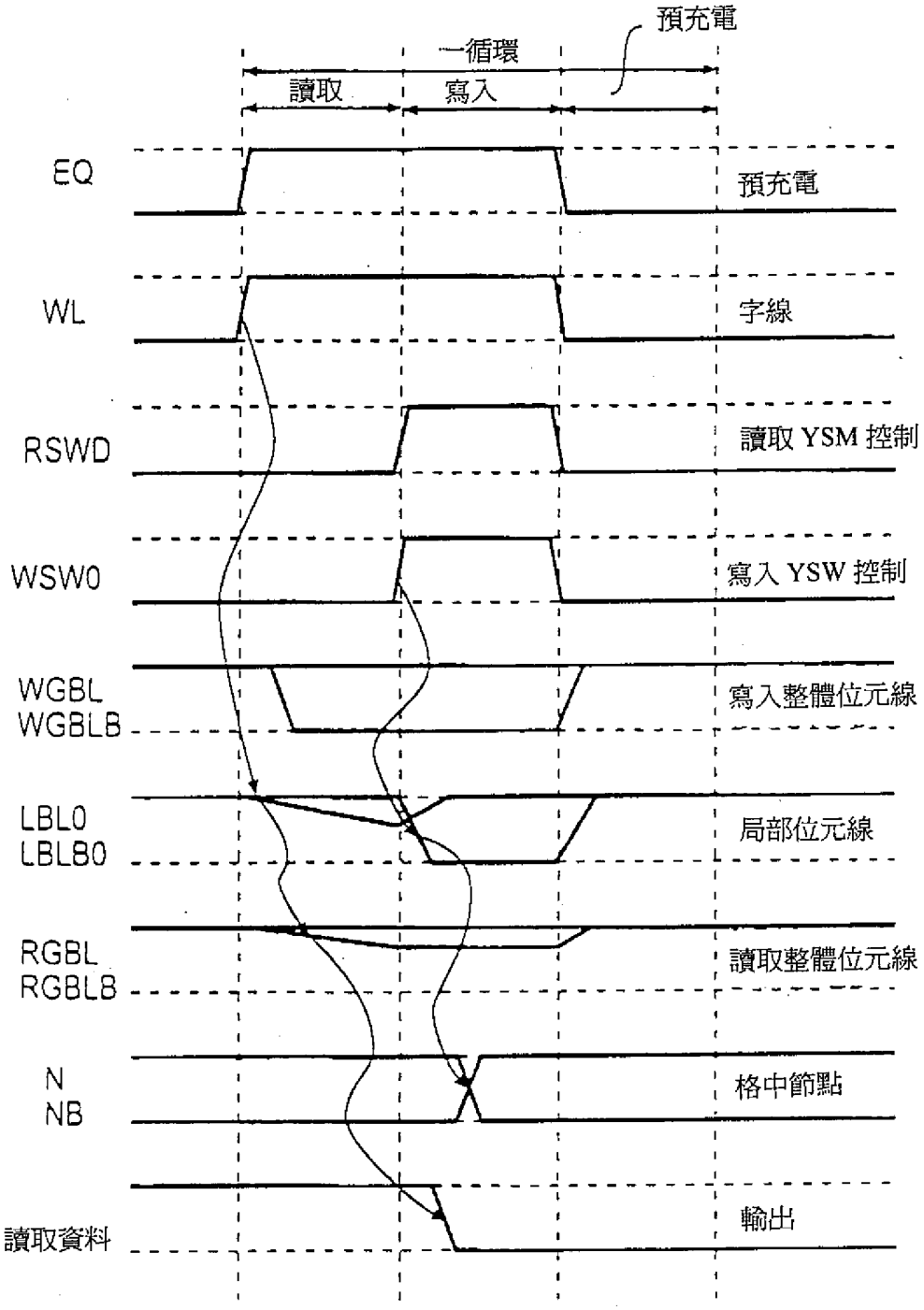
第 4 圖


WGBL
WGBLB
MP31
MP30
WEQ
WPC
MP32
WA
WT_EN
MN24
MN25
INV1
INV3
INV2
寫入資料

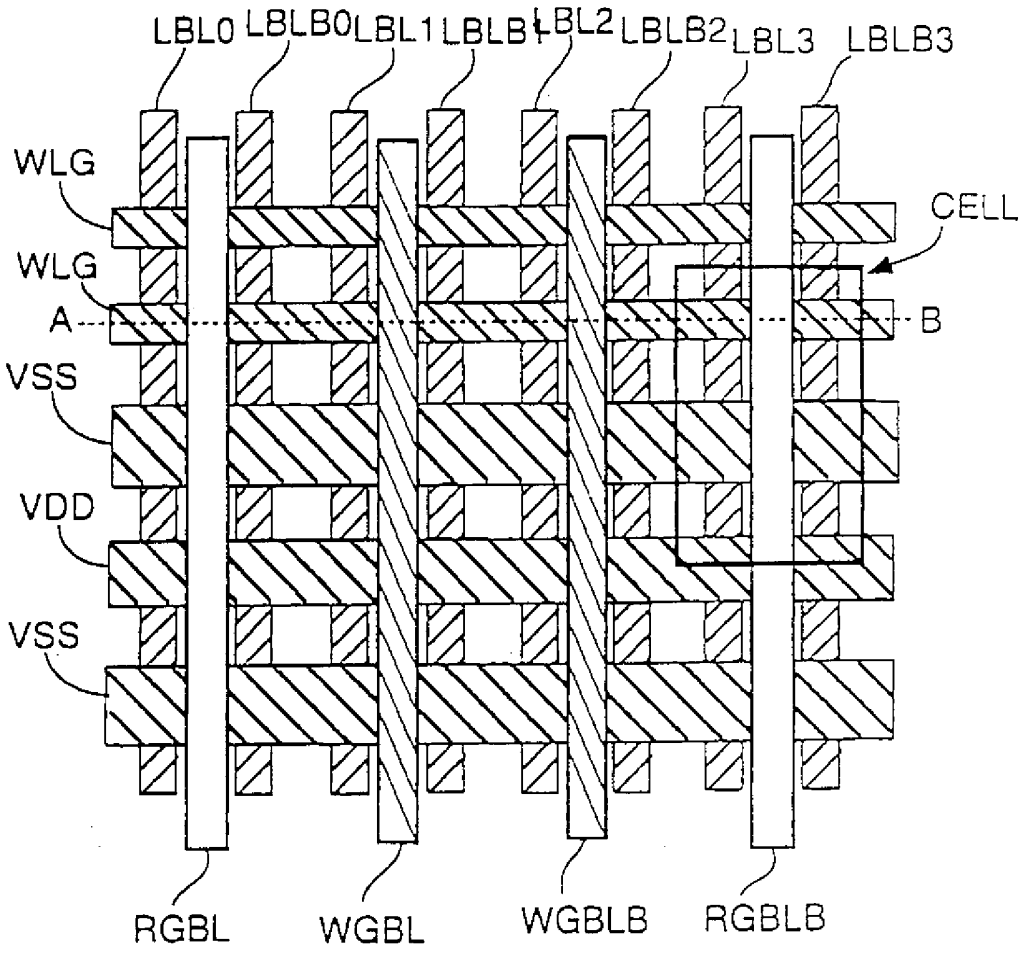
第5圖


WGBL
WGBLB
WEQ
MP30
MP31
WPC
MP32
WA
WT_EN
MN24
MN25
MN26
MN27
INV2
寫入資料

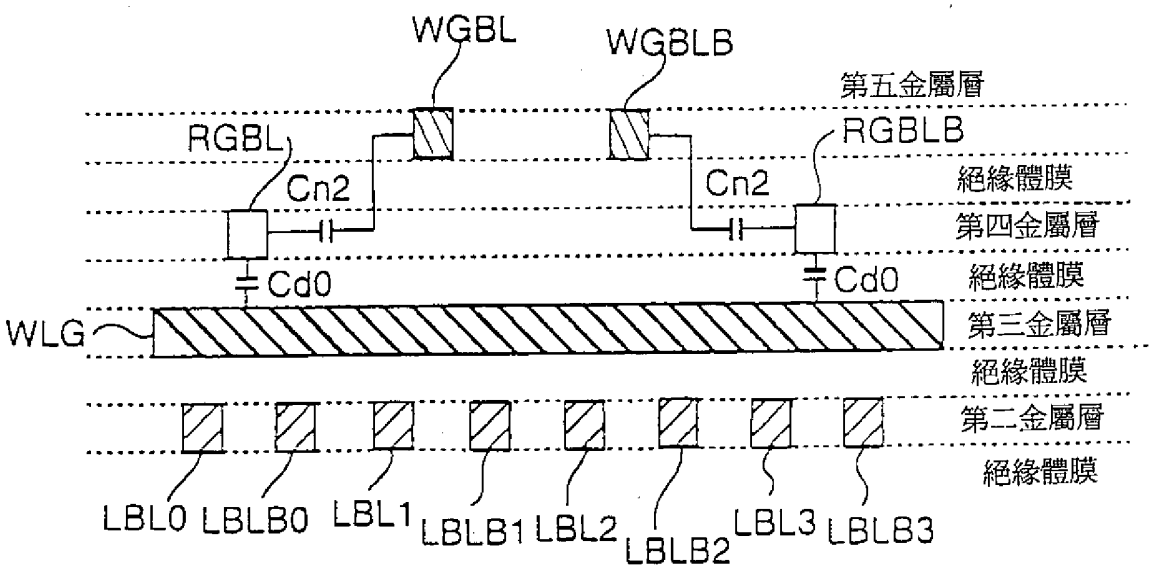
第6圖


預充電
一循環
讀取
寫入
EQ
預充電
WL
字線
RSWD
讀取 YSM 控制
WSW0
寫入 YSW 控制
WGBL
WGBLB
寫入整體位元線
LBL0
LBL80
局部位元線
RGBL
RGBL8
讀取整體位元線
N
NB
格中節點
輸出
讀取資料

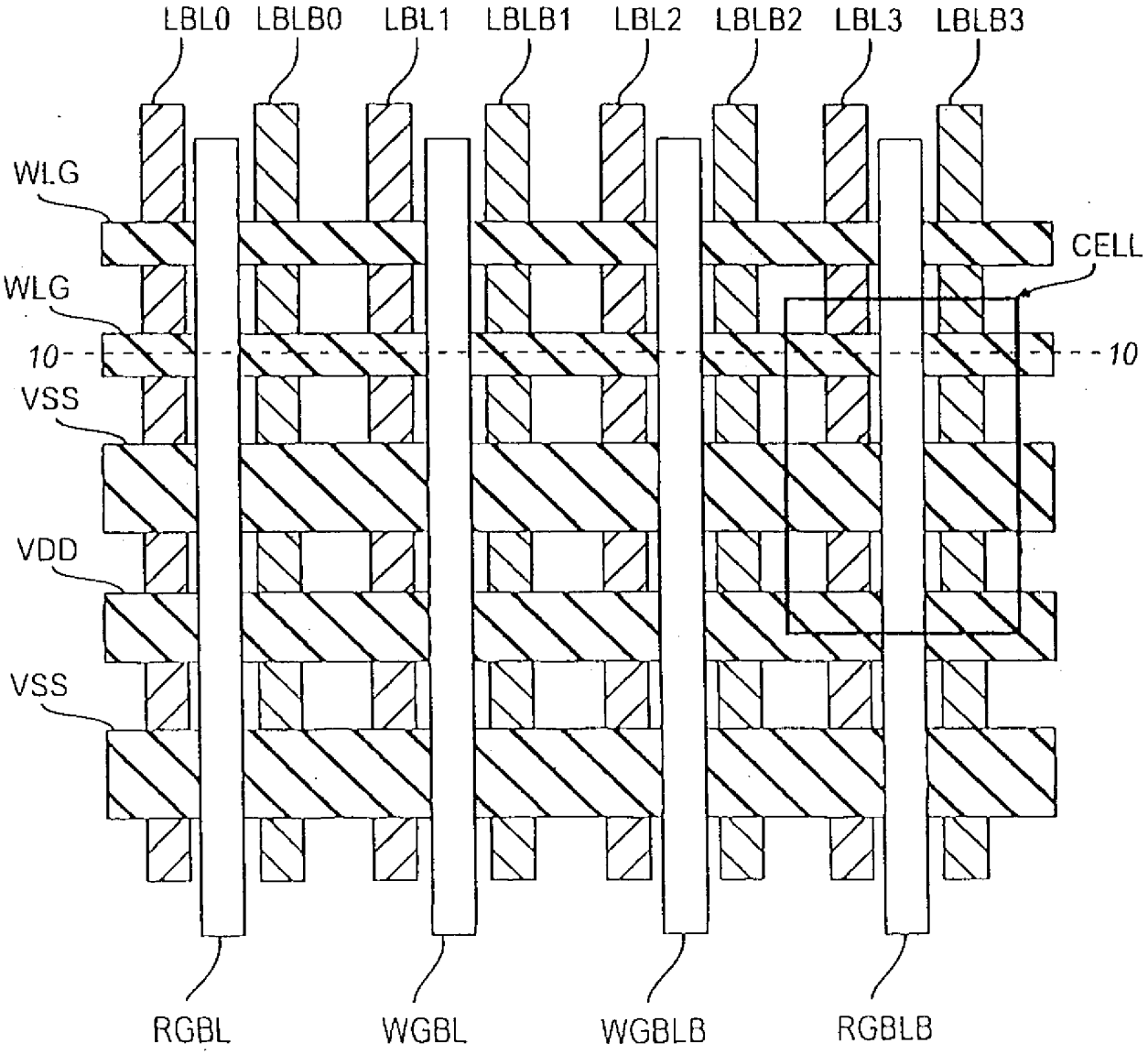
第 7 圖


LBL0
LBLB0
LBL1
LBLB1
LBL2
LBLB2
LBL3
LBLB3
WLG
WLG
CELL
A
B
VSS
VDD
VSS
RGBL
WGBL
WGBLB
RGBLB

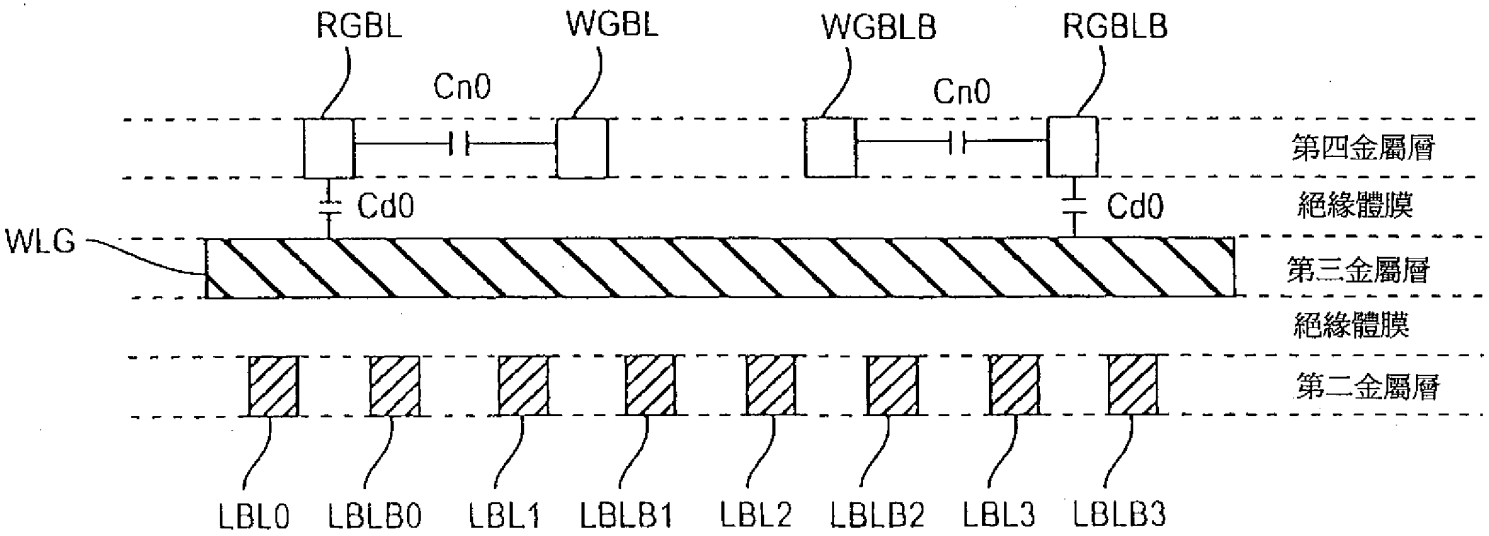
第 8 圖


WGBL
WGBLB
第五金屬層
RGBL
RGBLB
Cn2
Cn2
絕緣體膜
第四金屬層
Cd0
Cd0
絕緣體膜
WLG
第三金屬層
絕緣體膜
第二金屬層
絕緣體膜
LBL0
LBLB0
LBL1
LBLB1
LBL2
LBLB2
LBL3
LBLB3

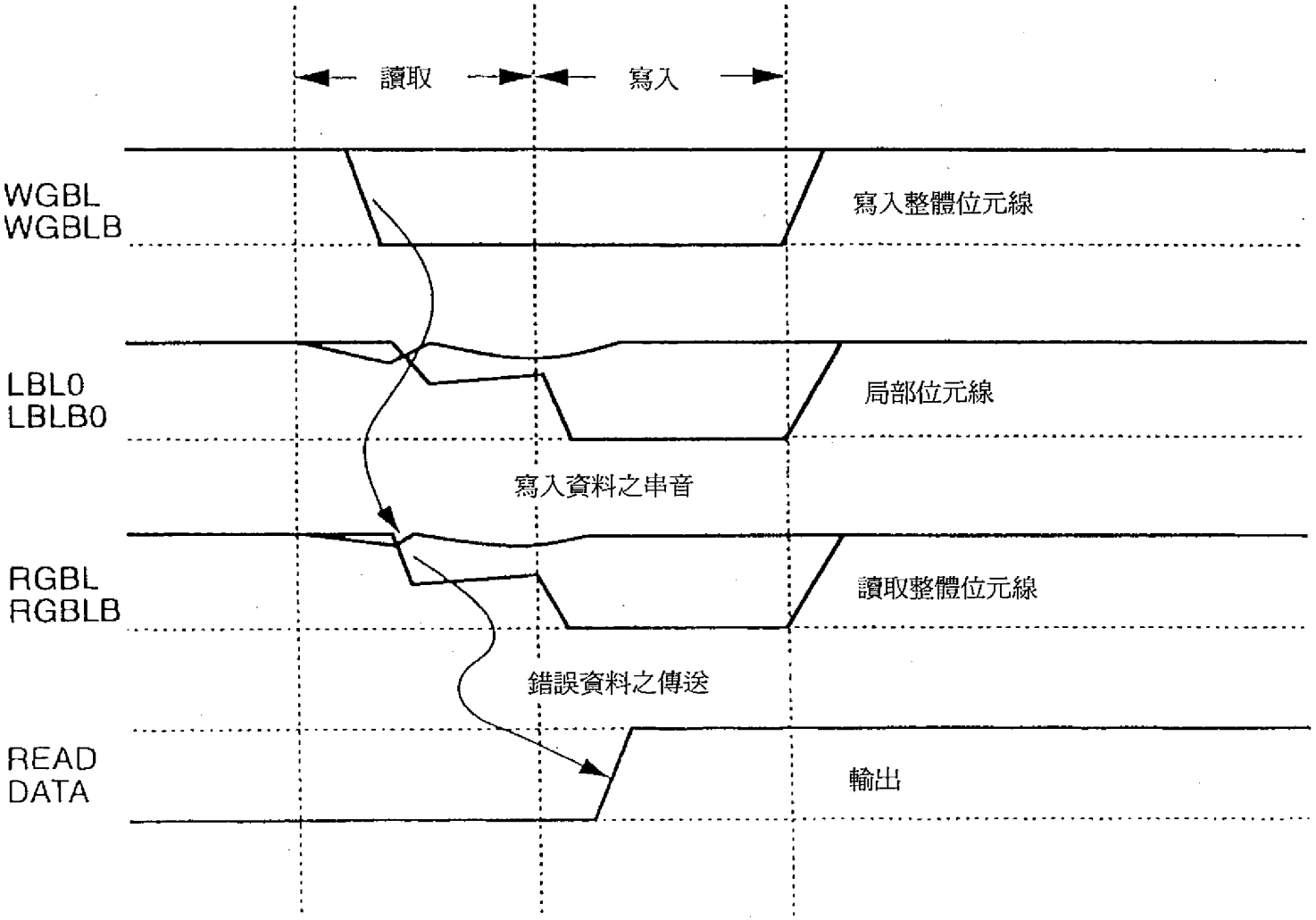
第 9 圖


LBL0
LBLB0
LBL1
LBLB1
LBL2
LBLB2
LBL3
LBLB3
WLG
WLG
CELL
10
10
VSS
VDD
VSS
RGBL
WGBL
WGBLB
RGBLB

第10A圖

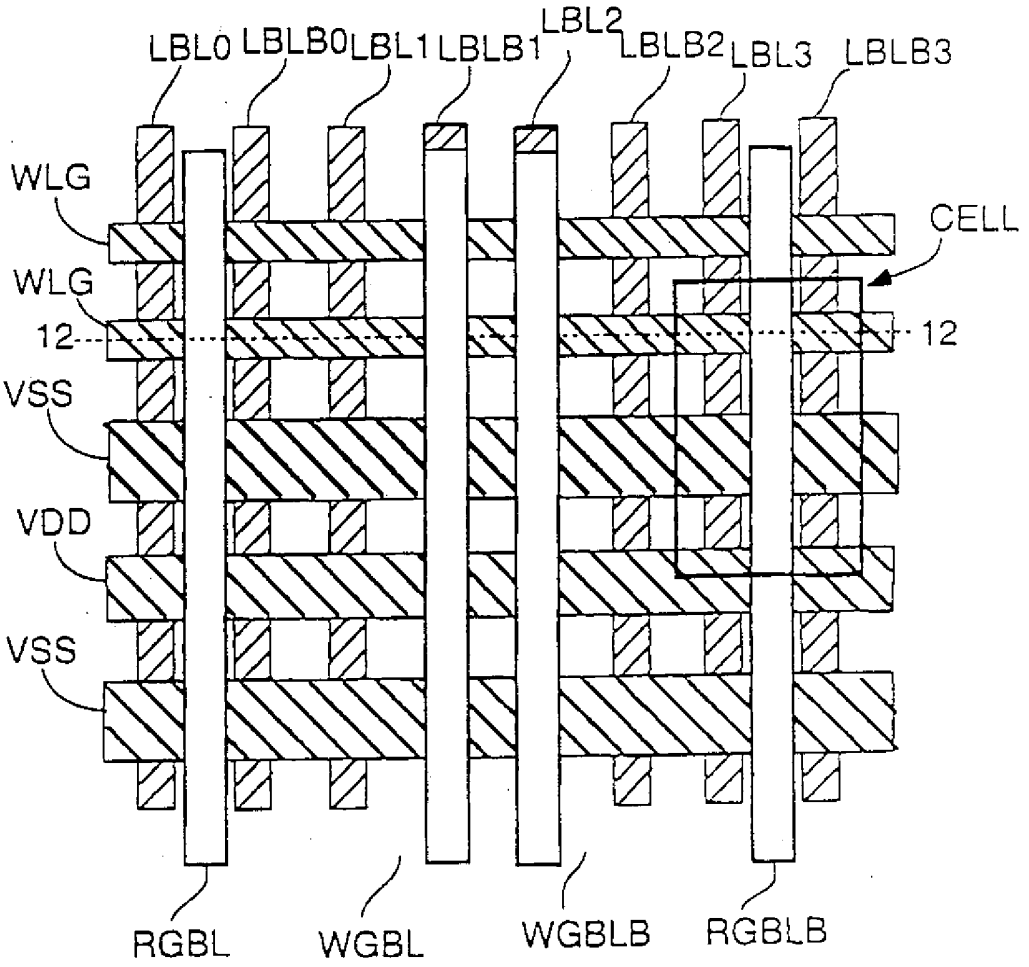

RGBL
WGBL
WGBLB
RGBLB
Cn0
Cn0
第四金屬層
Cd0
Cd0
絕緣體膜
WLG
第三金屬層
絕緣體膜
第二金屬層
LBL0
LBLB0
LBL1
LBLB1
LBL2
LBLB2
LBL3
LBLB3

第10B圖

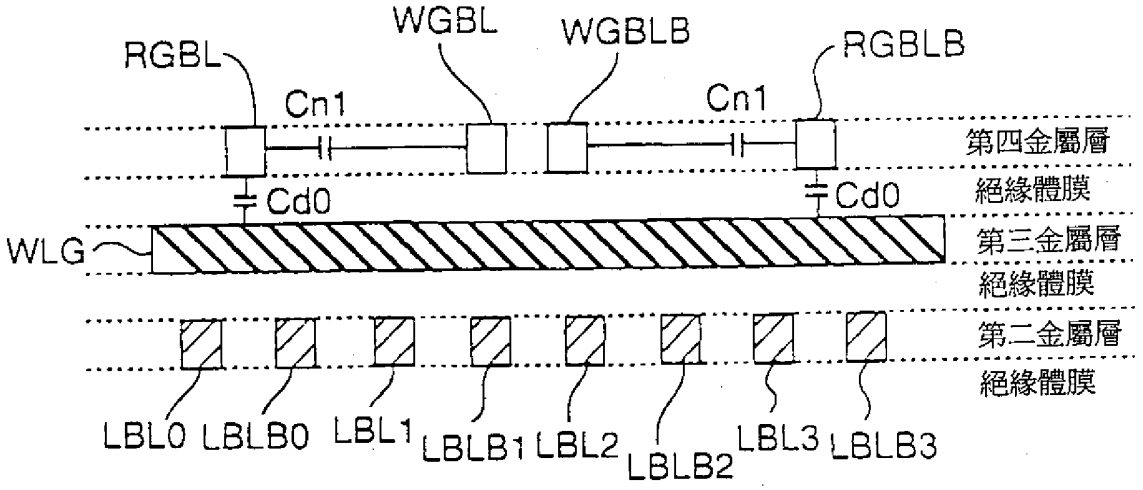

讀取
寫入
WGBL
WGBLB
寫入整體位元線
LBL0
LBLB0
局部位元線
寫入資料之串音
RGBL
RGBLB
讀取整體位元線
錯誤資料之傳送
READ
DATA
輸出

第11圖

412747

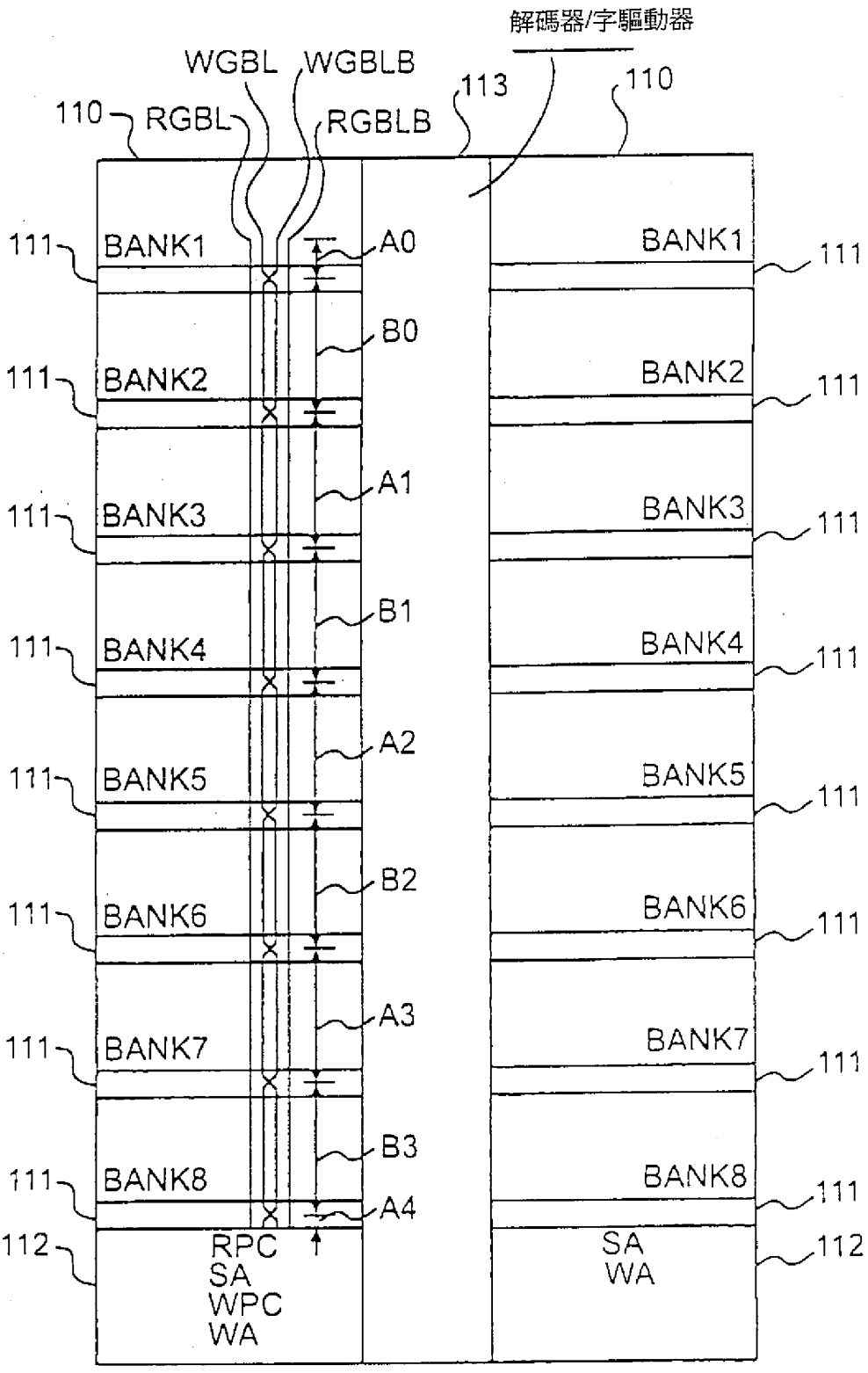


第12A 圖

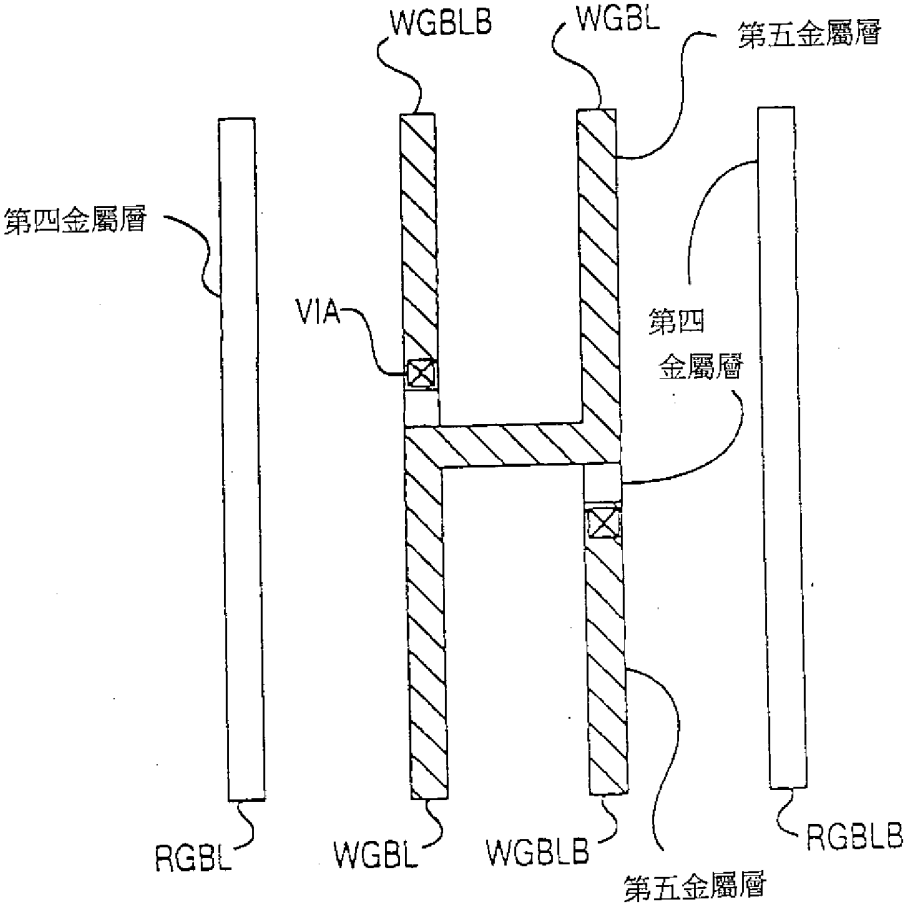


第12B 圖

412747

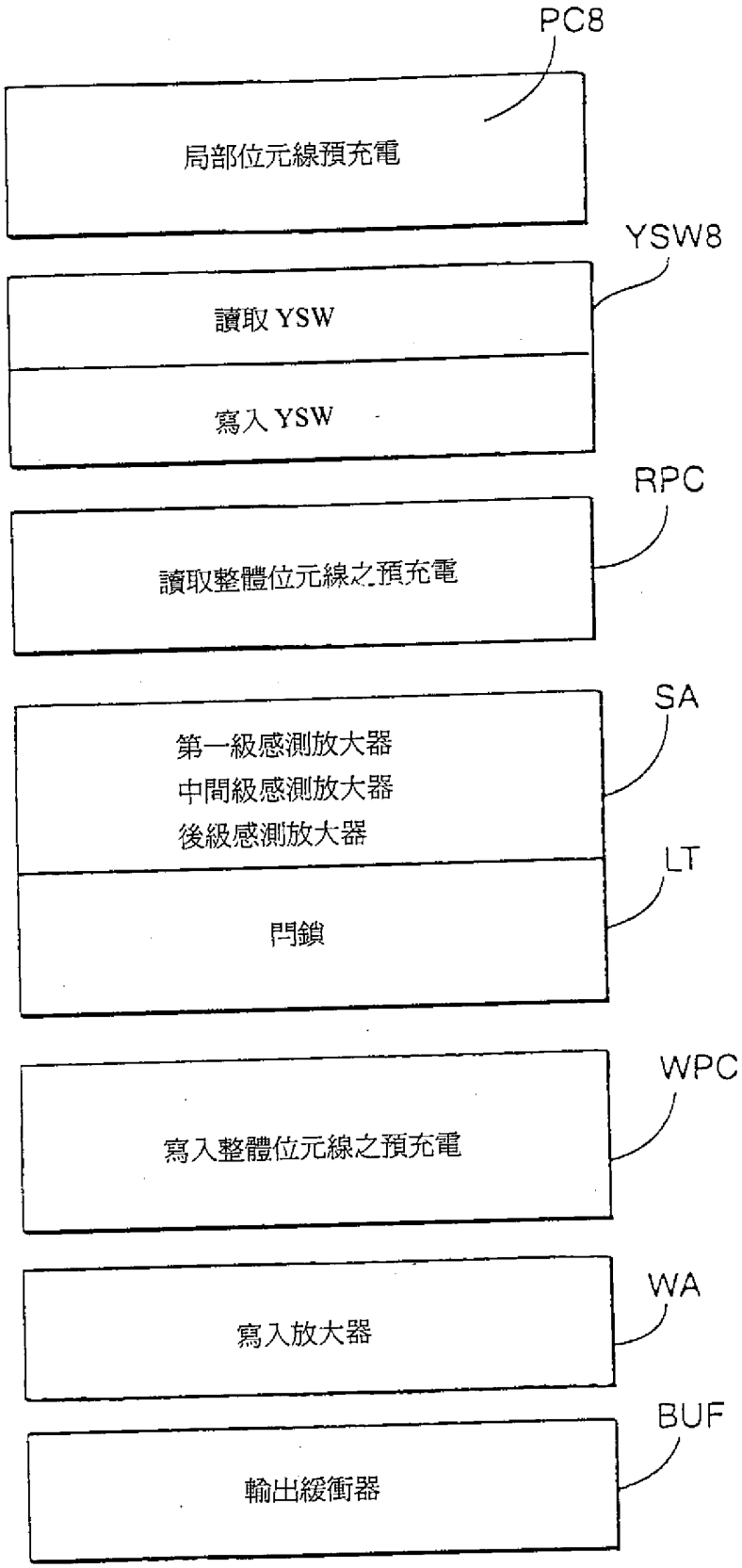

解碼器/字驅動器
WGBL
WGBLB
113
110
110
RGBL
RGBLB
111
BANK1
A0
BANK1
111
B0
111
BANK2
BANK2
111
A1
111
BANK3
BANK3
111
B1
111
BANK4
BANK4
111
A2
111
BANK5
BANK5
111
B2
111
BANK6
BANK6
111
A3
111
BANK7
BANK7
111
B3
111
BANK8
BANK8
111
A4
112
RPC
SA
WPC
WA
SA
WA
112

第13圖

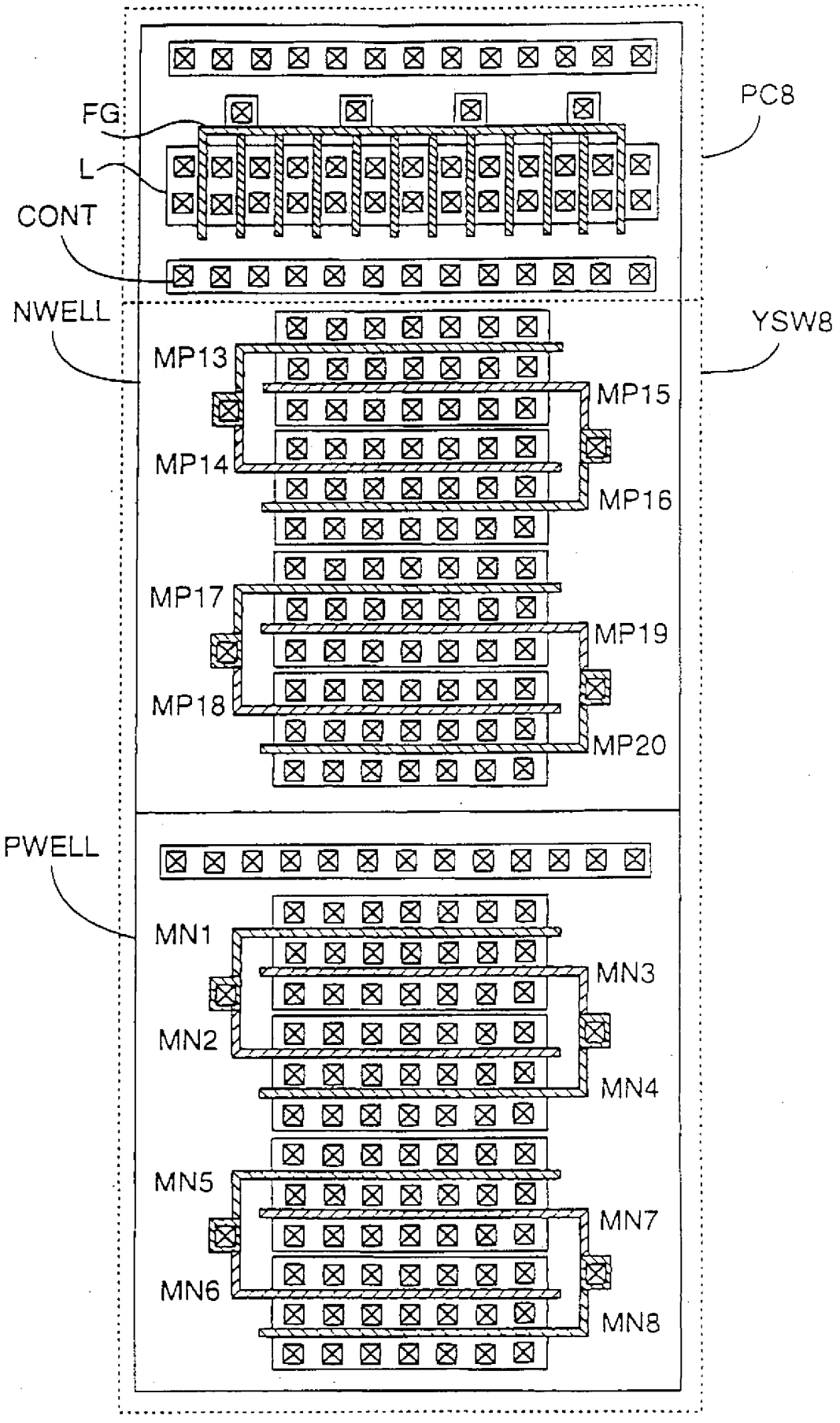

WGBLB
WGBL
第五金屬層
第四金屬層
VIA
第四
金屬層
RGBL
WGBL
WGBLB
第五金屬層
RGBLB

第14圖

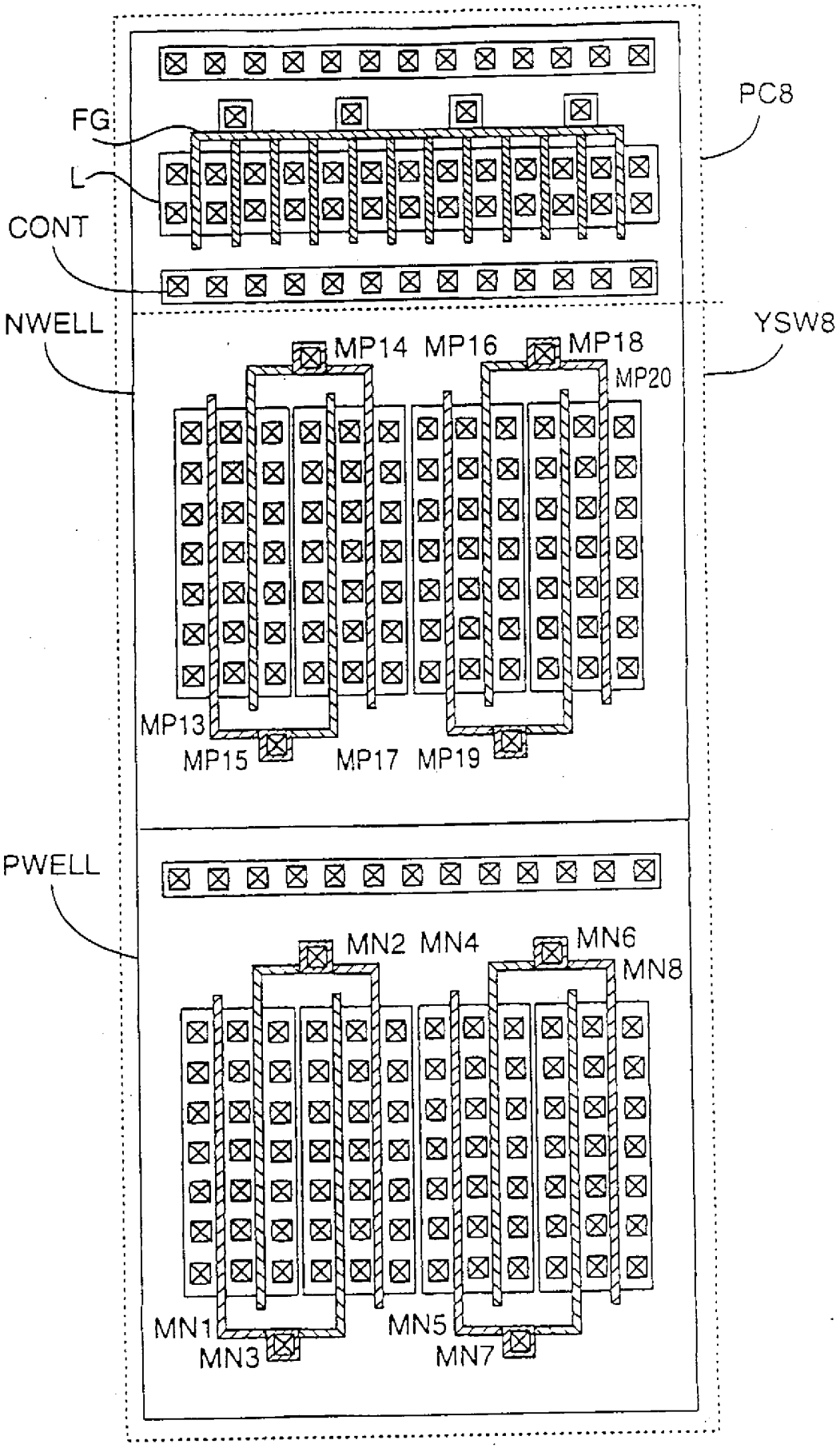
412747


PC8
局部位元線預充電
YSW8
讀取 YSW
寫入 YSW
RPC
讀取整體位元線之預充電
SA
第一級感測放大器
中間級感測放大器
後級感測放大器
LT
閂鎖
WPC
寫入整體位元線之預充電
WA
寫入放大器
BUF
輸出緩衝器

第15圖

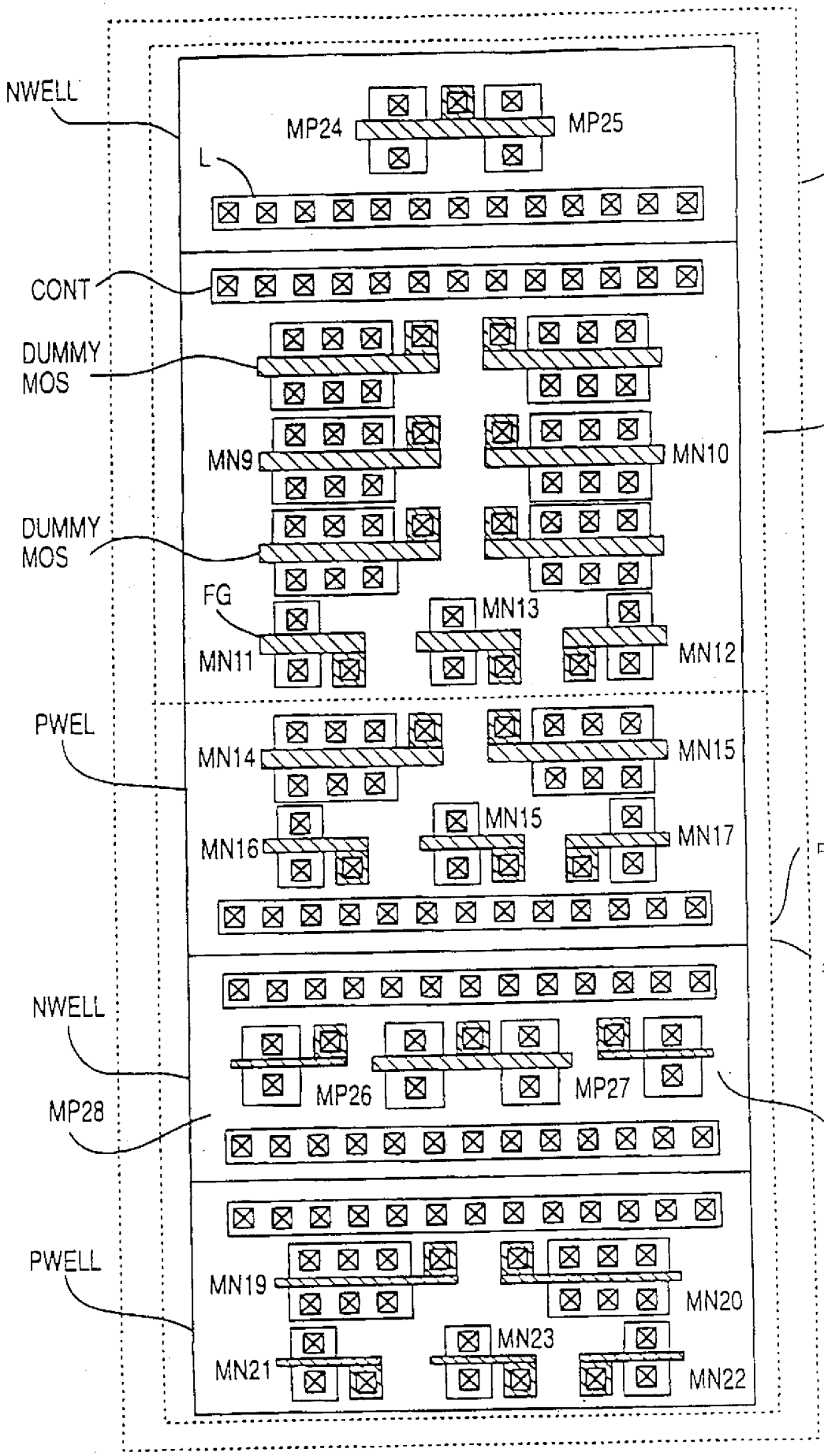

FG
L
CONT
PC8
NWELL
YSW8
MP13
MP15
MP14
MP16
MP17
MP19
MP18
MP20
PWELL
MN1
MN3
MN2
MN4
MN5
MN7
MN6
MN8

第16圖

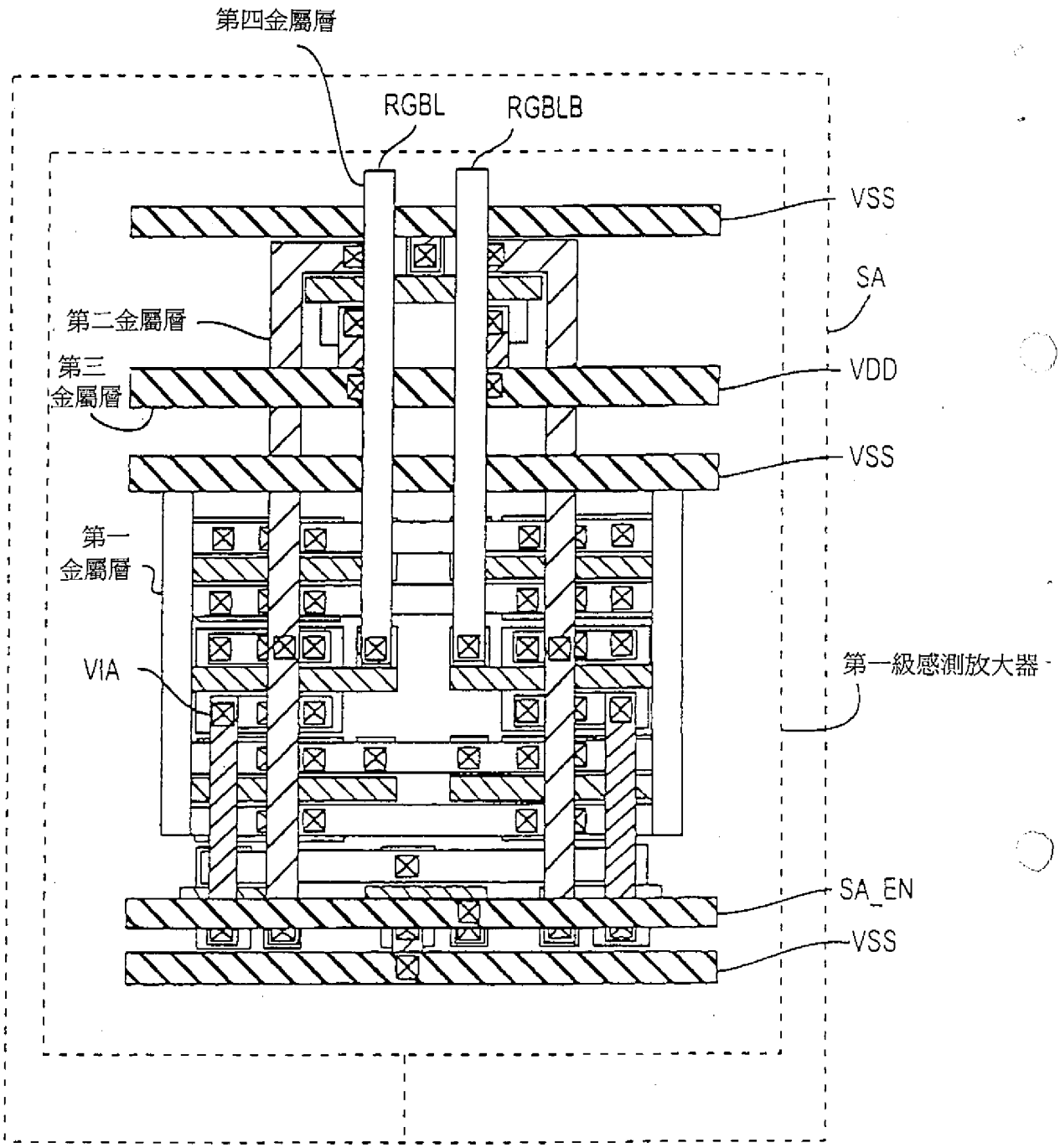

PC8
FG
L
CONT
NWELL
YSW8
MP14
MP16
MP18
MP20
MP13
MP15
MP17
MP19
PWELL
MN2
MN4
MN6
MN8
MN1
MN3
MN5
MN7

第17圖

412747

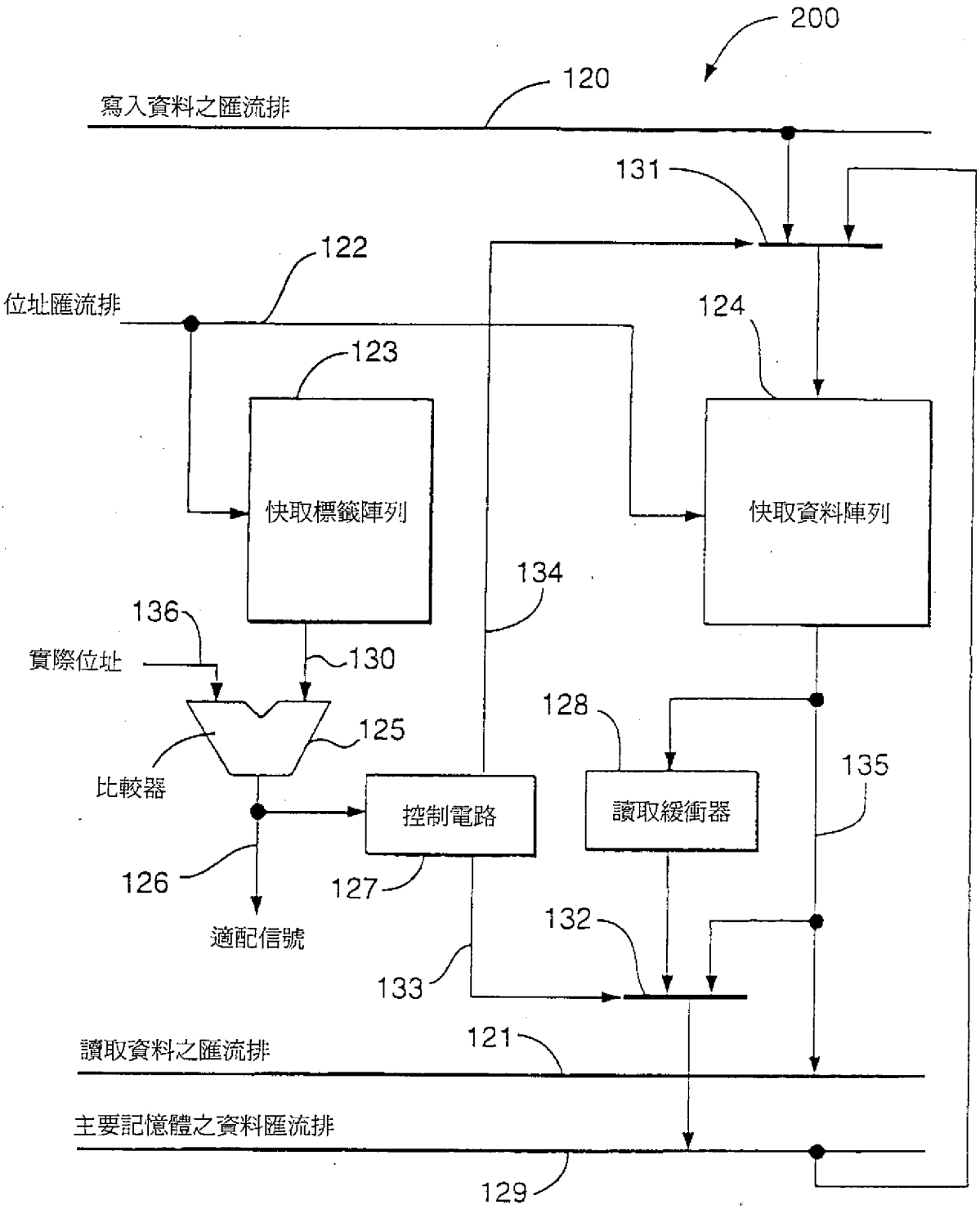

NWELL
MP24
MP25
SA
L
CONT
DUMMY MOS
第一級感測放大器
MN9
MN10
DUMMY MOS
FG
MN13
MN11
MN12
PWEL
MN14
MN15
MN15
MN16
MN17
中間級感測放大器
後級感測放大器
NWELL
MP26
MP27
MP28
MP29
PWELL
MN19
MN20
MN23
MN21
MN22

第18圖

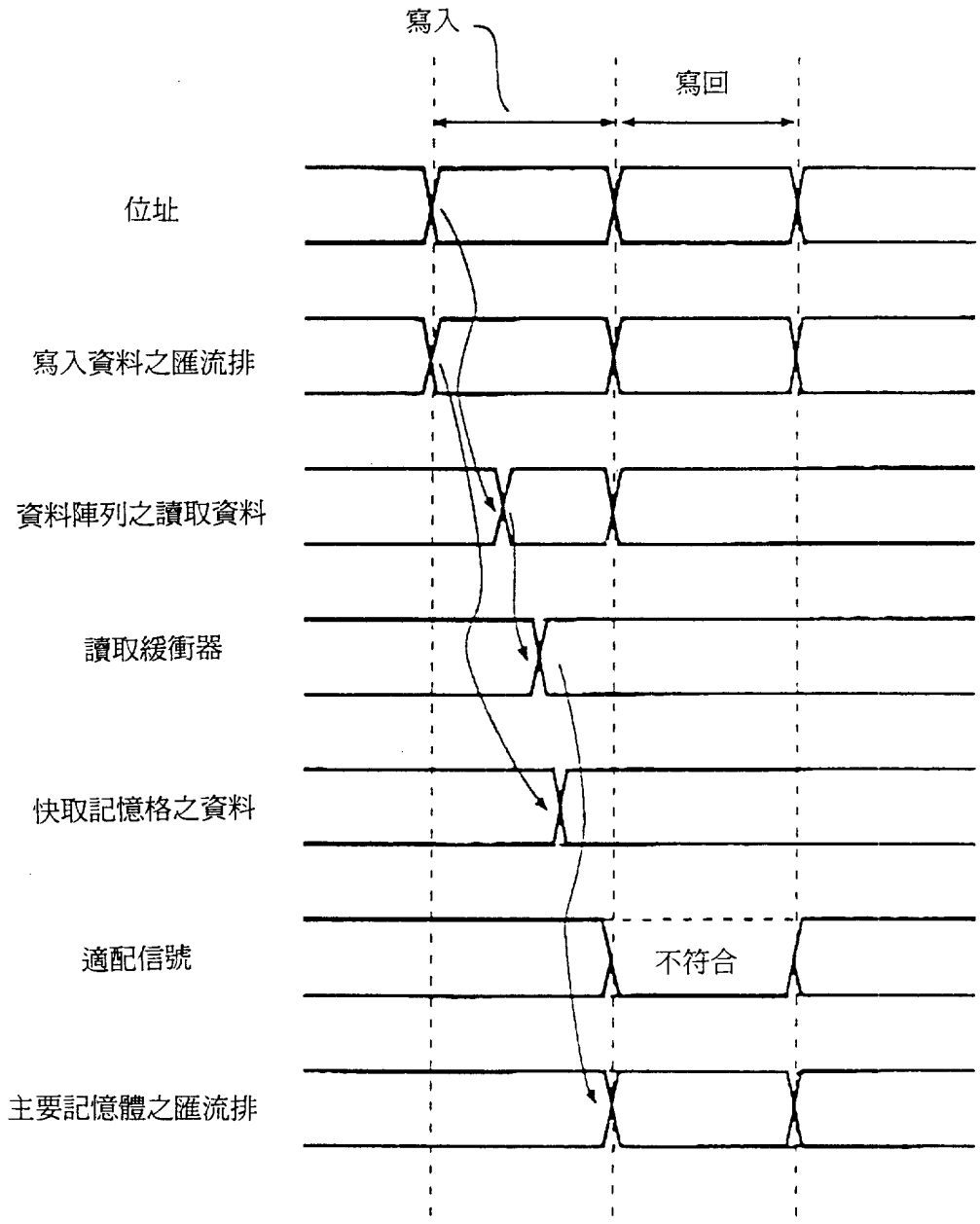

第四金屬層
RGBL
RGBLB
VSS
SA
第二金屬層
第三
金屬層
VDD
VSS
第一
金屬層
VIA
第一級感測放大器
SA_EN
VSS

第19圖

412747


200
120
寫入資料之匯流排
131
122
位址匯流排
124
123
快取標籤陣列
快取資料陣列
134
136
實際位址
130
128
125
比較器
135
控制電路
讀取緩衝器
126
127
適配信號
132
133
121
讀取資料之匯流排
主要記憶體之資料匯流排
129

第20圖


寫入
寫回
位址
寫入資料之匯流排
資料陣列之讀取資料
讀取緩衝器
快取記憶格之資料
適配信號
不符合
主要記憶體之匯流排

第21圖