

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5154907号
(P5154907)

(45) 発行日 平成25年2月27日(2013.2.27)

(24) 登録日 平成24年12月14日(2012.12.14)

(51) Int.Cl.

F 1

H01L 21/316 (2006.01)

H01L 21/316

B

H01L 21/768 (2006.01)

H01L 21/90

J

H01L 23/522 (2006.01)

H01L 21/90

Q

請求項の数 3 (全 12 頁)

(21) 出願番号 特願2007-329780 (P2007-329780)
 (22) 出願日 平成19年12月21日 (2007.12.21)
 (65) 公開番号 特開2009-33089 (P2009-33089A)
 (43) 公開日 平成21年2月12日 (2009.2.12)
 審査請求日 平成22年8月20日 (2010.8.20)
 審判番号 不服2012-6725 (P2012-6725/J1)
 審判請求日 平成24年4月13日 (2012.4.13)
 (31) 優先権主張番号 特願2007-172213 (P2007-172213)
 (32) 優先日 平成19年6月29日 (2007.6.29)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100092152
 弁理士 服部 毅巖
 (72) 発明者 今田 忠絃
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 (72) 発明者 中田 義弘
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

層間絶縁膜を備える半導体装置の製造方法において、
 半導体基板を形成する第1工程と、
 前記半導体基板上に、前記層間絶縁膜の組成材料を塗布する第2工程と、
 前記組成材料を第1の温度で加熱し前記組成材料の固化を開始する第3工程と、
 前記第3工程後に、前記半導体基板を第2の温度で加熱した状態で前記組成材料に前記
 層間絶縁膜を疎水化する疎水化処理剤をペーパー法によって導入する第4工程と、
 前記第4工程後に、第3の温度で、前記疎水化処理剤を導入した前記組成材料を加熱し
 、前記組成材料の固化を終える第5工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 2】

前記疎水化処理剤は、含まれるシリコン原子のうち少なくとも1つが反応性官能基を2以上有したシリル化剤であること特徴とする請求項1記載の半導体装置の製造方法。

【請求項 3】

前記疎水化処理剤は、ジメチルエトキシシラン、ヘキサメチルジシラザン、テトラメチルジシラザン、ジメチルアミノトリメチルシラン、ジメチルアミノジメチルシラン、ビス(ジメチルアミノ)ジメチルシラン、ビス(ジエチルアミノ)ジメチルシランまたはトリス(ジメチルアミノ)メチルシランであることを特徴とする請求項1または2記載の半導体装置の製造方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は半導体装置の製造方法に関する、特に、層間絶縁膜を備える半導体装置の製造方法に関する。

【背景技術】**【0002】**

近年、LSI (Large Scale Integrated circuit) では、微細化、高速化、低消費電力化および高集積化が進められている。特に、微細化とともに高集積化を進めるにあたっては、配線層を、例えば層間絶縁膜を介して複数層重ねて、3次元的に配線する多層配線構造が採用されている。

【0003】

ところが、層間絶縁膜中に含まれるシラノール基などによって、層間絶縁膜や配線層などが親水性を発現し、水の浸入や酸化が生じて、信頼性が低下してしまい、特に配線間隔が1 μmよりも小さい場合には、その影響が顕著に表れる。

【0004】

今後、LSI の微細化が進み、配線間隔がより小さくなっていくことが予想され、層間絶縁膜中のシラノール基を低減させる方法が必要となってくる。

そこで、シラノール基を低減させる方法として、層間絶縁膜にシリル化などの処理を行うことが提案されていた。例えば、層間絶縁膜の形成プロセス中に、三フッ化窒素(NF₃)ガスに曝露する方法(例えば、特許文献1, 2参照)や、層間絶縁膜の形成プロセス後にシリル化剤処理を行う方法(例えば、特許文献3参照)などを用いれば、層間絶縁膜中のシラノール基を低減させることができ、特性の劣化を抑えることができる。

【特許文献1】特開2002-334873号公報**【特許文献2】特許第3166714号公報****【特許文献3】特開2002-75983号公報****【発明の開示】****【発明が解決しようとする課題】****【0005】**

しかし、LSI の微細化がさらに進み、配線間隔が0.1 μm以下の場合に、上記特許文献が利用された半導体装置に対して信頼性試験を行っても十分な特性は得られないという問題点があった。

【0006】

そこで、本発明者らは上記の点に鑑みて、消費電力が抑制され、配線層の歩留まりや信頼性が向上された半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】**【0007】**

上記目的を達成するために、層間絶縁膜を備える半導体装置の製造方法が提供される。この半導体装置の製造方法は、半導体基板を形成する第1工程と、前記半導体基板上に、前記層間絶縁膜の組成材料を塗布する第2工程と、前記組成材料を固化して、前記層間絶縁膜を形成する第3工程とともに、前記組成材料に前記層間絶縁膜を疎水化する疎水化処理剤を導入する第4工程と、を有する。

【0008】

このような半導体装置の製造方法によれば、半導体基板が形成され、半導体基板上に、層間絶縁膜の組成材料が塗布され、組成材料を固化して、層間絶縁膜が形成されるとともに、組成材料に層間絶縁膜を疎水化する疎水化処理剤が導入されて、層間絶縁膜中のシラノール基が低減されるようになる。

【発明の効果】**【0011】**

10

20

30

40

50

層間絶縁膜を疎水化し、リーク電流を低減でき、消費電力を抑え、信頼性を向上させることができる。

【発明を実施するための最良の形態】

【0012】

以下、本発明の実施の形態を説明する。但し、本発明の技術的範囲はこれらの実施の形態に限定されない。

まず、本実施形態の概要について図面を参照して説明する。

【0013】

図1は、本実施の形態の概要を示した半導体装置の製造工程の要部断面模式図である。

基板上の層間絶縁膜の製造方法を時系列的に4つの製造工程(図1(A)～図1(D))に分けて、各工程を模式的に示している。以下、各製造工程に沿って説明する。

10

【0014】

まず、基板上に、ソース、ドレイン、ゲートなど、さらに、開口孔を形成してビア配線を形成して、半導体基板1を形成する(図1(A))。

半導体基板1上に、のちに形成される層間絶縁膜2の組成材料2aを塗布する(図1(B))。

【0015】

組成材料2aを固化しながら、層間絶縁膜2を疎水化させる疎水化処理剤3を、組成材料2aに導入する(図1(C))。

疎水化処理剤3と反応した組成材料2aを固化して、層間絶縁膜2を形成する(図1(D))。

20

【0016】

この後に、配線層などを形成することで半導体装置を製造することができる。

以上のように、半導体基板1上に塗布された組成材料2aを固化しながら、層間絶縁膜2を疎水化する疎水化処理剤3を組成材料2aに導入して形成される層間絶縁膜2を備える半導体装置では、疎水化処理剤3と組成材料2aとが反応して、特性の劣化を招き信頼性の低下の一因であった親水性を示す層間絶縁膜2中のシラノール基などを脱離させて、疎水化し、リーク電流を低減でき、消費電力を抑え、信頼性を向上させることが可能となる。

【0017】

30

なお、層間絶縁膜2の誘電率は2.7以下とする。誘電率を低くすることで、静電容量を低下させることができる。

次に、上記概要に基づいた本実施の形態を詳細に説明する。

【0018】

なお、以下では、上記概要を踏まえた2つの製造方法(以下、実施例1および実施例2とする)について説明する。その後、層間絶縁膜を疎水化させる9種の疎水化処理剤を、実施例1および実施例2の製造方法にそれぞれ適用させて製造した、配線幅が0.1μm以下で多層配線の櫛歯パターン構造を備える半導体装置の信頼性試験の結果について説明する。

【0019】

40

また、以下では、本実施の形態の半導体装置の製造方法を実施例1および実施例2として例示したに過ぎず、本願の課題を解決できる効果が得られれば、製造方法や製造工程、または使用する材料などが異なる実施例も有効である。

【0020】

上記概要で説明したような層間絶縁膜の組成材料の塗布後、固化と同時に、疎水化処理剤を導入する場合を実施例1とする。

実施例1に対して、層間絶縁膜の組成材料の塗布後、疎水化処理剤を導入する場合を、同様に実施例2とする。なお、実施例2の場合、疎水化処理剤導入後に、層間絶縁膜の組成材料を固化して、層間絶縁膜を形成することになる。

【0021】

50

一方、層間絶縁膜の組成材料を塗布し、固化して、層間絶縁膜の形成後に、疎水化処理剤を導入する場合については、特許文献3などから参照することができる。そこで本実施の形態ではこの場合を「比較例」と呼ぶことにする。

【0022】

実施例1および実施例2を利用した半導体装置の製造方法について、図2～図5を用いて説明する。

図2～図5は、本実施の形態における半導体装置の製造方法の要部断面模式図である。

【0023】

本実施の形態の多層配線構造を備えた半導体装置の製造方法を、7工程(図2～図5)に分けて、各製造工程を模式的に示している。層間絶縁膜の製造工程については、上記概要を踏まえた実施例1および実施例2ごとに説明する。層間絶縁膜以外の製造工程は、実施例1および実施例2ともに共通である。また、図2～図5において同じ番号は、同種の材料などを用いていることを意味する。

10

【0024】

まず、シリコン(Si)ウェハ11上に、素子間を電気的に分離するためのSTI(Shallow Trench Isolation)12を形成する。そして、ドレイン15およびソース16、サイドウォール14を有するゲート電極13を形成する。

【0025】

続いて、リンガラス膜 PSG : Phospho Silicate Glass により層間絶縁膜17と、層間絶縁膜17上にストップ膜18とを形成して、層間絶縁膜17およびストップ膜18に対して、電極取り出し用にコンタクトホール19を加工する。なお、このようにして構成されるものを図2(A)に示す。

20

【0026】

続いて、ストップ膜18およびコンタクトホール19にスパッタ法で窒化チタン(TiN)膜20(膜厚30nm)を成膜し、さらに、TiN膜20上に、六フッ化タンゲステン(WF₆)と水素(H₂)とを混合し還元して、導体プラグ21を埋め込む。このようにして形成したTiN膜20と導体プラグ21とを化学的機械研磨法(CMP:Chemical Mechanical Polishing)によりビア以外の部分を除去する。なお、このようにして構成されるものを図2(B)に示す。

30

【0027】

続いて、層間絶縁膜22用の層間絶縁膜前駆体塗布溶液を生成する。まず、テトラエトキシシラン(TEOS)(20.8g(0.1mol))、メチルトリエトキシシラン(MTES)(17.8g(0.1mol))、グリシドキシプロピルトリメトキシシラン(GPTMS)(23.6g(0.1mol))、メチルイソグチルケトン(39.6g)の組成比の溶液200mlを反応容器に仕込み、1%のテトラメチルアンモニウムハイドロキサイド水溶液(16.2g(0.9mol))を10分間滴下し、滴下終了後、約2時間の熟成反応を行う。そして、硫酸マグネシウム(MgSO₄)(5g)を添加して過剰の水分を除去した後、熟成反応により生成したエタノール(C₂H₆O)をロータリーエバポレータにより反応溶液が50mlになるまで除去し、得られた反応溶液にメチルイソブチルケトン(MIBK)(20ml)を添加し、誘電率2.5の層間絶縁膜前駆体塗布溶液が生成される。

40

【0028】

このようにして生成された層間絶縁膜前駆体塗布溶液を用いた層間絶縁膜22の製造工程について、実施例1および実施例2のそれぞれについて以下に説明する。

(実施例1)

実施例1では、層間絶縁膜前駆体塗布溶液を乾燥および焼成して固化する工程中に、層間絶縁膜22を疎水化させる疎水化処理剤(不図示)を導入する。

【0029】

以下に、この製造工程についてステップごとに説明する。なお、疎水化処理剤の導入工程を、以後の説明の便宜上、[ステップA]としている。

50

[ステップ1]：ストッパ膜18、TiN膜20および導体プラグ21上に、層間絶縁膜前駆体塗布溶液をスピニ塗布法によって塗布する。

【0030】

[ステップ2]：塗布した層間絶縁膜前駆体塗布溶液を3分間、250でプリベークする。

[ステップA]：層間絶縁膜前駆体塗布溶液上に、ベーパー法によって、疎水化処理剤を導入する。

【0031】

[ステップ3]：窒素(N₂)雰囲気中にて、30分間、400で焼成を行う。そして、層間絶縁膜22が形成される。

10

(実施例2)

実施例2では、実施例1と異なり、層間絶縁膜前駆体塗布溶液を塗布した後に、[ステップA]が行われる。すなわち、実施例2における層間絶縁膜22の製造工程は以下のよ

うな順序で行われる。

【0032】

[ステップ1]：ストッパ膜18、TiN膜20および導体プラグ21上に、層間絶縁膜前駆体塗布溶液をスピニ塗布法によって塗布する。

[ステップA]：層間絶縁膜前駆体塗布溶液上に、ベーパー法によって、疎水化処理剤を導入する。

【0033】

[ステップ2]：塗布した層間絶縁膜前駆体塗布溶液を3分間、250でプリベークする。

20

[ステップ3]：N₂雰囲気中にて、30分間、400で焼成を行う。そして、層間絶縁膜22が形成される。

【0034】

一方、比較例では、疎水化処理剤の導入が、[ステップ3]の後に行われる。

なお、疎水化処理剤には、シリル化剤が用いられ、特に、酸素原子(O)、炭素原子(C)、水素原子(H)および窒素原子(N)のうち少なくとも1種とSi原子とから構成される化合物が用いられる。これらの原子は比較的小さいため、余計な反応が無く、十分な反応性を有する。

30

【0035】

また、[ステップA]では、面均一性が高く、量産に適しているベーパー法を利用した場合を例に挙げて説明したが、その他、例えば、スピニ塗布法を用いても同様の効果を得ることができる。そして、ベーパー法を行う際の基板温度は、40以下では疎水化反応に時間がかかるため量産性が低下し、一方、150以上では、上記に挙げた疎水化処理剤の化合物は反応性が高いために、疎水化処理剤と組成材料とが反応する前に分解してしまうために、組成材料との反応性が低下する。このことからベーパー法を行う際の基板温度は40～150とすることが望ましい。

【0036】

また、[ステップ3]における層間絶縁膜前駆体塗布溶液の焼成には、ホットプレートによる加熱、炉による加熱、赤外線照射、紫外線照射、X線照射、電子線照射、 γ 線照射、プラズマ曝露のいずれか1種、またはこれらのうち複数を同時または個別に行うようにする。

40

【0037】

このようにして、層間絶縁膜22(膜厚150nm)が形成されて、さらに層間絶縁膜22上に、保護膜としてTEOS-SiO₂膜23(膜厚30nm)が形成されて構成されるものを図3(A)に示す。

【0038】

続いて、TEOS-SiO₂膜23上に、配線パターンに施したレジスト層(不図示)を形成する。そして、レジスト層をマスクとして四フッ化炭素(CF₄)/トリフルオロメ

50

タン(CHF_3)ガスを原料としたフッ素(F)プラズマにより、TEOS-SiO₂膜23に配線溝(不図示)を加工した。さらに、この配線溝およびTEOS-SiO₂膜23に、後に配線溝に形成される銅(Cu)からのTiN膜24(膜厚30nm)と、電解メッキの際に電極として働くCuシード層(不図示)(膜厚30nm)をTiN膜24上にスパッタ法により形成した。

【0039】

そして、Cuシード層上に、電解メッキによりCu層25を600nm積層した後、CMPにより配線パターン部以外のメタルを除去した。なお、このようにして構成されるものを図3(B)に示す。

【0040】

続いて、ピア層と配線層とを同時に形成するデュアルダマシン構造を形成する。TEOS-SiO₂膜23、TiN膜24およびCu層25上に、シラン(Si₄H)とアンモニア(NH₃)とを用いたプラズマCVD(Chemical Vapor Deposition)法により、Cuの拡散防止を目的としたキャップ層として、窒化シリコン(SiN)膜26(膜厚30nm)を成膜する。そして、プラズマCVD法によって、SiN膜26上に、SiOC(酸化シリコン(SiO₂)に炭素(C)を添加したもの)膜27(膜厚150nm)を成膜する。さらにSiOC膜27上に、同様にSi₄HとNH₃とを用いたプラズマCVD法により、ストップ膜としてSiN膜28(膜厚30nm)を成膜する。

【0041】

そして、層間絶縁膜22と同様にして、SiN膜28上に、層間絶縁膜29を成膜する。この場合も実施例1および実施例2(比較例も)で説明した製造方法を行うため、その方法の説明は省略する。層間絶縁膜29上に、保護膜としてTEOS-SiO₂膜30(膜厚30nm)を成膜する。なお、このようにして構成されるものを図4(A)に示す。

【0042】

TEOS-SiO₂膜30上に、配線パターンに施したレジスト層(不図示)を形成する。そして、レジスト層をマスクとしてCF₄/CHF₃ガスを原料としたFプラズマにより、TEOS-SiO₂膜30に配線溝(不図示)を加工した。そして、この配線溝およびTEOS-SiO₂膜30に、後に形成するCuからのTiN膜31(膜厚30nm)と、電解メッキの際に電極として働くCuシード層(不図示)(膜厚30nm)をスパッタ法により形成した。

【0043】

そして、電解メッキによりCu層32を1400nm積層した後、CMPにより配線パターン部以外のメタルを除去し、配線層を形成した。なお、このようにして構成されるものを図4(B)に示す。

【0044】

この後、同様の製造工程を繰り返して3層の配線を形成した。なお、このようにして構成されるものを図5に示す。

以上の工程によって、配線幅が0.1μm以下であって、多層配線の櫛歯パターン構造を備える半導体装置が形成される。

【0045】

次に、本実施の形態で用いる、層間絶縁膜を疎水化させる疎水化処理剤について図6の表を用いて説明する。

図6は、本実施の形態で用いる疎水化処理剤の表である。

【0046】

図6に示すように、本実施の形態の実施例1および実施例2で利用する疎水化処理剤は、次の9種類あり、すなわち、(1)ヘキサメチルジシラザン(HMDS)、(2)テトラメチルジシラザン(TMDS)、(3)ジメチルアミノトリメチルシラン(TMDS DMA)、(4)ジメチルアミノジメチルシラン(DMS DMA)、(5)ジメチルエトキシシラン(DMES)、(6)ビス(ジメチルアミノ)ジメチルシラン(BDMA DMS)、(7)ビス(ジエチルアミノ)ジメチルシラン(BDEADMS)、(8)トリス(ジ

10

20

30

40

50

メチルアミノ)メチルシラン(T D M A M S)、(9)トリメチルエトキシシラン(T M E S)。そして、図 6 には、疎水化処理剤を導入する際の基板温度についてもそれぞれ記載している。基板温度は、各疎水化処理剤の沸点から 20 ~ 30 程度低い温度に設定している。

【 0 0 4 7 】

次に、図 6 で示した疎水化処理剤を、実際に実施例 1 および実施例 2 に適用して図 2 ~ 図 5 の工程を経て製造した半導体装置の信頼性試験を行った場合について図 7 を用いて以下に説明する。

【 0 0 4 8 】

なお、図 7 の比較例の結果は、図 2 ~ 図 5 にて、[ステップ 3] の後に [ステップ A] を行って製造した半導体装置に対して信頼性試験を行ったものとする。 10

また、T D D B 試験においては、電界強度を 3 . 3 M V / c m 、 S M 試験においては、温度を 150 、時間を 1024 時間の試験条件で行った。

【 0 0 4 9 】

図 7 によると、まず、疎水化処理剤を施さなかった「処理無し」と比較例とを比較する。T D D B 測定に関しては、比較例では(2) T M D S を用いると時間が長くなつたが、他の疎水化処理剤では、逆に時間が短くなつた。一方、S M 試験に関しては、同様に(2) T M D S を用いた際に、不良率が下がつたが、他の疎水化処理剤では、変わらないかむしろ不良率が上がつたケースも確認できる。次に、実施例 1 および実施例 2 と比較例とを、それぞれ同じ疎水化処理剤を適用した場合について比較する。実施例 1 および実施例 2 は全ての疎水化処理剤を適用した場合について、T D D B 測定に関しては時間が延びて、S M 試験では不良率が下がつてゐる。これらの結果から、本実施の形態を用いて、確実に信頼性が向上したことがわかる。さらに、実施例 1 と実施例 2 とを比較すると、全ての疎水化処理剤を適用した場合について、実施例 1 の方が T D D B 測定では時間が長く、S M 試験では不良率が低い結果となり、実施例 2 よりもより信頼性を向上させたことがわかる。特に、実施例 1 に、疎水化処理剤として(4) D M S D M A を用いた時に最も信頼性が向上した。 20

【 0 0 5 0 】

また、疎水化処理剤の(1) ~ (5)、(9)と(6) ~ (8)を比較すると、(6) ~ (8)は、T D D B 測定結果による破壊までの時間のわりに、S M 試験における不良率が低いという結果が得られた。(6) ~ (8)の疎水化処理剤は、シリル化剤であり、それに含まれる 1 つの S i 原子が反応性官能基を 2 つ以上有している。すなわち、シリル化剤に含まれる 1 つの S i 原子が少なくとも 2 つの反応性官能基とつながつてゐる。そのため、架橋促進剤として機能し、架橋する量が増え、強度が増し、銅配線に集中していたストレスが分散されたため、特に S M の不良に効果があつたものと考えられる。 30

【 0 0 5 1 】

次に、実施例 1 、実施例 2 および比較例における S i と H とが結合した S i H 基の吸収ピークについて以下に説明する。

図 8 は、本実施の形態における S i H 基の吸収強度を示すグラフである。

【 0 0 5 2 】

なお、図 8 では、実施例 1 、実施例 2 および比較例に(2) T M D S を適用して製造した半導体装置の F T - I R (Fourier Transform - InfraRed spectrometer) 測定による S i H 基の吸収強度の結果を、実施例 1 、実施例 2 および比較例に加えて、「処理無し」の場合についても示している。なお、図 8 の比較例の結果は、図 2 ~ 図 5 にて、[ステップ 3] の後に [ステップ A] を行って製造した半導体装置に対して F T - I R 測定を行つたものとする。また、図 8 のグラフでは、横軸には波長を、縦軸には S i H 基の吸収強度をそれぞれ示している。 40

【 0 0 5 3 】

図 8 によると、「処理無し」では、疎水化処理剤を導入していないため、S i H 基の吸収ピークが表れなかつたと考えられる。そして、実施例 1 、実施例 2 および比較例では、 50

図8に記した矢印付近にSiH基の吸収ピークを確認することができる。まず、実施例1および実施例2と比較例との吸収強度について比較する。実施例1および実施例2の吸収ピークの吸収強度は、比較例の吸収ピークの吸収強度よりも大きく、実施例1および実施例2では、比較例よりも効果的に、SiとOHとが結合したSiOH基と反応していることが予想され、疎水化してシラノール基の脱水縮合反応とともに膜収縮による不必要な膜ストレスを抑えることができて、図7に示したような結果につながったと考えられる。そして、実施例1の方が実施例2よりもSiOH基との反応がより効果的に生じており、同様に、図7に示したような結果につながったと考えられる。一方、比較例では、吸収ピークが小さく、図7に示したような結果となつた。これは、配線幅が0.1μm以下の配線幅である比較例では、層間絶縁膜が固化時に収縮することに起因するストレスが層間絶縁膜下の基板などにかかり、SM試験による不良が多くなり、信頼性が悪化していると予想される。そして、配線幅が狭くなることで、膜ストレスの信頼性への影響はより大きくなると考えられる。

【0054】

したがって、実施例1および実施例2以外に、固化による層間絶縁膜の収縮の前に、[ステップ1]とともに[ステップA]を行う、すなわち、ストッパ膜18上に、層間絶縁膜前駆体塗布溶液をスピニ塗布法による塗布とともに、層間絶縁膜前駆体塗布溶液上に、ペーパー法によって、疎水化処理剤の導入を行うようにしても、実施例1および実施例2と同様に信頼性を向上させることができる。

【0055】

以上から、層間絶縁膜の組成材料の塗布中、組成材料の塗布後、または、塗布した組成材料の固化中に、層間絶縁膜を疎水化処理させる疎水化処理剤の導入を行うことによって、特性の劣化を招き信頼性の低下の一因であった親水性を示す層間絶縁膜中のシラノール基などを脱離させて、効果的に疎水化し、リーク電流を低減でき、消費電力を抑え、信頼性を向上させることができる。

【0056】

(付記1) 層間絶縁膜を備える半導体装置の製造方法において、半導体基板を形成する第1工程と、前記半導体基板上に、前記層間絶縁膜の組成材料を塗布する第2工程と、前記組成材料を固化して、前記層間絶縁膜を形成する第3工程とともに、前記組成材料に前記層間絶縁膜を疎水化する疎水化処理剤を導入する第4工程と、
有することを特徴とする半導体装置の製造方法。

【0057】

(付記2) 前記第2工程とともに、または、前記第2工程後に前記第4工程を行うことを特徴とする付記1記載の半導体装置の製造方法。

(付記3) 前記疎水化処理剤は、含まれるシリコン原子のうち少なくとも1つが反応性官能基を2以上有したシリル化剤であること特徴とする付記1または2記載の半導体装置の製造方法。

【0058】

(付記4) 前記疎水化処理剤は、ジメチルエトキシシラン、ヘキサメチルジシラザン、テトラメチルジシラザン、ジメチルアミノトリメチルシラン、ジメチルアミノジメチルシラン、ビス(ジメチルアミノ)ジメチルシラン、ビス(ジエチルアミノ)ジメチルシランまたはトリス(ジメチルアミノ)メチルシランであることを特徴とする付記1乃至3のいずれか1項に記載の半導体装置の製造方法。

【0059】

(付記5) 前記第4工程を、前記半導体基板の温度を40～150にて行うことの特徴とする付記1乃至4のいずれか1項に記載の半導体装置の製造方法。

(付記6) 前記層間絶縁膜の誘電率が2.7以下、であることを特徴とする付記1乃至5のいずれか1項に記載の半導体装置の製造方法。

【0060】

10

20

30

40

50

(付記 7) 半導体基板と、
前記半導体基板上に形成された層間絶縁膜と、
を有し、
前記層間絶縁膜は、
前記層間絶縁膜の組成材料と、前記組成材料に導入された、前記層間絶縁膜を疎水化する疎水化処理剤とを含むことを特徴とする半導体装置。

【図面の簡単な説明】

【0061】

【図1】本実施の形態の概要を示した半導体装置の製造工程の要部断面模式図である。

【図2】本実施の形態における半導体装置の製造方法の要部断面模式図（その1）である 10

。

【図3】本実施の形態における半導体装置の製造方法の要部断面模式図（その2）である

。

【図4】本実施の形態における半導体装置の製造方法の要部断面模式図（その3）である

。

【図5】本実施の形態における半導体装置の製造方法の要部断面模式図（その4）である

。

【図6】本実施の形態で用いる疎水化処理剤の表である。

【図7】本実施の形態における半導体装置の信頼性試験の結果を示した表である。

【図8】本実施の形態におけるSiH基の吸収強度を示すグラフである。 20

【符号の説明】

【0062】

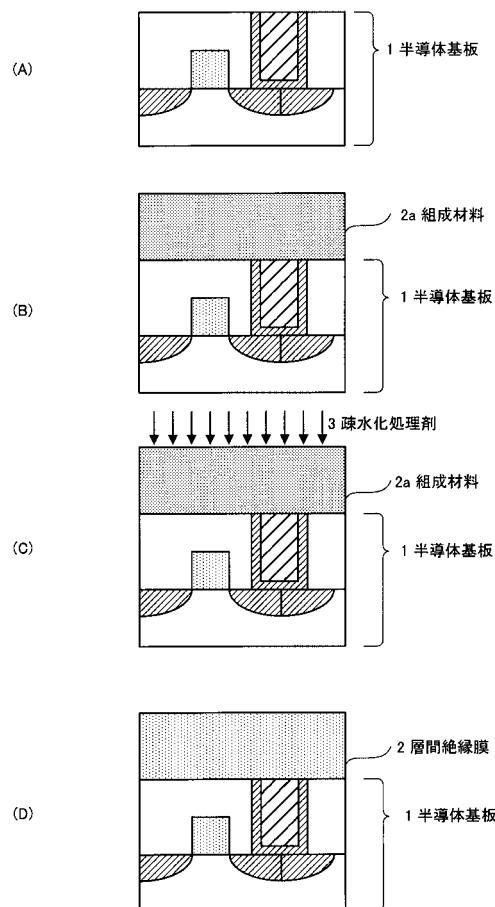
1 半導体基板

2 層間絶縁膜

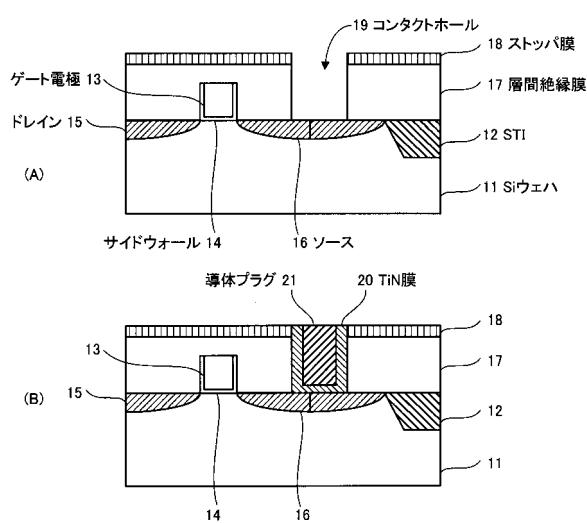
2a 組成材料

3 疎水化処理剤

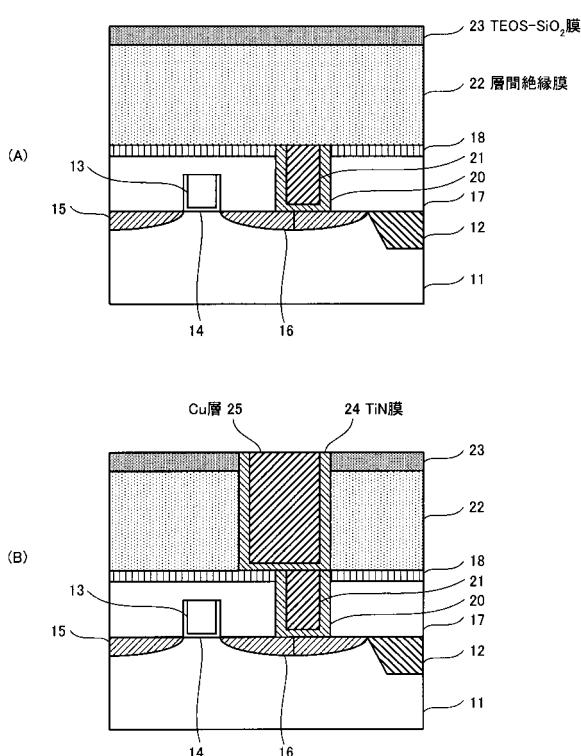
【図1】



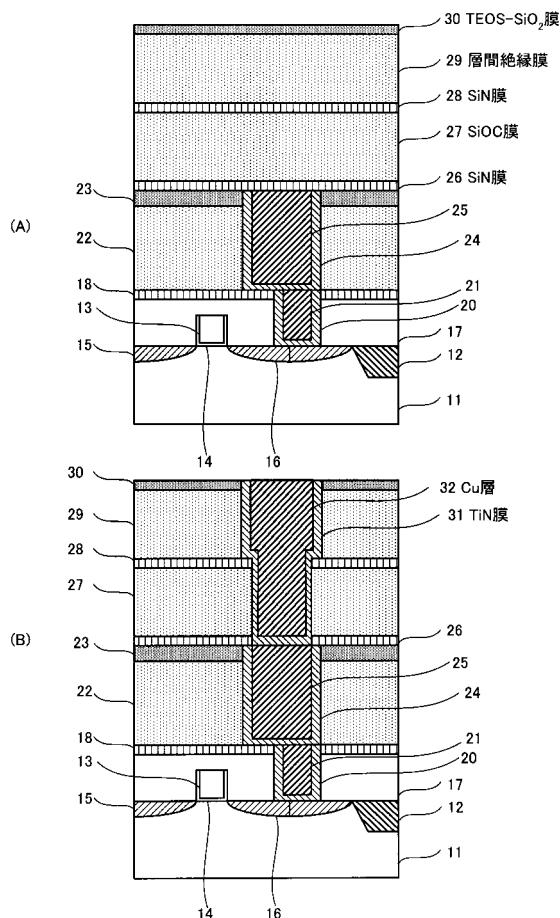
【図2】



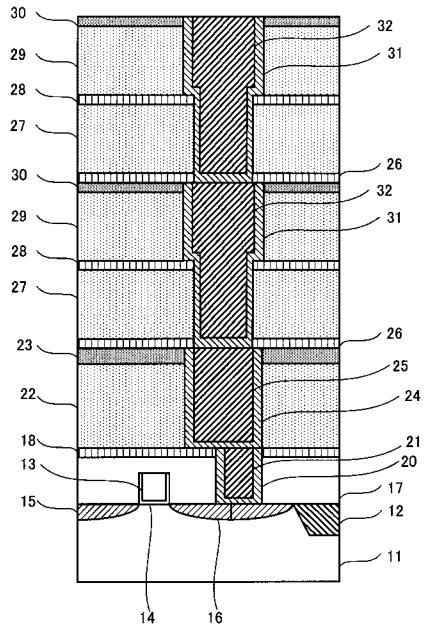
【図3】



【図4】



【図5】



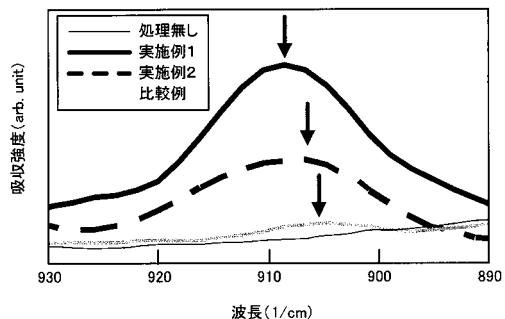
【図6】

| 番号 | 疎水化用組成材料 | 基板温度(°C) |
|-----|-------------------------------------|----------|
| (1) | HMDS (ヘキサメチルジシラザン) | 110 |
| (2) | TMDS (テトラメチルジシラザン) | 85 |
| (3) | TMSDMA (ジメチルアミノトリメチルシラン) | 70 |
| (4) | DMSDMA (ジメチルアミノジメチルシラン) | 55 |
| (5) | DMES (ジメチルエトキシシラン) | 40 |
| (6) | BDMADMS (ビス(ジメチルアミノ) ジメチルシラン) | 110 |
| (7) | BDEADMS (ビス(ジエチルアミノ) ジメチルシラン) | 150 |
| (8) | TDMAMS (トリス(ジメチルアミノ) メチルシラン) | 40 |
| (9) | TMES (トリメチルエトキシシラン) | 60 |

【図7】

| | TDDB(s) | SM試験不良率(%) |
|------|---------|------------|
| 処理無し | 516 | 15 |
| 実施例1 | (1) 611 | 2 |
| | (2) 663 | 1 |
| | (3) 650 | 1 |
| | (4) 728 | 0 |
| | (5) 643 | 1 |
| | (6) 638 | 0 |
| | (7) 633 | 0 |
| | (8) 619 | 0 |
| | (9) 580 | 12 |
| 実施例2 | (1) 562 | 10 |
| | (2) 597 | 6 |
| | (3) 580 | 9 |
| | (4) 621 | 7 |
| | (5) 575 | 8 |
| | (6) 570 | 5 |
| | (7) 564 | 6 |
| | (8) 556 | 4 |
| | (9) 525 | 13 |
| 比較例 | (1) 490 | 16 |
| | (2) 546 | 13 |
| | (3) 483 | 17 |
| | (4) 511 | 19 |
| | (5) 474 | 15 |
| | (6) 462 | 12 |
| | (7) 458 | 13 |
| | (8) 444 | 10 |
| | (9) 504 | 15 |

【図8】



フロントページの続き

合議体

審判長 藤原 敬士

審判官 加藤 友也

審判官 新海 岳

(56)参考文献 特表2004-513503(JP,A)
特表2004-500695(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/316

H01L 21/768

H01L 23/522