

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 12 月 30 日(30.12.2015)

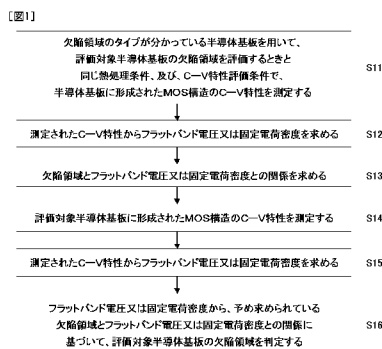


(10) 国際公開番号
WO 2015/198510 A1

- (51) 国際特許分類:
H01L 21/66 (2006.01) C30B 33/00 (2006.01)
C30B 29/06 (2006.01)
- (21) 国際出願番号: PCT/JP2015/001431
- (22) 国際出願日: 2015 年 3 月 16 日(16.03.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-129850 2014 年 6 月 25 日(25.06.2014) JP
- (71) 出願人: 信越半導体株式会社(SHIN-ETSU HAN-
DOTAI CO., LTD.) [JP/JP]; 〒1000004 東京都千代田
区大手町二丁目 2 番 1 号 Tokyo (JP).
- (72) 発明者: 荒谷 崇(ARATANI, Takashi); 〒9618061
福島県西白河郡西郷村大字小田倉字大平 1 5 0
番地信越半導体株式会社 半導体白河研究所内
Fukushima (JP).
- (74) 代理人: 好宮 幹夫(YOSHIMIYA, Mikio); 〒
1100005 東京都台東区上野 7 丁目 6 番 1 1 号第
一下谷ビル 8 F Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,
ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: METHOD FOR EVALUATING DEFECTIVE REGION OF SEMICONDUCTOR SUBSTRATE

(54) 発明の名称: 半導体基板の欠陥領域の評価方法



- S11... USING A SEMICONDUCTOR SUBSTRATE HAVING A KNOWN TYPE OF DEFECTIVE REGION, MEASURE THE C-V CHARACTERISTICS OF THE MOS STRUCTURE FORMED ON THE SEMICONDUCTOR SUBSTRATE AT THE SAME THERMAL TREATMENT CONDITIONS AND C-V CHARACTERISTICS EVALUATION CONDITIONS AS THOSE FOR WHEN THE DEFECTIVE REGION OF THE SEMICONDUCTOR SUBSTRATE TO BE EVALUATED IS EVALUATED
- S12... DETERMINE THE FLAT BAND VOLTAGE OR THE FIXED CHARGE DENSITY FROM THE C-V CHARACTERISTICS THAT WERE MEASURED
- S13... DETERMINE THE RELATIONSHIP BETWEEN THE DEFECTIVE REGION AND THE FLAT BAND VOLTAGE OR THE FIXED CHARGE DENSITY
- S14... MEASURE THE C-V CHARACTERISTICS OF THE MOS STRUCTURE FORMED ON THE SEMICONDUCTOR SUBSTRATE TO BE EVALUATED
- S15... DETERMINE THE FLAT BAND VOLTAGE OR THE FIXED CHARGE DENSITY FROM THE C-V CHARACTERISTICS THAT WERE MEASURED
- S16... JUDGE THE DEFECTIVE REGION OF THE EVALUATED SEMICONDUCTOR SUBSTRATE ON THE BASIS OF THE RELATIONSHIP BETWEEN THE DEFECTIVE REGION AND THE FLAT BAND VOLTAGE OR THE FIXED CHARGE DENSITY DETERMINED IN ADVANCE FROM THE FLAT BAND VOLTAGE OR THE FIXED CHARGE DENSITY

(57) Abstract: The present invention is a method for evaluating a defective region of a semiconductor substrate in which a defective region of a semiconductor substrate is evaluated on the basis of C-V characteristics of the MOS structure formed on the semiconductor substrate; wherein the semiconductor substrate defective region-evaluating method is characterized in that: the relationship between the defective region and the flat band voltage or the fixed charge density is determined in advance, using a semiconductor substrate having a known type of defective region, at the same thermal treatment conditions and C-V characteristics evaluation conditions as for when the defective regions of the semiconductor substrate to be evaluated are evaluated; and, in the evaluation of the defective region of the semiconductor substrate to be evaluated, the defective region of the semiconductor substrate to be evaluated is judged on the basis of the relationship between the defective region and the flat band voltage or the fixed charge density determined in advance from the flat band voltage or the fixed charge density that were determined from the C-V characteristics of the MOS structure formed on the semiconductor substrate. Consequently, there is provided a method for evaluating a defective region of a semiconductor substrate with which it is possible to judge a defective region of a semiconductor substrate using a simple method, even if the oxygen concentration is low.

(57) 要約:

[続葉有]

WO 2015/198510 A1



本発明は、半導体基板の欠陥領域を半導体基板に形成されたMOS構造のC-V特性から評価する半導体基板の欠陥領域の評価方法であって、予め、欠陥領域のタイプがわかっている半導体基板を用いて、評価対象半導体基板の欠陥領域を評価するときと同じ熱処理条件、及び、C-V特性評価条件で、欠陥領域とフラットバンド電圧又は固定電荷密度との関係を求めておき、評価対象半導体基板の欠陥領域の評価では、半導体基板に形成されたMOS構造のC-V特性から求められたフラットバンド電圧又は固定電荷密度から、予め求められている欠陥領域とフラットバンド電圧又は固定電荷密度との関係に基づき、評価対象半導体基板の欠陥領域を判定することを特徴とする半導体基板の欠陥領域の評価方法である。これにより、低酸素濃度であっても簡便な方法で半導体基板の欠陥領域を判定することができる半導体基板の欠陥領域の評価方法が提供される。

明 細 書

発明の名称：半導体基板の欠陥領域の評価方法

技術分野

[0001] 本発明は、半導体基板の欠陥領域の評価方法に関する。

背景技術

[0002] 集積回路の基板として一般的に半導体シリコンウェーハ(以下ウェーハと称する)が用いられる。特に集積回路の素子を形成する領域は欠陥の無い領域であることが望ましい。

[0003] ウェーハに含まれる欠陥として、例えばC Z法などにより半導体単結晶を製造する際に内部に取り込まれるG r o w n - i n欠陥がある。この欠陥としては、規則正しい結晶格子位置に原子が無いもの(空孔)や格子位置の間に原子があるもの(格子間シリコン)がある。

[0004] 空孔が多く含まれている領域をV領域、格子間シリコンが多く含まれている領域をI領域と呼び、V領域とI領域の間に空孔及び格子間シリコンの無い(あるいは、少ない)N領域がある。空孔や格子間シリコンの濃度は、C Z法における結晶の引上げ速度(成長速度)と結晶中の固液界面近傍の温度勾配との関係から決まるとされている。また、N領域の中には、酸化誘起積層欠陥(O S F)と呼ばれる欠陥が発生する領域もある。集積回路の素子を作るのはO S Fの発生しないN領域が望ましいとされている。

[0005] 半導体単結晶を製造する際には、これらの結晶欠陥領域を制御することが重要になっており、そのためにもG r o w n - i n欠陥を検出・評価する技術が必要となってくる。

[0006] G r o w n - i n欠陥を検出・評価する方法は、多く報告されている。

例えば、特許文献1や特許文献2で示された方法のように、ウェーハ片に熱処理を行い、ウェーハ内部の酸素析出物密度を測定し、その値より結晶欠陥領域を判別する方法がある。

[0007] また、特許文献3で示された方法のように、ウェーハ表面をF eで汚染し

て、シリコン単結晶の無欠陥領域を目視で判定する方法もある。

先行技術文献

特許文献

[0008] 特許文献1：特開2001-139396号公報

特許文献2：特開2002-201093号公報

特許文献3：特開2006-278892号公報

発明の概要

発明が解決しようとする課題

[0009] しかしながら、特許文献1-3の方法は、複数回熱処理を実施する必要があったり、表面を強制汚染させたり、と複雑な処理が必要になるという問題があった。

また、従来の評価方法は、酸素析出の有無や、汚染後ゲッタリング能力を評価することで、N_i領域（N領域であるが、格子間欠陥が優勢な領域）やN_v領域（N領域であるが、空孔欠陥が優勢な領域）を判定しているが、ウェーハ中の酸素濃度が低くなると酸素が析出しにくくなるので、欠陥領域の判定が困難になるという問題があった。

[0010] 本発明は、上記問題点に鑑みてなされたものであって、低酸素濃度であっても簡便な方法で半導体基板の欠陥領域を判定することができる半導体基板の欠陥領域の評価方法を提供することを目的とする。

課題を解決するための手段

[0011] 上記目的を達成するために、本発明は、半導体基板の欠陥領域を半導体基板に形成されたMOS構造のC-V特性から評価する半導体基板の欠陥領域の評価方法であって、予め、欠陥領域のタイプがわかっている半導体基板を用いて、評価対象半導体基板の欠陥領域を評価するときと同じ熱処理条件、及び、C-V特性評価条件で、欠陥領域とフラットバンド電圧又は固定電荷密度との関係を求めておき、評価対象半導体基板の欠陥領域の評価では、半導体基板に形成されたMOS構造のC-V特性から求められたフラットバン

ド電圧又は固定電荷密度から、予め求められている欠陥領域とフラットバンド電圧又は固定電荷密度との関係に基づき、評価対象半導体基板の欠陥領域を判定することを特徴とする半導体基板の欠陥領域の評価方法を提供する。

[0012] このように半導体基板に形成されたMOS構造のC-V特性から求められるフラットバンド電圧又は固定電荷密度から、半導体基板の欠陥領域を判定することで、半導体基板が低酸素濃度であっても簡便な方法で半導体基板の欠陥領域を高精度で判定することができる。

[0013] このとき、評価対象半導体基板の欠陥領域の前記判定は、欠陥領域が、空孔欠陥が優勢なものであるV領域、N領域であるが空孔欠陥が優勢なものであるN_v領域、N領域であるが格子間欠陥が優勢なものであるN_i領域、格子間欠陥が優勢なものであるI領域のうちのいずれであるかを判定するものとすることができる。

評価対象半導体基板の欠陥領域の判定として、このような判定を好適に行うことができる。

発明の効果

[0014] 以上のように、本発明によれば、半導体基板が低酸素濃度であっても簡便な方法で半導体基板の欠陥領域を高精度で判定することができる。

図面の簡単な説明

[0015] [図1]本発明の半導体基板の欠陥領域の評価方法を示すフロー図である。

[図2]各種の欠陥領域を有する半導体基板に形成されたMOSキャパシタのC-V特性を示す図である。

[図3]図2のC-V特性の立ち上がり部分を拡大した図である。

[図4]各種の欠陥領域を有する半導体基板のフラットバンド電圧(V_{fb})を示す図である。

[図5]各種の欠陥領域を有する半導体基板の固定電荷密度(Q_d)を示す図である。

[図6]固定電荷密度と欠陥領域との関係を示す図である。

発明を実施するための形態

[0016] 以下、本発明について、実施態様の一例として、図を参照しながら詳細に説明するが、本発明はこれに限定されるものではない。

前述のように、半導体単結晶を製造する際には、結晶欠陥領域を制御することが重要になっており、そのためにもGrown-in欠陥を検出・評価する技術が必要となってきた。Grown-in欠陥を検出・評価する方法は多く報告されており、特許文献1-3に示された方法があるが、これらの方法は、複数回熱処理を実施する必要があったり、表面を強制汚染させたり、と複雑な処理が必要になるという問題があった。

また、従来の評価方法は、酸素析出の有無や、汚染後ゲッタリング能力を評価することで、Ni領域やNv領域を判定しているが、ウェーハ中の酸素濃度が低くなると酸素が析出しにくくなるので、欠陥領域の判定が困難になるという問題があった。

[0017] そこで、本発明者は、低酸素濃度であっても簡便な方法で半導体基板の欠陥領域を判定することができる半導体基板の欠陥領域の評価方法について鋭意検討を重ねた。

本発明者は、まず、MOS (Metal-Oxide-Silicon) キャパシタのC-V特性中のフラットバンド電圧 (V_{fb}) の変化量は、半導体基板の不純物濃度が同じ場合、酸化膜中の固定電荷密度によって決まることと、酸化膜中の固定電荷は酸化膜中の格子間シリコンに由来するという点に着目した。

[0018] ここで、フラットバンド電圧 (V_{fb}) について説明する。

まず、理想状態ではMOS構造のエネルギーバンド図は外部からの印加電圧が無い場合、バンドに曲がりはなく平ら（フラット）であり、外部から電圧が印加されてバンドが曲がる。

ここで、理想状態とは、電極の仕事関数と半導体基板のフェルミ準位に差がなく、酸化膜中に固定電荷が存在していない状態である。

しかしながら、理想的な状態と異なり、一般的なMOSキャパシタでは、金属電極の仕事関数と半導体基板のフェルミ準位に差があり、また、酸化膜

中に固定電荷が存在するため、外部から電圧が印加されていない状態でもエネルギーバンドは曲がっている。

[0019] フラットバンド電圧 (V_{fb}) とは、前述のエネルギーバンドの曲がり無くし、フラットにするために必要な外部からの印加電圧のことである。

フラットバンド電圧 (V_{fb}) は、金属電極の仕事関数を W_m 、半導体基板のフェルミ準位を E_f 、酸化膜の厚さを d_{ox} 、酸化膜中の固定電荷量を Q_s としたとき (1) 式で与えられる。

$$V_{fb} = (W_m - E_f) + (Q_s / d_{ox}) \quad \dots (1)$$

[0020] 金属電極の仕事関数 W_m はその金属電極の材質によって決まった値となり、半導体基板のフェルミ準位 E_f は (2) 式で表される。

$$E_i - E_f = (kT / q) \cdot \log (N_{sub} / n_i) \quad \dots (2)$$

[0021] ここで、 E_f はフェルミ準位、 E_i は真性フェルミ準位、 k はボルツマン係数、 T は温度、 q は電気素量、 N_{sub} は半導体基板の不純物濃度、 n_i は真性キャリア濃度である。

(2) 式から、温度が一定の条件の下では、フェルミ準位 E_f は半導体基板の不純物濃度 N_{sub} によってその値が決まることがわかる。

[0022] フラットバンドの状態の MOS キャパシタの容量 C は、酸化膜容量 C_{ox} と空乏層容量 C_d の直列接合となり、(3) 式で表される。

$$C = C_{ox} \cdot C_d / (C_{ox} + C_d) \quad \dots (3)$$

[0023] また、酸化膜容量 C_{ox} 、空乏層容量 C_d 、フラットバンド時の空乏層幅 L_d はそれぞれ、(4) 式、(5) 式、(6) 式で表される。

$$C_{ox} = \epsilon_o \cdot S / d_{ox} \quad \dots (4)$$

$$C_d = \epsilon \cdot S / L_d \quad \dots (5)$$

$$L_d = (kT \cdot \epsilon / N_{sub} \cdot q^2)^{1/2} \quad \dots (6)$$

ここで、 S はキャパシタの面積、 ϵ_o 、 ϵ はそれぞれ酸化膜の誘電率、半導体基板の誘電率である。

[0024] フラットバンド電圧 V_{fb} や半導体基板の不純物濃度 N_{sub} は $C-V$ 特性の結果より算出することができるので、 $C-V$ 特性を求めることができれば、（１）式、（２）式から固定電荷量 Q_s を算出することができ、さらに（７）式で表される固定電荷密度 Q_d を算出できることがわかる。

$$Q_d = Q_s / (S \cdot q) \quad \dots (7)$$

[0025] 続いて、固定電荷と基板中の結晶欠陥との関係性について説明する。

酸化膜中の固定電荷は一般的に正の電荷であり、以下に示す化学式（８）のように、シリコン単結晶を熱酸化して酸化膜を形成するときに発生する格子間シリコンの一部が酸化膜中に取り残されたものと考えられている。



[0026] 酸化膜の形成方法として最も一般的なものは、酸素雰囲気あるいは水蒸気雰囲気下での高温の熱処理がある。この方法では、基板中のシリコンを消費して酸化膜を形成する。

[0027] ここで、本発明者は酸化膜中の固定電荷は格子間シリコンに由来するものであり、さらに熱酸化など基板のシリコンを消費して酸化膜を形成する場合に、酸化膜中の固定電荷は、基板中に含まれる格子間シリコンや空孔の量との間に相関関係があると考えた。

さらに、本発明者は上述のように固定電荷密度は $C-V$ 特性のフラットバ

ンド電圧を用いることで算出できるため、C-V特性のフラットバンド電圧の値又は固定電荷密度の値よりシリコン単結晶中の格子間シリコンや空孔の量を推定できると考え、半導体基板に形成されたMOS構造のC-V特性から求められるフラットバンド電圧又は固定電荷密度から、半導体基板の欠陥領域を判定することで、半導体基板が低酸素濃度であっても簡便な方法で半導体基板の欠陥領域を高精度で判定することができることを見出し、本発明をなすに至った。

[0028] 以下、図1を参照しながら、本発明の半導体基板の欠陥領域の評価方法の実施態様の一例を説明する。

まず、欠陥領域のタイプが分かっている半導体基板を用いて、評価対象半導体基板の欠陥領域を評価するときと同じ熱処理条件、及び、C-V特性評価条件で、半導体基板に形成されたMOS構造のC-V特性を測定する（図1のステップS11参照）。

なお、ステップS11でC-V特性を測定する半導体基板の欠陥領域のタイプは、例えば、半導体基板が切り出される単結晶シリコンインゴットの欠陥領域のタイプを特許文献1に示される評価方法を用いて酸素析出物の密度を算出し、酸素析出物の密度に基づいて予め判定しておくことができる。

また、MOS構造は、例えば、半導体基板上に熱酸化膜を形成し、熱酸化膜上に所定の面積の金属電極を形成することで作製することができ、C-V特性の測定において水銀プローバを用いる場合には、金属電極の形成を省略することができる。

[0029] 次に、ステップS11で測定されたC-V特性からフラットバンド電圧又は固定電荷密度を求める（図1のステップS12参照）。

具体的には、フラットバンド電圧 V_{fb} や半導体基板の不純物濃度 N_{sub} はC-V特性の結果より算出することができるので、C-V特性を求めることができれば、フラットバンド電圧 V_{fb} を算出することができ、フラットバンド電圧 V_{fb} がわかれば、(1)式、(2)式から固定電荷量 Q_s を算出すること

ができ、さらに（７）式で表される固定電荷密度 Q_d も算出することができる。

[0030] 次に、欠陥領域とフラットバンド電圧又は固定電荷密度との関係を求める（図１のステップＳ１３参照）。

具体的には、ステップＳ１２で求めたフラットバンド電圧 V_{fb} 又は固定電荷密度 Q_d に基づいて、欠陥領域のタイプと、フラットバンド電圧 V_{fb} 又は固定電荷密度 Q_d の値の範囲とを関連づける。

ここで、欠陥領域のタイプとしては、例えば、空孔欠陥が優勢なものである V 領域、 N 領域であるが空孔欠陥が優勢なものである N_v 領域、 N 領域であるが格子間欠陥が優勢なものである N_i 領域、格子間欠陥が優勢なものである I 領域が挙げられる。

[0031] 次に、評価対象半導体基板に形成された MOS 構造の $C-V$ 特性を測定する（図１のステップＳ１４参照）。

評価対象半導体基板の MOS 構造についても、例えば、半導体基板上に熱酸化膜を形成し、熱酸化膜上に所定の面積の金属電極を形成することで作製することができ、 $C-V$ 特性の測定において水銀プローバを用いる場合には、金属電極の形成を省略することができる。

[0032] 次に、ステップＳ１４で測定された $C-V$ 特性からフラットバンド電圧又は固定電荷密度を求める（図１のステップＳ１５参照）。

具体的には、ステップＳ１２と同様にして、 $C-V$ 特性からフラットバンド電圧 V_{fb} 又は固定電荷密度 Q_d を算出する。

[0033] 次に、ステップＳ１５で求めたフラットバンド電圧又は固定電荷密度から、ステップＳ１３で予め求められている欠陥領域とフラットバンド電圧又は固定電荷密度との関係に基づいて、評価対象半導体基板の欠陥領域を判定する（図１のステップＳ１６参照）。

なお、評価対象半導体基板の欠陥領域の判定は、欠陥領域が、空孔欠陥が優勢なものである V 領域、 N 領域であるが空孔欠陥が優勢なものである N_v 領域、 N 領域であるが格子間欠陥が優勢なものである N_i 領域、格子間欠陥

が優勢なものであるI領域のうちのいずれであるかを判定するものとすることができる。

評価対象半導体基板の欠陥領域の判定として、このような判定を好適に行うことができる。

[0034] 図1を参照して上記で説明した本発明の半導体基板の欠陥領域の評価方法によれば、半導体基板が低酸素濃度であっても簡便な方法で半導体基板の欠陥領域を高精度で判定することができる。

実施例

[0035] 以下、実施例を示して本発明をより具体的に説明するが、本発明はこれらに限定されるものではない。

[0036] (実施例)

まず、直径300mmで、軸方位が<100>であり、抵抗率が10～30Ω・cmで、酸素濃度が15ppma(JEIDA)であるp型のシリコン単結晶インゴットをCZ法を用いて作製した。

CZ法による作製時には、引き上げ速度を変化させ、結晶内の欠陥の濃度を変化させることで、空孔欠陥が優勢なもの(V領域)、N領域であるが空孔欠陥が優勢なもの(Nv領域)、N領域であるが格子間欠陥が優勢なもの(Ni領域)、格子間欠陥が優勢なもの(I領域)をそれぞれ作製し、その単結晶インゴットを用いて、スライス工程、研磨工程によりポリッシュドウェーハ(半導体基板)を作製した。

[0037] それぞれのウェーハの欠陥領域の判定については、特許文献1に示される評価方法を用いて酸素析出物の密度を算出し、酸素析出物の密度に基づいて判定を行った。

[0038] 次に、それらのウェーハをRCA洗浄にて洗浄を行い、縦型の熱処理炉にて900℃、酸素雰囲気中で熱処理を行い、ウェーハの表裏面に25nmの熱酸化膜を形成した。その後、それらのウェーハの裏面の酸化膜をHFの蒸気を用いて除去した。

[0039] 次に、それらのウェーハをFour DIMENSIONS社製の水銀プ

ローバC V m a p 9 2を用いて、高周波C-V特性を測定した。測定箇所はそれぞれのウェーハの中心部で、測定条件は測定周波数を1MHzとして電圧を4Vから-4Vまで変化させた。

欠陥領域がそれぞれV領域、N_v領域、N_i領域、I領域であるウェーハのC-V特性カーブを図2に示す。横軸はバイアス電圧V_g、縦軸はキャパシタ面積で規格化した容量C/Sをそれぞれ表している。いずれの欠陥領域でのC-V特性カーブの形状はほぼ同じであるが、立ち上がりの位置がずれていることがわかる。

[0040] 図3に図2で示したC-V特性カーブの立ち上がり部分を拡大したものを示す。図3においては、異なる欠陥領域でより明確に立ち上がりの位置がずれており、格子間シリコンが多く、また、空孔が少ない欠陥領域ほどC-V特性カーブがマイナス側にシフトしていることがわかる。

[0041] さらに図2、3に示したC-V特性カーブより、各結晶のフラットバンド電圧V_{fb}及び固定電荷密度Q_dをそれぞれ前述した方法で算出した。その結果を図4と図5に示す。

[0042] ここで、さらにサンプル数を増やし、得られた結果に基づいて、固定電荷密度Q_dと欠陥領域のタイプとの関係を図6のように定義した。

なお、フラットバンド電圧V_{fb}と欠陥領域のタイプとの関係についても、図6と同様に定義することができる。

[0043] 続いて、評価対象ウェーハ（評価対象半導体基板）1～5に対して、上記に示した方法でMOS構造を作製し、上記に示した方法でC-V特性カーブを取得し、フラットバンド電圧V_{fb}から固定電荷密度Q_dを算出し、図6に示された固定電荷密度Q_dと欠陥領域のタイプとの関係に基づいて、欠陥領域のタイプを決定した。結果を表1に示す。

なお、フラットバンド電圧V_{fb}と欠陥領域のタイプとの関係が定義されていれば、フラットバンド電圧V_{fb}から欠陥領域のタイプを同様に決定することができる。

[0044] また、評価対象ウェーハ1～5とそれぞれ同様の結晶のウェーハについて

、特許文献１に示される評価方法を用いて酸素析出物の密度を算出し、算出された酸素析出物の密度に基づいて欠陥領域のタイプを決定した。結果を表１に示す。

[0045] [表1]

	本発明による判定	酸素析出による判定
ウェーハ１	I領域	I領域
ウェーハ２	Ni領域	Ni領域
ウェーハ３	I領域	I領域
ウェーハ４	Nv領域	Nv領域
ウェーハ５	V領域	V領域

[0046] 表１からわかるように、本発明による判定結果は、特許文献１に示される評価方法を用いて酸素析出物の密度から判定した結果と一致している。

従って、本発明の固定電荷密度を用いる評価方法により、欠陥領域の判定を高精度で行うことが可能となることがわかる。

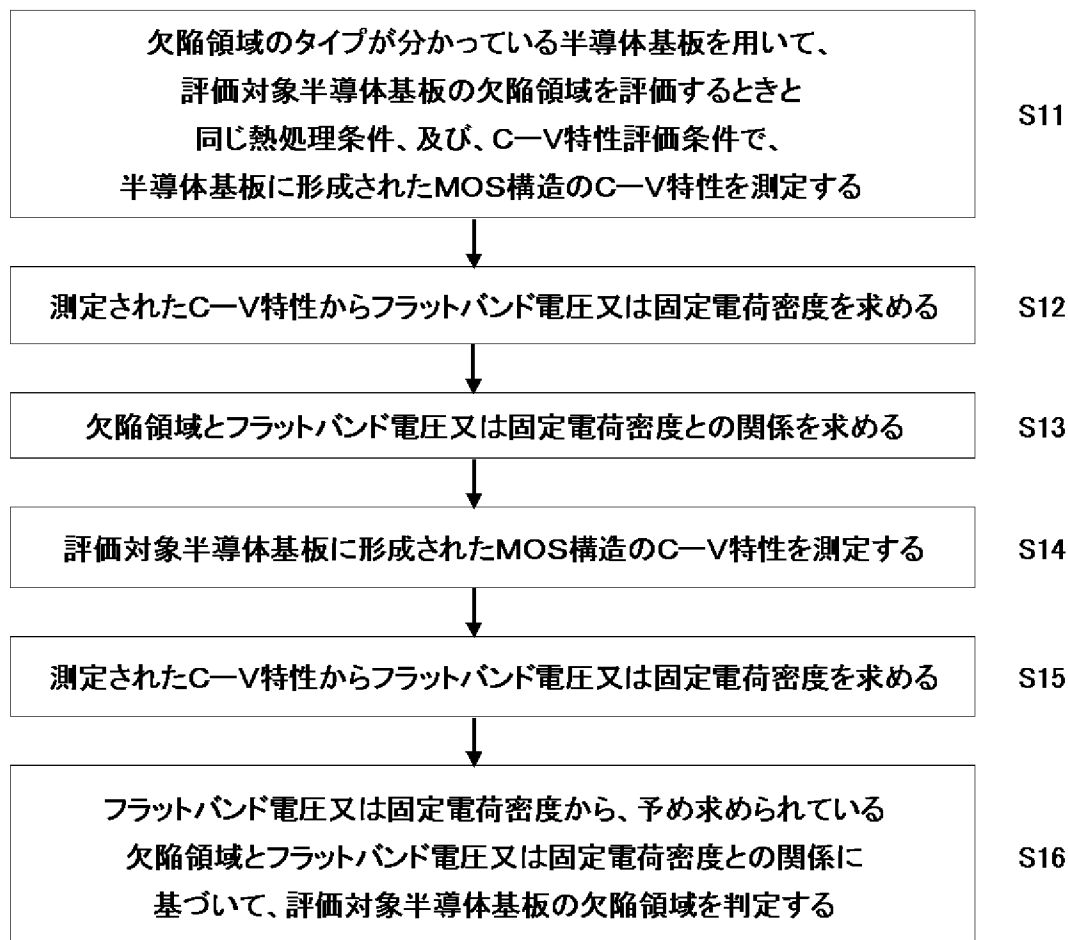
また、この方法は、酸化膜中の固定電荷密度を算出し、算出された固定電荷密度に基づいて判定を行っているため、評価対象半導体基板の酸素濃度によらずに欠陥領域の判定を行うことが可能である。

[0047] なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は、例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

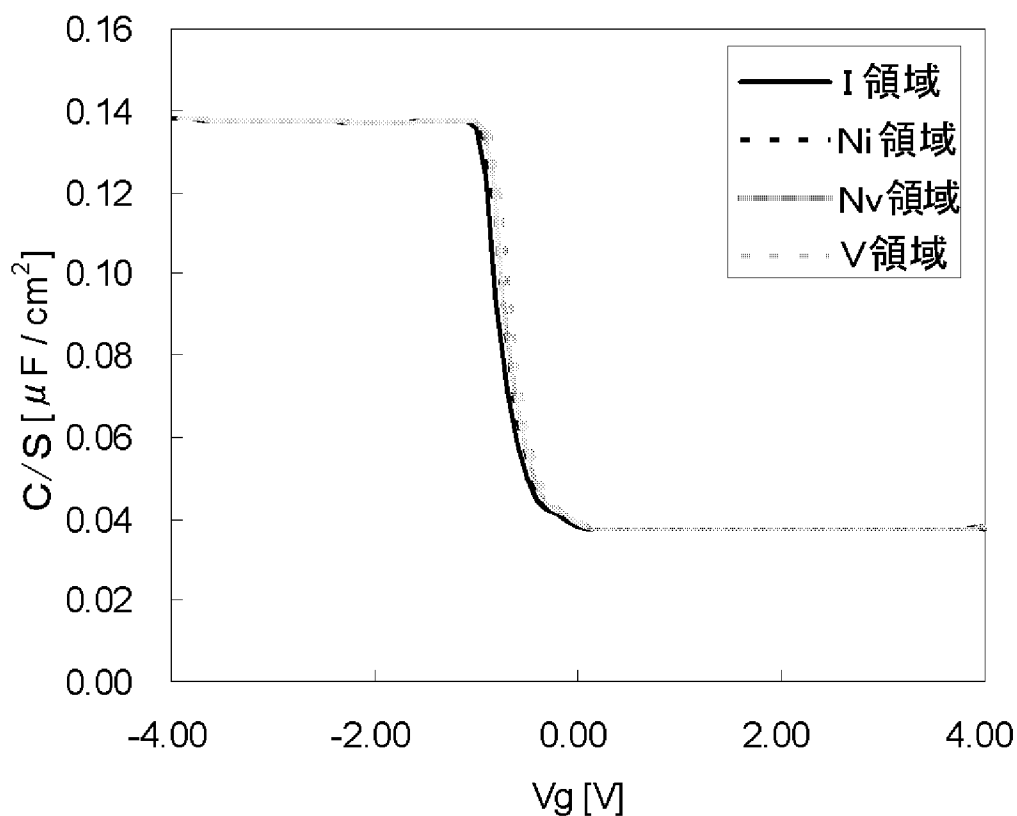
請求の範囲

- [請求項1] 半導体基板の欠陥領域を半導体基板に形成されたMOS構造のC－V特性から評価する半導体基板の欠陥領域の評価方法であって、
- 予め、欠陥領域のタイプがわかっている半導体基板を用いて、評価対象半導体基板の欠陥領域を評価するときと同じ熱処理条件、及び、C－V特性評価条件で、欠陥領域とフラットバンド電圧又は固定電荷密度との関係を求めておき、
- 評価対象半導体基板の欠陥領域の評価では、半導体基板に形成されたMOS構造のC－V特性から求められたフラットバンド電圧又は固定電荷密度から、予め求められている欠陥領域とフラットバンド電圧又は固定電荷密度との関係に基づき、評価対象半導体基板の欠陥領域を判定することを特徴とする半導体基板の欠陥領域の評価方法。
- [請求項2] 評価対象半導体基板の欠陥領域の前記判定は、欠陥領域が、空孔欠陥が優勢なものであるV領域、N領域であるが空孔欠陥が優勢なものであるN_v領域、N領域であるが格子間欠陥が優勢なものであるN_i領域、格子間欠陥が優勢なものであるI領域のうちのいずれであるかを判定するものであることを特徴とする請求項1に記載の半導体基板の欠陥領域の評価方法。

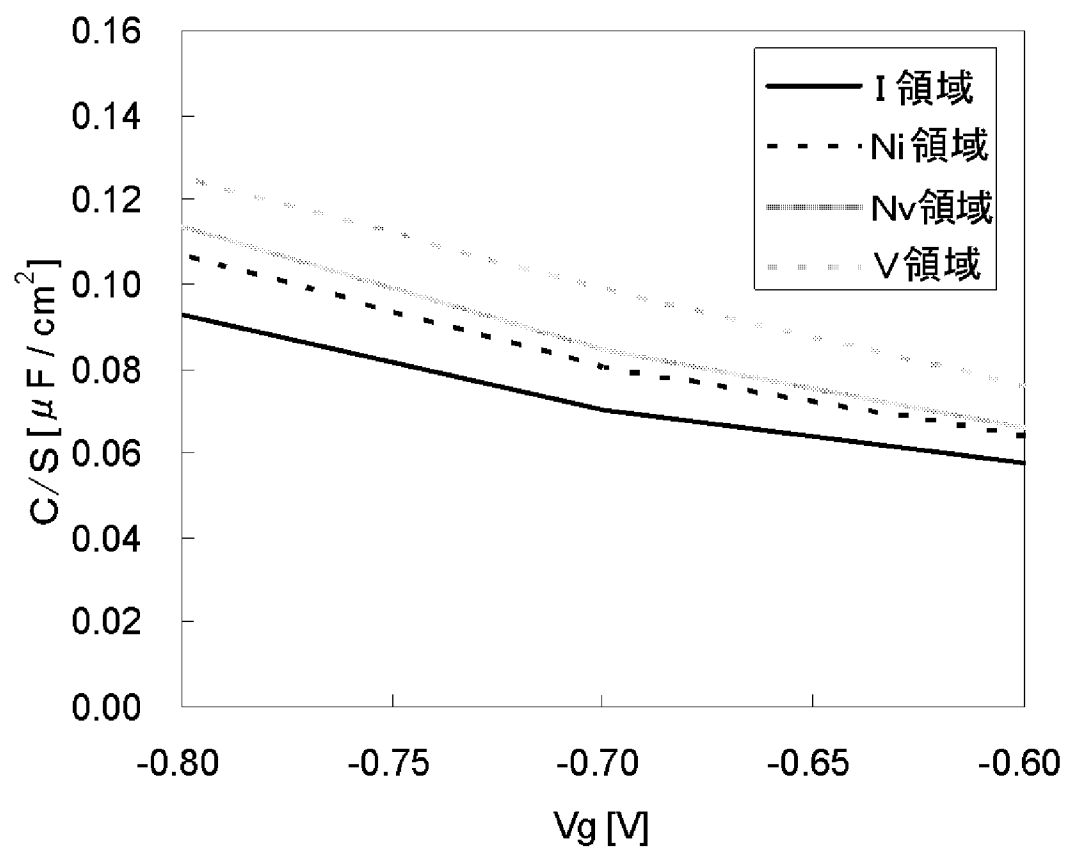
[図1]



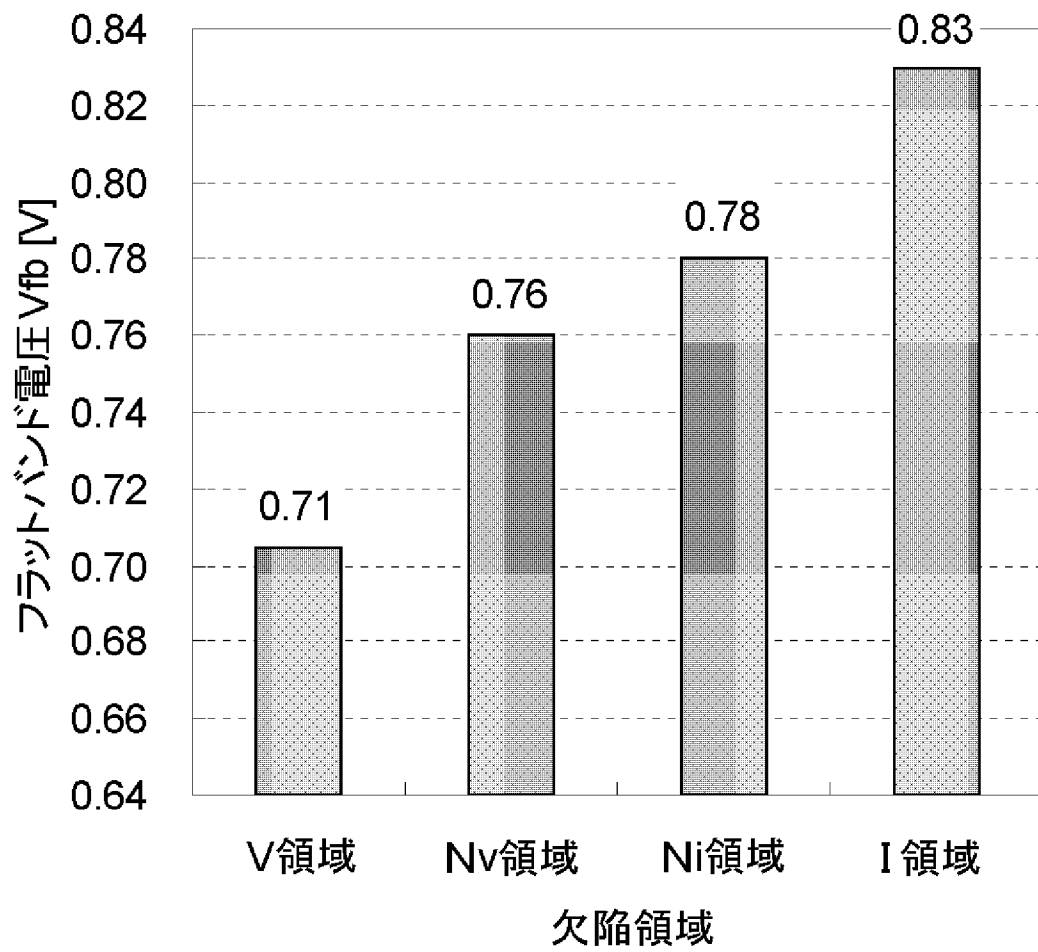
[図2]



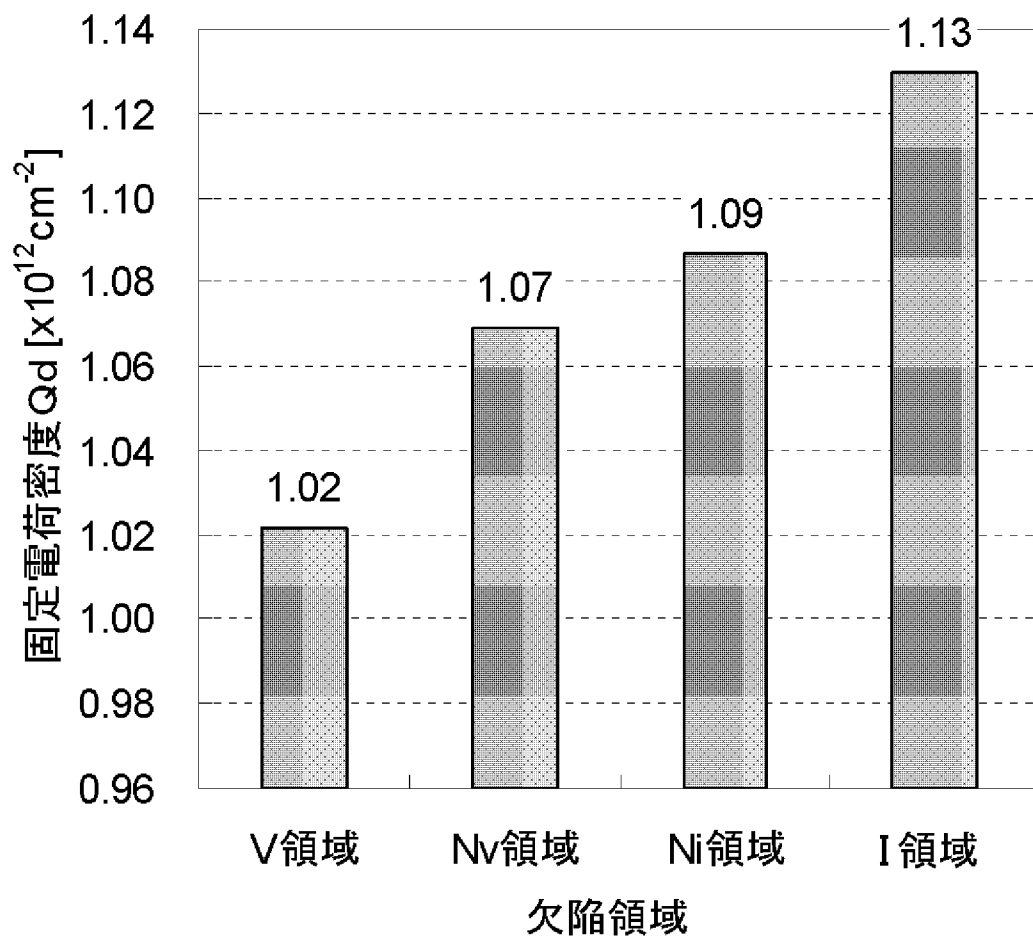
[図3]



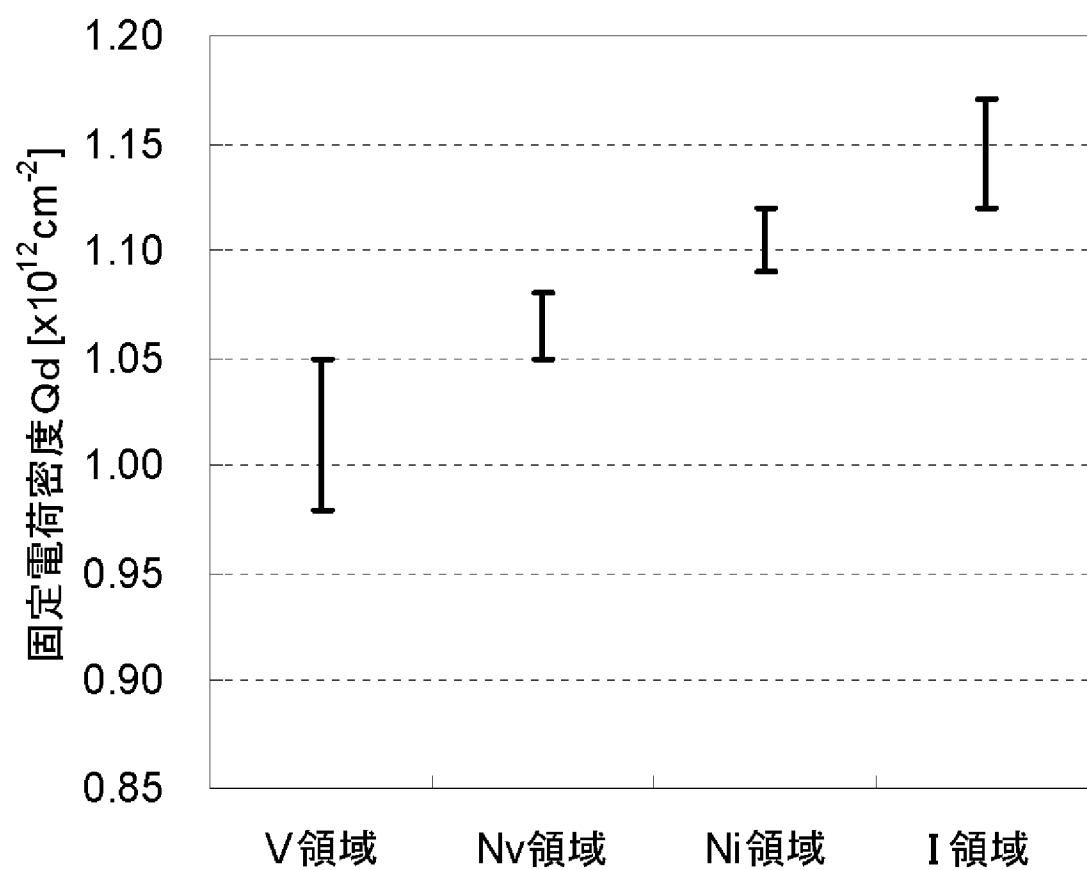
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/001431

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/66(2006.01)i, C30B29/06(2006.01)i, C30B33/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/66, C30B29/06, C30B33/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-45216 A (Solid State Measurements, Inc.), 17 February 2005 (17.02.2005), paragraphs [0019] to [0020], [0027]; fig. 1 & US 2004/0251923 A1 & EP 1489428 A2	1-2
A	JP 6-302665 A (Hitachi, Ltd.), 28 October 1994 (28.10.1994), paragraph [0011]; fig. 1 (Family: none)	1-2

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 May 2015 (21.05.15)

Date of mailing of the international search report
02 June 2015 (02.06.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/66(2006.01)i, C30B29/06(2006.01)i, C30B33/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/66, C30B29/06, C30B33/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-45216 A（ソリッド・ステート・メジャメンツ・インコーポレーテッド）2005.02.17, 段落 [0 0 1 9] ~ [0 0 2 0]、[0 0 2 7]、図 1 & US 2004/0251923 A1 & EP 1489428 A2	1 - 2
A	JP 6-302665 A（株式会社日立製作所）1994.10.28, 段落 [0 0 1 1]、図 1（ファミリーなし）	1 - 2

☐ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 1 . 0 5 . 2 0 1 5

国際調査報告の発送日

0 2 . 0 6 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

堀江 義隆

5 O

9 1 7 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9