

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/033 (2006.01)



[12] 发明专利说明书

专利号 ZL 03818258.0

[45] 授权公告日 2007 年 10 月 3 日

[11] 授权公告号 CN 100341114C

[22] 申请日 2003.7.29 [21] 申请号 03818258.0

[30] 优先权

[32] 2002. 7. 31 [33] US [31] 60/400,453

[32] 2002. 12. 30 [33] US [31] 10/334,392

[86] 国际申请 PCT/US2003/023746 2003. 7. 29

[87] 国际公布 WO2004/012246 英 2004. 2. 5

[85] 进入国家阶段日期 2005. 1. 31

[73] 专利权人 先进微装置公司

地址 美国加利福尼亚州

[72] 发明人 D·J·邦瑟 M·V·普拉特

C·Y·杨 S·A·贝尔

D·A·陈 P·A·菲舍尔

C·F·利昂斯 M·S·张

P-Y·高 M·I·赖特 L·尤

S·达克施纳-摩西

[56] 参考文献

US5869365A 1999. 2. 9

US5759746A 1998. 6. 2

US5998100A 1999. 12. 7

US5656128A 1997. 8. 12

审查员 高莺然

[74] 专利代理机构 北京纪凯知识产权代理有限公司

代理人 戈泊程伟

权利要求书 3 页 说明书 5 页 附图 5 页

[54] 发明名称

减少在半导体装置制造过程中图案变形及光刻胶中毒的方法

[57] 摘要

一硬质屏蔽叠包括交替的掺杂非晶形碳层(22)和无掺杂非晶形碳层(20)。无掺杂非晶形碳层(20)系作为抑止掺杂非晶形碳层(22)中压缩应力影响用的缓冲层以防止剥离。该堆栈具有一上封盖物质层(12)。在封盖物质层(12)之下最好系无掺杂非晶形碳层以减少光刻胶中毒。一替代的硬质屏蔽叠包含交替的封盖物质层(42)和非晶形碳层(40)。该非晶形碳层(40)可以有掺杂物或没有。封盖物质层(42)系作为抑止非晶形碳层(40)中压缩应力影响用的缓冲层以防止剥离。该堆栈的上层系由封盖物质层(42)所组成。在封盖物质层的下层最好系无掺杂非晶形碳层(40)以减少光刻胶中毒。该堆栈最下层最好系非晶形碳层(40)以方便利用灰化移除法自下层物质(8)移除该硬质屏蔽叠。



1. 一种半导体装置的制造方法，包括：

提供具有一上层物质(8)的基体；

在该上层物质上形成一硬质屏蔽叠，该硬质屏蔽叠包括非晶形碳部分与物质层(8)形成接触，以及形成于非晶形碳部分之上的封盖层(12)，该非晶形碳部分包括交替的掺杂非晶形碳层(22)，具有能提高相对于该上层物质的蚀刻选择性的掺杂物，以及实质上不具有该掺杂物的无掺杂非晶形碳层(20)；

在该硬质屏蔽叠上形成一光刻胶屏蔽(14)；以及

用该光刻胶屏蔽(14) 作为最初的蚀刻屏蔽将该硬质屏蔽叠蚀刻形成用以将该上层物质图形化的硬质屏蔽。

2. 如权利要求 1 所述的制造方法，其中还包括：

用该硬质屏蔽将上层物质(8)图案化；以及

藉灰化移除过程将硬质屏蔽移除。

3. 如权利要求 1 所述的制造方法，其中，形成光刻胶屏蔽的步骤包括：

在该封盖物质上形成一光刻胶图案，以及

修整该光刻胶图形。

4. 一种在半导体装置制造过程中形成的结构，包括：

具有上层物质的基体(8)；以及

形成于该上层物质上的硬质屏蔽叠，该硬质屏蔽叠包括一非晶形碳部分与上层物质形成接触，以及形成于非晶形碳部分之上的封盖层，该非晶形碳部分包括交替的掺杂非晶形碳层(22)，具有能提高相对于该上层物质的蚀刻选择性的掺杂物，以及实质上不具有该掺杂物的无掺杂非晶形碳层(20)。

5. 如权利要求 4 所述的结构，其中，该硬质屏蔽的非晶形碳部分

包括：

形成于该上层物质(8)之上的最下层的无掺杂非晶形碳(20)；
与于该封盖层(12)形成接触的最上层的无掺杂非晶形碳(20)；以及
介于该最上层(20)和最下层(20)无掺杂非晶形碳层之间的至少一层掺杂非晶形碳(22)。

6. 一种半导体装置的制造方法，包括：

提供具有上层物质(8)的基体；

在该上层物质(8)上形成一硬质屏蔽叠，该硬质屏蔽叠包括交替的封盖物质层(42)及非晶形碳层(40)，包含至少一上层封盖物质层(42)和一下层封盖物质层(42)，以及至少一层形成于该上层和下层的封盖物质层(42)之间的非晶形碳层(40)；

在该硬质屏蔽叠上形成一光刻胶屏蔽(14)；以及

用该光刻胶屏蔽(14) 作为最初的蚀刻屏蔽将该硬质屏蔽叠蚀刻形成用以将该上层物质(8)图案化的硬质屏蔽。

7. 如权利要求 6 所述的制造方法，其中该硬质屏蔽叠还包括一层形成于该上层物质 (8)上的下层非晶形碳层 (40)，而该下层封盖物质层 (42) 系形成于该下层非晶形碳层 (40) 上，而且，

其中该制造方法还包括：

用该硬质屏蔽将上层物质(8)图案化；以及

藉灰化移除过程将硬质屏蔽自上层物质(8)移除。

8. 如权利要求 6 所述的制造方法，其中，该下层非晶形碳层 (40) 具有能提高有关该上层物质 (8)的蚀刻选择性的掺杂物。

9. 一种在半导体装置制造过程中形成的结构，包括：

具有上层物质的基体(8)；以及

形成于该上层物质上的硬质屏蔽叠，该硬质屏蔽叠包括交替的封盖物质层(42)及非晶形碳层(40)，包含至少一上层封盖物质层(42)和一下层封盖物质层(42)，以及至少一层形成于该上层和下层的封盖物质层

(42)之间的非晶形碳层(40)。

10. 如权利要求 9 所述的结构, 其中该硬质屏蔽还包括一层形成于该上层物质上(8) 的下层非晶形碳层(40), 而该下层封盖物质层(42)系形成于该下层非晶形碳层(40)上, 而且,

其中该下层非晶形碳层(40)具有能提高有关该上层物质(8)的蚀刻选择性的掺杂物。

减少在半导体装置制造过程中图案变形及光刻胶中毒的方法

技术领域

本发明有关于一种半导体制造过程，更详而言之，关于一种减少半导体装置中图案变形的办法。

背景技术

使用非晶形碳层作为硬质屏蔽叠的一部份使 MOSFET 特征结构图案化已知有其好处，这是由于非晶形碳层的图案化比常用的封盖或保护物质如二氧化硅(silicon oxide)，氮化硅(silicon nitride)和氮氧化硅(silicon oxynitride)更容易且有较高选择性。第 1 图显示可用于形成 MOSFET 的包含非晶形碳的结构。该结构包含一半导体基体 2，具有界定 MOSFET 的源极/漏极区的场氧化物(field oxide)4。有一栅极绝缘物质层 6 如二氧化硅形成于基体上。有一栅极导电物质层 8 如杂掺多晶硅形成于基体上，并将被图案化以形成 MOSFET 的闸线。有一硬质屏蔽叠包括一非晶形碳层 10 及一封盖物质层 12 如氮氧化硅形成在栅极导电物质层 8 之上。用以将栅极图形化的光刻胶屏蔽 14 形成于氮氧化硅的封盖物质层 12 上。在制造过程中，使用第一蚀刻将光刻胶屏蔽图案移转到氮氧化硅层上，再使用第二蚀刻将氮氧化硅屏蔽的图案移转到非晶形碳层上，使用第三蚀刻将氧化物从栅极导电物质层表面移除，并执行进一步的蚀刻，藉由使用氮氧化硅和非晶形碳图案作为硬质屏蔽蚀刻下面的栅极导电物质层。

第 1 图结构的问题在于当多晶硅蚀刻时，非晶形碳与多晶硅栅极导电物质层相比具有较低的选择性，造成在蚀刻多晶硅时，同时也将非晶形碳蚀刻，因而使转移图案的劣化。针对此问题所提出的一个解决方法系将氮掺杂于非晶形碳中，增加其与多晶硅相比的选择性。

惟，当装置的大小变小时，氮掺杂方法会衍生出其它更为重要的问题。其中的一问题系来自非晶形碳的氮将光刻胶中毒的。中毒的形成系由于在沉积氮氧化硅时随机发生的氮氧化硅封盖层的小孔，小孔

部分或全部地延伸于氮氧化硅层中，使来自非晶形碳的氮掺杂物能扩散至光刻胶。藉现有发展技术很难将中毒的光刻胶移除，所以中毒的光刻胶会降低光刻胶屏蔽的品质。氮氧化硅封盖膜变的越薄，则中毒问题越严重。

非晶形碳的第二个问题系蚀刻的非晶形碳从下层的多晶硅剥离。第 2a 图和 2b 显示此问题。第 2a 图显示图案化非晶形碳条的上视图。因为非晶形碳，多晶硅，和氮氧化硅的热膨胀数不同，造成非晶形碳条受到压缩力 16。当非晶形碳条的宽度相对于长度减少时，沿着条的长度的压缩应力变的比横过条的宽度的压缩力明显要大。只要氮氧化硅存在于非晶形碳条上，则压缩力不会将条变形。但是，在普通的制程中，在图形化非晶形碳后执行蚀刻将氧化物自多晶硅层移除，而该蚀刻通常移除大部分或全部在非晶形碳条上的氮氧化硅。在那时，非晶形碳条内部的压缩力不再受到抑制，且非晶形碳自下层的多晶硅剥离并可能形成如第 2b 图所示的弯曲图形，使条变长而缓和压缩力。该图形会经过更进一步的蚀刻复制在多晶硅上，造成变形的网关。该问题因为氮掺杂而更加的严重。

因此，需要一些方法来减少图形变形及光刻胶中毒，同时维持想要的氮掺杂非晶形碳的蚀刻选择性特性。

发明内容

本发明的一目的系减少在半导体装置制造过程中图形的变形。

根据本发明的一较佳实施例，形成包含交替的掺杂非晶形碳层和无掺杂非晶形碳层的硬质屏蔽叠。无掺杂非晶形碳层系作为抑止掺杂非晶形碳层中压缩力影响用的缓冲层以防止剥离。提供上封盖物质层给该堆栈。在封盖物质层的下层最好系无掺杂非晶形碳层以减少光刻胶中毒。

根据本发明的第二较佳实施例，形成包含交替的封盖物质层和非晶形碳层的硬质屏蔽叠。该非晶形碳层可以有掺杂物或没有。封盖物质层系作为抑止非晶形碳层中压缩力影响用的缓冲层以防止剥离。该堆栈的上层系由封盖物质层所组成。在封盖物质层的下层最好系无掺杂非晶形碳层以减少光刻胶中毒。该堆栈最下层最好系非晶形碳层以

方便利用灰化移除法(ashing process)自下层物质移除该硬质屏蔽叠。

附图说明

第 1 图显示在半导体装置的制程中使用非晶形碳形成的结构；

第 2a 图和 2b 图描述掺杂非晶形碳条的变形；

第 3a 图和 3b 图显示根据本发明的第一较佳实施例在半导体装置的制程中形成的结构；

第 4 图显示包含第一较佳实施例及替代实施例的制造流程；

第 5 图显示根据本发明的第二较佳实施例在半导体装置的制程中形成的结构；以及

第 6 图显示包含第二较佳实施例及替代实施例的制造流程；

具体实施方式

第 3a 图和 3b 图显示根据本发明的第一较佳实施例在半导体装置的制程中形成的结构。该结构包含一半导体基体 2，具有界定 MOSFET 的源极/漏极区的场氧化物(field oxide)4。有一栅极绝缘物质层 6 如二氧化硅和栅极导电物质层 8 如杂掺多晶硅形成于该基体上，并将图案化以形成 MOSFET 的栅极线和栅极绝缘物。在栅极导电物质层 8 之上形成一硬质屏蔽叠包括一非晶形碳部分与下层的多晶硅形成接触。非晶形碳部分具有间断交替的掺杂非晶形碳层 22，含有掺杂物如氮，用以提高它相较于多晶硅的选择性，以及无掺杂非晶形碳层 20，该无掺杂非晶形碳层 20 实质上不具有任何掺杂非晶形碳层 22 的提升蚀刻选择性用的掺杂物。于硬质屏蔽叠的非晶形碳部分上形成二氧化硅，氮化硅，或氮氧化硅的一封盖物质层 12，以及将光刻胶屏蔽 14 形成于封盖物质层 12 上，用以定义栅极线的图案。硬质屏蔽叠的总高度最好为约 500 埃。

第 3a 图与第 1 图结构不同之处在于将无掺杂非晶形碳层 20 与一层或一层以上的掺杂非晶形碳层 22 一起使用。无掺杂非晶形碳层 20 系作为用以抑止掺杂非晶形碳层 22 内的压缩应力的缓冲层以防止剥离。根据本实施例，虽然可利用任何数量或顺序的掺杂或无掺杂层，最好将无掺杂非晶形碳作为与封盖层接触的最上层以防止光刻胶中

毒，并在最下层形成一无掺杂非晶形碳于底下的多晶硅上，以增加变形阻力。

第 3a 图描述的非晶形碳部分的层系藉由独立的制造步骤形成的间断层。第 3a 图的替代结构中，掺杂或无掺杂层可形成如第 3b 图所示的不间断层。这系藉由在单一不间断的沉淀过程中改变掺杂源气体流动率，于硬质屏蔽叠的非晶形碳部分之中产生一具有想要坡度的掺杂物浓度分布(dopant profile)。

第 3a 图和 3b 更进一步的结构可利用更多层的掺杂和无掺杂非晶形碳，并且可以将那些层以不同顺序设置，例如，将掺杂非晶形碳形成于底下的多晶硅上。另外的实施例中，可使用替代的封盖层如富硅氧化层(silicon rich oxide)，或富硅氮化层(silicon rich nitride)。在其它实施例中，该硬质屏蔽结构可形成于将予以蚀刻的不同物质上，例如金属线层，或可用于形成不同种类的图形结构，例如一接点或互联点。

第 4 图显示包含第一较佳实施例，上述提及的替代实施例，以及未实际说明的其它替代实施例的制造流程。一开始提供具有上层物质的基体(30)。将硬质屏蔽叠接着形成于该上层物质上(32)。硬质屏蔽叠包括有一非晶形碳部分接触该物质层，而将封盖层形成于非晶形碳部分上。非晶形碳部分包含有交替的掺杂非晶形碳层，具有提高与该物质层有关的蚀刻选择性的掺杂物，以及实质上不含有任何掺杂物的非晶形碳。

接着形成一光刻胶屏蔽于硬质屏蔽上(34)。光刻胶屏蔽可经由光刻胶修整过程加以修整。然后以光刻胶屏蔽为最初的屏蔽将硬质屏蔽蚀刻，以形成用以将底下的物质图形化的硬质屏蔽(36)。

可以执行更进一步的制程如将物质上层图形化并移除硬质屏蔽。

第 5 图显示根据本发明的第二较佳实施例在半导体装置的制程中形成的结构。

第 5 图的结构包含一半导体基体 2，具有界定 MOSFET 源极/漏极区的场氧化物(field oxide)4。在该基体上形成栅极绝缘物质层 6 如二氧化硅和栅极导电物质层 8 如杂掺多晶硅。栅极导电物质层 8 将被图案化形成 MOSFET 的栅极线。在栅极导电物质层 8 之上形成一硬质屏蔽叠(hard mask stack)，该硬质屏蔽叠具有间断交替的非晶形碳层 40 和一

封盖物质层 42 如二氧化硅，氮化硅和氮氧化硅。非晶形碳可为掺杂或非掺杂。在封盖物质的上层形成一光刻胶屏蔽 14 用以定义栅极线的图案。硬质屏蔽叠的总高度最好为约 500 埃。封盖物质层的高度最好为约 20-50 埃。

第 5 图与第 1 图结构不同之处在于使用了复数层交替的非晶形碳和封盖物质。封盖物质层 42 系作为用以抑制非晶形碳层 40 内的压缩应力的缓冲层以防止剥离。虽然通常将封盖物质最上层蚀刻硬质屏蔽时移除，但剩下的一层或多层封盖物质会留下来抵止剥离。

最好硬质屏蔽叠的最下层为非晶形碳，以藉灰化移除过程(ashing process)达成移除硬质屏蔽，且将无掺杂非晶形碳作为最上层与封盖层形成接触以减少光刻胶中毒。但其它的实施例中，最下层可由封盖物质组成，而最上层可为掺杂非晶形碳。在另外的实施例中，可使用替代的封盖层如富硅氧化层，或富硅氮化层，而在同一硬质屏蔽叠中可用不同的封盖物质于不同层。在其它实施例中，该硬质屏蔽结构可形成于将予以蚀刻的不同物质上，例如金属线层，或可用于形成不同种类的图案结构，例如一接点或互联点。

第 6 图显示包含第二较佳实施例，上述提及的替代实施例，以及未实际说明的其它替代实施例的制造流程。一开始提供一具有上层物质的基体(50)。接着形成一硬质屏蔽叠于该上层物质上(52)。硬质屏蔽叠包括有交替的封盖物质层和非晶形碳层，包含至少一层第一上层封盖物质，一层在第一上层封盖物质之下的非晶形碳层，以及一层在非晶形碳层之下第二封盖物质层。接着形成一光刻胶屏蔽于硬质屏蔽上(54)。光刻胶屏蔽可经由光刻胶修整过程加以修整。然后以光刻胶屏蔽为最初的屏蔽将硬质屏蔽蚀刻，以形成用以将底下的上层物质图形化的硬质屏蔽(56)。

可以执行更进一步的制程如将底下的物质图形化并移除硬质屏蔽。

上述系藉由特定的具体实例说明本发明的实施方式，熟悉此技艺的人士可在不违背本发明的精神及范畴下，对设备，操作环境，以及设定进行修饰与改变。本发明的权利保护范围，应仅限制于后述的专利申请范围所列。

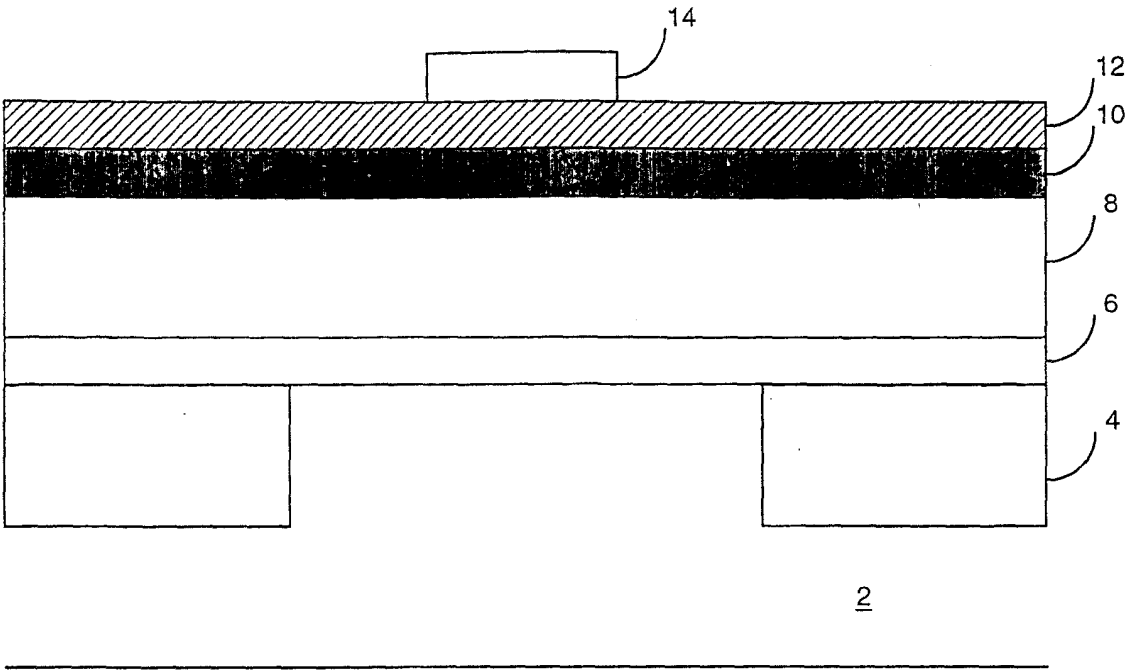


图1
(现有技术)

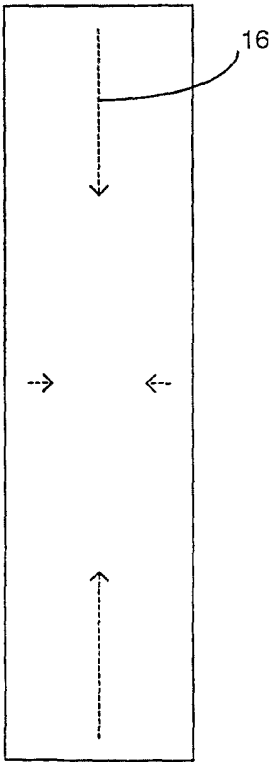


图2a

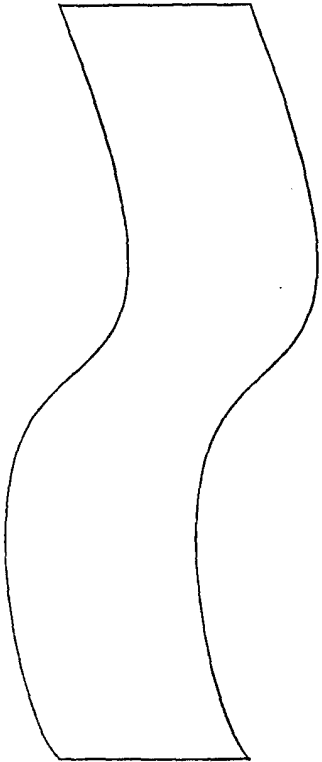


图2b

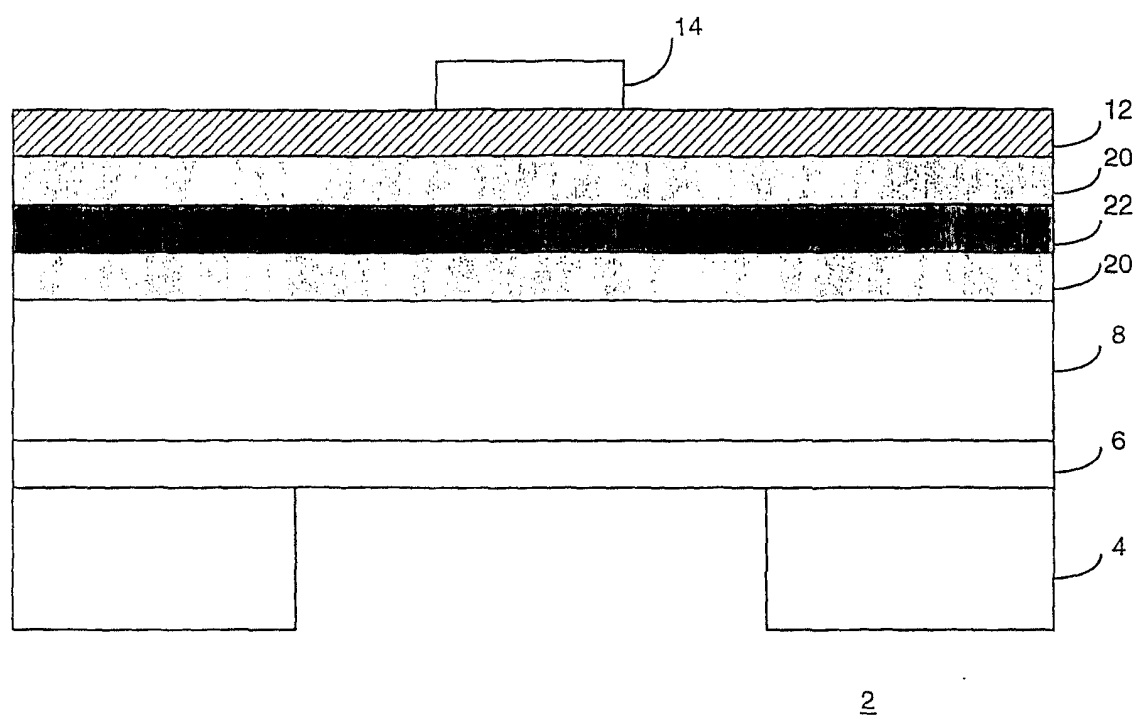


图3a

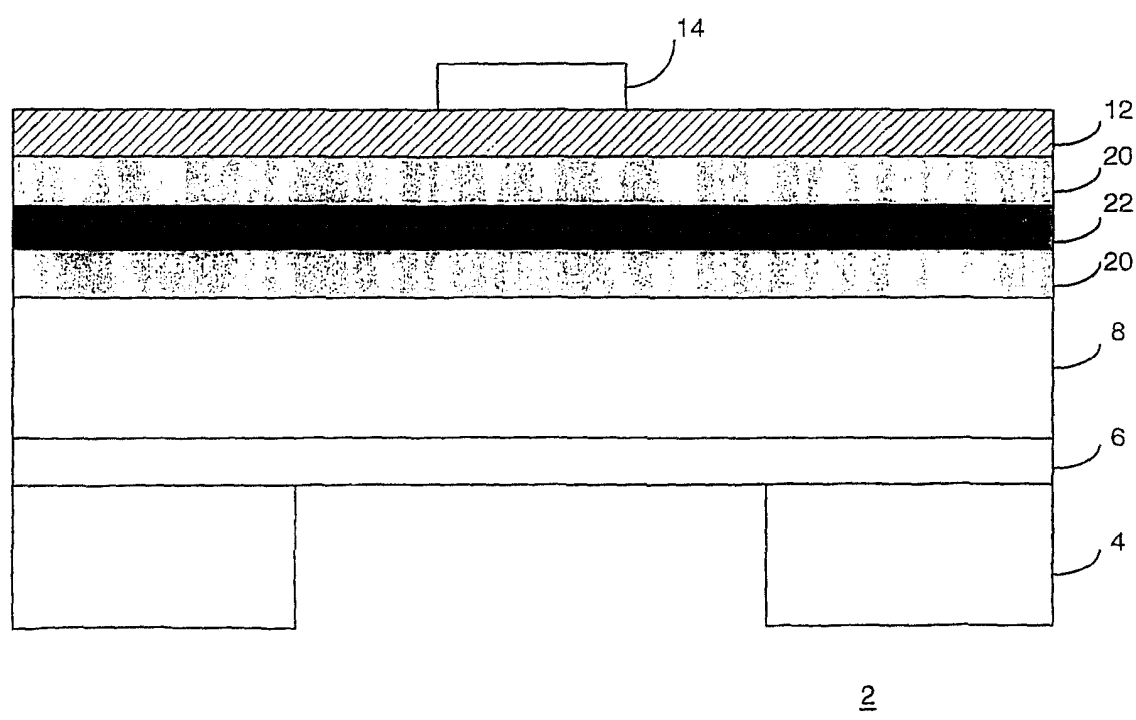


图3a

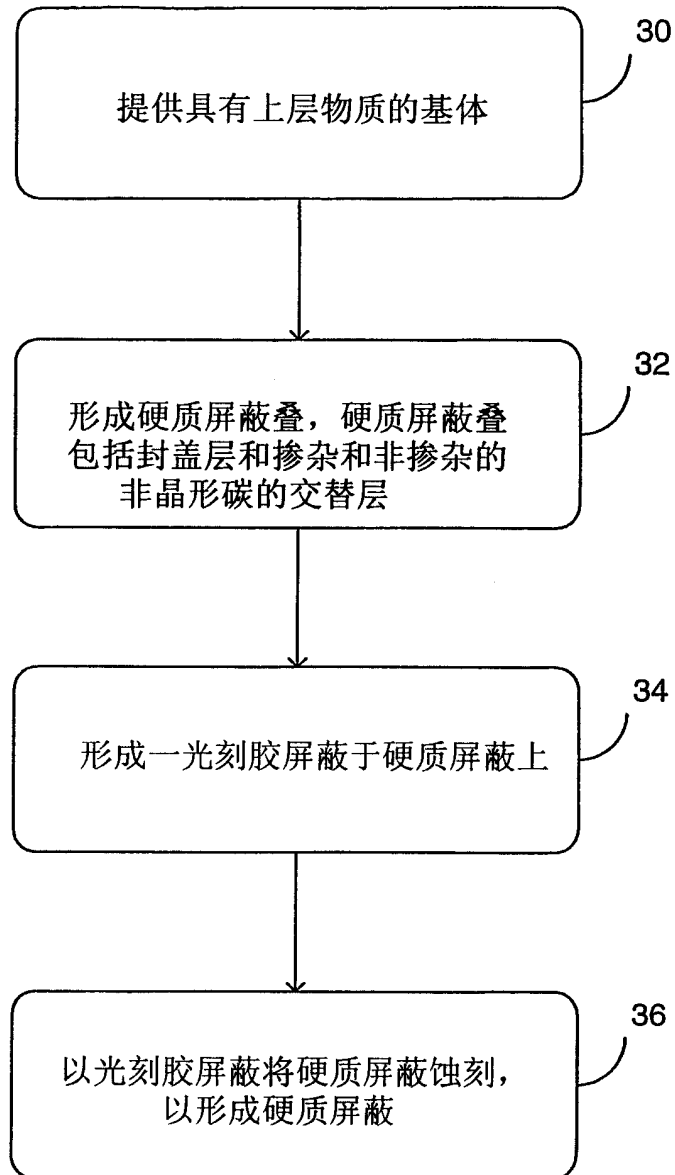


图4

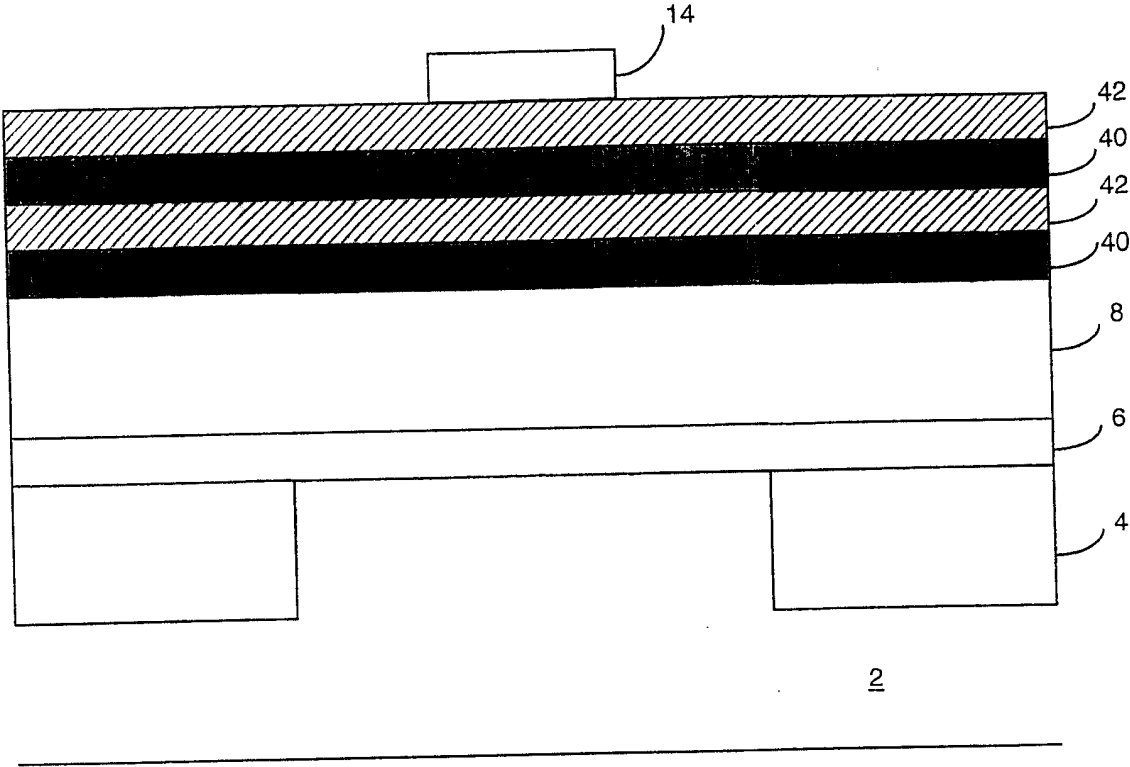


图5

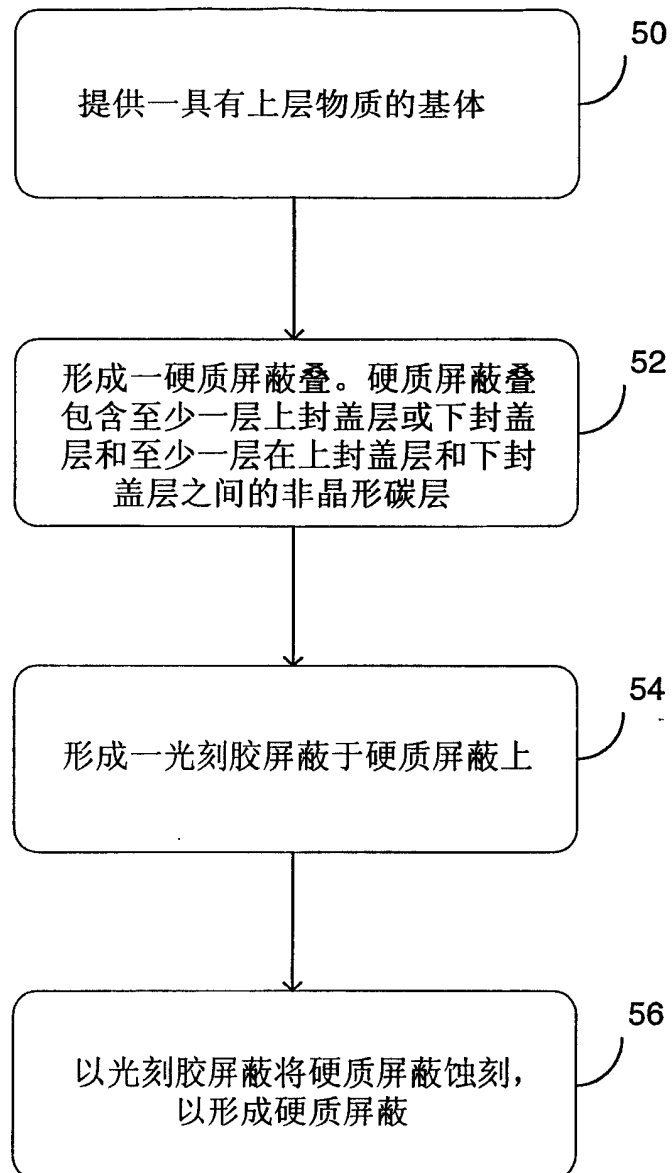


图6