



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0149445
(43) 공개일자 2016년12월28일

(51) 국제특허분류(Int. Cl.)
G01R 35/00 (2006.01) G01R 31/28 (2006.01)
G01R 31/317 (2006.01)
(52) CPC특허분류
G01R 35/005 (2013.01)
G01R 31/28 (2013.01)
(21) 출원번호 10-2015-0086410
(22) 출원일자 2015년06월18일
심사청구일자 2015년06월18일

(71) 출원인
인하대학교 산학협력단
인천광역시 남구 인하로 100, 인하대학교 (용현동)
(72) 발명자
강진구
서울특별시 서초구 잠원로12길 5, 335동 1003호(잠원동, 신반포아파트)
손경섭
인천광역시 연수구 청능대로 175, 117동 1905호(연수동, 연수우성1차아파트)
옹우엔 휴 토
인천광역시 남구 용현동 인하로 100, 인하대학교 하이테크관 807호
(74) 대리인
양성보

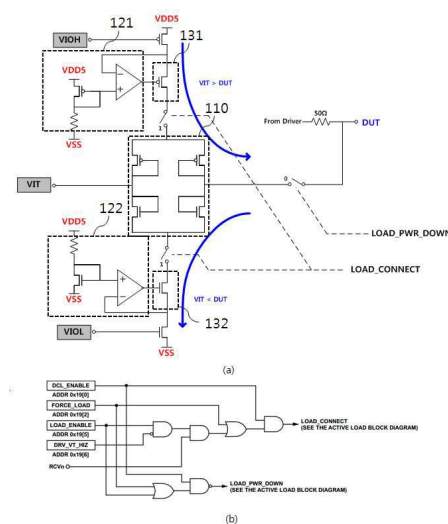
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 고 임피던스 전류 보정 회로를 갖는 테스트 보드용 액티브 로드

(57) 요약

고 임피던스 전류 보정 회로를 갖는 테스트 보드용 액티브 로드 설계 방법 및 회로가 제시된다. 본 발명에서 제안하는 고 임피던스 전류 보정 회로를 갖는 테스트 보드용 액티브 로드 설계 방법은 평가용 보드의 출력 단자의 신호와 기준 신호를 비교하는 단계, 상기 출력 단자의 신호가 상기 출력 공통 모드 레벨보다 클 경우, 전원 전압으로부터 상기 출력 단자로 전류가 소상됨으로써 고 임피던스 전류를 보정 하는 단계, 상기 출력 단자의 신호가 상기 출력 공통 모드 레벨보다 작을 경우, 상기 출력 단자의 신호가 그라운드로 싱크됨으로써 고 임피던스 전류를 보정 하는 단계, 상기 고 임피던스 전류를 보정 하는 단계를 거친 출력 단자의 신호의 출력 스윙 가운데 지점을 출력 공통 모드 레벨로 설정하는 단계를 포함할 수 있다.

대표도 - 도1



(52) CPC특허분류

G01R 31/31704 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 1415135993

부처명 산업통상자원부

연구관리전문기관 한국산업기술평가관리원

연구사업명 신성장동력장비경쟁력강화사업

연구과제명 AP (Application Processor) 및 SoC 고속 테스트 장비 개발

기 여 율 1/1

주관기관 (주)엑시콘

연구기간 2014.10.01 ~ 2015.09.30

명세서

청구범위

청구항 1

테스트 보드용 액티브 로드 설계 방법에 있어서,

평가용 보드의 출력 단자의 신호와 기준 신호를 비교하는 단계;

상기 출력 단자의 신호가 상기 출력 공통 모드 레벨보다 클 경우, 전원 전압으로부터 상기 출력 단자로 전류가 소싱됨으로써 고 임피던스 전류를 보정 하는 단계; 및

상기 출력 단자의 신호가 상기 출력 공통 모드 레벨보다 작을 경우, 상기 출력 단자의 신호가 그라운드로 싱크됨으로써 고 임피던스 전류를 보정 하는 단계

를 포함하는 테스트 보드용 액티브 로드 설계 방법.

청구항 2

제1항에 있어서,

상기 소싱되는 전류 및 싱크되는 전류는 미리 정해진 비트의 DAC 신호인 소싱 설정 전류 및 싱크 설정 전류에 따라 설정되는 것

을 특징으로 하는 테스트 보드용 액티브 로드 설계 방법.

청구항 3

제1항에 있어서,

상기 고 임피던스 전류를 보정 하기 위해 피드백 과정을 통해 전류원 회로에 임피던스를 증가 시키는 것이 가능하고, 설정 전류의 변화가 가능하고, 소싱 및 싱크 동작에 상관 없이 고정된 전류 공급함으로써 일정한 공통 모드 레벨 유지가 가능한 것

을 특징으로 하는 테스트 보드용 액티브 로드 설계 방법.

청구항 4

테스트 보드용 액티브 로드 회로에 있어서,

평가용 보드의 출력 단자의 신호와 기준 신호를 비교하여 출력 단자의 신호의 출력 스윙 가운데 지점을 출력 공통 모드 레벨로 설정하는 브릿지 회로; 및

상기 출력 단자의 신호가 상기 출력 공통 모드 레벨보다 클 경우, 전원 전압으로부터 상기 출력 단자로 전류를 소싱함으로써 전류를 보정 하고, 상기 출력 단자의 신호가 상기 출력 공통 모드 레벨보다 작을 경우, 상기 출력 단자의 신호를 그라운드로 싱크함으로써 전류를 보정 하는 고 임피던스 보정회로

를 포함하는 테스트 보드용 액티브 로드 회로.

청구항 5

제4항에 있어서,

상기 고 임피던스 보정회로의 소싱되는 전류 및 싱크되는 전류를 미리 정해진 비트의 DAC 신호인 소싱 설정 전류 및 싱크 설정 전류에 따라 설정하는 것

을 특징으로 하는 테스트 보드용 액티브 로드 회로.

청구항 6

제1항에 있어서,

상기 고 임피던스 보정회로는,

피드백 과정을 통해 전류원 회로에 임피던스를 증가 시키고, 설정 전류를 변화 시키고, 소싱 및 싱크 동작에 상관 없이 고정된 전류를 공급함으로써 일정한 공통 모드 레벨 유지가 가능한 것

을 특징으로 하는 테스트 보드용 액티브 로드 회로.

발명의 설명

기술 분야

[0001] 본 발명은 고 임피던스 전류 보정 회로를 갖는 테스트 보드용 액티브 로드(active load) 설계 방법 및 회로에 관한 것이다.

배경 기술

[0002] 평가용 테스트 보드에서, 드라이버에 출력 단은 일정한 공통 모드 레벨을 유지하여야 한다. 액티브 로드(active load)는 특정 모드 설정 시, 출력 단과 연결되며 출력 단에 일정한 공통 모드 레벨을 유지시키는 기능을 가져야 한다. 이는, 기준 레벨과 출력 레벨을 비교하여, 출력 단 로드에서 전류를 공급하거나 빼냄으로써 가능하다. 공급 전류는 출력 로드에서 변화에도 고정적인 값을 가져야 하고 14-Bit DAC 제어가 가능해야 한다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 한국공개특허 10-2010-0097192

발명의 내용

해결하려는 과제

[0004] 본 발명이 이루고자 하는 기술적 과제는 액티브 로드(active load)는 평가용 보드 ASIC의 출력 단에서, 출력 레벨의 안정화 및 과전류 방지를 위한 설계 방법 및 회로를 제공하는 데있다. 출력 신호의 공통 모드 레벨과 기준 값과 비교를 통해, 출력 단에 전류를 소싱(sourcing)하거나 싱크(sink)하는 역할을 하고, 사용자 설정에 따라 14-비트 DAC를 통해 전류 값을 $\pm 25\text{mA}$ 조절 가능한 설계 방법 및 회로를 제공한다.

과제의 해결 수단

[0005] 일 측면에 있어서, 본 발명에서 제안하는 고 임피던스 전류 보정 회로를 갖는 테스트 보드용 액티브 로드 설계 방법은 평가용 보드의 출력 단자의 신호와 기준 신호를 비교하는 단계, 상기 출력 단자의 신호가 상기 출력 공통 모드 레벨보다 클 경우, 전원 전압으로부터 상기 출력 단자로 전류가 소싱됨으로써 고 임피던스 전류를 보정하는 단계, 상기 출력 단자의 신호가 상기 출력 공통 모드 레벨보다 작을 경우, 상기 출력 단자의 신호가 그라운드로 싱크됨으로써 고 임피던스 전류를 보정 하는 단계, 상기 고 임피던스 전류를 보정 하는 단계를 거친 출력 단자의 신호의 출력 스윙 가운데 지점을 출력 공통 모드 레벨로 설정하는 단계를 포함할 수 있다.

[0006] 상기 소싱되는 전류 및 싱크되는 전류는 미리 정해진 비트의 DAC 신호인 소싱 설정 전류 및 싱크 설정 전류에 따라 설정될 수 있다.

[0007] 상기 고 임피던스 전류를 보정 하기 위해 피드백 과정을 통해 전류원 회로에 임피던스를 증가 시키는 것이 가능하고, 설정 전류의 변화가 가능하고, 소싱 및 싱크 동작에 상관 없이 고정된 전류 공급함으로써 일정한 공통 모드 레벨 유지가 가능하다.

[0008] 또 다른 일 측면에 있어서, 본 발명에서 제안하는 고 임피던스 전류 보정 회로를 갖는 테스트 보드용 액티브 로드 회로는 평가용 보드의 출력 단자의 신호와 기준 신호를 비교하여 출력 단자의 신호의 출력 스윙 가운데 지점을 출력 공통 모드 레벨로 설정하는 브릿지 회로, 상기 출력 단자의 신호가 상기 출력 공통 모드 레벨보다 클 경우, 전원 전압으로부터 상기 출력 단자로 전류를 소싱함으로써 전류를 보정 하고, 상기 출력 단자의 신호가 상기 출력 공통 모드 레벨보다 작을 경우, 상기 출력 단자의 신호를 그라운드로 싱크함으로써 전류를 보정 하는

고 임피던스 보정회로를 포함할 수 있다.

[0009] 상기 고 임피던스 보정회로의 소싱되는 전류 및 싱크되는 전류를 미리 정해진 비트의 DAC 신호인 소싱 설정 전류 및 싱크 설정 전류에 따라 설정할 수 있다.

[0010] 상기 고 임피던스 보정회로는 피드백 과정을 통해 전류원 회로에 임피던스를 증가 시키고, 설정 전류를 변화 시키고, 소싱 및 싱크 동작에 상관 없이 고정된 전류를 공급함으로써 일정한 공통 모드 레벨 유지가 가능하다.

발명의 효과

[0011] 본 발명의 실시예들에 따르면 제안된 액티브 로드를 사용함으로써, 출력 단에 일정한 공통 모드 레벨을 유지시킬 수 있다. 설정된 공통 모드 레벨을 기준으로 출력의 레벨 변화를 감지하여 전류를 공급하거나 빼낼 수 있고, 이는 출력 단에 일정한 로드 값을 유지하게 한다. 흐르는 전류의 양은 14-비트 DAC를 통해 조절 가능하다. 고정된 전류원을 공급하기 위한, 고 임피던스 보정 회로는 전류원 회로의 안정성과 신뢰성을 향상시킬 수 있다. 또한, 다양한 드라이버 로드 회로에 사용 될 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 일 실시예에 따른 고 임피던스 전류 보정 회로를 갖는 테스트 보드용 액티브 로드 회로의 블록 다이어그램 및 로직 다이어그램이다.

도 2는 본 발명의 일 실시예에 따른 고 임피던스 전류 보정 회로를 갖는 테스트 보드용 액티브 로드 설계 방법을 설명하기 위한 흐름도이다.

도 3은 본 발명의 일 실시예에 따른 액티브 로드에서 DUT 신호에 따른 VIT/DUT 노드 전류 변화 그래프이다.

도 4는 본 발명의 일 실시예에 따른 VIOH 변화 및 VIOL 변환에 따른 DUT 전류 변화 그래프이다.

도 5는 본 발명의 일 실시예에 따른 액티브 로드 회로의 레이아웃 사진이다.

발명을 실시하기 위한 구체적인 내용

[0013] 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.

[0014] 도 1은 본 발명의 일 실시예에 따른 고 임피던스 전류 보정 회로를 갖는 테스트 보드용 액티브 로드 회로의 블록 다이어그램 및 로직 다이어그램이다.

[0015] 도 1 (a)는 고 임피던스 전류 보정 회로를 갖는 테스트 보드용 액티브 로드 회로의 블록 다이어그램이다.

[0016] 고 임피던스 전류 보정 회로를 갖는 테스트 보드용 액티브 로드 회로는 4개의 다이오드로 구성된 브릿지 회로(110), 전류원 회로(131, 132), 그리고 고 임피던스 보정 회로(121, 122)를 포함할 수 있다.

[0017] 브릿지 회로(110)는 평가용 보드의 출력 단자의 신호와 기준 신호를 비교하여 출력 단자의 신호의 출력 스윙 가운데 지점을 출력 공통 모드 레벨로 설정할 수 있다.

[0018] 고 임피던스 보정 회로(121, 122)는 상기 출력 단자의 신호가 상기 출력 공통 모드 레벨보다 클 경우, 전원 전압으로부터 상기 출력 단자로 전류를 소싱 소싱(sourcing)함으로써 전류를 보정할 수 있다. 그리고, 상기 출력 단자의 신호가 상기 출력 공통 모드 레벨보다 작을 경우, 상기 출력 단자의 신호를 그라운드로 싱크(sink)함으로써 전류를 보정할 수 있다.

[0019] 고 임피던스 보정 회로(121, 122)는 소싱(sourcing) 및 싱크(sink)되는 전류를 미리 정해진 비트의 DAC 신호인 소싱 설정 전류 및 싱크 설정 전류에 따라 설정할 수 있다.

[0020] 또한, 고 임피던스 보정 회로(121, 122)는 피드백 과정을 통해 전류원 회로에 임피던스를 증가 시킬 수 있다. 그리고, 설정 전류의 변화가 가능하고, 소싱(sourcing) 및 싱크(sink) 동작에 상관 없이 고정된 전류 공급함으로써 일정한 공통 모드 레벨 유지가 가능하다.

[0021] 도 1(a)을 참조하면, VIT, VIOH, 그리고 VIOL은 DAC와 연결되는 신호로써 각각 출력 공통 모드 레벨, 소싱 설정 전류, 그리고 싱크 설정 전류를 의미한다. DUT는 평가용 보드 ASIC의 출력 단자이고 본 발명의 실시예에 따르면, 드라이버 회로를 통해 50옴으로 매칭하였다.

[0022] 도 1(b)을 참조하면, LOAD_PWR_DOWN과 LOAD_CONNECT는 액티브 로드 동작 모드를 결정하기 위한, 스위치 게이트로 들어가는 신호이다. LOAD_PWR_DOWN과 LOAD_CONNECT는 아래와 같이 나타낼 수 있다.

$$\begin{aligned} \text{LOAD_CONNECT} &= \text{DCL_ENABLE} \times (\text{FORCE_LOAD} + \text{RCVn} \times \overline{\text{DRV_VT_HIZ}} \times \text{LOAD_ENABLE}) \\ \text{LOAD_PWR_DOWN} &= \text{DCL_ENABLE} + \text{FORCE_LOAD} \times \text{LOAD_ENABLE} \end{aligned}$$

[0024] 동작 모드 결정 신호는 ASIC SPI 블록 내, 사용자 설정에 따라 논리 게이트를 발생된다. 브릿지 회로는 트랜지스터의 게이트와 드레인을 연결한 구조로 구현된다. 각 p-형 트랜지스터 다이오드와 n-형 트랜지스터 다이오드 사이는 기준 신호가 되는 VIT 신호와 출력 단자 DUT의 신호가 연결된다. 전류원 회로는 단순한 트랜지스터로 구성되고 게이트 전압을 14-비트 DAC를 통해 제어할 수 있도록 구성된다. 제안하는 고 임피던스 전류 보정 회로는 하나의 트랜지스터와 고 이득 차동 증폭기(differential op-amp)로 구성된다.

[0025] 회로의 동작은 다음과 같다. ASIC 출력 단자 DUT의 신호와 기준이 되는 VIT 신호를 비교한다. 기준이 되는 VIT는 출력 단자 DUT의 출력 스윙의 가운데 지점인 공통 모드 레벨로 설정된다. 예를 들어, 회로에 사용되는 전원 전압은 5V이므로, 일반적으로 VIT는 2.5V로 설정한다.

[0026] 출력 단자 DUT가 기준이 되는 VIT보다 클 경우 전원 전압 VDD5로부터 출력 단자 DUT로 전류가 소싱(sourcing)된다. 출력 단자 DUT가 기준이 되는 VIT보다 작을 경우 출력 단자 DUT로부터 VSS(다시 말해, ground voltage)로 전류는 싱크(sink)된다.

[0027] 본 발명의 실시예에 따르면, 소싱(sourcing)되고 싱크(sink)되는 전류 각 14-비트 DAC 신호인 소싱 설정 전류 VIOH와 싱크 설정 전류 VIOL에 따라 설정되고 그 값은 최대 $\pm 25\text{mA}$ 로 설계되었다. 고 임피던스 전류 보정 회로는 피드백 과정을 통해 전류원 회로에 임피던스를 크게 만들어 주고, 설정 전류 변화 및 소싱(sourcing)/싱크(sink) 동작에 상관 없이 고정된 전류원을 가능케 한다.

[0028] 도 2는 본 발명의 일 실시예에 따른 고 임피던스 전류 보정 회로를 갖는 테스트 보드용 액티브 로드 설계 방법을 설명하기 위한 흐름도이다.

[0029] 고 임피던스 전류 보정 회로를 갖는 테스트 보드용 액티브 로드 설계 방법은 평가용 보드의 출력 단자의 신호와 기준 신호를 비교하는 단계(210), 상기 출력 단자의 신호가 상기 출력 공통 모드 레벨보다 클 경우, 전원 전압으로부터 상기 출력 단자로 전류가 소싱(sourcing)됨으로써 고 임피던스 전류를 보정 하는 단계(220), 상기 출력 단자의 신호가 상기 출력 공통 모드 레벨보다 작을 경우, 상기 출력 단자의 신호가 그라운드로 싱크(sink)됨으로써 고 임피던스 전류를 보정 하는 단계(230), 상기 고 임피던스 전류를 보정 하는 단계를 거친 출력 단자의 신호의 출력 스윙 가운데 지점을 출력 공통 모드 레벨로 설정하는 단계(240)를 포함할 수 있다.

[0030] 단계(210)에서, 평가용 보드의 출력 단자의 신호와 기준 신호를 비교할 수 있다. 평가용 보드 ASIC의 출력 단자 DUT의 신호와 기준 신호가 되는 VIT 신호를 비교한다. 기준 신호가 되는 VIT는 출력 단자 DUT 출력 스윙의 가운데 지점인 공통 모드 레벨로 설정된다. 예를 들어, 회로에 사용되는 전원 전압은 일반적으로 5V이므로, 기준 신호가 되는 VIT는 2.5V로 설정한다.

[0031] 단계(220)에서, 상기 출력 단자의 신호가 상기 출력 공통 모드 레벨보다 클 경우, 전원 전압으로부터 상기 출력 단자로 전류가 소싱(sourcing)됨으로써 고 임피던스 전류를 보정 한다. 출력 단자 DUT가 기준 신호가 되는 VIT보다 클 경우 전원 전압 VDD5로부터 출력 단자 DUT로 전류가 소싱(sourcing)된다.

[0032] 단계(230)에서, 상기 출력 단자의 신호가 상기 출력 공통 모드 레벨보다 작을 경우, 상기 출력 단자의 신호가 그라운드로 싱크(sink)됨으로써 고 임피던스 전류를 보정한다. 출력 단자 DUT가 기준 신호가 되는 VIT보다 작을 경우 출력 단자 DUT로부터 VSS로 전류는 싱크(sink)된다.

[0033] 상기 소싱(sourcing) 및 싱크(sink)되는 전류는 미리 정해진 비트의 DAC 신호인 소싱 설정 전류 및 싱크 설정 전류에 따라 설정될 수 있다.

[0034] 예를 들어, 소싱(sourcing)되고 싱크(sink)되는 전류 각 14-비트 DAC 신호인 VIOH와 VIOL에 따라 설정되고 그 값은 최대 $\pm 25\text{mA}$ 로 설계되었다. 고 임피던스 전류 보정 회로는 피드백 과정을 통해 전류원 회로에 임피던스를

크게 만들어 주고, 설정 전류 변화 및 소싱(sourcing)/싱크(sink) 동작에 상관 없이 고정된 전류원을 가능하게 한다.

[0035] 제안하는 방법은 고 임피던스 전류를 보정 하기 위해 피드백 과정을 통해 전류원 회로에 임피던스를 증가 시키는 것이 가능하다. 그리고, 설정 전류의 변화가 가능하고, 소싱(sourcing) 및 싱크(sink) 동작에 상관 없이 고정된 전류 공급함으로써 일정한 공통 모드 레벨 유지가 가능하다.

[0036] 도 3은 본 발명의 일 실시예에 따른 액티브 로드에서 DUT 신호에 따른 VIT/DUT 노드 전류 변화 그래프이다.

[0037] 도 3을 참조하면, 기준 신호가 되는 VIT를 공통 모드 레벨 2.5V로 고정 시킨 후, DUT를 전원 전압인 5V부터 0V 까지 인가할 경우 VIT와 DUT 노드에서 본 전류 그래프이다. 소싱(sourcing)/싱크(sink) 되는 전류는 $\pm 25\text{mA}$ 로 설정되었다. 공통 모드 레벨 2.5V를 기준으로, DUT 노드에서, DUT가 VIT 작을 경우 $+25\text{mA}$ 소싱(sourcing)되고 DUT가 VIT보다 클 경우 -25mA 가 싱크(sink)되는 것을 확인 할 수 있다.

[0038] 도 4는 본 발명의 일 실시예에 따른 VIOH 변화 및 VIOL 변환에 따른 DUT 전류 변화 그래프이다.

[0039] 도 4(a)는 소싱 설정 전류 VIOH 신호 변화에 따른 소싱(sourcing) 전류의 변화 그래프 이다.

[0040] 도 4(b)는 싱크 설정 전류 VIOL 신호 변화에 따른 싱크(sink) 전류의 변화 그래프 이다. 소싱 설정 전류 VIOH 신호 및 싱크 설정 전류 VIOL 신호 변화에 따라 출력 단자 DUT에 전류가 최대 $\pm 25\text{mA}$ 에서 0mA까지 변화되는 것을 확인할 수 있다.

[0041] 도 5는 본 발명의 일 실시예에 따른 액티브 로드 회로의 레이아웃 사진이다.

[0042] 제안된 액티브 로드 회로의 레이아웃 총 면적은 0.245mm^2 이다. 공급 전원 전압 5V에서 소싱(sourcing)/싱크(sink) 전류를 $\pm 25\text{mA}$ 로 설정한 경우, 125mW 의 전력 소비를 발생한다.

[0043] 제안된 액티브 로드를 사용함으로써, 출력 단에 일정한 공통 모드 레벨을 유지시킬 수 있다. 설정된 공통 모드 레벨을 기준으로 출력의 레벨 변화를 감지하여 전류를 공급하거나 빼낼 수 있고, 이는 출력 단에 일정한 로드 값을 유지하게 한다. 흐르는 전류의 양은 14-비트 DAC를 통해 조절 가능하다. 또한, 고정된 전류원을 공급하기 위한 고 임피던스 보정 회로는 전류원 회로의 안정성과 신뢰성을 향상시킬 수 있을 뿐만 아니라 다양한 드라이버 로드 회로에 사용 될 수 있다.

[0044] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.

[0045] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상

장치(virtual equipment), 컴퓨터 저장 매체 또는 장치, 또는 전송되는 신호 파(signal wave)에 영구적으로, 또는 일시적으로 구체화(embodiment)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

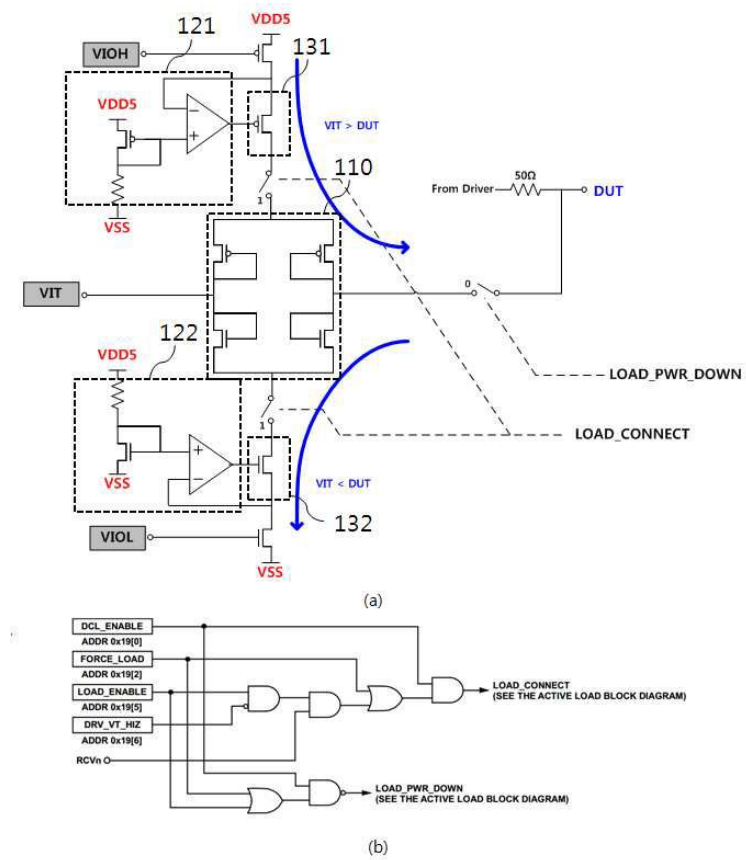
[0046] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

[0047] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

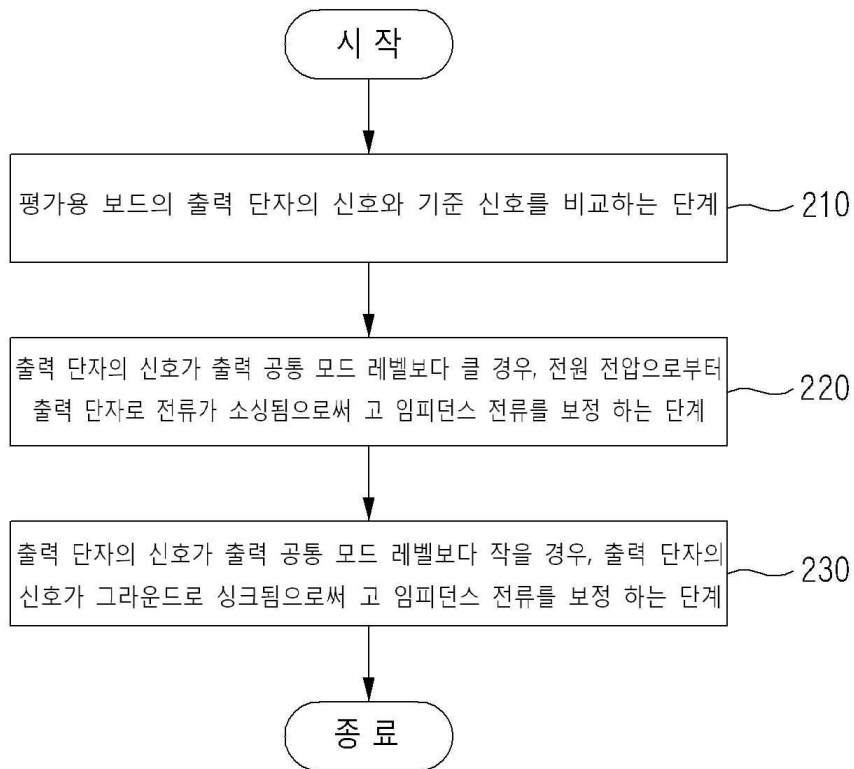
[0048] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

도면1



도면2



도면3

