



# [12] 发明专利申请公开说明书

[21] 申请号 200510007871.7

[43] 公开日 2005年8月10日

[11] 公开号 CN 1652254A

[22] 申请日 2005.2.6  
[21] 申请号 200510007871.7  
[30] 优先权  
    [32] 2004.2.6 [33] JP [31] 30070/2004  
[71] 申请人 夏普株式会社  
    地址 日本大阪市  
[72] 发明人 安西伸介 森康通

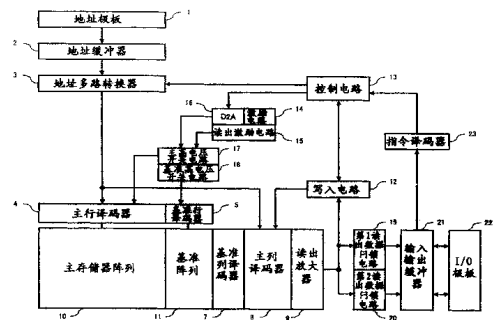
[74] 专利代理机构 中国专利代理(香港)有限公司  
    代理人 浦柏明 叶恺东

权利要求书2页 说明书13页 附图9页

[54] 发明名称 非易失性半导体存储器件

[57] 摘要

非易失性半导体存储器件配备：对选择存储单元和基准单元施加规定的电压，使之流过与各自的阈值电压对应的电流，比较流过选择存储单元和基准单元的各电流，读出存储在选存储单元中的数据。该读出电路在通常的读出时和用于写入检验的读出时，共同利用设定在相同存储状态的基准单元，在用于写入检验的读出时，当对选择存储单元和基准单元施加规定的电压时，将对基准单元的施加条件设定为，与通常的读出时的施加条件相比，使外观上的阈值电压向写入状态方向移动。



1. 一种非易失性半导体存储器件，其特征在于：  
配备：  
将多个具有非易失性存储元件的存储单元排列而成的主存储器阵列；  
5 列；  
具有上述非易失性存储元件的一个或者多个基准存储单元；  
从上述主存储器阵列中选择特定的上述存储单元的地址选择电路；  
对用上述地址选择电路所选择的选择存储单元和上述基准存储单元，  
10 施加规定的电应力，使之流过与各自的存储状态对应的电流，比较流过上述选择存储单元与上述基准存储单元的上述各电流，读出存储在上述选择存储单元中的数据的读出电路；以及  
对用上述地址选择电路所选择的选择存储单元写入数据的写入电路，  
15 上述读出电路在通常的读出时和用于写入检验的读出时，共同利用设定于相同存储状态的上述基准存储单元，在用于写入检验的读出时，当对上述写入存储单元和上述基准存储单元施加上述规定的电应力时，将对上述基准存储单元的施加条件设定为，与上述通常的读出时的施加条件相比，使上述存储状态向写入状态方向移动。
2. 如权利要求 1 所述的非易失性半导体存储器件，其特征在于：  
上述非易失性存储元件是阈值电压随存储状态而变化的 FET 结构的非易失性存储晶体管，  
上述读出电路在上述通常的读出时，对上述选择存储单元和上述基准存储单元各自的上述非易失性存储晶体管的栅施加同一电平的电压，  
25 在用于上述写入检验的读出时，对上述写入存储单元和上述基准存储单元各自的上述非易失性存储晶体管的栅施加不同电平的电压。
3. 如权利要求 2 所述的非易失性半导体存储器件，其特征在于：  
上述基准存储单元的上述非易失性存储晶体管的阈值电压能够在测试时调整。
- 30 4. 如权利要求 2 所述的非易失性半导体存储器件，其特征在于：  
施加于上述写入存储单元和上述基准存储单元的上述非易失性存储晶体管的栅上的各电压通过对相同的内部电压分压而生成。

5. 如权利要求 4 所述的非易失性半导体存储器件，其特征在于：  
发生上述内部电压的电路具有上述非易失性存储晶体管，通过调整该非易失性存储晶体管的阈值电压，能够调整上述内部电压的电压电平。
- 5      6. 如权利要求 5 所述的非易失性半导体存储器件，其特征在于：  
发生上述内部电压的电路的上述非易失性存储晶体管的阈值电压能够在测试时调整。
7. 如权利要求 1 所述的非易失性半导体存储器件，其特征在于：  
上述存储单元能够存储 3 值以上的数据；
- 10      上述基准存储单元对一个选择存储单元设置多个与 3 值以上的存储状态数对应的上述基准存储单元。

## 非易失性半导体存储器件

## 技术领域

- 5 本发明涉及闪速存储器等非易失性半导体存储器件，更详细地说，涉及成为非易失性半导体存储器件的存储单元在读出时、或者写入或擦除的检验时的基准的基准单元的结构。

## 背景技术

- 10 在半导体存储器件中，为了读出其存储单元的存储状态，利用了各种各样的手法。现举例说明作为非易失性半导体存储器件这一的闪速存储器。闪速存储器的各存储单元系配备浮置栅结构的存储晶体管而被构成，根据注入到各存储单元的浮置栅中的电荷（电子）的存储量而存储信息。具体地说，在电子大量注入到浮置栅中的状态下，在  
15 沟道区难以形成反型层，因此存储单元的阈值电压增高（定义为写入状态）。另一方面，在从浮置栅释放电子的状态中，在沟道区容易形成反型层，该存储单元的阈值电压降低（定义为擦除状态）。为了高速判定所选择的存储单元的状态是上述写入状态还是上述擦除状态，需要准备具有在写入状态与擦除状态的中间的阈值电压的基准存储单  
20 元，并将该状态输入到差动输入型读出放大电路中。

另外，在各存储单元中能够存储多值数据（例如 4 值数据）的闪速存储器的情况下，根据蓄积在浮置栅上的电荷量，存在图 4 所示的 4 个存储状态。

- 25 电荷量最少的状态是“11”，对应于擦除状态。由于从该“11”状态转移到“10”、“01”、“00”中的任何一个存储状态，故称向存储单元的浮置栅中注入电荷的工作为写入工作。

- 写入工作仅仅在使浮置栅的电荷增加的方向上才是可能的，例如，为了使状态从“01”状态变为“10”状态，需要进行一次擦除工作使之成为“11”状态后，再写入成“10”状态。这里，写入工作能够以存储单元为单位进行，擦除工作则对多个存储单元成批进行。  
30

参照图 1 说明闪速存储器的一般的写入工作。当向闪速存储器进行写入工作时，在第 1 周期中，通过 I/O 极板 22 指定写入指令，通过

地址极板 1 指定写入对象的存储单元的地址。所输入的命令用指令译码器 23 解释，当所输入的命令是写入命令的情况下，在第 2 周期中将从 I/O 极板 22 输入的数据（写入数据）传输到控制电路 13 中，以便从地址极板 1 写入到所输入的地址上。

5 所写入的存储单元的地址通过地址多路转换器 3，用主行译码器 4 及主列译码器 8 进行译码，可同时选择多个（例如 8 个）闪速单元。

为了提高闪速单元的阈值电压，将使存储单元晶体管的源为 0V、对栅和漏施加高电压后所发生的沟道热电子注入到浮置栅中。

10 是对所选择的存储单元进行写入，还是写入成哪个存储状态，以写入数据为基础由在写入电路 12 中所生成的脉冲图形决定。

通过主行译码器 4 对存储单元的栅施加从数字-模拟变换电路 (D2A) 输出的电压，该电压是将用激励电路 14 升压了的例如 12V 的高电压、按照进行写入的存储状态（阈值电压）而分压后的电压。从 D2A16 究竟输出几 V 的电压，由来自控制电路 13 的控制信号决定。

15 在所选择的存储单元内，通过写入电路 12、主列译码器 8，在恒定时间内仅仅对要写入的存储单元的漏施加例如 5V 的电压（写入脉冲）。通过对未写入的单元的漏施加 0V 电压，使之不进行电荷注入，以防止阈值电压的变化（即写入）。

20 写入脉冲施加后，究竟是否达到所希望的阈值电压，可用读出放大器 9 与用基准列译码器 7 及基准行译码器 5 所选择的基准阵列 11 的基准存储单元的阈值电压进行比较来检验。该检验工作虽然是读出工作的一种，但是是以确保读出时的工作裕量为目的而进行的。因此，在晶片测试时，通过将检验时所使用的基准单元的阈值电压设定为与读出时所使用的基准单元阈值电压不同的电压，来确保该工作裕量。

25 现参照图 1 说明检验工作。由于存储单元的选择与写入时相同，故将其省略。检验工作时，将存储单元的源设定为 0V、将漏设定为低电压（例如 1V）、将栅设定为读出电压（例如 6V）来进行。该电压设定对主存储器阵列 10 的存储单元、基准阵列 11 的基准存储单元是共同的，用激励电路 14 升压了的电压再用 D2A16 分压后得到的电压，通过主高电压开关电路 17 施加在主存储器阵列 10 上，通过基准高电压  
30 开关电路 18 施加在基准阵列 11 上。

在写入工作后的存储单元的阈值电压比基准单元的阈值电压低的

情况下，从读出放大器 9 例如将信号电平“1”（写入未完）送入写入电路 12，再次施加写入脉冲。脉冲施加后，再次成为检验工作状态，直到读出放大器 9 的输出成为信号电平“0”（写入结束）为止，一直施加写入脉冲。

5 现参照图 4 说明通过检验工作确保读出裕量的情况。例如，在希望写入数据“01”的情况下，在检验工作中，使用设定于阈值电压 PV2 的基准存储单元。如至此说明过的那样，由于直到超过基准存储单元的阈值电压为止一直进行写入，写入结束后的存储单元的阈值电压必定超过阈值电压 PV2。

10 由于数据“01”的读出是使用图 4 的被设定为阈值电压 M 的基准单元进行的，在读出对象存储单元与基准存储单元（阈值电压 M）之间，得到最低（PV2-M）的阈值电压差。一般来说，向读出放大器输入的 2 个存储单元的阈值电压差越大，越能够高速而且稳定地读出。也就是说，阈值电压差（PV2-M）越大，读出裕量就越增加。

15 因此，迄今为了确保足够的读出裕量，分类为通常的读出用的阈值电压和检验工作用的阈值电压，而且，准备了与多值存储相对应、按写入状态不同独立地设定的多个基准存储单元。例如，参照特开昭 59-104796 号公报、特开 2002-100192 号公报。

20 多个基准存储单元的各种阈值电压的设定，使用测试仪在测试时进行，而如图 8 所示，在读出用基准存储单元（Cell A）和检验用基准存储单元（Cell B）的阈值电压设定因测试仪的误差而偏离的情况下，考虑比所设定的阈值电压差小的情况。具体地说，在检验用基准存储单元的阈值电压向负方向偏离，读出用基准存储单元的阈值电压向正方向偏离的情况下，阈值电压差变得比设定值小。如果在产生这  
25 样的偏离情况下，就存在读出时的工作裕量变小的问题。

由于非易失性半导体存储器件与大容量化的要求对应，存储单元存在多值化的趋势，而为了判定多个存储电平，需要配备具备了多种阈值电压的基准存储单元。也就是说，需要增加基准存储单元和与之相随的电平读出电路。

30 另外，在现有的非易失性半导体存储器件中的上述测试时的基准存储单元的阈值电压的设定（称为「微调」）中，存在下述问题。由于通过大容量化、多值化等，非易失性半导体存储器件的基准存储单

元数目增加，成为微调对象的基准存储单元数目也随之增加，另外，由于随着多值化而要求基准存储单元的微调高精度化，故基准单元越是增加，另外，越是将微调步骤更细分以进行高精度化，微调的时间就越加长，因而成为降低生产效率的重要原因。

5

#### 发明内容

本发明是鉴于上述问题而进行的，其目的在于：解决起因于上述基准存储单元微调的问题，提供能够对应于多值化、能够进行高速而且稳定地读出工作的半导体存储器件。

10 用于达到上述目的的本发明的非易失性半导体存储器件的第1特征在于：它是配备了将多个具有非易失性存储元件的存储单元排列而成的主存储器阵列；具有上述非易失性存储元件的1个或者多个基准存储单元；从上述主存储器阵列中选择特定的上述存储单元的地址选择电路；对用上述地址选择电路所选择的选择存储单元和上述基准存  
15 储单元施加规定的电应力，使之流过与各自的存储状态对应的电流，比较流过上述选择存储单元与上述基准存储单元的上述各电流，读出存储在上述选择存储单元中的数据的数据的读出电路；以及对用上述地址选择电路所选择的选择存储单元写入数据的写入电路的非易失性半导体存储器件，上述读出电路在通常的读出时和用于写入检验的读出时，  
20 共同利用设定于相同存储状态的上述基准存储单元，在用于写入检验的读出时，当对上述写入存储单元和上述基准存储单元施加上述规定的电应力时，将对上述基准存储单元的施加条件设定为，与上述通常的读出时的施加条件相比，使上述存储状态向写入状态方向移动。

本发明的非易失性半导体存储器件在第1特征中，更具体地说，  
25 上述非易失性存储元件是阈值电压随存储状态而变化的FET结构的非易失性存储晶体管，上述读出电路在上述通常读出时，对上述选择存储单元和上述基准存储单元的各自的上述非易失性存储晶体管的栅施加同一电平的电压，在用于上述写入检验的读出时，对上述写入存储单元和上述基准存储单元的各自的上述非易失性存储晶体管的栅施加  
30 不同电平的电压。进而，本发明的非易失性半导体存储器件被构成为，上述基准存储单元的上述非易失性存储晶体管的阈值电压能够在测试时调整。

按照具备了上述第 1 特征的本发明的非易失性半导体存储器件，首先，读出电路在通常的读出时和用于写入检验的读出时（检验时），由于共同利用设定于相同存储状态的基准存储单元，能够减少基准存储单元的数目。进而，由于用在检验时施加于基准存储单元的电应力之差实现通常的读出时和检验时的实质性的阈值电压差，还由于基准存储单元的阈值电压设定时的误差在通常的读出时和检验时相等地出现，故没有阈值电压差因阈值电压设定时的误差而变窄、读出裕量降低的情况。其结果是，可以提供能够对应于多值化、高速而且稳定地进行读出工作的非易失性半导体存储器件。

10 进而，本发明的非易失性半导体存储器件的第 2 特征在于：施加于上述写入存储单元和上述基准存储单元的上述非易失性存储晶体管的栅上的各电压通过对相同的内部电压分压而生成。

本发明的非易失性半导体存储器件除上述第 2 特征之外，其特征在于：发生上述内部电压的电路具有上述非易失性存储晶体管，通过调整该非易失性存储晶体管的阈值电压，能够调整上述内部电压的电压电平，进而，其特征在于：发生上述内部电压的电路的上述非易失性存储晶体管的阈值电压被构成为能够在测试时调整。

另外，按照具备了上述第 2 特征的本发明的非易失性半导体存储器件，在写入检验（Verify）时，施加于写入存储单元和基准存储单元的各自的非易失性存储晶体管的栅上的电压电平的变动由于成为其基础的内部电压是共同的，因而其变动呈现在相同的方向上。因此，因基准存储单元的栅电压变动引起的阈值电压的变动与写入存储单元同样的阈值电压的变动相抵，保证了写入存储单元和基准存储单元的阈值电压差的正确比较。另外，由于被构成为内部电压电平能够用非易失性存储晶体管的阈值电压调整，故能够补偿因制造分散性引起的内部电压电平的变动，而且，能够以较少的调整次数，对多个基准存储单元共同地提供高精度的阈值电压差。

进而本发明的非易失性半导体存储器件除上述任一特征外，其第 3 特征在于：上述存储单元能够存储 3 值以上的数据，对一个选择存储单元，设置多个与 3 值以上的存储状态数对应的上述基准存储单元。

按照具备了上述第 3 特征的本发明的非易失性半导体存储器件，能够将上述第 1 及第 2 特征的非易失性半导体存储器件的作用效果应



用于多值存储，能够提供能够高速而且稳定地进行读出工作的多值存储的非易失性半导体存储器件。

#### 附图说明

5 图 1 是表示本发明的非易失性半导体存储器件的一个实施例或者现有的闪速存储器的概略结构的方框图。

图 2 是示意性地表示现有的闪速存储器的基准阵列的结构与外围电路的关系的方框图。

10 图 3 是示意性地表示本发明的非易失性半导体存储器件的一个实施例中的基准阵列的结构与外围电路的关系的方框图。

图 4 是 4 值的闪速存储单元的阈值电压分布特性与检验电压的关系的说明图。

图 5 是本发明的非易失性半导体存储器件中 4 值的闪速存储单元的阈值电压分布特性与检验电压的关系的说明图。

15 图 6 是示意性地表示本发明的非易失性半导体存储器件的一个实施例中的与读出工作或者检验工作相关联的主要电路的方框图。

图 7 是表示发生施加于本发明的非易失性半导体存储器件的一个实施例中的选择存储单元的栅上的主栅电压与施加于基准存储单元的栅上的基准栅电压的电路概略的电路图。

20 图 8 是现有的闪速存储器的阈值电压设定（微调）方面的问题的说明图。

图 9 是本发明的非易失性半导体存储器件中的阈值电压设定（微调）方面的优点的说明图。

#### 25 具体实施方式

参照附图说明本发明的非易失性半导体存储器件（以下，称为「本发明器件」）的一个实施例。

本发明器件在器件整体上的功能块结构与现有的一般的闪速存储器同样，是图 1 所示的结构。

30 如图 1 所示，本发明器件配备下述各部而构成：地址极板 1、地址缓冲器 2、地址多路转换器 3、主行译码器 4、基准行译码器 5、基准列译码器 7、主列译码器 8、读出放大器 9、主存储器阵列 10、基准阵

列 11、写入电路 12、控制电路 13、激励电路 14、读出激励电路 15、数字-模拟变换电路 (D2A) 16、主高电压开关电路 17、基准高电压开关电路 18、第 1 读出数据门锁电路 19、第 2 读出数据门锁电路 20、输入输出缓冲器 21、I/O 极板 22、指令译码器 23 等。此外，还有图中  
5 虽然没有表示，但必需的控制信号（写入启动信号、芯片启动信号、输出启动信号等）另行通过各自的输入极板及输入缓冲器供给各部分。

主存储器阵列 10 将具有非易失性存储元件的存储单元在行方向及列方向上排列多个呈阵列状而构成，基准阵列 11 将具有相同非易失性  
10 存储元件的基准存储单元同样地排列多个而构成。在本实施例中，设想主存储器阵列 10 及基准阵列 11 内的各存储单元配备浮置栅型 FET 结构的闪速存储晶体管作为非易失性存储元件以构成闪速存储单元的情况。因此，存储单元由蓄积于浮置栅的电子的多少设定其存储状态，该存储状态显现出与存储晶体管的阈值电压之差。

15 以下，简单说明各功能块。地址极板 1 是输入来自外部的地址信号的端子，地址缓冲器 2 缓冲处理从地址极板 1 输入的地址信号并将其变换成内部信号电平。地址多路转换器 3 具有转换来自外部的地址信号与各种工作模式中在内部电路中所使用的内部地址信号的功能，并将转换后的地址信号供给各种译码器。

20 主行译码器 4 沿行方向选择主存储器阵列 10 内的存储单元，基准行译码器 5 沿行方向选择基准阵列 11 内的基准存储单元。另外，主列译码器译码器 8 沿列方向选择主存储器阵列 10 内的存储单元，基准列译码器 7 沿列方向选择基准阵列 11 内的基准存储单元。各译码器在各工作模式中（读出、写入、擦除），对主存储器阵列 10 内的存储单元  
25 和基准阵列 11 内的基准存储单元的各部（栅、漏等）供给规定的电压。因此，发挥了作为通常的读出工作、写入检验工作、擦除检验工作中的读出电路的一部分的功能。

读出放大器 9 是比较通过主行译码器 4 和主列译码器 8 所选择的主存储器阵列 10 内的选择存储单元的阈值电压，与通过基准行译码器  
30 5 和基准列译码器 7 所选择的基准阵列 11 内的基准存储单元的阈值电压、读出被写入选择存储单元的数据的电路，用众所周知的电路构成。具体的选择存储单元和基准存储单元的阈值电压的比较由对选择存储

单元和所选择的基准存储单元两方的栅、源、漏分别施加相同的偏置电压，将由阈值电压之差引起的漏电流之差变换成电压差，用读出放大器 9 将该电压差进行差动放大而实现。此外，在本实施例中，读出放大器 9 在作为通常读出时的读出电路而使用的同时，也作为写入检  
5 验时及擦除检验时的读出电路而使用。

写入电路 12 是用于进行与通过 I/O 极板 22 输入选择存储单元的写入数据对应的数据写入的电路。这与现有的电路结构相同。

控制电路 13 是用于以规定的算法执行伴随写入工作及擦除工作的伴有写入脉冲和擦除脉冲的施加的写入处理及擦除处理和检验其后的  
10 写入状态和擦除状态的检验处理的控制电路。具体地说，用状态机等电路结构实现。因此，控制电路 13 作为写入检验电路及擦除检验电路的一部分而发挥功能。

激励电路 14 是用于从外部供给的电源电压在内部发生写入及擦除工作所需的高电压的升压电路。另外，读出激励电路 15 是用于从外部  
15 供给的电源电压发生读出工作所需的内部电源电压的升压电路。为了电源电压的低电压化及内部电源电压的稳定化，这是必要的。数字-模拟变换电路 (D2A) 16 是将用激励电路 14 所生成的内部高电压，根据来自控制电路 13 的控制信号，降压成必要的电压电平进行供给的电路。

主高电压开关电路 17 是用于将从 D2A16 或者读出激励电路 15 供给的电压中，选择与各种存储器工作相应的适当电压供给主存储器阵列 10 的电压选择电路。基准高电压开关电路 18 用于将从 D2A16 或者  
20 读出激励电路 15 供给的电压中，选择与各种存储器工作相应的适当电压供给基准阵列的电压选择电路。

第 1 读出数据门锁电路 19 和第 2 读出数据门锁电路 20 是暂时保存用读出放大器 9 所读出的多位数据的电路。在数据宽度宽的情况下，  
25 能够一分为二串行输出。

输入输出缓冲器 21 将第 1 读出数据门锁电路 19 和第 2 读出数据门锁电路 20 的输出通过 I/O 极板 22 以规定的输出电平对外部输出，  
30 同时，通过 I/O 极板 22 接受从外部输入的写入数据和其他的指令输入的电路。I/O 极板 22 是与外部进行数据输入输出的端子。

指令译码器 23 是将通过输入输出缓冲器 21 所输入的指令译码，

输出到控制电路的电路。这里，作为指令，假想是在一般的闪速存储器中所使用的指令体系，但指令不限定于特定的指令体系。

接着，参照图 2~图 5 说明作为本发明器件的特征的基准阵列 11 的结构。首先，图 2 是示意性地表示现有的基准阵列 11 与其外围电路的关系图，图 4 表示包含在现有的基准阵列 11 中的基准存储单元的种类。另一方面，图 3 是示意性地表示本发明器件的基准阵列 11 与其外围电路的关系图，图 5 表示包含在本发明器件的基准阵列 11 中的基准存储单元的种类。

在假想各存储单元存储 4 值数据的 4 值存储器的情况下，迄今至少准备了 7 类基准存储单元。也就是说，作为通常读出用，准备了阈值电压为 L、M、H 的 3 类。各阈值电压 L、M、H 被分别设定于“11”状态（擦除状态）的阈值电压分布的上限值与“10”状态的阈值电压分布的下限值的中间值、“10”状态的阈值电压分布的上限值与“01”状态的阈值电压分布的下限值的中间值、“01”状态的阈值电压分布的上限值与“00”状态的阈值电压分布的下限值的中间值。进而，现有的基准存储单元作为写入检验用，准备了阈值电压为 PV1、PV2、PV3 的 3 类。各阈值电压 PV1、PV2、PV3 被分别设定于“10”状态的阈值电压分布的下限值、“01”状态的阈值电压分布的下限值、“00”状态的阈值电压分布的下限值。另外，现有的基准存储单元作为擦除检验用，准备了阈值电压为 EV 的 1 类。阈值电压 EV 被设定于“11”状态（擦除状态）的阈值电压分布的上限值。

与此相反，在本发明器件的基准阵列 11 中，仅仅准备通常读出用的阈值电压为 L、M、H 的 3 类，省略了各检验用的基准存储单元。

在通常的读出时，由于现有的闪速存储器和本发明器件也使用相同的基准存储单元，其工作步骤也相同，故其详细的说明就从略了。

以下，在写入检验时，使用通常读出用的阈值电压为 L、M、H 的基准存储单元，说明进行读出的步骤。首先，当写入脉冲的施加结束时，用基准列译码器 7 及基准行译码器 5 选择与写入数据相应的基准存储单元。例如，在数据“01”的写入中，选择阈值电压 M 的基准存储单元，另一方面，用主行译码器 4 和主列译码器 8 选择写入对象的选择存储单元。通常，为了对写入对象的多个存储单元同时进行写入处理，在检验也同时进行的情况下，使用相同数目的读出放大器 9 和

相同数目的基准存储单元。在以下的说明中，以一个选择存储单元作为对象进行说明。

如图 6 所示，在选择写入对象的选择存储单元和阈值电压  $M$  的基准存储单元的情况下，通过主行译码器 4 对选择存储单元的栅施加主栅电压  $V_{mw1}$ ，通过基准行译码器 5 对各基准存储单元的栅施加基准栅电压  $V_{rw1}$ 。如图 7 所示，各栅电压  $V_{mw1}$ 、 $V_{rw1}$  将用激励电路 14 生成的内部电压（高电压）供给 D2A16，用由电阻梯形电路构成的分压电路将该内部电压分压生成。通过各梯形电阻，能够依靠来自控制电路 13 的选择信号选择例如 10mV 刻度的电压。这里，主栅电压  $V_{mw1}$  被设定为比基准栅电压  $V_{rw1}$  高一个阈值电压差 ( $PV2-M$ )。由于流过选择存储单元及基准存储单元的漏电流由栅电压与阈值电压之差决定，使基准栅电压  $V_{rw1}$  低一个阈值电压差 ( $PV2-M$ )，如果假定使基准栅电压  $V_{rw1}$  与主栅电压  $V_{mw1}$  上升相同电压，则基准存储单元的阈值电压看上去增高，变得与  $PV2$  等价。据此，在写入检验中，在选择存储单元的阈值电压不满  $PV2$  的情况下，在读出放大器 9 中输出成为“1”，被判定为写入未结束，选择存储单元的阈值电压成为  $PV2$  以上，直到读出放大器 9 的输出成为“0”为止，继续进行再次写入脉冲的施加。

这里，简单地说明读出放大器 9 的工作。如图 7 所示，流过选择存储单元及基准存储单元的漏电流通过由读出电压发生电路 25 所发生的规定的读出电压经例如用 N 沟道 MOSFET 构成的负载电路降压成规定的偏置电压，再经主列译码器 8 及基准列译码器 7 等施加于各存储单元的漏上，而从读出电压发生电路 24 供给。另外，由于从读出电压发生电路 24 供给的各漏电流通过负载电路 25 变换成电压，因各存储单元的阈值电压差引起的漏电流之差在读出放大器 9 的各输入节点上变换成电压差。据此，通过使用电压差动输入型的读出放大器，能够比较并判定选择存储单元及基准存储单元。

如上所述，在本发明器件中，不用准备写入检验用的基准存储单元，通过调整基准栅电压  $V_{rw1}$ ，能够与现有同样地控制写入存储单元的阈值电压分布。另外，如以下说明的那样，与现有的相比，提高了读出工作裕量。

接着，简单说明在本发明器件中，提高读出工作裕量这一点。如现有的那样，当使用写入检验用的基准存储单元的情况下，如图 8 所

示,当读出用基准存储单元(Cell A)和检验用基准存储单元(Cell B)的阈值电压设定成为互相相反的方向时,阈值电压差变窄,读出工作裕量降低,此事正如已经说明的那样。在本发明器件中,不使用写入检验用的基准存储单元,只要仅仅调整读出用基准存储单元(Cell A)的基准栅电压 $V_{rw1}$ ,读出用基准存储单元(Cell A)的阈值电压的误差就如图9所示,原样地成为对检验时的基准存储单元实质上的阈值电压的相同方向的误差而显现。其结果是,由于在写入检验时阈值电压高,即使假定写入对象的选择存储单元的阈值电压也增高,由于通常的读出用的基准存储单元的阈值电压也移动相同的高度,还由于维持选择存储单元与基准存储单元的阈值电压差,抑制了因通常的读出用的基准存储单元的阈值电压的设定误差引起的读出工作裕量降低,与现有的相比提高了读出工作裕量。

接着,说明在擦除检验时,通常使用读出用的阈值电压为L的基准存储单元,进行读出的步骤。首先,当擦除脉冲的施加结束时,用基准列译码器7及基准行译码器5选择阈值电压L的基准存储单元。另一方面,擦除对象的选择存储单元根据用控制电路13发生的内部地址,用主行译码器4和主列译码器8从主存储器阵列10内的擦除块中选择。通常,由于擦除对象的存储单元以块为单位成批进行擦除处理,检验与读出放大器9的个数对应以数位单位同时进行处理。在以下的说明中,以一个选择存储单元为对象进行说明。

在选择擦除对象的选择存储单元和阈值电压L的基准存储单元的情况下,通过主行译码器4对选择存储单元的栅施加主栅电压 $V_{mw1}$ ,通过基准行译码器5对各基准存储单元的栅施加基准栅电压 $V_{rw1e}$ 。与写入检验时的不同点在于:在写入检验时,主栅电压 $V_{mw1}$ 比基准栅电压 $V_{rw1}$ 设定例如高一个阈值电压差( $PV2-M$ ),而在擦除检验时,主栅电压 $V_{mw1}$ 比基准栅电压 $V_{rw1e}$ 设定低一个阈值电压差( $L-EV$ )。这是由于原来为了确保读出裕量,将擦除检验用的基准存储单元的阈值电压EV设定得比数据“10”的读出用的基准存储单元的阈值电压L低的缘故。主栅电压 $V_{mw1}$ 和基准栅电压 $V_{rw1e}$ 与写入检验时同样地,将用激励电路14生成的内部电压(高电压)供给D2A16,用由电阻梯形电路构成的分压电路分压该内部电压而生成。

通常读出用的阈值电压为L、M、H的基准存储单元根据主存储器

阵列 10 及基准存储器阵列 11 的结构、数据宽度、在用某一存储器阵列块进行通常的读出工作中有无用其他的存储器阵列块进行写入或者擦除工作的双重工作功能等，准备多组，而这些阈值电压的调整（微调）在测试时用测试仪实施。因此，基准阵列 11 内的对各基准存储单元的擦除-写入工作形成为能够使用测试用的电路的结构。由于具体的微调步骤与现有的闪速存储器中的通常读出用的基准存储单元的微调相同，详细的说明在此就从略了。

接着，说明本发明器件的其他实施例。

（1）在上述实施例中，就擦除检验时也使用通常的读出用的基准存储单元的情况进行了说明，在擦除检验时，也可以使用专用的擦除检验用的基准存储单元。即使仅仅省略写入检验用的基准存储单元，也能够减少基准存储单元的个数，提高数据“10”、“01”、“00”的读出裕量，发挥本发明的效果。

（2）在上述实施例中，图 1 例示的方框结构是一个例子，但不限于图 1 所示的结构。另外，以 4 值存储器的情况为例对本发明进行了说明，每个存储单元的存储状态数不限于 4 值。

（3）在上述实施例中，在 4 值存储器的情况下，准备了 3 类通常读出用的基准存储单元，例如，也可以仅仅准备 1 类阈值电压  $M$  的基准存储单元，对其他 2 类的阈值电压  $L$ 、 $H$  则通过变更基准栅电压  $V_{rw1}$  而生成。

（4）在上述实施例中，激励电路 14 具有闪速存储晶体管，通过调整该闪速存储晶体管的阈值电压，被构成为能够调整供给 D2A16 的内部电压的电压电平也是理想的。例如，通过准备 2 个闪速存储晶体管，以 2 个闪速存储晶体管的阈值电压差作为基准电压，进行输出电压的调整那样地构成，也能够谋求供给 D2A16 的内部电压的稳定。

（5）在上述实施例中，作为存储单元假想为闪速存储单元，但存储单元不限于此。另外，存储单元除存储状态的不同除了以存储晶体管的阈值电压的不同而呈现出来外，即使是像 MRAM、OUM、RRAM 等那样可变电阻元件型的存储单元，也能够应用同样的思路。

如以上详细说明的那样，按照本发明的非易失性半导体存储器件，由于能够使一个基准存储单元发挥作为具备了多类阈值电压的基准存储单元的功能，能够将一个基准存储单元兼用于读出用和检验

用。另外，也能够使一个基准存储单元发挥作为具备了多类读出用阈值电压的多类读出用基准存储单元的功能。进而，也能够使一个基准存储单元发挥作为具备了多类检验判定电压的多类检验用基准存储单元的功能。

- 5 另外，通过使一个基准存储单元发挥作为多类读出或者检验用基准存储单元的功能，能够减少基准存储单元的数目，另外，由于能够减少基准存储单元的数目，成为检验对象的基准存储单元数目减少，能够使检验工序省力。另外，能够减轻读出选择存储单元的存储数据的读出放大器和基准存储单元的布局面积的超额。另外，由于能够用
- 10 基准存储单元的栅输入电压控制阈值电压，能够可靠地确保读出时的判定电压和写入或者擦除时的判定电压的余裕电压，能够提高非易失性半导体存储器件的工作稳定性、高速化及可靠性。另外，由于减少基准存储单元的数目、而且构成为能够用栅电压控制基准存储单元的阈值电压，能够不降低生产效率而高精度地微调基准存储单元的阈值
- 15 电压。

虽然用优选实施例对本发明进行了描述，但显然可知，在不背离本发明的宗旨和范围的情况下，可以作各种修改和变更。因此，本发明仅仅用所附权利要求来量度。



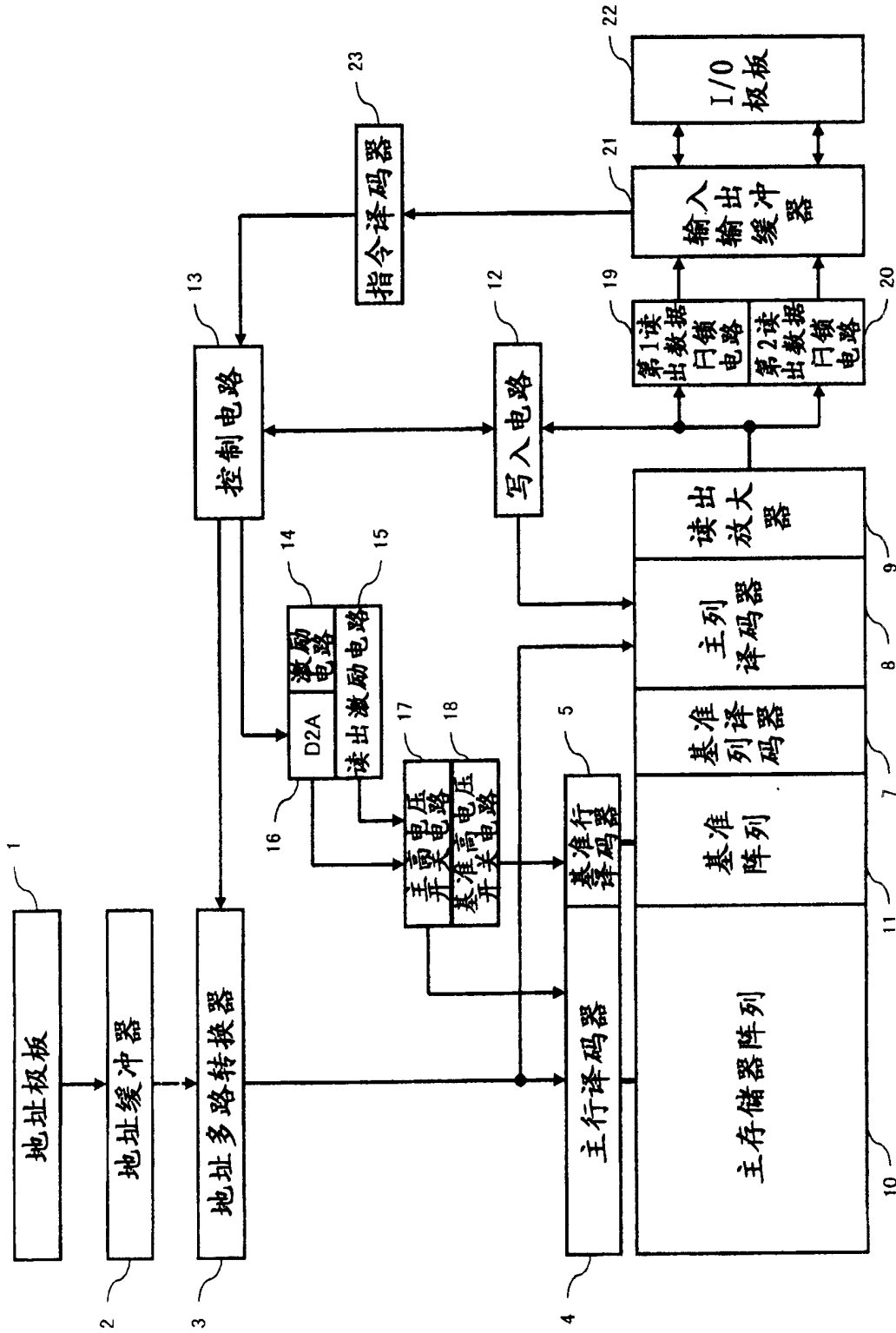


图 1

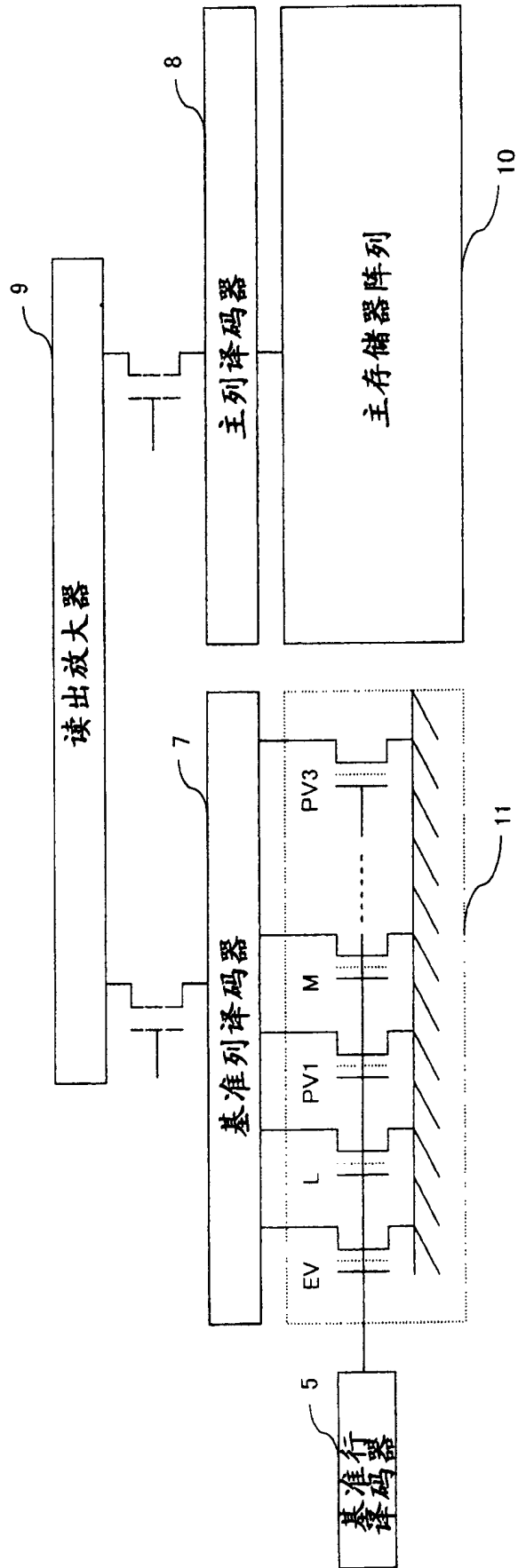


图 2

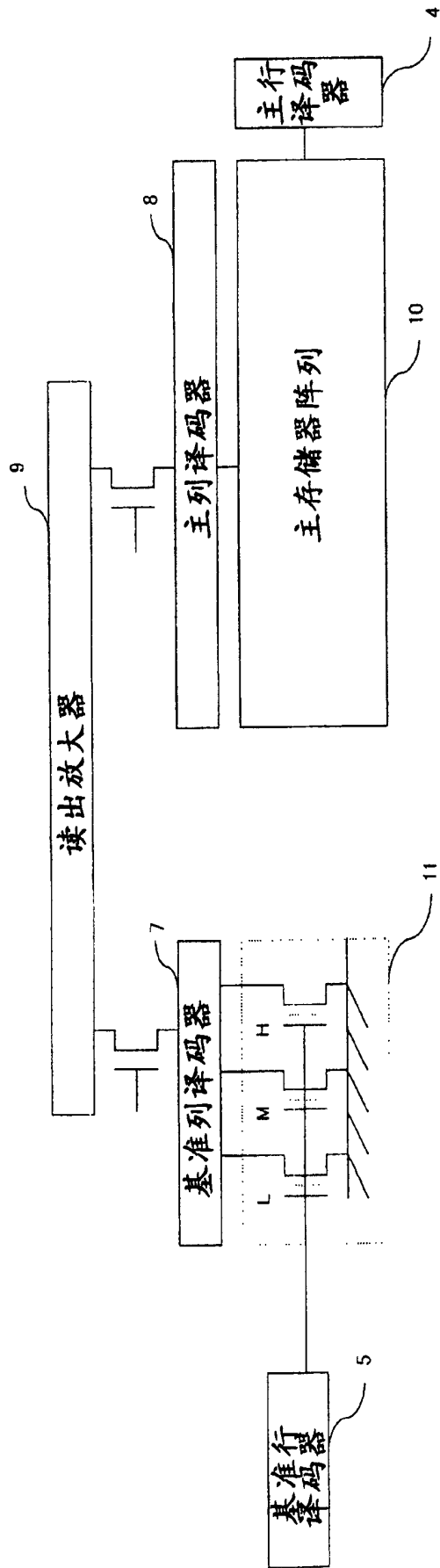


图 3

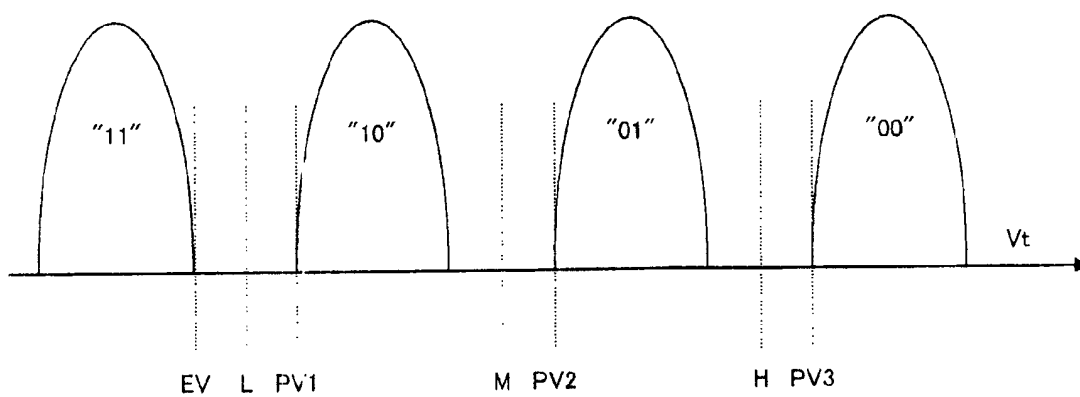


图 4

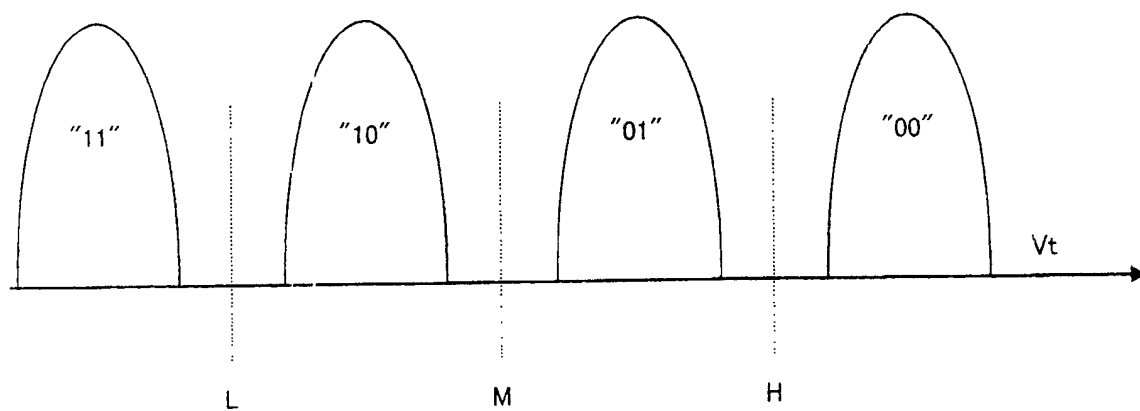


图 5



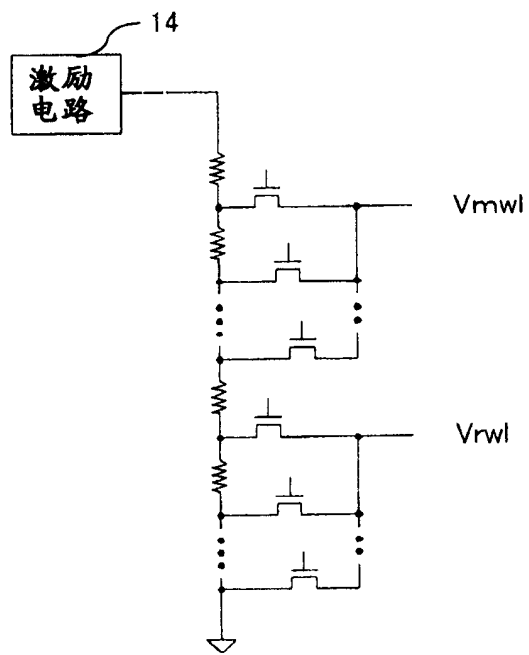


图 7

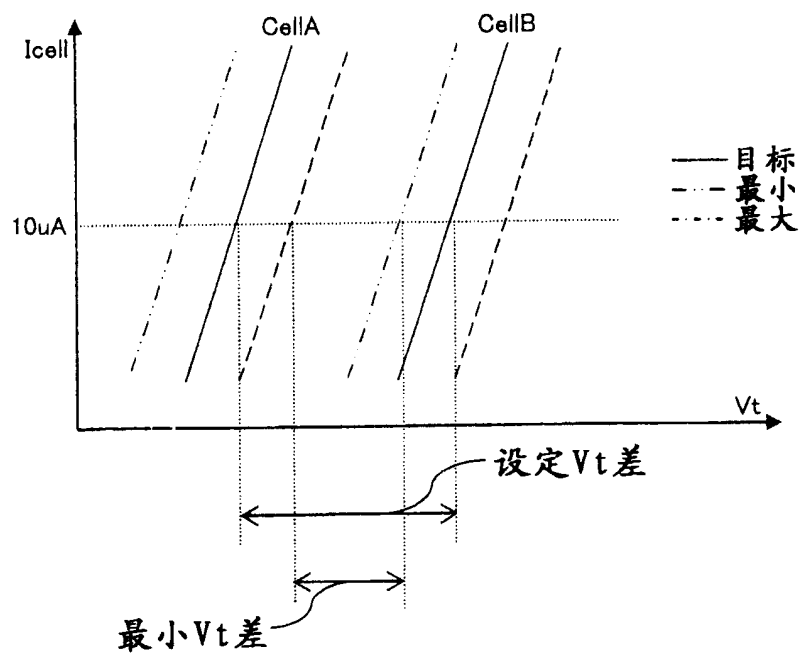


图 8



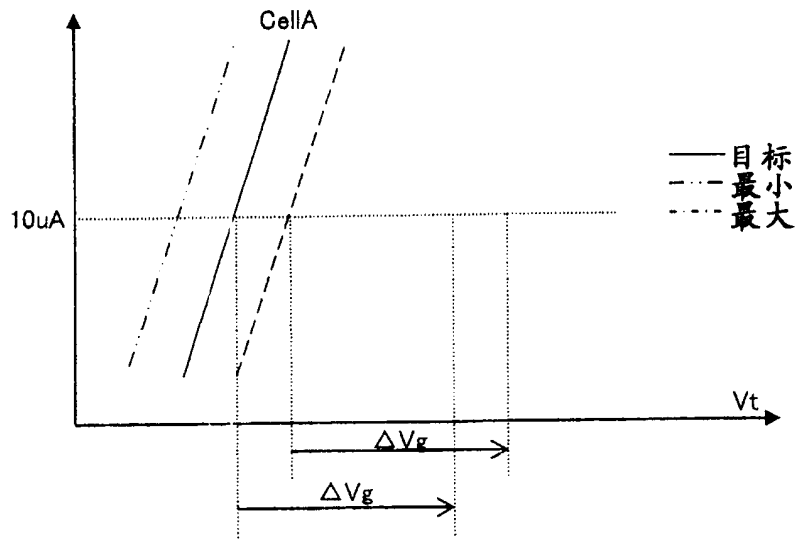


图 9