

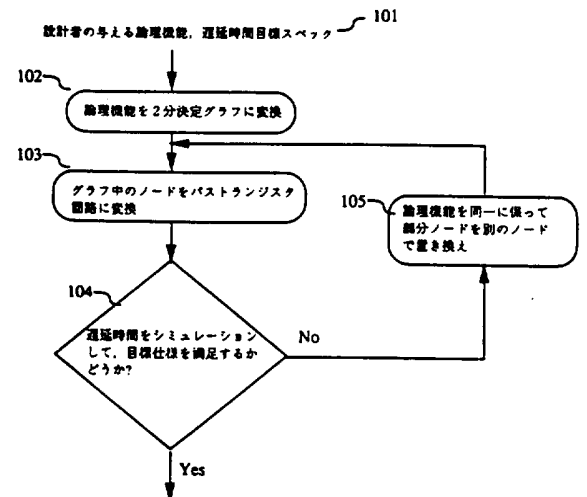


特許協力条約に基づいて公開された国際出願

(51) 国際特許分類6 G06F 17/50	A1	(11) 国際公開番号 WO96/34351 (43) 国際公開日 1996年10月31日 (31.10.96)
(21) 国際出願番号 PCT/JP96/01104 (22) 国際出願日 1996年4月24日 (24.04.96) (30) 優先権データ 特願平7/99204 1995年4月25日 (25.04.95) JP (71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 佐々木靖彦(SASAKI, Yasuhiko)(JP/JP) 〒184 東京都小金井市東町2-2-19-102 Tokyo, (JP) 矢野和男(YANO, Kazuo)(JP/JP) 〒191 東京都日野市多摩平6-6-6 Tokyo, (JP) 山下春造(YAMASHITA, Shunzo)(JP/JP) 〒164 東京都中野区中野5-24-23-201 Tokyo, (JP) 関 浩一(SEKI, Koichi)(JP/JP) 〒191 東京都日野市平山2-11-10 Tokyo, (JP)		(74) 代理人 弁理士 薄田利幸(USUDA, Toshiyuki) 〒185 東京都国分寺市本町四丁目3番16号 サンクレストビル4階 Tokyo, (JP) (81) 指定国 CN, JP, KR, SG, US, 欧州特許(AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). 添付公開書類 国際調査報告書 請求の範囲の補正の期限前であり、補正書受領の際には再公開される。

(54) Title : METHOD FOR DESIGNING SEMICONDUCTOR INTEGRATED CIRCUIT AND AUTOMATIC DESIGNING DEVICE**(54) 発明の名称** 半導体集積回路の設計方法および自動設計装置**(57) Abstract**

A program for automatically designing a logic circuit used for a method of designing a pass transistor circuit, by which the number of required transistors, delay time, power consumption, and chip area of the pass transistor circuit are reduced. The program includes the following steps: a) receiving an inputted logical function which defines the logical relation between the input and the output and inputted target specifications, b) drawing a binary decision graph from part of logical function received at (a), c) replacing the graph node formed at (b) with a pass transistor circuit, d) judging whether or not the simulation characteristics of the pass transistor circuit described in (c) meets the target specifications described in (a), and executing the following step when the judgment is "no", e) replacing part of the graph constituted by the procedure described in (b) with another graph, f) allocating newly prepared binary decision graph to the control input of the node of the replaced graph prepared at (e), and g) repeating steps (c) and (d) for the graph prepared at (f).



半導体上に集積化される論理回路 a

- 101 ... target specifications for logical function and delay time given by designer
- 102 ... convert logical function into binary decision graph
- 103 ... convert node in graph into a pass transistor circuit
- 104 ... simulated delay time meet target specification ?
- 105 ... replace partial node with another node while holding the same logical function
- a ... logic circuits integrated on a semiconductor

(57) 要約

必要トランジスタ数が少なく、遅延時間、消費電力、チップ面積の低減が可能なパストランジスタ回路の設計方法に使用する論理回路の自動設計プログラムは次のステップを実行する。

- a. 入出力間の論理関係を定める論理機能と、目標仕様との入力を受け付け。
- b. 上記 a の論理機能の一部から 2 分決定グラフを形成。
- c. 上記 b の手順のグラフノードを、パストランジスタ回路に置換。
- d. 上記 c の手順により得られたパストランジスタ回路のシミュレーション特性が上記 a の目標仕様を満足するかどうかを判定し、否の場合下記ステップを実行。
- e. 上記 b の手順で構成されたグラフの一部を別のグラフに置換。
- f. 上記 e の手順で置換後のグラフをのノードの制御入力に新規作成の 2 分決定グラフの出力を割り当て。
- g. 上記 f の手順で得られたグラフに対し、再度 c、d のステップを踏む。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を同定するために使用されるコード

AL	アルバニア	DE	ドイツ	LI	リヒテンシュタイン	PL	ポーランド
AM	アルメニア	DK	デンマーク	LC	セントルシア	PT	ポルトガル
AT	オーストリア	EE	エストニア	LK	スリランカ	RO	ルーマニア
AU	オーストラリア	ES	スペイン	LR	リベリア	RU	ロシア連邦
AZ	アゼルバイジャン	FI	フィンランド	LS	レソト	SD	スーダン
BA	ボスニア・ヘルツェゴビナ	FR	フランス	LT	リトアニア	SE	スウェーデン
BB	バルバドス	GA	ガボン	LU	ルクセンブルグ	SG	シンガポール
BE	ベルギー	GB	イギリス	LV	ラトヴィア	SI	スロベニア
BF	ブルキナ・ファソ	GE	グルジア	MC	モナコ	SK	スロバキア
BG	ブルガリア	GN	ギニア	MD	モルドヴァ共和国	SN	セネガル
BJ	ベナン	GR	ギリシャ	MG	マダガスカル	SZ	スワジランド
BR	ブラジル	HU	ハンガリー	MK	マケドニア旧ユーゴスラ	TD	チャド
BY	ベラルーシ	IE	アイルランド		ヴァニア共和国	TG	トーゴ
CA	カナダ	IL	イスラエル	ML	マリ	TJ	タジキスタン
CC	中央アフリカ共和国	IS	アイスランド	MN	モンゴル	TM	トルクメニスタン
CF	コンゴ	IT	イタリア	MR	モーリタニア	TR	トルコ
CH	スイス	JP	日本	MW	マラウイ	TT	トリニダード・トバゴ
CI	コート・ジボアール	KE	ケニア	MX	メキシコ	UA	ウクライナ
CM	カメルーン	KG	キルギスタン	NE	ニジェール	UG	ウガンダ
CN	中国	KR	朝鮮民主主義人民共和国	NL	オランダ	US	アメリカ合衆国
CU	キューバ	KZ	大韓民国	NO	ノルウェー	UZ	ウズベキスタン
CZ	チェッコ共和国		カザフスタン	NZ	ニュージーランド	VN	ヴェトナム

明 細 書

半導体集積回路の設計方法および自動設計装置

技術分野

本発明は半導体集積回路の設計方法および自動設計装置に係わり、特に論理回路の一部を含む汎用プロセッサ、信号処理装置、画像処理装置等の半導体集積回路を設計する際に用いる好適な設計方法および自動設計装置に関するものである。

背景技術

IEEE TRANSACTIONS ON COMPUTERS, Vol. c-35, No. 8, AUGUST 1986, pp.677-pp691 には、Binary-Decision-Diagram(2分決定グラフ)(以下、引用文献1とする)を用いた論理操作の有効な手法が示されている。

さらに、1994年電子情報通信学会秋季大会講演論文集、基礎・境界分冊 pp. 64(以下、引用文献2とする)には、2分決定グラフと呼ばれる論理表現方法を利用したパストランジスタ回路の構成方法が示されている。

発明の開示

今日、LSIの設計では、ゲートアレー、スタンダードセル、FPGA(フィールド・プログラマブル・ゲート・アレイ)、PLA(プログラマブル・ロジック・アレイ)等の自動化技術を利用した設計方式が広く用いられている。

これは、LSI上に集積化できる素子数が著しく増大したことにより、そのような大規模かつ複雑な論理回路をもはや人手だけで設計することが事実上不可能となってきたためである。

図13(a)はこのような論理LSIの自動設計の具体例として、スタンダードセル方式について示したものである。ここではセル(1301, 1302, 1303)と呼ばれる、ある機能をもった回路(1304, 1305, 1306)が予めレイアウトされたものが用意されており、これらのセルを組み合わせた論理回路領域(1307, 1309, 1311)と、配線領域(1308, 1310)とを有し、必要に応じてセル上を用いて結線することにより所望の論理を得るものである。

一方、演算回路、メモリ等の著しく規則性の高い、所謂「マクロ」と呼ばれる回路については、いくつかの小規模なブロックを手で設計してこれらを規則的に配置して作るといったことが行われるが、それでもなお、演算装置やメモリの専用チップでもない限り、やはりこれらをスタンダードセル方式等の自動設計された部分と合わせてひとつのLSIチップを作り上げる場合が多い。このような例を図13(b)に示す。

ところで、LSI 上に集積化する回路は、面積が小さく、高速かつ低消費電力であることが望ましいため、いろいろな回路方式の中からこれらの要求をできる限り満たせるものを選択する方がよい。しかしながら、上記のような自動化技術を前提とした場合、選択する回路方式は、ただ回路性能が良かったり、面積や消費電力が小さいといっただけでは不十分である。すなわち、その回路方式を支える論理合成技術や自動レイアウト技術等の自動設計技術が確立されたものでなければならない。

今日では、N チャネル電界効果型トランジスタと P チャネル電界効果型トランジスタを相補的に用いた CMOS 回路で、このような自動設計技術が確立されており、実際にマイクロプロセッサ等で広く利用されている。

一方で、高速、小面積、低消費電力な回路として、バストランジスタ回路と呼ばれる回路方式が知られている。このバストランジスタ回路を利用するための自動設計技術に関しては、上記引用文献 2 として示したような論理回路の構成方法が存在する。すなわち、与えられた論理機能をいったん 2 分決定グラフと呼ばれるグラフを用いた論理表現方式に変換した後、そのグラフのノードをバストランジスタによるセレクトに変換し、さらにバッファを挿入することにより論理回路を生成するというものである。図 1 2 にこのバストランジスタ回路の構成方法の手順とそれにより構成される回路の例を示す。このように回路構成の手順が示されることにより、どのような複雑な論理機能であっても、それをバストランジスタ回路で実現できることが保証されるため、これは、LSI の自動設計にその回路方式が利用できることを意味する。

ところで既に述べたように、大規模かつ複雑な論理 LSI の設計において回路方式とそれを自動化するための技術とは密接な関係にあり、両者がそろって始めて実用になるといったことを考えた場合、引用文献 2 に示されたバストランジスタ回路は、回路面積、消費電力、性能といった面と自動設計の面の両方の観点から有利な回路方式である。

しかしながら、本願発明者等が引用文献 2 に示された方法を用いて構成されたバストランジスタ回路に関して解析を行ったところ、この回路は 2 分決定グラフの特徴をそのまま引き継ぐために、他のバストランジスタ回路から該回路への入力はソース入力を前提としたものにならざるを得ないと言う事実が明らかとされた。

すなわち該回路のバストランジスタのゲート入力には必ず、対象としている論理機能の入力信号(もしくはその否定信号)が直接印加されるという特徴があり、このことに関連して以下のような二つの問題があることを見出した。

第 1 の問題として、この方式の回路は、最悪ケースでは、その出力論理が依存する入力信号の数に比例した段数のバストランジスタを信号が通過しなければな

らないため、遅延時間が大きくなってしまいう点である。

さらに第2の問題は、この方式の回路の中には、本来共有化することができるはずの論理が未だ別々に構成されているために、素子数が増加しているという点である。

そこで本願発明者等は、バストランジスタ回路のトランジスタのゲート入力の対象を、対象としている論理機能の入力信号(もしくはその否定信号)のみではなく、他のバストランジスタ回路からの出力信号も印加すると言う信号印加形態を追加することを提案した。これにより、これまで以上の素子数、遅延時間、回路面積、消費電力の改善が可能となり、さらに、より複雑な論理を実現することが可能となる。このような回路の具体例を図4、図5に示す。

図4は第1の問題である遅延時間が大きくなる様子を示したものである。図4(a)、(b)の回路はともに同じ論理機能(ここでは $OUT = A \cdot B \cdot D \cdot E \cdot G \cdot H + A \cdot B \cdot DN \cdot F + A \cdot B \cdot EN \cdot F + AN \cdot C + BN \cdot C$ 、ただし AN は A の否定信号を意味する)を実現している。図4(a)の回路は引用文献2の従来方法を用いて生成される回路である。この回路の出力401の遅延時間は、信号が入力402から入り、経路403を通過して出力まで達する時間で与えられる。この場合、信号は404から408までの5段のバストランジスタを通過しなければならないことがわかる。

一方、図4(b)の回路は本発明による半導体集積回路の設計方法を用いて生成された回路である。この場合の出力409の遅延時間は、信号が入力410から入り、経路411を通過して出力まで達する時間で与えられる。この場合、信号は412から414までの3段のバストランジスタを通過するだけでよいことがわかる。一般に、信号が通過するバストランジスタの段数が増加するに従い遅延時間も増加するから、従来の設計方法を用いて生成される図4(a)の回路は、未だ十分に遅延時間が小さくはなっていないことが理解できる。

図5は第2の問題である本来共有化することができるはずの論理が未だ別々に構成されているために、素子数が増加し、チップ占有面積や消費電力が大きくなる問題を示している。

図5(a)、(b)の回路はともに同じ論理機能($OUT1 = A \cdot B \cdot G \cdot H + AN \cdot C + BN \cdot C$ 、 $OUT2 = A \cdot B \cdot G \cdot H + AN \cdot D + BN \cdot D$ 、 $OUT3 = A \cdot B \cdot G \cdot H + AN \cdot E + BN \cdot E$ 、 $OUT4 = A \cdot B \cdot G \cdot H + AN \cdot F + BN \cdot F$)を実現している。

図5(a)回路は引用文献2の従来方法を用いて生成される回路である。この回路は501から504で示される部分が同一形状をとる回路であり、本来共有化することができた部分であるにもかかわらず、全く別個に生成されている。この結果、トランジスタ数は24個となっている。

一方、図5(b)の回路は本発明による半導体集積回路の設計方法を用いて生成された回路である。この場合505で示されるように、図5(a)の回路で共有化されて

いなかった部分回路がこちら側では共有化されている。この結果トランジスタ数は18個となり、先の(a)の回路より6個減少しているのがわかる。一般にトランジスタ数が多いほど回路の面積と消費電力は大きくなる傾向があるから、従来の設計方法を用いて生成される図5(a)の回路は、今だ十分に面積、消費電力が小さくはなっていなかったことが理解できる。

本発明は上記の如き背景を基にしてなされたものであり、その目的とするところは、自動設計装置によりパストラジスタを用いた任意の論理機能を持った論理回路を生成する際に、従来のパストラジスタ回路に比べて、高速、高集積、低消費電力と言った性質を有する論理回路を実現するための半導体集積回路の論理回路の設計方法を提供することにある。

さらに、本発明の他の目的とするところは、従来のパストラジスタ回路に比べて、高速、高集積、低消費電力と言った性質を有する論理回路を実現するための半導体集積回路の論理回路の自動設計装置を提供することにある。

上記目的を達成するため、本発明による論理回路の設計方法(図1、図3、図11参照)は、

演算処理装置、記憶装置、マンマシンインターフェースを具備してなる自動設計装置(1101)を用いて実現される半導体上に集積化される論理回路の設計方法であって、該記憶装置上に保持されたプログラムから次のステップを実行することを特徴とする。

(a)論理入力と論理出力との間の論理関係を定める論理機能(図3(a) 301参照)と、該入出力間の遅延時間の目標仕様とが入力されるステップ(図1 101参照)。

(b)設計者の与えた論理機能の少なくともその一部に関して下記(b-1)で定義される2分決定グラフ(図3(b)参照)を形成するステップ(図1 102参照)。

(b-1)上記2分決定グラフは、制御変数(302)と二つの入力枝(303,304)と一つの出力(305)とを有する複数のノード(306)を組み合わせることにより構成されるグラフであり、各ノードの制御変数は該当する論理部分の論理入力(A)を意味し、各ノードの二つの入力枝のいずれか一方は上記制御変数の論理値に対応して選択され、各ノードの出力には上記選択された入力枝の信号が伝達される(図3(b)参照)。

(c)上記(b)のステップで形成された上記2分決定グラフもしくは下記(e)のステップで形成されたグラフの少なくとも一部のノードを、下記(c-1)で定義されるパストラジスタ回路(図3(d)参照)で置き換えるステップ(図1 103参照)。

(c-1) 上記パストラジスタ回路(323)は、制御入力(324)と、第1入力(325)と、第2入力(326)と、出力(327)と、該第1入力と該出力との間にソース・ドレイン経路が接続された第1の電界効果型トランジスタ(328)と、該第2入力と該出力との間にソース・ドレイン経路が接続された第2の電界効果型トランジスタ(329)とを有してなり、

上記第 1 の電界効果型トランジスタ(328)のゲートは上記制御入力(A)に入力される信号に応答し、

上記第 2 の電界効果型トランジスタ(329)のゲートは上記制御入力(A)に入力される信号の反転信号に応答することにより、

上記出力には上記第 1 入力か上記第 2 入力のどちらか一方の信号が伝達される(図 3 (d) 参照)。

(d)上記(c)の手順により得られた上記パストランジスタ回路に関してのシミュレーション遅延時間が上記(a)の上記目標仕様を満足するかどうかを判定して、もし満足しない場合下記(e)、(f)、(g)のステップを実行するステップ(図 1 104 参照)。

(e)上記 2 分決定グラフの少なくとも複数のノード(図 3 (b) 参照)を、下記(e-1)、(e-2) の条件を満たすよう、ひとつの置換ノード(図 3 (c) 参照)に置換するステップ(図 1 105 参照)。

(e-1)置換後のグラフの置換ノードの入力枝の先の外部集合(図 3 (c) 312, 313, 314 参照)は、置換前の 2 分決定グラフの該当する複数のノードの入力枝の先の外部集合(図 3 (b) 308, 309, 310 参照)と一致する。

(e-2) 置換後のグラフの論理機能と置換前の 2 分決定グラフの論理機能とが同一である条件を保つように置換後のグラフの置換ノードの制御変数の信号は置換前の 2 分決定グラフの該当する複数のノードの複数の制御変数の信号の論理的組合せである。

(f)上記(e)のステップの手順による置換後のグラフの少なくとも一部のノードを、下記の信号印加形態が採用されるように上記(c)のステップの手順によりパストランジスタ回路(図 3 (d) 参照)で置き換えるステップ。

置換後のグラフの上記置換後のひとつの置換ノードに関して、上記(c-1) で定義される第 1、第 2、第 3 のパストランジスタ回路においては、上記第 1 と上記第 2 のパストランジスタ回路の間ではひとつのパストランジスタ回路(322)の制御入力に入力される信号が他のパストランジスタ回路(323)の出力の信号であると言う第 1 の信号印加形態が採用され、上記第 2 と上記第 3 のパストランジスタ回路の間ではひとつのパストランジスタ回路(322)の第 1 入力と第 2 入力のいずれかに入力される信号が他のパストランジスタ回路(321)の出力の信号であると言う第 2 の信号印加形態とが採用される(図 3 (d) 参照)。

(g) 上記(f)のステップの手順により得られた上記パストランジスタ回路に関してのシミュレーション遅延時間が上記(a)の上記目標仕様を満足するかどうかを上記(d)のステップの手順により判定するステップ。

また上記目的を達成するため、本発明による論理回路の別の設計方法(図 2、図 8、図 1 1 参照)は、

演算処理装置、記憶装置、マンマシンインターフェースを具備してなる自動設

計装置(1101)を用いて実現される半導体上に集積化される論理回路の設計方法であって、該記憶装置上に保持されたプログラムから次のステップを実行することを特徴とする。

(a)論理入力と論理出力との間の論理関係を定める論理機能(図8(a) 801 参照)と、上記論理回路のチップ占有面積と消費電力の少なくともいずれかの目標仕様とが入力されるステップ(図2 201 参照)。

(b)設計者の与えた論理機能の少なくともその一部に関して下記(b-1)で定義される2分決定グラフ(図8(b) 参照)を形成するステップ(図2 202 参照)。

(b-1)上記2分決定グラフは、制御変数(302)と二つの入力枝と一つの出力とを有する複数のノードを組み合わせることにより構成されるグラフであり、各ノードの制御変数は該当する論理部分の論理入力を意味し、各ノードの二つの入力枝のいずれか一方は上記制御変数の論理値に対応して選択され、各ノードの出力には上記選択された入力枝の信号が伝達される。

(c)上記(b)のステップで形成された上記2分決定グラフもしくは下記(e)のステップで形成されたグラフの少なくとも一部のノードを、下記(c-1)で定義されるバストランジスタ回路(図8(d) 参照)で置き換えるステップ(図2 203 参照)。

(c-1) 上記バストランジスタ回路は、制御入力と、第1入力と、第2入力と、出力と、該第1入力と該出力との間にソース・ドレイン経路が接続された第1の電界効果型トランジスタと、該第2入力と該出力との間にソース・ドレイン経路が接続された第2の電界効果型トランジスタとを有してなり、

上記第1の電界効果型トランジスタのゲートは上記制御入力に入力される信号に応答し、

上記第2の電界効果型トランジスタのゲートは上記制御入力に入力される信号の反転信号に応答することにより、

上記出力には上記第1入力か上記第2入力のどちらか一方の信号が伝達される。

(d)上記(c)の手順により得られた上記バストランジスタ回路に関してのシミュレーションによるチップ占有面積と消費電力の少なくともいずれかが上記(a)の上記目標仕様を満足するかどうかを判定して、もし満足しない場合下記(e)、(f)、(g)のステップを実行するステップ(図2 204 参照)。

(e)上記2分決定グラフにおいて下記(e-1)の条件を満足する少なくとも複数のノード集合(図8(b) 805、806、807、808 参照)を、下記(e-2)、(e-3)の条件を満たすように、置換ノード(図8(c) 817、818、819、820 参照)および共通ノード集合(図8(c) 825 参照)に置換するステップ(図2 205 参照)。

(e-1)上記置換前の複数のノード集合(図8(b) 805、806、807、808 参照)の各集合は複数のノードから構成され、上記置換前の複数のノード集合の相互接続形態と制御変数の入力信号とは互いに同一である。

(e-2) 置換後のグラフの論理機能と置換前の2分決定グラフの論理機能とが同一である条件を保つように上記置換後の複数の置換ノード(図8(c) 817、818、819、820 参照)の制御変数として共通ノード集合(図8(c) 825 参照)の出力を印加せしめ、上記共通ノード集合(図8(c) 825 参照)は上記置換前の相互接続形態と制御変数の入力信号とが互いに同一である上記複数のノード(図8(b) 805、806、807、808 参照)に対応する。

(e-3)置換後のグラフ(図8(c) 参照)の複数の置換ノード(図8(c) 817、818、819、820 参照)の入力枝の先の外部集合は、置換前の2分決定グラフ(図8(b) 参照)の該当する上記置換前の複数のノード集合(図8(b) 805、806、807、808 参照)の入力枝の先の外部集合と一致する。

(f)上記(e)のステップの手順による置換後のグラフの少なくとも一部のノードを、上記(c)のステップの手順によりバストランジスタ回路(図8(d) 参照)で下記の信号印加形態が採用されるように置き換えるステップ。

置換後のグラフの上記置換後の複数の置換ノード(図8(c) 817、818、819、820 参照)に関して、上記(c-1)で定義される第1、第2、第3のバストランジスタ回路においては、上記第1と上記第2のバストランジスタ回路の間ではひとつのバストランジスタ回路(840、841)の制御入力に輸入される信号が他のバストランジスタ回路(844、845)の出力の信号であると言う第1の信号印加形態が採用され、上記第2と上記第3のバストランジスタ回路の間ではひとつのバストランジスタ回路(840、841)の第1入力と第2入力のいずれかに入力される信号が他のバストランジスタ回路(842、843)の出力の信号であると言う第2の信号印加形態とが採用される(図8(d) 参照)。

(g) 上記(f)のステップの手順により得られた上記バストランジスタ回路に関してのシミュレーションによるチップ占有面積と消費電力の少なくともいずれかが上記(a)の上記目標仕様を満足するかどうかを上記(d)のステップの手順により判定するステップ。

上述した本発明によれば、バストランジスタ回路のトランジスタのゲート入力の対象を、対象としている論理機能の入力信号(もしくはその否定信号)のみではなく、他のバストランジスタ回路からの出力信号も印加すると言う信号印加形態を追加することにより、より複雑な論理を実現することが可能となるとともに、遅延時間、チップ回路占有面積、消費電力等の目標仕様に適合する半導体集積回路の論理回路を自動設計装置により自動設計することができるので、当初の目的を達成することが可能となる。

本発明のその他の目的と特徴は、以下の実施例から明かとなろう。

図面の簡単な説明

図 1 は本発明の実施例による論理回路の設計方法のフローチャート 1 を示す図である。

図 2 は本発明の他の実施例による論理回路の設計方法のフローチャート 2 を示す図である。

図 3 (a)、(b)、(c)、(d) は本発明の論理回路の設計方法の手順と生成される回路を示す図である。

図 4 (a)、(b) は従来の方法により生成される回路と本発明により生成される回路の比較を示す図である。

図 5 (a)、(b) は従来の方法により生成される回路と本発明により生成される回路の比較を示す図である。

図 6 (a)、(b)、(c) は従来 of 設計方法の手順と生成される回路の例を示す図である。

図 7 (a)、(b)、(c) は従来 of 設計方法の手順と生成される回路の例を示す図である。

図 8 (a)、(b)、(c)、(d)、(e) は本発明の設計方法の手順と生成される回路の例を示す図である。

図 9 (a)、(b)、(c)、(d)、(e)、(f)、(g)、(h) は 16 入力論理積機能に本発明の論理回路の設計方法の手順と生成される回路を示す図である。

図 10 は図 8 (d) の論理機能を表わす真理値表を示す図である。

図 11 は本発明の実施例による論理回路の設計装置を示す図である。

図 12 は従来 of 設計方法の手順を示す図である。

図 13 (a)、(b) は本発明の実施例による論理 L S I の自動設計例を示す図である。

発明を実施するための最良の形態

図 1 は本発明の実施例による半導体集積回路の論理回路の設計方法を示すものである。

この実施例の設計方法は図 11 に示すように演算処理装置(CPU)、記憶装置(メインメモリ、ハードディスクメモリ等)、マンマシンインターフェース(キーボード、ディスプレイ、タッチパネル等)を具備してなる自動設計装置(1101)を用いて実現される半導体上に集積化される論理回路の設計方法である。この自動設計装置(1101)の記憶装置上に保持されたプログラムから次のステップを実行することによって、半導体集積回路の論理回路を自動設計することを特徴とする。

図 1 のステップ 101: このステップ 101 では、(a) (図 3 (a) 301 に示す如き論理入力と論理出力との間の論理関係を定める論理機能参照と、該入出力間の遅延時間の設計目標仕様とが入力される。

図 1 のステップ 102: このステップ 102 では、(b) 設計者の与えた論理機能の少なくともその一部に関して図 3 (b) に示す如き下記(b-1)で定義される 2 分決定グラフ(参照)が形成される。

(b-1) 2分決定グラフは、図3(b)に示す如く、制御変数(302)と二つの入力枝(303,304)と一つの出力(305)とを有する複数のノード(306)を組み合わせることにより構成されるグラフであり、各ノードの制御変数は該当する論理部分の論理入力(A)を意味し、各ノードの二つの入力枝のいずれか一方は上記制御変数の論理値に対応して選択され、各ノードの出力には上記選択された入力枝の信号が伝達される。

図1のステップ103:このステップ103では、(c)上記(b)のステップ102で形成された2分決定グラフもしくは下記(e)のステップで形成されたグラフの少なくとも一部のノードを、下記(c-1)で定義され図3(d)に示す如きパストラランジスタ回路で置き換えるものである。

(c-1) このパストラランジスタ回路(323)は、図3(d)に示す如く、制御入力(324)と、第1入力(325)と、第2入力(326)と、出力(327)と、該第1入力と該出力との間にソース・ドレイン経路が接続された第1の電界効果型トランジスタ(328)と、該第2入力と該出力との間にソース・ドレイン経路が接続された第2の電界効果型トランジスタ(329)とを有してなり、

上記第1の電界効果型トランジスタ(328)のゲートは上記制御入力(A)に入力される信号に応答し、

上記第2の電界効果型トランジスタ(329)のゲートは上記制御入力(A)に入力される信号の反転信号に応答することにより、

上記出力には上記第1入力か上記第2入力のどちらか一方の信号が伝達される(図3(d) 参照)。

図1のステップ104:このステップ104では、(d)上記(c)のステップ103の手順により得られた上記パストラランジスタ回路に関してのシミュレーション遅延時間が上記(a)のステップ101の遅延時間目標仕様を満足するかどうかを判定して、もし満足しない場合下記(e)、(f)、(g)のステップを実行するものである(図1 104 参照)。

図1のステップ105:このステップ105では、(e)上記ステップ103で形成された図3(b)に示す如き2分決定グラフの少なくとも複数のノードを、下記(e-1)、(e-2)の条件を満たすよう、図3(c)に示す如きひとつの置換ノードに置換するものである。

(e-1)置換後のグラフの置換ノードの入力枝の先の外部集合(図3(c) 312, 313, 314 参照)は、置換前の2分決定グラフの該当する複数のノードの入力枝の先の外部集合(図3(b) 308, 309, 310 参照)と一致する。

(e-2) 図3(c)に示す如き置換後のグラフの論理機能と図3(b)に示す如き置換前の2分決定グラフの論理機能とが同一である条件を保つように置換後のグラフの置換ノード(330)の制御変数の信号は置換前の2分決定グラフの該当する複数

のノードの複数の制御変数の信号(A、B)の論理的組合せである。

ステップ(f):このステップ (f)では、図1のステップ105の上記ステップの105の(e)の手順による置換後のグラフの少なくとも一部のノードを、上記ステップ103の(c)のステップの手順によりパストランジスタ回路(図3(d) 参照)で置き換えるものである。

その結果、置換後のグラフの上記置換後のひとつの置換ノードに関して、上記(c-1)で定義される第1、第2、第3のパストランジスタ回路においては、図3(d)に示す如く、上記第1と上記第2のパストランジスタ回路の間ではひとつのパストランジスタ回路(322)の制御入力に入力される信号が他のパストランジスタ回路(323)の出力の信号であると言う第1の信号印加形態が採用され、上記第2と上記第3のパストランジスタ回路の間ではひとつのパストランジスタ回路(322)の第1入力と第2入力のいずれかに入力される信号が他のパストランジスタ回路(321)の出力の信号であると言う第2の信号印加形態とが採用される。

ステップ(g):このステップ(g)では、上記(f)のステップの手順により得られた上記パストランジスタ回路に関してのシミュレーション遅延時間が上記(a)の上記目標仕様を満足するかどうかを上記ステップ104の(d)のステップの手順により判定するものである。

この結果、未だシミュレーション遅延時間が上記ステップ101で与えられた(a)の上記目標仕様を満足しない場合は、上記ステップ(e)、(f)、(g)が繰り返されるものである。

図2は本発明の他の実施例による半導体集積回路の論理回路の設計方法を示すものである。

この図2の他の実施例の設計方法も図1と同様に、図11に示すように演算処理装置(CPU)、記憶装置(メインメモリ、ハードディスクメモリ等)、マンマシンインターフェース(キーボード、ディスプレイ、タッチパネル等)を具備してなる自動設計装置(1101)を用いて実現される半導体上に集積化される論理回路の設計方法である。この自動設計装置(1101)の記憶装置上に保持されたプログラムから次のステップを実行することによって、半導体集積回路の論理回路を自動設計することを特徴とする。

図2のステップ201:このステップ201では、(a) 図8(a)801に示す如く論理入力と論理出力との間の論理関係を定める論理機能と、この論理回路のチップ占有面積と消費電力の少なくともいずれかの設計目標仕様とが入力されるものである。

図2のステップ202:このステップ202では、(b)設計者の与えた論理機能の少なくともその一部に関して図8(b)に示す如く下記(b-1)で定義される2分決定グラフを形成するものである。

(b-1)この2分決定グラフは、制御変数(302)と二つの入力枝と一つの出力とを

有する複数のノードを組み合わせるにより構成されるグラフであり、各ノードの制御変数は該当する論理部分の論理入力の意味し、各ノードの二つの入力枝のいずれか一方は上記制御変数の論理値に対応して選択され、各ノードの出力には上記選択された入力枝の信号が伝達される。

図2のステップ203:このステップ203では、(c)上記ステップ202の(b)のステップで形成された上記2分決定グラフもしくは下記(e)のステップで形成されたグラフの少なくとも一部のノードを、図8(d)に示す如き下記(c-1)で定義されるパストランジスタ回路で置き換えるものである。

(c-1)このパストランジスタ回路は、制御入力と、第1入力と、第2入力と、出力と、該第1入力と該出力との間にソース・ドレイン経路が接続された第1の電界効果型トランジスタと、該第2入力と該出力との間にソース・ドレイン経路が接続された第2の電界効果型トランジスタとを有してなり、

上記第1の電界効果型トランジスタのゲートは上記制御入力に輸入される信号に応答し、

上記第2の電界効果型トランジスタのゲートは上記制御入力に輸入される信号の反転信号に応答することにより、

上記出力には上記第1入力か上記第2入力のどちらか一方の信号が伝達される。

図2のステップ204:このステップ204では、(d)上記ステップ203の(c)の手順により得られたパストランジスタ回路に関してのシミュレーションによるチップ占有面積と消費電力の少なくともいずれかが上記ステップ201の(a)の上記目標仕様を満足するかどうかを判定して、もし満足しない場合下記(e)、(f)、(g)のステップを実行するものである。

図2のステップ205:このステップ205では、(e)上記ステップ102で形成された2分決定グラフにおいて図8(b) 805、806、807、808に示す如き下記(e-1)の条件を満足する少なくとも複数のノード集合を、下記(e-2)、(e-3)の条件を満たすように、図8(c) 817、818、819、820に示す如き置換ノードおよび図8(c) 825に示す如き共通ノード集合に置換するものである。

(e-1)上記置換前の複数のノード集合(図8(b) 805、806、807、808 参照)の各集合は複数のノードから構成され、上記置換前の複数のノード集合の相互接続形態と制御変数の入力信号とは互いに同一である。

(e-2) 置換後のグラフの論理機能と置換前の2分決定グラフの論理機能とが同一である条件を保つように上記置換後の複数の置換ノード(図8(c) 817、818、819、820 参照)の制御変数として共通ノード集合(図8(c) 825 参照)の出力を印加せしめ、上記共通ノード集合(図8(c) 825 参照)は上記置換前の相互接続形態と制御変数の入力信号とが互いに同一である上記複数のノード(図8(b) 805、806、807、808 参照)に対応する。

(e-3)置換後のグラフ(図8(c) 参照)の複数の置換ノード(図8(c) 817、818、819、820 参照)の入力枝の先の外部集合は、置換前の2分決定グラフ(図8(b) 参照)の該当する上記置換前の複数のノード集合(図8(b) 805、806、807、808 参照)の入力枝の先の外部集合と一致する。

ステップ(f):このステップ(f)では、上記ステップ205の(e)のステップの手順による置換後のグラフの少なくとも一部のノードを、上記ステップ203の(c)のステップの手順によりバストランジスタ回路で下記の信号印加形態が採用されるように置き換えるものである。

置換後のグラフの上記置換後の複数の置換ノード(図8(c) 817、818、819、820 参照)に関して、上記(c-1)で定義される第1、第2、第3のバストランジスタ回路においては、上記第1と上記第2のバストランジスタ回路の間ではひとつのバストランジスタ回路(840、841)の制御入力に入力される信号が他のバストランジスタ回路(844、845)の出力の信号であると言う第1の信号印加形態が採用され、上記第2と上記第3のバストランジスタ回路の間ではひとつのバストランジスタ回路(840、841)の第1入力と第2入力のいずれかに入力される信号が他のバストランジスタ回路(842、843)の出力の信号であると言う第2の信号印加形態とが採用される(図8(d) 参照)。

ステップ(g):このステップ(g)では、上記(f)のステップの手順により得られた上記バストランジスタ回路に関してのシミュレーションによるチップ占有面積と消費電力の少なくともいずれかが上記(a)の上記目標仕様を満足するかどうかを上記(d)のステップの手順により判定するものである。

この結果、未だシミュレーションによるチップ占有面積と消費電力の少なくともいずれかが上記ステップ201で与えられた(a)の上記目標仕様を満足しない場合は、上記ステップ(e)、(f)、(g)が繰り返されるものである。

本発明の実施例による設計方法を採用することにより構成されるバストランジスタ回路が、従来より高速、小面積、低消費電力となる原理を図3、図6、図7、図8を用いて説明する。

図3と図6はともに同じ論理機能(301,601)を従来方法と本発明の方法で設計した場合をそれぞれ示したものである。

図6の回路は引用文献2の構成方法に従って図6(a)、(b)、(c)の順に実現されるものである。すなわち、図6(a)で与えられる論理機能(601)を2分決定グラフ図6(b)に変換する。次にこの2分決定グラフの各々のノードをバストランジスタにより構成されるセレクトアに変換する。このようにして図6(c)の回路が得られる。この回路において、遅延の制限を与える信号の伝達経路(クリティカルパス)が入力H(603)から出力OUT(602)への経路(604)であった場合、信号はこの経路に沿って5段のトランジスタ(605、606、607、608、609)を通過しなければならない。

一方、図3は本発明の方法を用いた回路であるが、図3(a)、(b)、(c)、(d)の順に合成される。すなわち、図3(a)で与えられる論理機能(301)を2分決定グラフ図3(b)に変換する。次にこの2分決定グラフ中で遅延時間が要求仕様を満たさない回路に相当する部分グラフ(307)を抽出し、これを図3(c)の別のグラフ(311)で置き換える。最後にこのグラフの各々のノードをバストラジスタ回路に変換して図3(d)の回路が得られる。この回路では、入力H(318)から出力OUT(317)への経路(319)に沿って3段のトランジスタ(320、321、322)を通過するだけでよいことがわかる。回路の遅延時間は信号が通過するトランジスタの段数が増加するに従い悪化するため、逆に本実施例のようにクリティカルパスに沿った信号の通過トランジスタ段数を減らすことにより遅延時間を小さくすることが可能になり、回路の動作速度の向上において効果のあることが理解できる。

次に本実施例の設計方法を用いて設計された論理回路で面積や消費電力を小さくすることができる原理について、図7、図8を用いて説明する。

図7(c)の回路は引用文献2の方法で合成される回路である。回路が合成される手順を説明する。まず設計者により与えられた論理式(図7(a)、701、702、703、704)を2分決定グラフ(図7(b))に変換する。ここで設計者が与えた入力A、B、C、D、E、Fである。一方出力はOUT1、OUT2、OUT3、OUT4である。そして、このグラフ中のノードから出る1で選択される枝(705、707、709、711、713、715、717、719、721)と0で選択される枝(706、708、710、712、714、716、718、720、722)のそれぞれを、そのノードの制御変数である対象論理機能の入力の肯定信号で制御されるバストラジスタ(723、725、727、729、731、733、735、737、739)、入力の否定信号で制御されるバストラジスタ(724、726、728、730、732、734、736、738、740)で置き換える。ここで、置き換える1つ1つのバストラジスタは、実際には、並列接続された複数のトランジスタであってももちろんよい。なお1と0で選択される枝の先がそれぞれ、終端ノード1と0である場合はバストラジスタで置き換える代わりに、制御変数の入力信号をそのまま与え、また、1と0で選択される枝の先がそれぞれ終端ノード0と1である場合には制御変数の入力の否定信号を与えている。さらに、必要によっては回路動作を良好にするために、バストラジスタの直列接続段数や出力の分岐に応じて電圧や電流の増幅回路を挿入した方がよい場合もあるが、ここでは理解を容易にするために増幅回路の挿入は行っていない。

一方、図8(d)の回路は、本発明の実施例の設計方法で合成される論理回路である。その合成の手順を図8(a)、(b)、(c)、(d)の順に示す。まず、従来と同様に、与えられた論理式(a)を2分決定グラフ(b)に変換する。その後、この2分決定グラフの中で部分グラフ(805、806、807、808)を自動判定して抽出する。さらにこの抽出した部分グラフを下記の(1)、(2)を満たしつつ別のグラフ(817、818、819、820、

ただし、ここではシンプルな例であるためノード数が1のグラフである)で置き換え、これらのグラフの中のノードの制御入力(821、822、823、824)には、全体として設計者が与えた論理機能と同じになるように、さらに(a)と異なる別の2分決定グラフの出力(825)を与える。

(1)置き換え後のグラフに含まれる全てのノードの枝の先のうち、該グラフ外部を指している先の集合は、置き換え前のグラフに含まれる全てのノードの枝の先のうち該グラフ外部を指している先の集合と一致する。

(2)置き換え後のグラフには、2分決定グラフで用いるノードと同一構成であるが、制御変数が置き換え対象部分の入力と異なるようなノードを少なくとも一つ含む。

次に、グラフ中のノードから出る1で選択される枝と0で選択される枝のそれぞれを、そのノードの制御変数または制御入力の肯定信号と否定信号に応答するパストランジスタ(834、835、836、837、838、839、840、841、842、843、844、845)で置き換える。もちろん、その後、回路動作を良好にするために要求に応じて電圧や電流の増幅回路を挿入してもよい。この増幅回路を挿入するパストランジスタの直列接続段数を要求に応じて変化させればよいことはいうまでもない。

上記の例では、図8(d)の回路はトランジスタ数18となり、図7(c)の回路よりトランジスタ数が少なく、これにより回路面積の縮小と消費電力の減少がもたらされる。なおここで、上記においてパストランジスタ(並列接続された場合でも、その数を一つとみなした場合)の数はグラフ中のノードから枝に出る数と一致する。従って、回路の面積や消費電力を減らす目的の場合には、トランジスタを減少させる目的のために、ノードの数を減少させるような置き換えを行うことが望ましい。上記(1)、(2)を満たしつつノードの数を減少させるような置き換えを行うためには、部分グラフの中に含まれる少なくとも二つの異なるノードから出る枝の先が同一箇所を指していることが必要になる。なぜなら、逆に同一箇所を指している異なるノードを含んでいないグラフの場合、上記(2)の条件よりそのノード数は一意に決定されるからノード数を減少させることはできないからである。この例では本発明を用いて面積、消費電力を減少させることができるが、実際には遅延時間についても改善される。今、入力Hの到達時刻が他の信号より遅い場合を想定してみると、図7(c)の回路の場合入力Hから各出力までの信号が通過するパストランジスタ数は3段であるのに対し、図8(d)の回路では2段ですむことがわかる。遅延時間は信号が通過するトランジスタ数が少なくなるにつれ短くなることを考えれば、遅延時間の短縮も可能となることがわかる。

図8(e)の回路は図8(d)の回路においてパストランジスタのゲート入力となる別のパストランジスタ回路の出力にCMOSインバータである増幅回路(846)を挿入し、電位レベルを電源電圧まで十分に引き上げられるようにしたものである。

この回路は定常電流が流れないため、消費電力も小さくすることができる。この場合でもトランジスタ数は21であり、やはり図7(c)の回路より少ない。

尚、本発明の実施例の設計方法の最初のステップで用いている2分決定グラフは、引用文献1で用いられているものと同一であるが、この2分決定グラフの替りに広く知られている否定エッジ付きノードを用いた構成される2分決定グラフを用いた場合でも、本発明が適用できることはいうまでもない。

図11は本発明の方法を用いたシステムをLSI設計に利用した例を示している。このシステム本発明の設計方法を用いてパストランジスタ回路を生成し、素子間の結線情報、または素子グループ間の結線情報を生成して出力として設計者にそのデータを提供することが可能となる。ここでシステムに各素子のマスクパターン情報、もしくは素子グループのマスクパターン情報を登録しておけば、さらにこれらマスクパターンを組み合わせることで論理回路全体のマスクパターンを自動生成することも可能となり、また合成された論理回路の遅延時間、チップ占有面積、消費電力の値をシュミレーションで求め、このシュミレーション値が設計目標値を満足しているか否かの自動判定および判定結果が否の場合は図1、図2で説明した上述の手順によりより好適な論理回路を自動設計が可能である。

図8は、本発明で示す論理回路の構成方法を用いて、4つの論理機能をもつ回路を実現した実施例である。論理機能は図8(a)に論理式を用いて表わしてある。回路構成方法の手順は既に説明した通りである。ここでは、図8(d)の回路が実際に与えられた論理機能を実現していることを確認する。まず、OUT1について正しく論理機能が実現されていることを確認する。理解を容易にするために、この論理機能の真理値表を図10に示す。この真理値表の各入力パターンに対して出力がとる値と図8(d)の回路の出力とを比較し一致を確かめる。

まず、入力Aが0のとき(真理値表で最上部の16行)、図8の回路でパストランジスタ844がONし、パストランジスタ834がONし、出力OUT1は入力Cと導通する。従って、入力Cが0であるとき(第1行から第4行までと第9行から第12行まで)、OUT1は0となる。一方、入力Cが1であるとき(第5行から第8行までと第13行から第16行まで)、OUT1は1となる。これは真理値表の出力値と合致している。

次に、入力Aが1で入力Bが0のとき(真理値表で次の8行)、図8の回路でパストランジスタ845がONし、パストランジスタ834がONし、出力OUT1は入力Cと導通する。従って入力Cが0であるとき(第17行から第20行まで)、OUT1は0となる。一方、入力Cが1であるとき(第21行から第24行まで)、OUT1は1となる。これも真理値表の出力値と合致する。

次に、入力Aが1、入力Bが1、入力Cが0、入力Gが0のとき(真理値表で次の2行)、図8の回路でパストランジスタ845がONし、パストランジスタ835

が ON し、またパストランジスタ 842 が ON し、出力 OUT1 が接地と導通する。従って OUT1 は 0 となる。これも真理値表の出力値と合致する。

次に、入力 A が 1、入力 B が 1、入力 C が 0、入力 G が 1 のとき(真理値表で次の 2 行)、図 8 の回路でパストランジスタ 845 が ON し、パストランジスタ 835 が ON し、またパストランジスタ 843 が ON し、出力 OUT1 が入力 H と導通する。従って入力 H が 0 のとき(第 27 行目)、OUT1 は 0 となる。一方、入力 H が 1 のとき(第 28 行目)、OUT1 は 1 となる。これも真理値表の出力値と合致する。

次に、入力 A が 1、入力 B が 1、入力 C が 1、入力 G が 0 のとき(真理値表で次の 2 行)、図 8 の回路でパストランジスタ 845 が ON し、パストランジスタ 835 が ON し、またパストランジスタ 842 が ON し、出力 OUT1 が接地と導通する。従って OUT1 は 0 となる。これも真理値表の出力値と合致する。

次に、入力 A が 1、入力 B が 1、入力 C が 1、入力 G が 1 のとき(真理値表で次の 2 行)、図 8 の回路でパストランジスタ 845 が ON し、パストランジスタ 835 が ON し、またパストランジスタ 843 が ON し、出力 OUT1 が入力 H と導通する。従って入力 H が 0 のとき(第 31 行目)、OUT1 は 0 となる。一方、入力 H が 1 のとき(第 32 行目)、OUT1 は 1 となる。これも真理値表の出力値と合致する。

以上のように 4 つの出力のうち OUT1 の論理機能が本発明の回路で正しく実現されていることが確認された。他の 3 つの出力(OUT2、OUT3、OUT4)についても、同様にして、本発明の回路が正しく論理機能を実現していることを容易に確認できる。

図 9 は本発明の実施例の論理回路の設計・構成方法を用いて、16 ビット論理積の機能をもつ回路を実現した実施例である。この実施例では本発明の回路が遅延時間の短縮に大きな効果があることを示す。この例では、本発明の回路構成方法についても詳しく順を追って説明する。なお 16 ビット論理積の入力のうち、入力 Q は別の論理ブロックの出力で、既にある遅延時間を経たものとなっており、この入力信号の到達時刻は他の入力よりも遅い場合を想定している。

まず、本発明の手順に従い、論理機能(図 9(a))から、これに対応した 2 分決定グラフを作成する(図 9(b))。次に、このグラフの中でグラフ外部への枝の先の集合が同じであるような別の部分グラフ、すなわちここでは部分グラフ 902 を抜き出し、これを別のグラフ 903 で置き換える。そしてこれらのノードの制御信号に、もともとの論理機能と同じになるように別のグラフの出力、すなわちここでは 904 を与える(図 9(c))。

上記図 9(c)のグラフからパストランジスタ回路への変換を行ってももちろんよいが、ここでは、さらに遅延時間を短くする必要がある場合を想定して、再帰的に上記の手順を実行する。すなわち、今度は図 9(c)において、出力 904 と出力 905 を持つグラフそれぞれを対象として上記の手順を行う。まず、出力 904 を持

つグラフの中で、グラフ外部への枝の先の集合が同じである部分グラフ、すなわちここでは部分グラフ 906 を抜き出し、これを図 9 (d) に示すようにさらに別のグラフ 908 に置き換える。そしてこれらのノードの制御信号に、もともとの論理機能と同じになるように別のグラフの出力、すなわちここでは 910 を与える。また、出力 905 を持つ部分グラフの中で、グラフ外部への枝の先の集合が同じである部分グラフ、すなわちここでは部分グラフ 907 を抜き出し、これを図 9 (d) に示すように別のグラフ 909 に置き換える。そしてこれらのノードの制御信号に、もともとの論理機能と同じになるようにさらに別のグラフの出力、すなわちここでは 911 を与える。

上記手順を再帰的にもう一度繰り返すと図 9 (e) のようになる。ここで、最終的にできた複数のグラフの全てのノードのそれぞれをバストランジスタのソース・ドレイン経路で置き換え、そのゲート端子にはそれぞれのノードの制御変数の肯定信号、否定信号を与えると図 9 (f) で与えられるバストランジスタ回路が合成される。

ここで遅延時間がどれだけ改善されたかを見るために、従来の設計方法を用いて生成される回路と本発明により生成される回路を比較してみる。まず従来の回路の場合、図 9 (h) のようになる。この図に示されているように、遅延時間を支配する信号の伝達経路(920)にそったバストランジスタの段数は 15 段となる。次に本発明の回路の場合、遅延時間を支配する信号の伝達経路(912)に沿ったバストランジスタの段数は 4 段で済むことがわかる。この場合、実に 11 段分のバストランジスタの通過時間を短縮できることがわかる。

なお、図 9 (g) の回路は、図 9 (f) の回路において、バストランジスタのゲートに別のバストランジスタの出力が入る場合、ゲート入力電位を十分に電源電圧まで引き上げるために、電圧の増幅回路(913、914、915、916、917、918、919)を挿入して、定常電流が流れるのを防止した実施例である。

以上、本発明者によりなされた本発明の実施例を詳細に説明したが、本発明は上記の具体的な実施例に限定されるものでなく、その技術思想の範囲内で種々変更可能なことは言うまでもない。

例えば、図 1 の実施例もしくは図 2 の実施例において、ステップ 103、ステップ 104、ステップ 105 のループもしくはステップ 203、ステップ 204、ステップ 205 のループを少なくとも一巡した後、例えば二巡目で目標仕様未達の場合でも CPU 時間の制限やプログラムの使用メモリ制限等がある場合には、この制限を満たすべくプログラムを終了することは、一巡の処理が本特許の技術的範囲に含まれる。また、例えば二巡目で目標仕様未達の場合でプログラムを終了することは、ステップ 101 もしくはステップ 201 での目標仕様の実効的な修正であると見なすこともでき、やはり本特許の技術的範囲に含まれるものである。

さらに、他の変形実施形態としては、パストランジスタ回路を構成する電界効果トランジスタはシリコンのMOSFETに限定されるものでなく、GaAsの化合物半導体によるMESFETを使用することができる。

また、本発明のパストランジスタ回路を有する論理回路は、汎用プロセッサ、信号処理プロセッサ、画像処理プロセッサ等のLSIにおいて、例えば、RISC型の命令を解釈して命令実行ユニットを制御するためのランダムロジックに回路に適用されることによって、LSI全体の消費電力および遅延の低減が可能となることは言うまでもない。

本発明によれば、必要トランジスタ数が少なく、消費電力および遅延の低減が可能で、複雑な論理機能を実現することが可能なパストランジスタ回路を設計する半導体集積回路の論理回路の設計方法を提供することができる。

請 求 の 範 囲

1. 演算処理装置、記憶装置、マンマシンインターフェースを具備してなる自動設計装置を用いて実現される半導体上に集積化される論理回路の設計方法であって、該記憶装置上に保持されたプログラムから次のステップを実行することを特徴とする半導体集積回路の設計方法。

(a) 論理入力と論理出力との間の論理関係を定める論理機能と、該入出力間の遅延時間の目標仕様とが入力されるステップ。

(b) 設計者の与えた論理機能の少なくともその一部に関して下記(b-1)で定義される2分決定グラフを形成するステップ。

(b-1) 上記2分決定グラフは、制御変数と二つの入力枝と一つの出力とを有する複数のノードを組み合わせることにより構成されるグラフであり、各ノードの制御変数は該当する論理部分の論理入力を意味し、各ノードの二つの入力枝のいずれか一方は上記制御変数の論理値に対応して選択され、各ノードの出力には上記選択された入力枝の信号が伝達される。

(c) 上記(b)のステップで形成された上記2分決定グラフもしくは下記(e)のステップで形成されたグラフの少なくとも一部のノードを、下記(c-1)で定義されるパストランジスタ回路で置き換えるステップ。

(c-1) 上記パストランジスタ回路は、制御入力と、第1入力と、第2入力と、出力と、該第1入力と該出力との間にソース・ドレイン経路が接続された第1の電界効果型トランジスタと、該第2入力と該出力との間にソース・ドレイン経路が接続された第2の電界効果型トランジスタとを有してなり、上記第1の電界効果型トランジスタのゲートは上記制御入力に輸入される信号に応答し、

上記第2の電界効果型トランジスタのゲートは上記制御入力に輸入される信号の反転信号に応答することにより、

上記出力には上記第1入力か上記第2入力のどちらか一方の信号が伝達される。

(d) 上記(c)の手順により得られた上記パストランジスタ回路に関してのシミュレーション遅延時間が上記(a)の上記目標仕様を満足するかどうかを判定して、もし満足しない場合下記(e)、(f)、(g)のステップを実行するステップ。

(e) 上記2分決定グラフの少なくとも複数のノードを、下記(e-1)、(e-2)の条件を満たすよう、ひとつの置換ノードに置換するステップ。

(e-1) 置換後のグラフの置換ノードの入力枝の先の外部集合は、置換前の2分決定グラフの該当する複数のノードの入力枝の先の外部集合と一致する。

(e-2) 置換後のグラフの論理機能と置換前の2分決定グラフの論理機能とが同一である条件を保つように置換後のグラフの置換ノードの制御変数の信号は

置換前の2分決定グラフの該当する複数のノードの複数の制御変数の信号の論理的組合せである。

(f)上記(e)のステップの手順による置換後のグラフの少なくとも一部のノードを、下記の信号印加形態が採用されるように上記(c)のステップの手順によりバストランジスタ回路で置き換えるステップ。

置換後のグラフの上記置換後のひとつの置換ノードに関して、上記(c-1)で定義される第1、第2、第3のバストランジスタ回路においては、上記第1と上記第2のバストランジスタ回路の間ではひとつのバストランジスタ回路の制御入力に輸入される信号が他のバストランジスタ回路の出力の信号であると言う第1の信号印加形態が採用され、上記第2と上記第3のバストランジスタ回路の間ではひとつのバストランジスタ回路の第1入力と第2入力のいずれかに入力される信号が他のバストランジスタ回路の出力の信号であると言う第2の信号印加形態とが採用される。

(g) 上記(f)のステップの手順により得られた上記バストランジスタ回路に関してのシミュレーション遅延時間が上記(a)の上記目標仕様を満足するかどうかを上記(d)のステップの手順により判定するステップ。

2. 演算処理装置、記憶装置、マンマシンインターフェースを具備してなる自動設計装置を用いて実現される半導体上に集積化される論理回路の設計方法であって、該記憶装置上に保持されたプログラムから次のステップを実行することを特徴とする半導体集積回路の設計方法。

(a)論理入力と論理出力との間の論理関係を定める論理機能と、上記論理回路のチップ占有面積と消費電力の少なくともいずれかの目標仕様とが入力されるステップ。

(b)設計者の与えた論理機能の少なくともその一部に関して下記(b-1)で定義される2分決定グラフを形成するステップ。

(b-1)上記2分決定グラフは、制御変数と二つの入力枝と一つの出力とを有する複数のノードを組み合わせることにより構成されるグラフであり、各ノードの制御変数は該当する論理部分の論理入力を意味し、各ノードの二つの入力枝のいずれか一方は上記制御変数の論理値に対応して選択され、各ノードの出力には上記選択された入力枝の信号が伝達される。

(c)上記(b)のステップで形成された上記2分決定グラフもしくは下記(e)のステップで形成されたグラフの少なくとも一部のノードを、下記(c-1)で定義されるバストランジスタ回路で置き換えるステップ。

(c-1) 上記バストランジスタ回路は、制御入力と、第1入力と、第2入力と、出力と、該第1入力と該出力との間にソース・ドレイン経路が接続された第1の電界効果型トランジスタと、該第2入力と該出力との間にソース・ドレイン

経路が接続された第2の電界効果型トランジスタとを有してなり、
上記第1の電界効果型トランジスタのゲートは上記制御入力に入力される信号に
応答し、

上記第2の電界効果型トランジスタのゲートは上記制御入力に入力される信号
の反転信号に応答することにより、

上記出力には上記第1入力か上記第2入力のどちらか一方の信号が伝達される。

(d)上記(c)の手順により得られた上記パストランジスタ回路に関してのシミュ
レーションによるチップ占有面積と消費電力の少なくともいずれかが上記(a)
の上記目標仕様を満足するかどうかを判定して、もし満足しない場合下記(e)、
(f)、(g)のステップを実行するステップ。

(e)上記2分決定グラフにおいて下記(e-1)の条件を満足する少なくとも複数のノ
ード集合を、下記(e-2)、(e-3)の条件を満たすように、置換ノードおよび共通ノ
ード集合に置換するステップ。

(e-1)上記置換前の複数のノード集合の各集合は複数のノードから構成され、
上記置換前の複数のノード集合の相互接続形態と制御変数の入力信号とは互い
に同一である。

(e-2)置換後のグラフの論理機能と置換前の2分決定グラフの論理機能とが
同一である条件を保つように上記置換後の複数の置換ノードの制御変数として
共通ノード集合の出力を印加せしめ、上記共通ノード集合は上記置換前の相互
接続形態と制御変数の入力信号とが互いに同一である上記複数のノードに対応
する。

(e-3)置換後のグラフの複数の置換ノードの入力枝の先の外部集合は、置換前
の2分決定グラフの該当する上記置換前の複数のノード集合の入力枝の先の外
部集合と一致する。

(f)上記(e)のステップの手順による置換後のグラフの少なくとも一部のノード
を、上記(c)のステップの手順によりパストランジスタ回路で下記の信号印加形
態が採用されるように置き換えるステップ。

置換後のグラフの上記置換後の複数の置換ノードに関係して、上記(c-1)で定義
される第1、第2、第3のパストランジスタ回路においては、上記第1と上記
第2のパストランジスタ回路の間ではひとつのパストランジスタ回路の制御入
力に入力される信号が他のパストランジスタ回路の出力の信号であると言う第
1の信号印加形態が採用され、上記第2と上記第3のパストランジスタ回路の
間ではひとつのパストランジスタ回路の第1入力と第2入力のいずれかに入力
される信号が他のパストランジスタ回路の出力の信号であると言う第2の信号
印加形態とが採用される。

(g)上記(f)のステップの手順により得られた上記パストランジスタ回路に関し

でのシミュレーションによるチップ占有面積と消費電力の少なくともいずれかが上記(a)の上記目標仕様を満足するかどうかを上記(d)のステップの手順により判定するステップ。

3. 半導体上に集積化される論理回路の設計方法に用いるためであって、演算処理装置、記憶装置、マンマシンインターフェースを具備してなり、該記憶装置上に保持されたプログラムから次のステップを実行することを特徴とする半導体集積回路の自動設計装置。

(a) 論理入力と論理出力との間の論理関係を定める論理機能と、該入出力間の遅延時間の目標仕様とが入力されるステップ。

(b) 設計者の与えた論理機能の少なくともその一部に関して下記(b-1)で定義される2分決定グラフを形成するステップ。

(b-1) 上記2分決定グラフは、制御変数と二つの入力枝と一つの出力とを有する複数のノードを組み合わせるにより構成されるグラフであり、各ノードの制御変数は該当する論理部分の論理入力を意味し、各ノードの二つの入力枝のいずれか一方は上記制御変数の論理値に対応して選択され、各ノードの出力には上記選択された入力枝の信号が伝達される。

(c) 上記(b)のステップで形成された上記2分決定グラフもしくは下記(e)のステップで形成されたグラフの少なくとも一部のノードを、下記(c-1)で定義されるパストランジスタ回路で置き換えるステップ。

(c-1) 上記パストランジスタ回路は、制御入力と、第1入力と、第2入力と、出力と、該第1入力と該出力との間にソース・ドレイン経路が接続された第1の電界効果型トランジスタと、該第2入力と該出力との間にソース・ドレイン経路が接続された第2の電界効果型トランジスタとを有してなり、

上記第1の電界効果型トランジスタのゲートは上記制御入力に輸入される信号に応答し、

上記第2の電界効果型トランジスタのゲートは上記制御入力に輸入される信号の反転信号に応答することにより、

上記出力には上記第1入力か上記第2入力のどちらか一方の信号が伝達される。

(d) 上記(c)の手順により得られた上記パストランジスタ回路に関してのシミュレーション遅延時間が上記(a)の上記目標仕様を満足するかどうかを判定して、もし満足しない場合下記(e)、(f)、(g)のステップを実行するステップ。

(e) 上記2分決定グラフの少なくとも複数のノードを、下記(e-1)、(e-2)の条件を満たすよう、ひとつの置換ノードに置換するステップ。

(e-1) 置換後のグラフの置換ノードの入力枝の先のは、置換前の2分決定グラフの該当する複数のノードの入力枝の先の外部集合と一致する。

(e-2) 置換後のグラフの論理機能と置換前の2分決定グラフの論理機能とが

同一である条件を保つように置換後のグラフの置換ノードの制御変数の信号は置換前の2分決定グラフの該当する複数のノードの複数の制御変数の信号の論理的組合せである。

(f)上記(e)のステップの手順による置換後のグラフの少なくとも一部のノードを、下記の信号印加形態が採用されるように上記(c)のステップの手順によりバストランジスタ回路で置き換えるステップ。

置換後のグラフの上記置換後のひとつの置換ノードに関して、上記(c-1)で定義される第1、第2、第3のバストランジスタ回路においては、上記第1と上記第2のバストランジスタ回路の間ではひとつのバストランジスタ回路の制御入力に入力される信号が他のバストランジスタ回路の出力の信号であると言う第1の信号印加形態が採用され、上記第2と上記第3のバストランジスタ回路の間ではひとつのバストランジスタ回路の第1入力と第2入力のいずれかに入力される信号が他のバストランジスタ回路の出力の信号であると言う第2の信号印加形態とが採用される。

(g) 上記(f)のステップの手順により得られた上記バストランジスタ回路に関してのシミュレーション遅延時間が上記(a)の上記目標仕様を満足するかどうかを上記(d)のステップの手順により判定するステップ。

4.半導体上に集積化される論理回路の設計方法に用いるためであって、演算処理装置、記憶装置、マンマシンインターフェースを具備してなり、該記憶装置上に保持されたプログラムから次のステップを実行することを特徴とする半導体集積回路の自動設計装置。

(a)論理入力と論理出力との間の論理関係を定める論理機能と、上記論理回路のチップ占有面積と消費電力の少なくともいずれかの目標仕様とが入力されるステップ。

(b)設計者の与えた論理機能の少なくともその一部に関して下記(b-1)で定義される2分決定グラフを形成するステップ。

(b-1)上記2分決定グラフは、制御変数と二つの入力枝と一つの出力とを有する複数のノードを組み合わせるにより構成されるグラフであり、各ノードの制御変数は該当する論理部分の論理入力を意味し、各ノードの二つの入力枝のいずれか一方は上記制御変数の論理値に対応して選択され、各ノードの出力には上記選択された入力枝の信号が伝達される。

(c)上記(b)のステップで形成された上記2分決定グラフもしくは下記(e)のステップで形成されたグラフの少なくとも一部のノードを、下記(c-1)で定義されるバストランジスタ回路で置き換えるステップ。

(c-1) 上記バストランジスタ回路は、制御入力と、第1入力と、第2入力と、出力と、該第1入力と該出力との間にソース・ドレイン経路が接続された第1

の電界効果型トランジスタと、該第2入力と該出力との間にソース・ドレイン経路が接続された第2の電界効果型トランジスタとを有してなり、

上記第1の電界効果型トランジスタのゲートは上記制御入力に入力される信号に応答し、

上記第2の電界効果型トランジスタのゲートは上記制御入力に入力される信号の反転信号に応答することにより、

上記出力には上記第1入力か上記第2入力のどちらか一方の信号が伝達される。

(d)上記(c)の手順により得られた上記パストランジスタ回路に関してのシミュレーションによるチップ占有面積と消費電力の少なくともいずれかが上記(a)の上記目標仕様を満足するかどうかを判定して、もし満足しない場合下記(e)、(f)、(g)のステップを実行するステップ。

(e)上記2分決定グラフにおいて下記(e-1)の条件を満足する少なくとも複数のノード集合を、下記(e-2)、(e-3)の条件を満たすように、置換ノードおよび共通ノード集合に置換するステップ。

(e-1)上記置換前の複数のノード集合の各集合は複数のノードから構成され、上記置換前の複数のノード集合の相互接続形態と制御変数の入力信号とは互いに同一である。

(e-2) 置換後のグラフの論理機能と置換前の2分決定グラフの論理機能とが同一である条件を保つように上記置換後の複数の置換ノードの制御変数として共通ノード集合の出力を印加せしめ、上記共通ノード集合は上記置換前の相互接続形態と制御変数の入力信号とが互いに同一である上記複数のノードに対応する。

(e-3)置換後のグラフの複数の置換ノードの入力枝の先の外部集合は、置換前の2分決定グラフの該当する上記置換前の複数のノード集合の入力枝の先の外部集合と一致する。

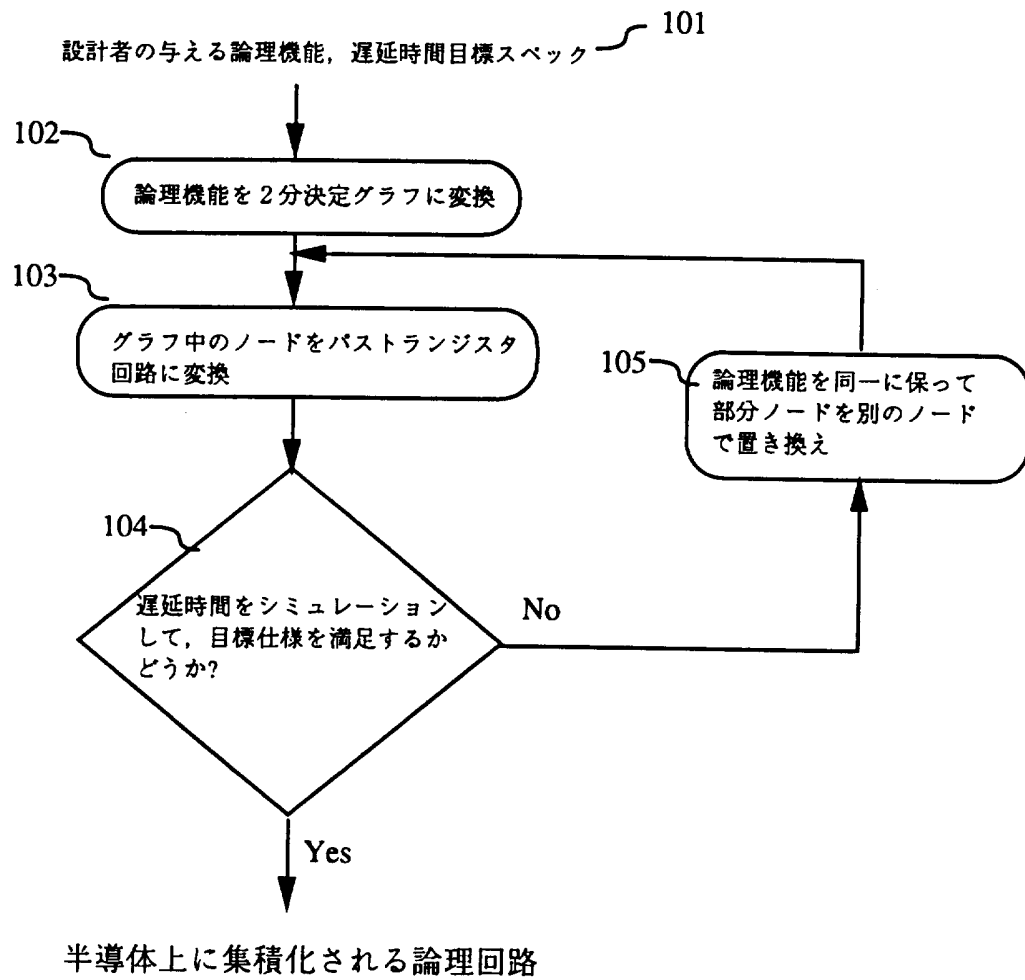
(f)上記(e)のステップの手順による置換後のグラフの少なくとも一部のノードを、上記(c)のステップの手順によりパストランジスタ回路で下記の信号印加形態が採用されるように置き換えるステップ。

置換後のグラフの上記置換後の複数の置換ノードに関係して、上記(c-1)で定義される第1、第2、第3のパストランジスタ回路においては、上記第1と上記第2のパストランジスタ回路の間ではひとつのパストランジスタ回路の制御入力に入力される信号が他のパストランジスタ回路の出力の信号であると言う第1の信号印加形態が採用され、上記第2と上記第3のパストランジスタ回路の間ではひとつのパストランジスタ回路の第1入力と第2入力のいずれかに入力される信号が他のパストランジスタ回路の出力の信号であると言う第2の信号印加形態とが採用される。

(g) 上記(f)のステップの手順により得られた上記パストランジスタ回路に関してのシミュレーションによるチップ占有面積と消費電力の少なくともいずれかが上記(a)の上記目標仕様を満足するかどうかを上記(d)のステップの手順により判定するステップ。

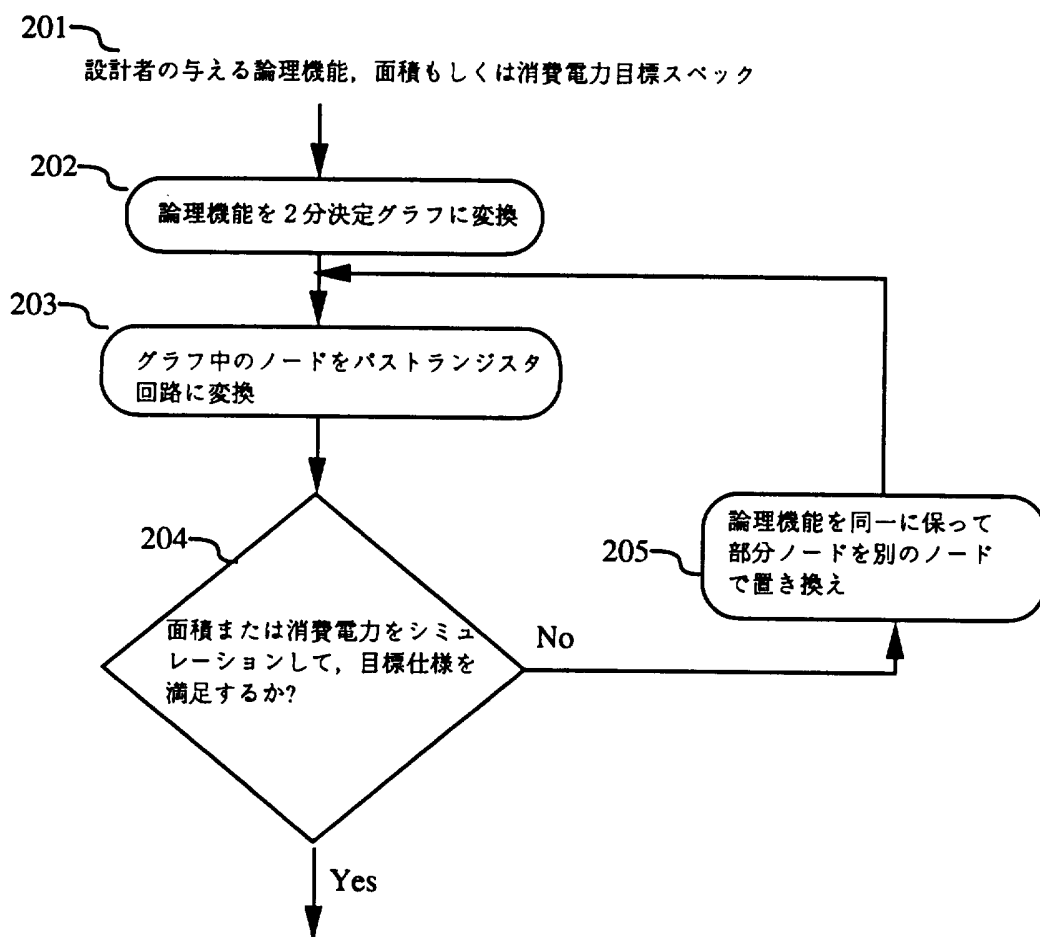
1/34

図 1



2/34

図 2



半導体上に集積化される論理回路

3/34

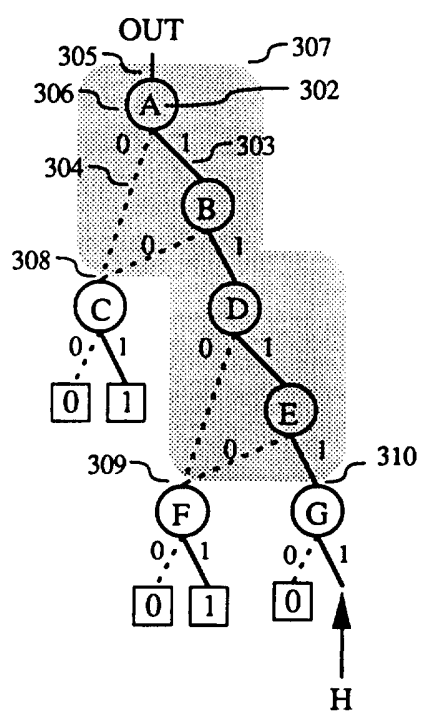
図 3 (a)

301 設計者の実現
したい論理機能

$$\begin{aligned} \text{OUT} = & A \cdot B \cdot D \cdot E \cdot G \cdot H \\ & + A \cdot B \cdot \bar{D} \cdot F + A \cdot B \cdot \bar{E} \cdot F \\ & + \bar{A} \cdot C + \bar{B} \cdot C; \end{aligned}$$

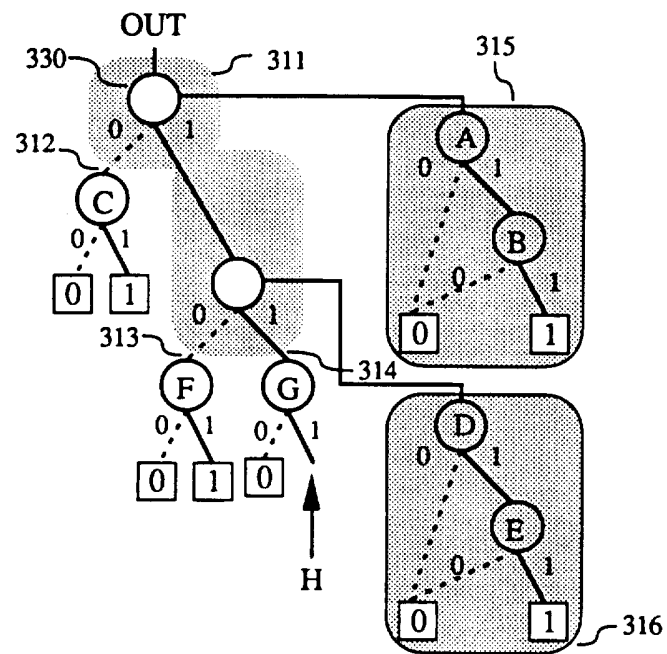
4/34

図 3 (b)



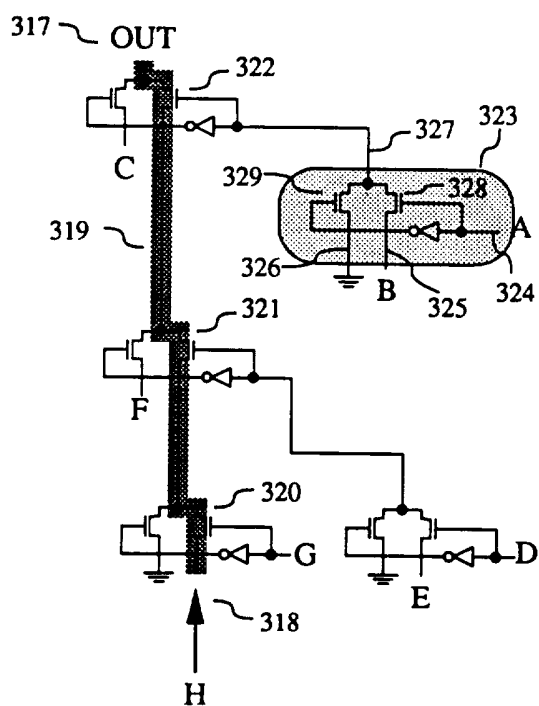
5/34

図 3 (c)



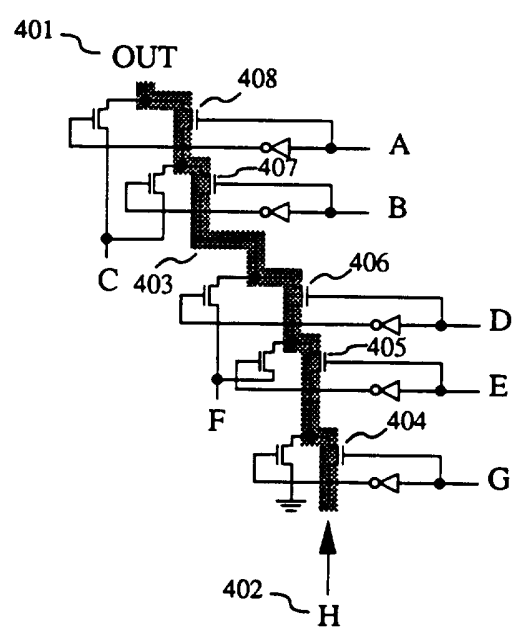
6/34

図 3 (d)



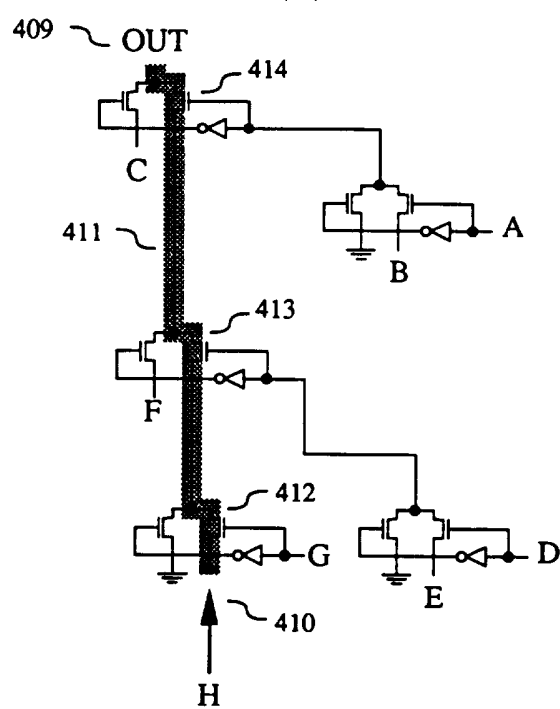
7/34

図 4 (a)



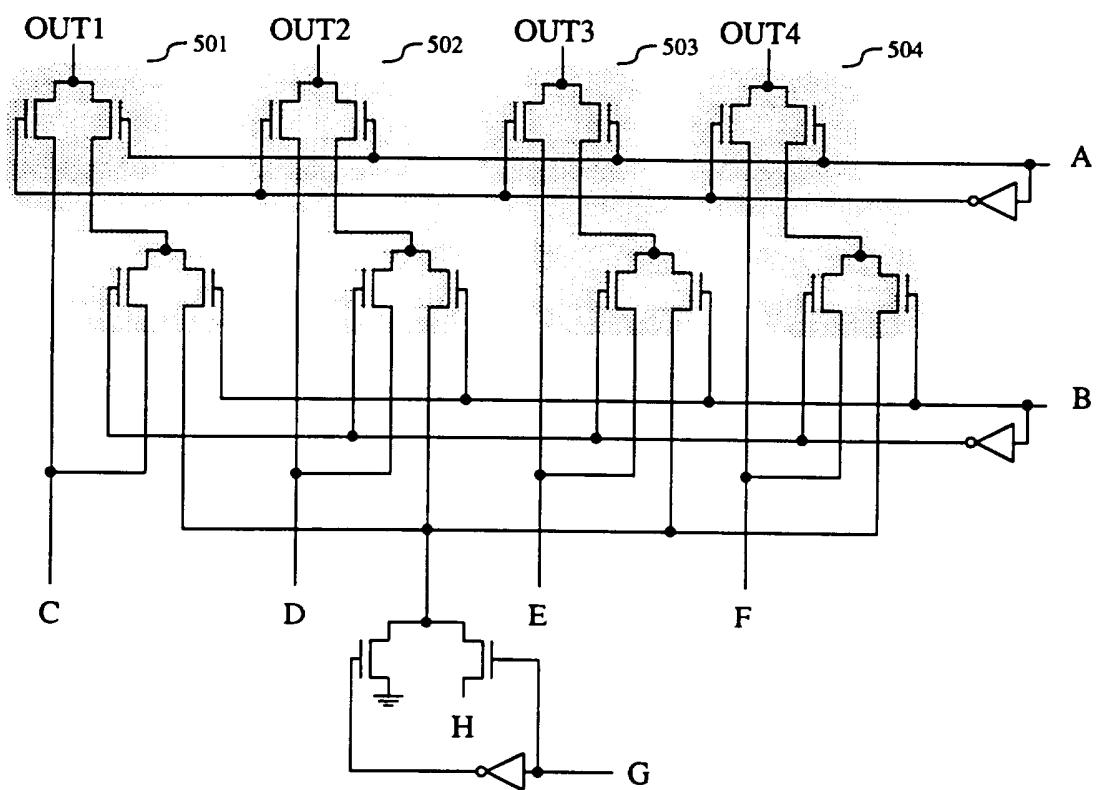
8/34

図 4 (b)



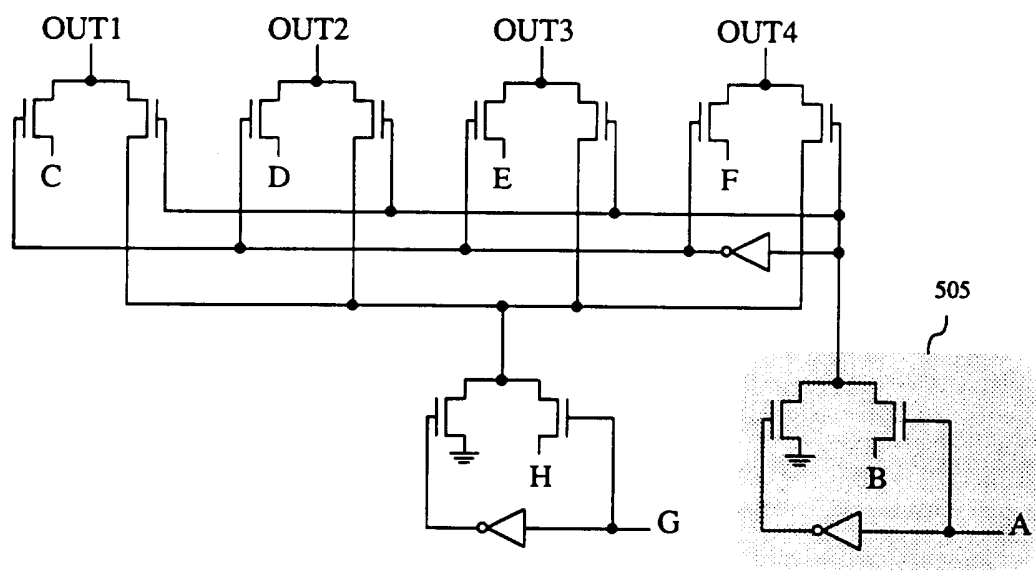
9/34

図 5 (a)



10/34

図 5 (b)



11/34

図 6 (a)

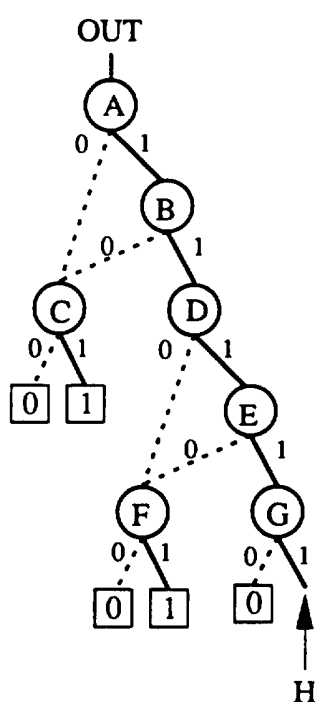
設計者の実現
したい論理機能

601 $\sim$

$$\begin{aligned} \text{OUT} = & A \cdot B \cdot D \cdot E \cdot G \cdot H \\ & + A \cdot B \cdot \bar{D} \cdot F + A \cdot B \cdot \bar{E} \cdot F \\ & + \bar{A} \cdot C + \bar{B} \cdot C; \end{aligned}$$

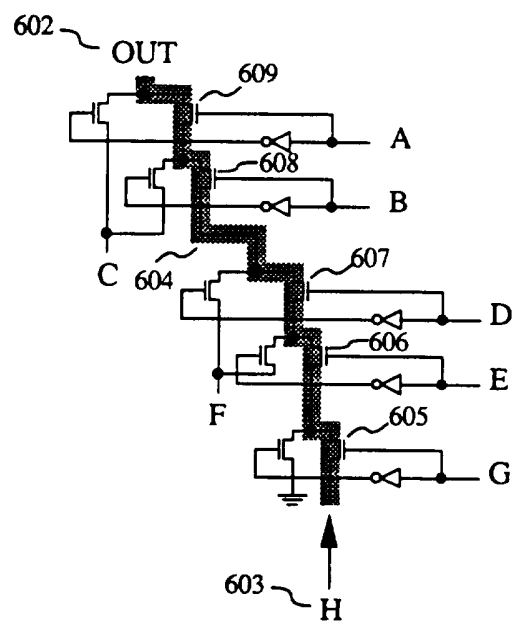
12/34

図 6 (b)



13/34

図 6 (c)



14/34

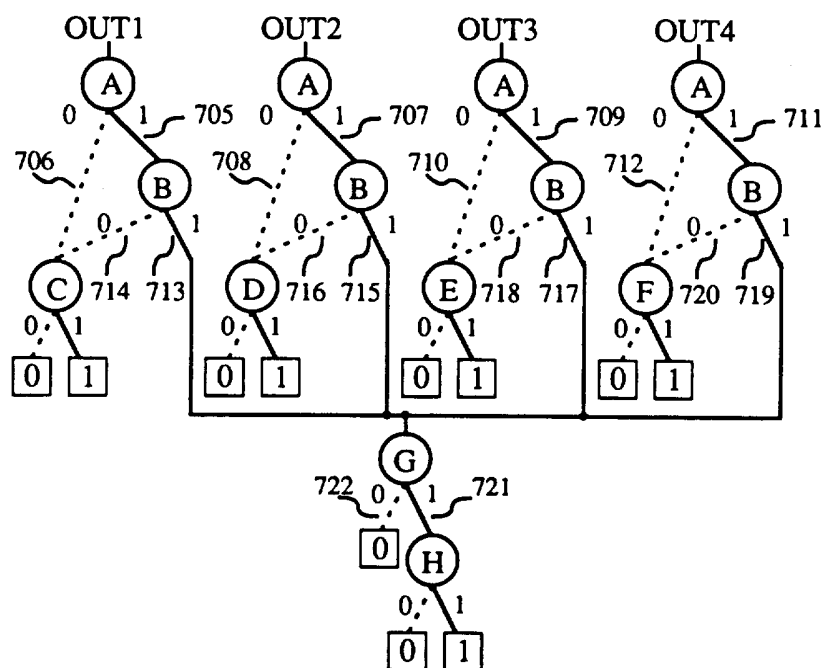
図 7 (a)

設計者の実現したい論理機能

$$\begin{array}{ll} 701 & \sim \\ 702 & \sim \\ 703 & \sim \\ 704 & \sim \end{array} \begin{array}{l} \text{OUT1} = A \cdot B \cdot G \cdot H + \overline{A} \cdot C + \overline{B} \cdot C; \\ \text{OUT2} = A \cdot B \cdot G \cdot H + \overline{A} \cdot D + \overline{B} \cdot D; \\ \text{OUT3} = A \cdot B \cdot G \cdot H + \overline{A} \cdot E + \overline{B} \cdot E; \\ \text{OUT4} = A \cdot B \cdot G \cdot H + \overline{A} \cdot F + \overline{B} \cdot F; \end{array}$$

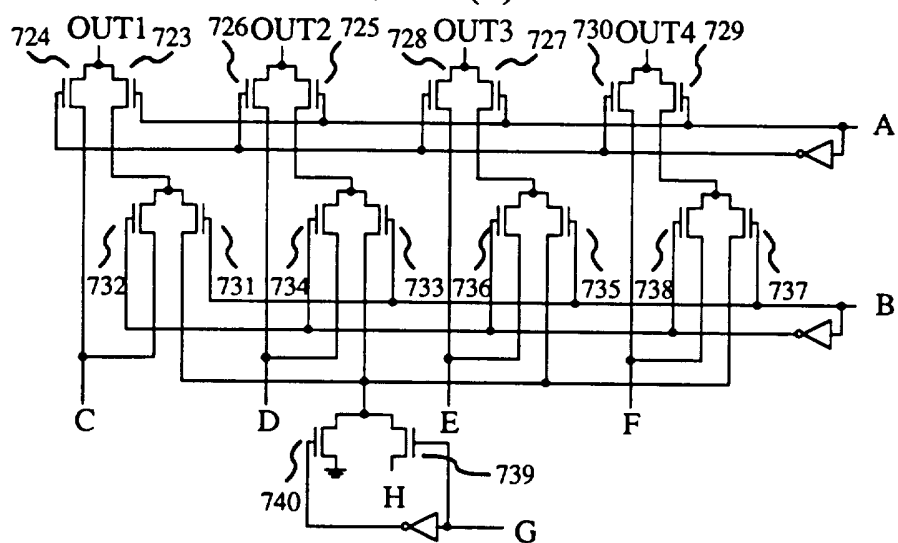
15/34

図 7 (b)



16/34

図 7 (c)



17/34

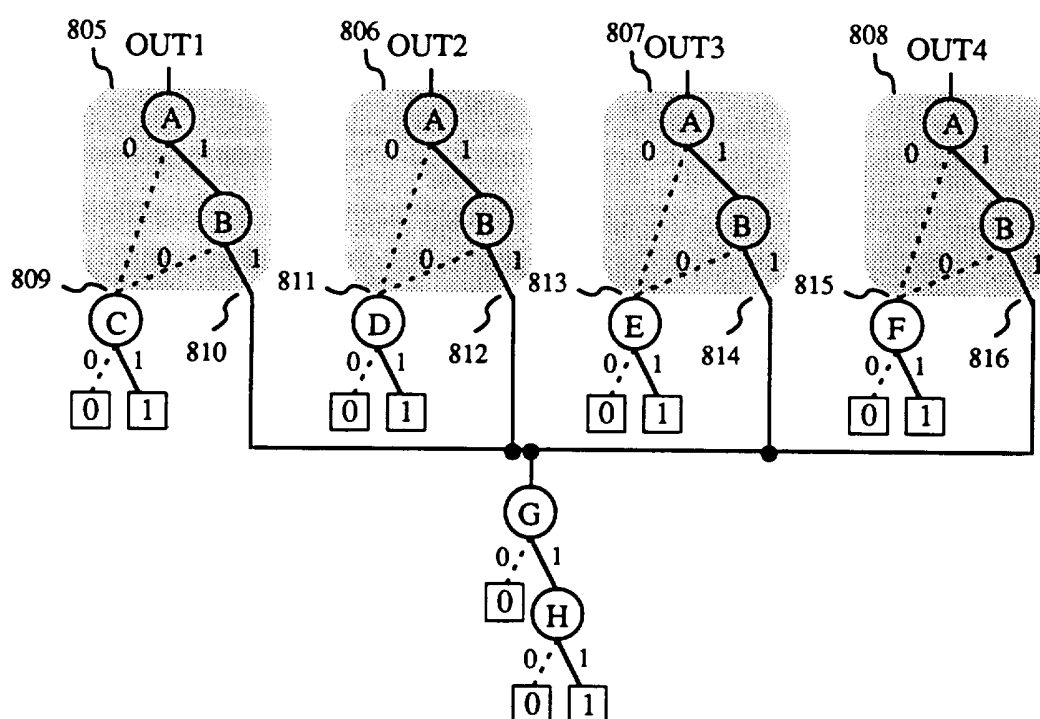
図 8 (a)

設計者の実現したい論理機能

$$\begin{aligned} 801 \curvearrowright & \text{OUT1} = A \cdot B \cdot H \cdot G + \overline{A} \cdot C + \overline{B} \cdot C; \\ 802 \curvearrowright & \text{OUT2} = A \cdot B \cdot H \cdot G + \overline{A} \cdot D + \overline{B} \cdot D; \\ 803 \curvearrowright & \text{OUT3} = A \cdot B \cdot H \cdot G + \overline{A} \cdot E + \overline{B} \cdot E; \\ 804 \curvearrowright & \text{OUT4} = A \cdot B \cdot H \cdot G + \overline{A} \cdot F + \overline{B} \cdot F; \end{aligned}$$

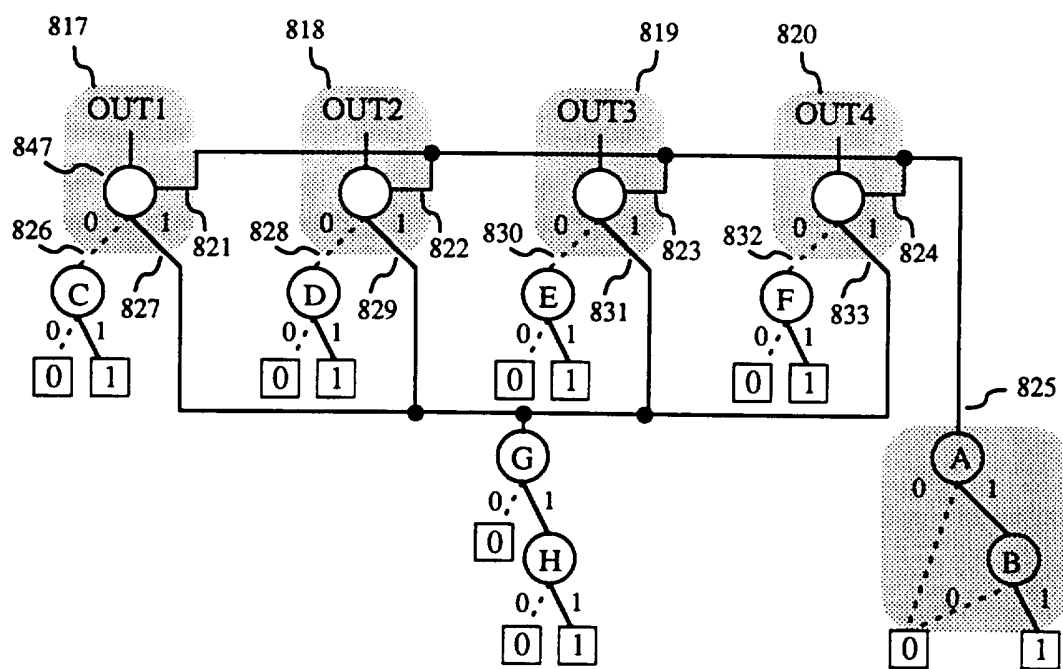
18/34

図 8 (b)



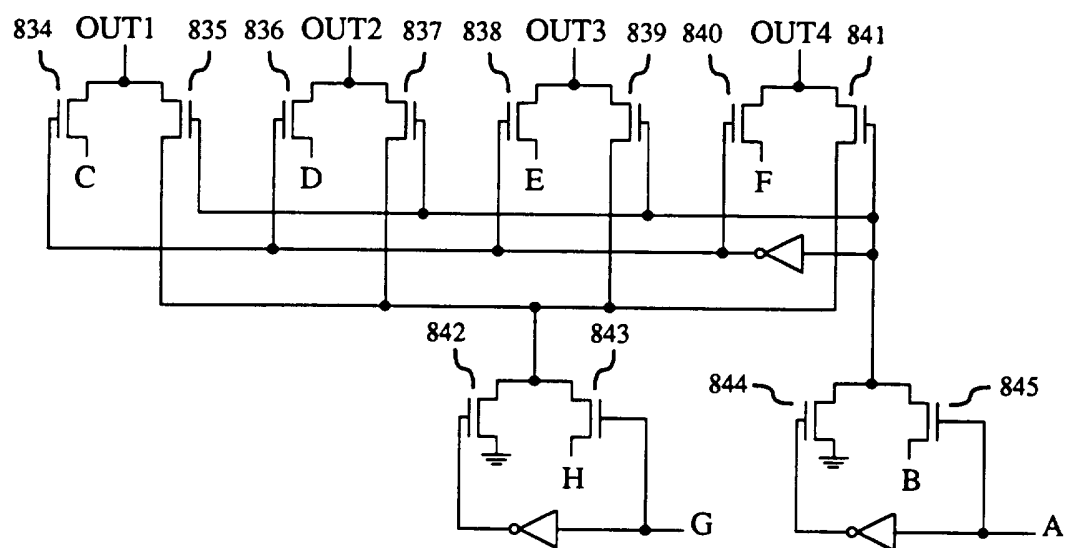
19/34

図 8 (c)



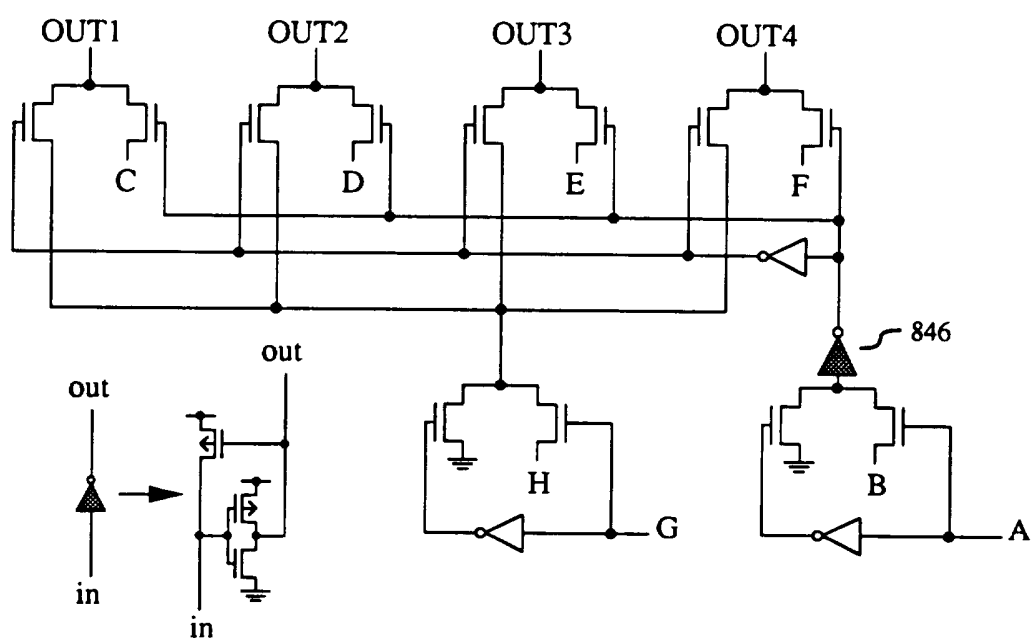
20/34

图 8 (d)



21/34

図 8 (e)



22/34

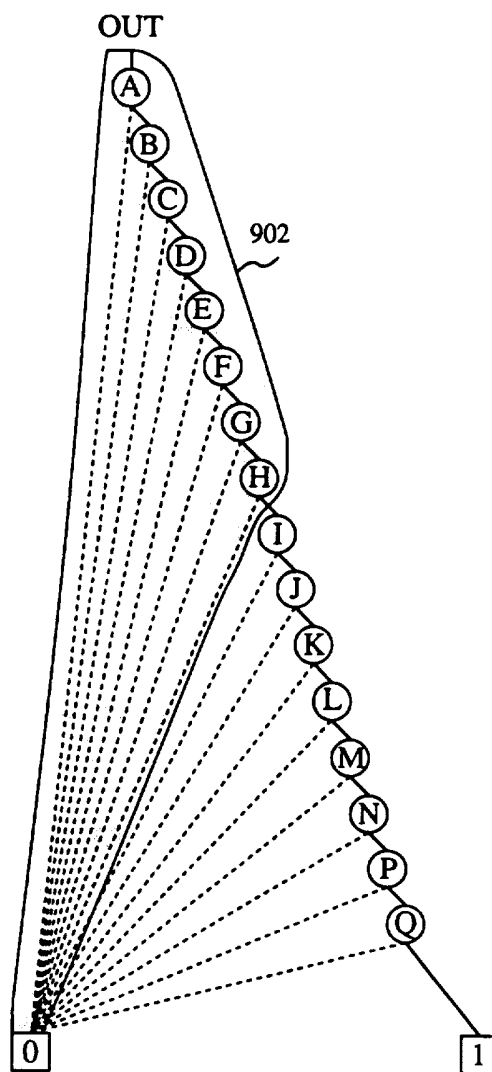
図 9 (a)

設計者の実現
したい論理機能

$$\begin{array}{l} 901 \quad \sim \text{OUT} = A \cdot B \cdot C \cdot D \cdot E \cdot F \cdot G \cdot H \\ \quad \quad \quad \cdot I \cdot J \cdot K \cdot L \cdot M \cdot N \cdot P \cdot Q; \end{array}$$

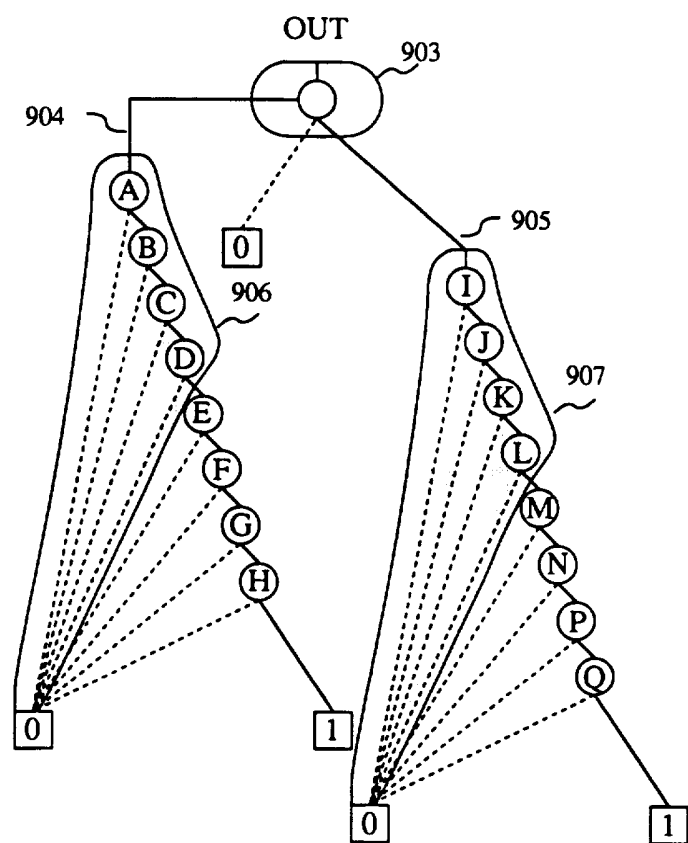
23/34

図 9 (b)

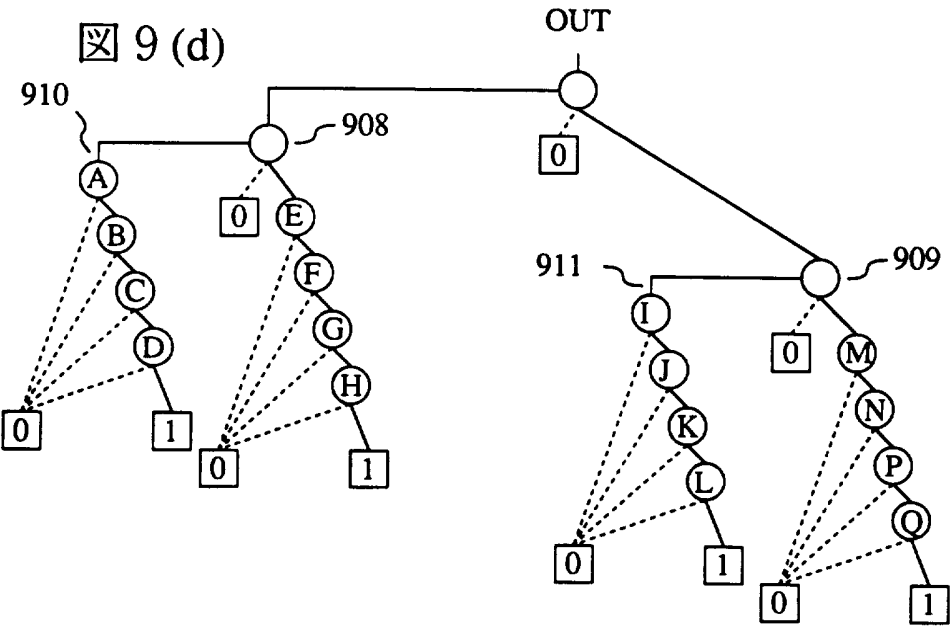


24/34

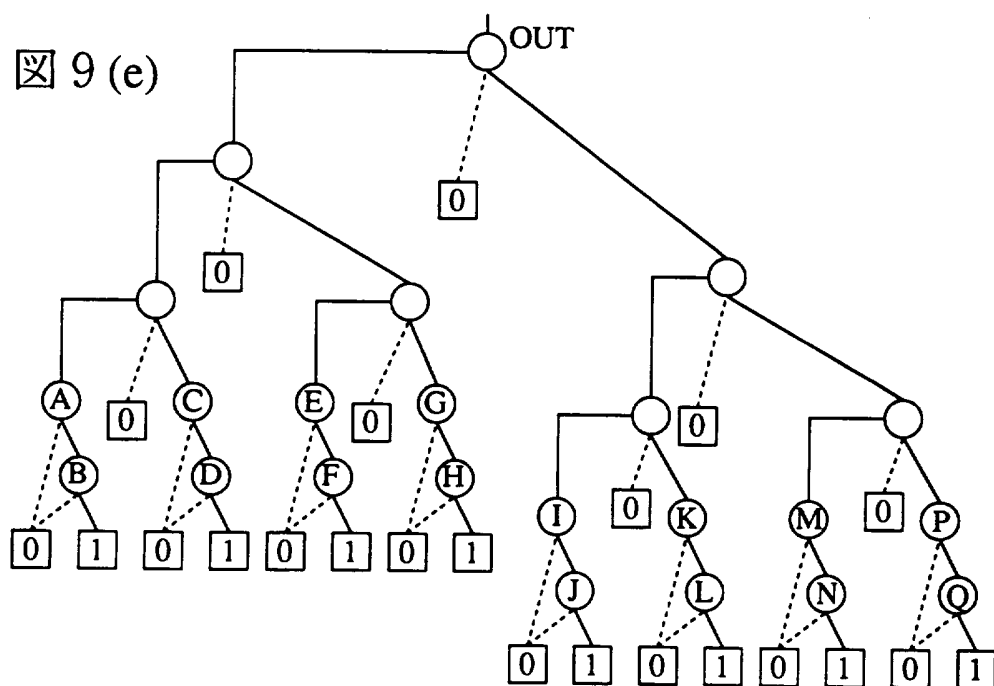
図 9 (c)



25/34

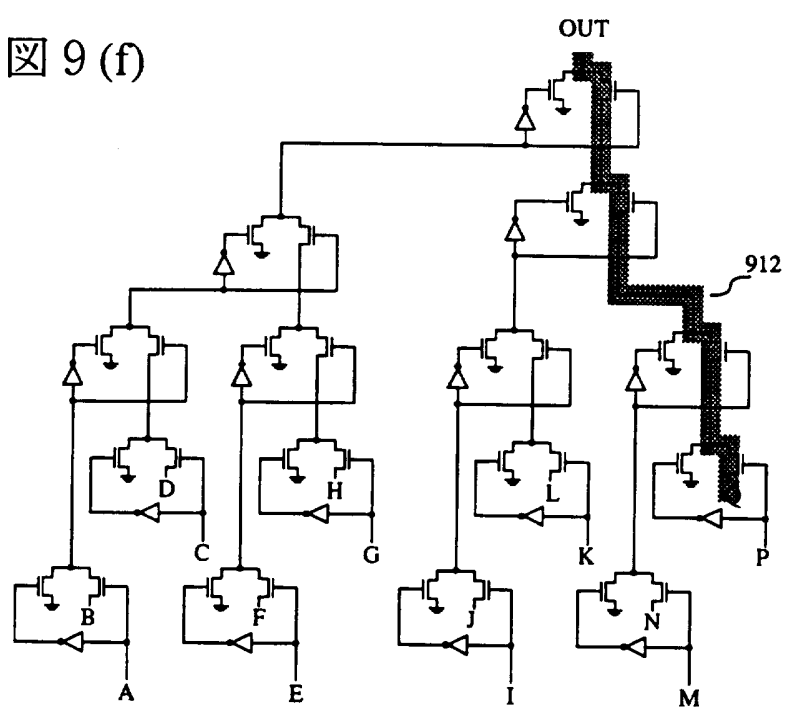


26/34



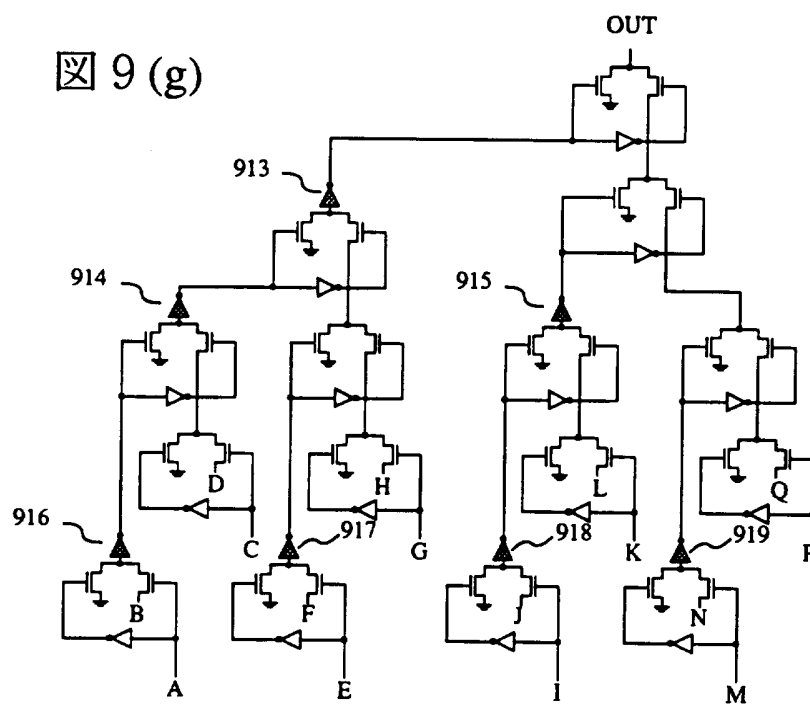
27/34

図 9 (f)



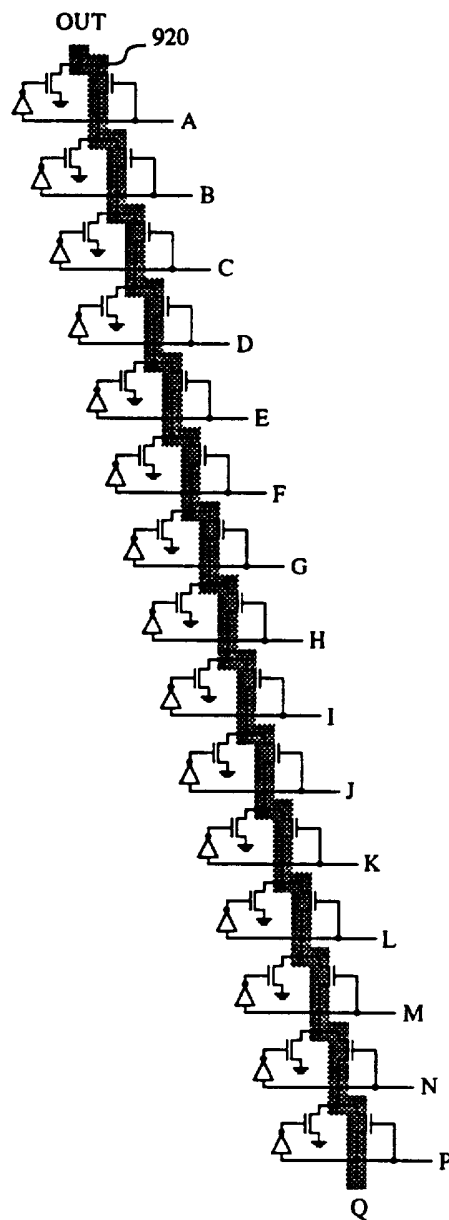
28/34

図 9 (g)



29/34

図 9 (h)



30/34

図 1 0

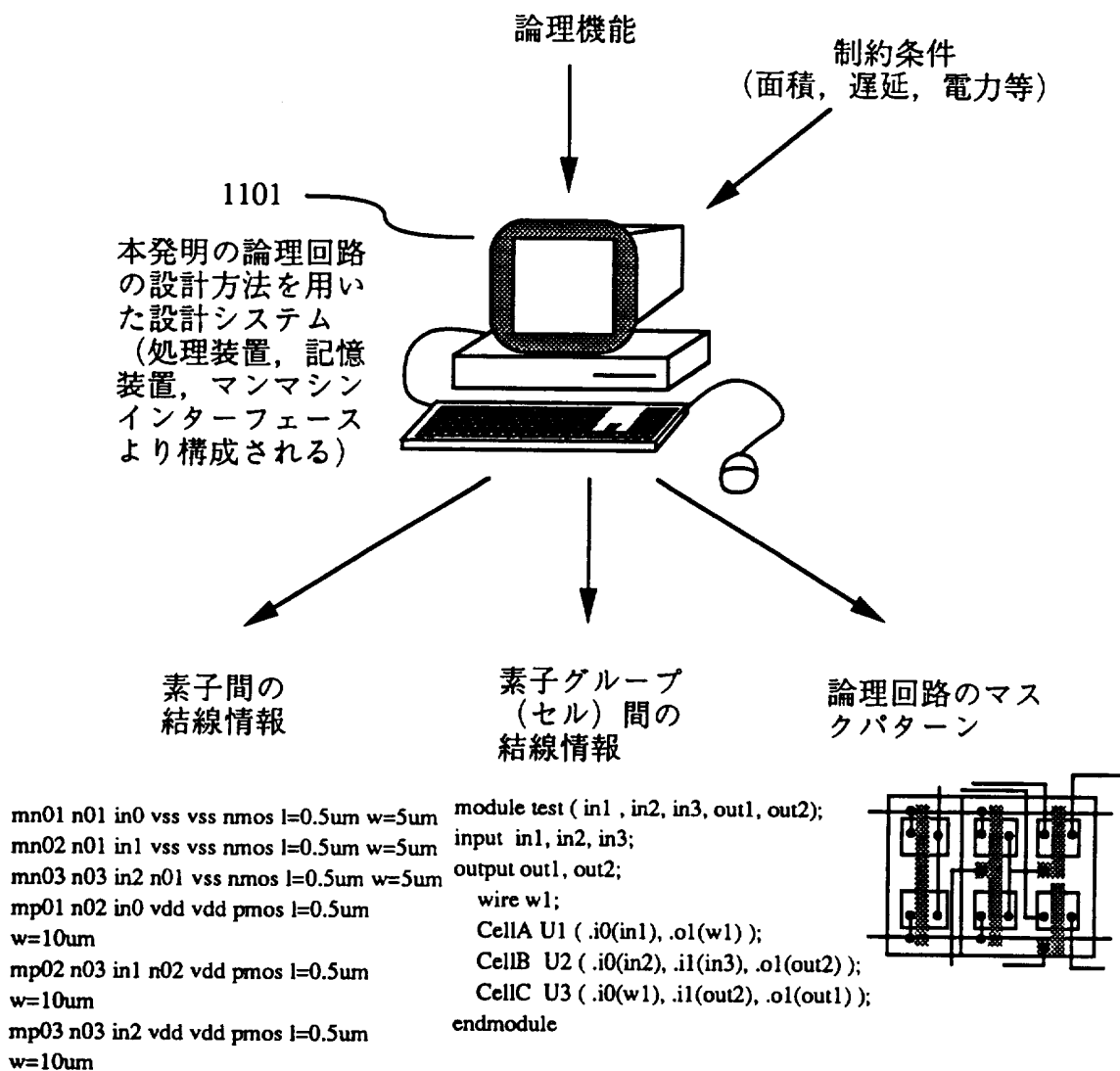
$$\text{OUT1} = A \cdot B \cdot H \cdot G + \overline{A} \cdot C + \overline{B} \cdot C;$$

論理機能 out1 の真理値表

入力					出力
A	B	C	G	H	OUT1
0	0	0	0	0	0
0	0	0	0	1	0
0	0	0	1	0	0
0	0	0	1	1	0
0	0	1	0	0	1
0	0	1	0	1	1
0	0	1	1	0	1
0	0	1	1	1	1
0	1	0	0	0	0
0	1	0	0	1	0
0	1	0	1	0	0
0	1	0	1	1	0
0	1	1	0	0	1
0	1	1	0	1	1
0	1	1	1	0	1
0	1	1	1	1	1
1	0	0	0	0	0
1	0	0	0	1	0
1	0	0	1	0	0
1	0	0	1	1	0
1	0	1	0	0	1
1	0	1	0	1	1
1	0	1	1	0	1
1	0	1	1	1	1
1	1	0	0	0	0
1	1	0	0	1	0
1	1	0	1	0	0
1	1	0	1	1	1
1	1	1	0	0	0
1	1	1	0	1	0
1	1	1	1	0	0
1	1	1	1	1	1

31/34

図 1 1



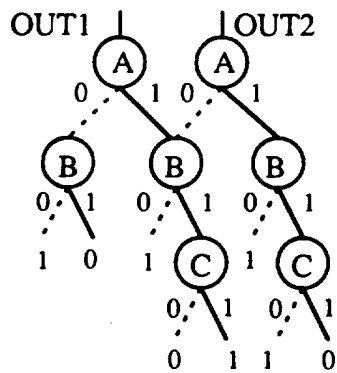
32/34

図 1 2

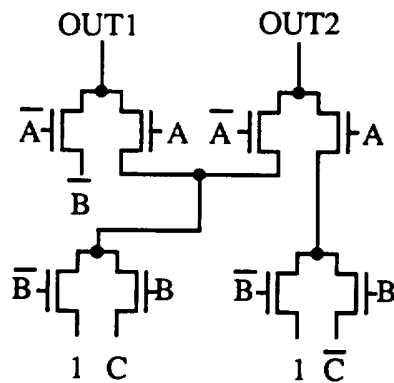
設計者の実現したい論理機能

```
out1 = *****;  
out2 = *****;
```

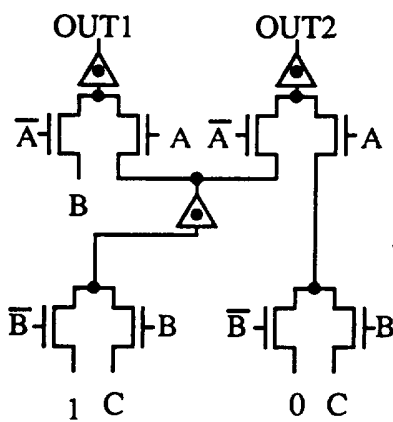
縮約されたBDD



トランジスタネットワーク



バッファ挿入



セルマッピング

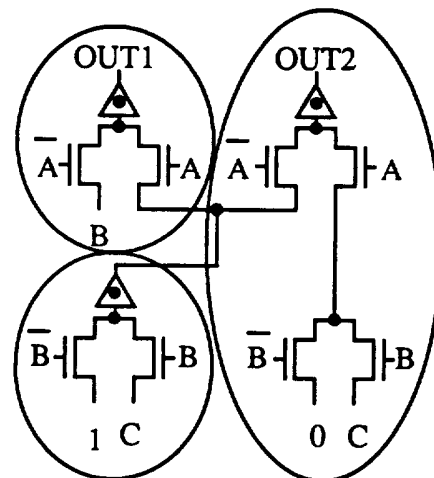
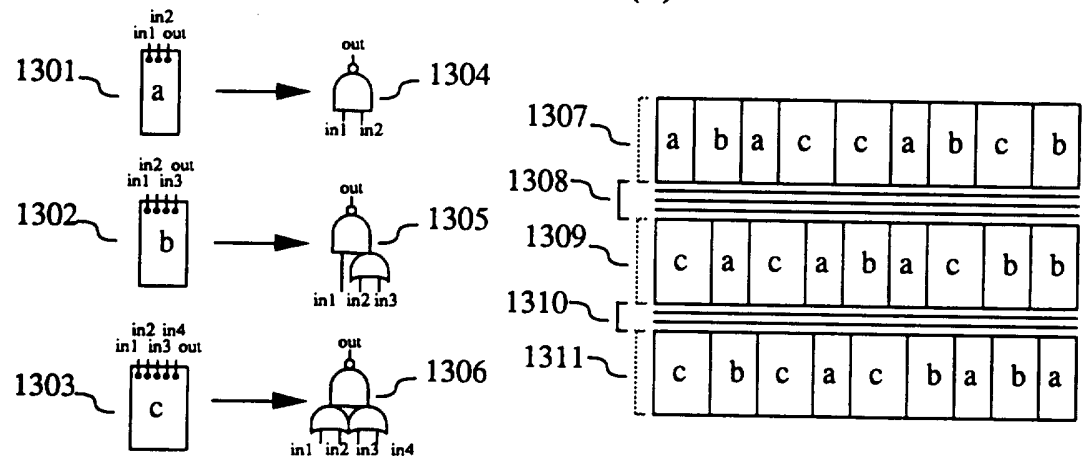
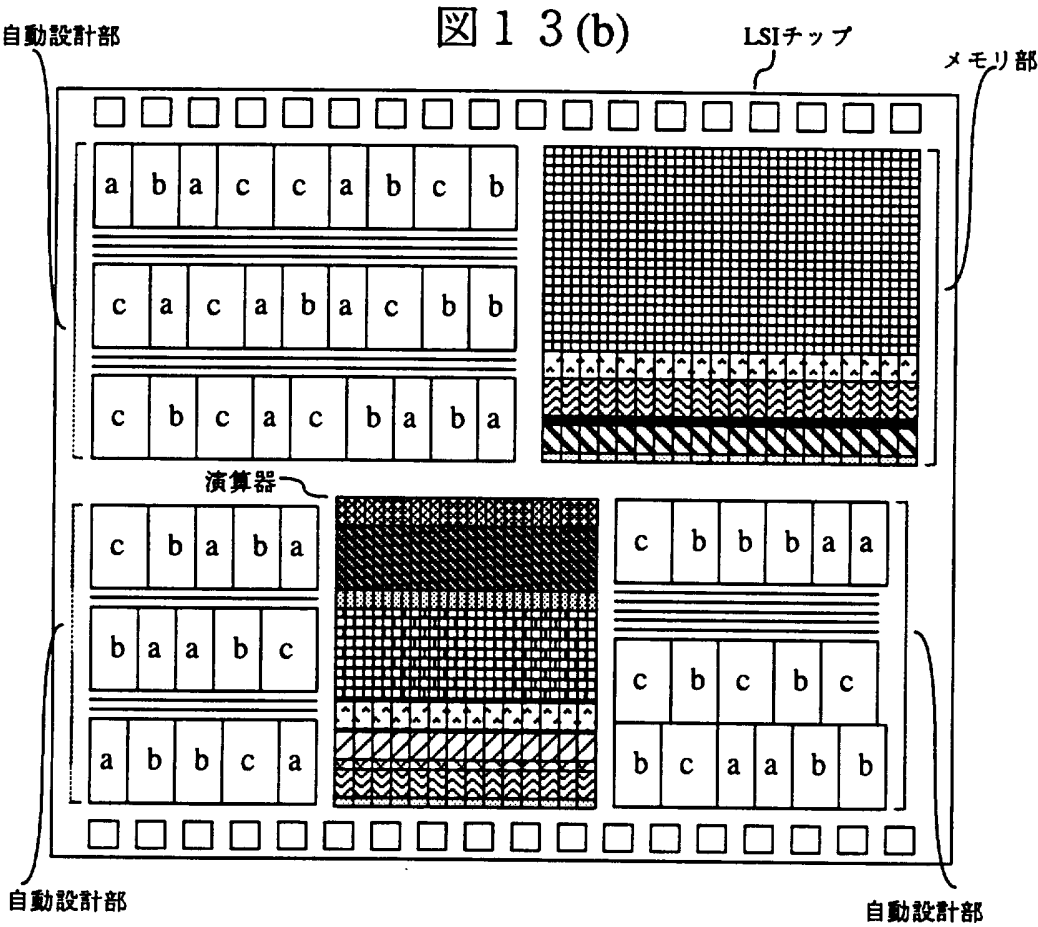


図 1 3 (a)





INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/01104

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ G06F17/50

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ G06F17/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926 - 1996

Kokai Jitsuyo Shinan Koho 1971 - 1996

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 4-160569, A (NEC Corp.), June 3, 1992 (03. 06. 92) (Family: none)	1 - 4
A	JP, 6-215065, A (Nippon Telegraph & Telephone Corp.), August 5, 1994 (05. 08. 94) (Family: none)	1 - 4
A	JP, 6-20000, A (NEC Corp.), November 28, 1994 (28. 11. 94) (Family: none)	1 - 4
EA	JP, 7-168874, A (Hitachi, Ltd.), July 4, 1995 (04. 07. 95) (Family: none)	1 - 4

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

July 30, 1996 (30. 07. 96)

Date of mailing of the international search report

August 20, 1996 (20. 08. 96)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/JP96/01104

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl⁶ G 0 6 F 1 7 / 5 0

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl⁶ G 0 6 F 1 7 / 5 0

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996
日本国公開実用新案公報 1971-1996

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P、4-160569、A (日本電気 株式会社) 3. 6月. 1992 (3. 6. 92) ファミリー無し	1-4
A	J P、6-215065、A (日本電信電話 株式会社) 5. 8月. 1994 (5. 8. 94) ファミリー無し	1-4
A	J P、6-20000、A (日本電気 株式会社) 28. 11月. 1994 (28. 11. 94) ファミリー無し	1-4
E A	J P、7-168874、A (株式会社 日立製作所) 4. 7月. 1995 (4. 7. 95) ファミリー無し	1-4

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 先行文献ではあるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

30. 07. 96

国際調査報告の発送日

20.08.96

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

大野 克人

5H

7706

電話番号 03-3581-1101 内線 3532